



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0074009
(43) 공개일자 2014년06월17일

(51) 국제특허분류(Int. Cl.)

H02M 3/155 (2006.01)

(21) 출원번호 10-2012-0142129

(22) 출원일자 2012년12월07일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

이경진

서울 송파구 송파대로44길 21, 502호 (송파동)

(74) 대리인

권혁수, 송윤호, 오세준

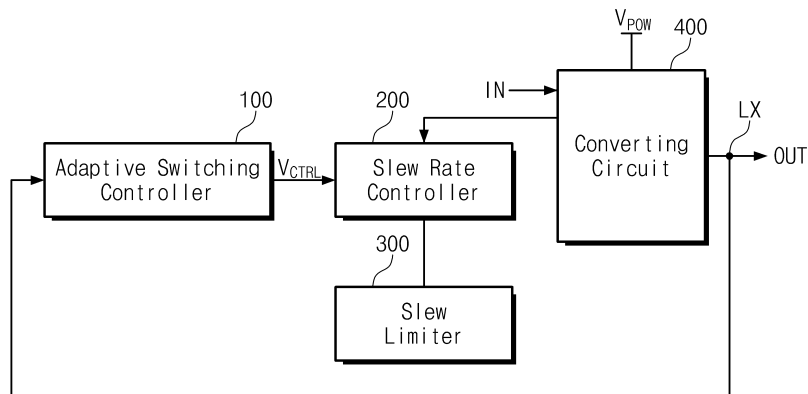
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 스위칭 전압 스파이크를 적응적으로 제어하는 어댑티브 전원 컨버팅 장치

(57) 요약

스위칭 전압 스파이크를 적응적으로 제어하는 어댑티브 전원 컨버팅 장치가 개시된다. 본 발명에 따른 전원 컨버팅 장치는, 게이트로 인가되는 입력에 따라 전원전압을 구동하여 스위칭 출력노드로 인가하는 파워 스위치를 포함하는 컨버팅 회로와, 상기 파워 스위치의 상기 게이트와 그라운드 간에 연결되어 상기 스위칭 출력노드의 출력 전압에서 나타나는 전압 스파이크의 사이즈를 줄이면서도 파워 효율을 증가시키기 위해 상기 출력 전압의 슬루 레이트를 조절하는 슬루 리미터를 포함함에 의해, 스위칭 전압 스파이크가 적응적으로 제어된다.

대표도 - 도11



특허청구의 범위

청구항 1

게이트로 인가되는 입력에 따라 구동 전원전압을 구동하여 스위칭 출력노드로 인가하는 파워 스위치를 포함하는 컨버팅 회로; 및

상기 파워 스위치의 상기 게이트와 그라운드 간에 연결되어 상기 스위칭 출력노드의 출력 전압에서 나타나는 전압 스파이크의 사이즈를 줄이면서도 파워 효율을 증가시키기 위해 상기 출력 전압의 슬루 레이트를 조절하는 슬루 리미터를 포함하는 전원 컨버팅 장치.

청구항 2

제1항에 있어서, 상기 슬루 리미터는 상기 파워 스위치의 게이트-소스 커패시턴스에 비해 작은 커패시턴스를 갖는 커패시터인 전원 컨버팅 장치.

청구항 3

제1항에 있어서, 상기 파워 스위치의 상기 게이트와 상기 슬루 리미터 간에 연결되어 상기 슬루 리미터를 통해 흐르는 전류를 부하 변동에 따라 적응적으로 조절하는 슬루 레이트 컨트롤러를 더 포함하는 전원 컨버팅 장치.

청구항 4

제3항에 있어서, 상기 슬루 레이트 컨트롤러는 제어전압 신호에 따라 저항값이 가변되는 가변저항으로서 기능하는 MOS 트랜지스터인 전원 컨버팅 장치.

청구항 5

제4항에 있어서, 상기 스위칭 출력노드의 출력 전압을 모니터링하여 상기 제어전압 신호를 생성하는 어댑티브 스위칭 컨트롤러를 더 포함하는 전원 컨버팅 장치.

청구항 6

제5항에 있어서, 상기 어댑티브 스위칭 컨트롤러는,

제1 동작구간에서 인가되는 상기 스위칭 출력노드의 출력 전압을 샘플링 및 홀드하는 샘플 앤드 홀드 회로;

상기 제1 동작구간의 다음 구간인 제2 동작구간에서 인가되는 상기 스위칭 출력노드의 출력 전압을 상기 샘플 앤드 홀드 회로의 출력과 비교하여 전압 스파이크 검출의 유무를 가리키는 비교 신호를 출력하는 비교기; 및

상기 비교 신호의 레벨에 따라 슬루 레이트 조절을 위해 차징 업 또는 디스차아징되는 전압을 생성하여 상기 제어전압 신호로서 출력하는 인터그레이터를 포함하는 전원 컨버팅 장치.

청구항 7

게이트로 인가되는 입력에 따라 구동 전원전압을 구동하여 스위칭 출력노드로 인가하는 엔 채널 파워 스위치를 포함하는 컨버팅 회로에서의 슬루 레이트 제어방법에 있어서:

상기 파워 스위치의 상기 게이트와 그라운드 간에 슬루 레이트 컨트롤러와 슬루 리미터를 설치하고,

상기 스위칭 출력노드의 출력 전압에서 나타나는 전압 스파이크의 사이즈가 허용치를 초과하였는 지를 모니터링 하고,

상기 모니터링 결과에 의존하여 상기 슬루 레이트 컨트롤러를 구동함에 의해 상기 출력 전압의 슬루 레이트가 조절되도록 하는 슬루 레이트 제어방법.

청구항 8

제7항에 있어서, 상기 슬루 리미터는 상기 파워 스위치의 게이트-소스 커패시턴스에 비해 작은 커패시턴스를 갖는 커패시터이고, 상기 슬루 레이트 컨트롤러는 게이트 전압에 따라 저항값이 가변되는 트랜지스터인 슬루 레이트 제어방법.

청구항 9

제8항에 있어서, 상기 전압 스파이크의 사이즈가 허용치를 초과한 경우에 상기 게이트 전압은 상승되어 상기 출력 전압의 슬루 레이트는 낮아지고, 상기 전압 스파이크의 사이즈가 허용치 이하인 경우에 상기 게이트 전압은 하강되어 상기 출력 전압의 슬루 레이트는 높아지는 슬루 레이트 제어방법.

청구항 10

제7항에 있어서, 상기 슬루 레이트의 조절은, 상기 전압 스파이크의 사이즈를 줄이면서도 파워 효율을 증가시키기 위해 상기 파워 스위치의 게이트로 인가되는 입력의 주기마다 적응적으로 실행되는 슬루 레이트 제어방법.

명세서

기술 분야

[0001] 본 발명은 전원 컨버팅 장치에 관한 것으로, 보다 구체적으로 DC-DC 컨버터 등과 같은 전원 컨버팅 장치에 관한 것이다.

배경 기술

[0002] 전형적인 스위칭 벅 컨버터(Switching Buck Converter)는 설정된 DC 전압을 생성하기 위해 파워 스위치를 이용하여 파워 스위칭을 수행한다.

[0003] 파워 스위칭의 온/오프(ON/OFF)동작에 의해 발생하는 급작스런 전류(current) 흐름의 변화는 스위칭 출력 노드에 전압 스파이크(voltage spikes)를 유발한다. 전압 스파이크는 내부 와이어본드 인덕턴스(wirebond inductance) 및 PCB 디자인(design)의 기생 인덕턴스(parasitic inductance)에 기인하여 발생된다.

[0004] 전압 스파이크를 없애거나 줄이는 일반적인 테크닉은 파워 스위치의 스위칭 온/오프 속도 즉, 스위칭 슬루 레이트(switching slew rate)을 느리게 제어하는 것이다. 그러나 슬루 레이트를 고정된 슬루 레이트에 맞춰 느리게 하는 것은 스위치 컨덕션 파워 로스(switch conduction power loss)를 더 크게 하는 현상을 유발할 수 있다. 결국, 슬루 레이트를 마냥 느리게만 할 경우에 파워 효율(power efficiency)이 그에 따라 저하된다. 이와 같이 슬루 레이트를 느리게 하여 전압 스파이크를 줄이는 것과 파워 효율의 유지는 트레이드 오프(trade off)의 관계를 가진다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 기술적 과제는, 파워 효율의 저하를 최소화하면서도 전압 스파이크를 최소화 또는

줄일 수 있는 전원 컨버팅 장치를 제공함에 있다.

[0006] 본 발명이 해결하고자 하는 기술적 과제는, 부하 전류(load current)의 변동이나 외부 어플리케이션 보드(application boards)의 환경에 따라 스위칭 슬루 레이트를 적응적(adaptive)으로 조절함에 의해 전압 스파이크(voltage spikes)를 줄이는 동시에 파워 로스(power loss)를 최소화 또는 줄일 수 있는 전원 컨버팅 장치를 제공함에 있다.

과제의 해결 수단

- [0007] 상기 기술적 과제를 달성하기 위한 본 발명의 개념의 일 양상(an aspect)에 따른 전원 컨버팅 장치는,
- [0008] 게이트로 인가되는 입력에 따라 구동 전원전압을 구동하여 스위칭 출력노드로 인가하는 파워 스위치를 포함하는 컨버팅 회로; 및
- [0009] 상기 파워 스위치의 상기 게이트와 그라운드 간에 연결되어 상기 스위칭 출력노드의 출력 전압에서 나타나는 전압 스파이크의 사이즈를 줄이면서도 파워 효율을 증가시키기 위해 상기 출력 전압의 슬루 레이트를 조절하는 슬루 리미터를 포함한다.
- [0010] 본 발명의 개념적 실시 예에 있어서, 상기 슬루 리미터는 상기 파워 스위치의 게이트-소스 커패시턴스에 비해 작은 커패시턴스를 갖는 커패시터일 수 있다.
- [0011] 본 발명의 개념적 실시 예에 있어서, 상기 파워 스위치의 상기 게이트와 상기 슬루 리미터 간에 연결되어 상기 슬루 리미터를 통해 흐르는 전류를 부하 변동에 따라 적응적으로 조절하는 슬루 레이트 컨트롤러를 더 포함할 수 있다.
- [0012] 본 발명의 개념적 실시 예에 있어서, 상기 슬루 레이트 컨트롤러는 제어전압 신호에 따라 저항값이 가변되는 가변저항으로서 기능하는 MOS 트랜지스터일 수 있다.
- [0013] 본 발명의 개념적 실시 예에 있어서, 상기 스위칭 출력노드의 출력 전압을 모니터링하여 상기 제어전압 신호를 생성하는 어댑티브 스위칭 컨트롤러를 더 포함할 수 있다.
- [0014] 본 발명의 개념적 실시 예에 있어서, 상기 어댑티브 스위칭 컨트롤러는,
- [0015] 제1 동작구간에서 인가되는 상기 스위칭 출력노드의 출력 전압을 샘플링 및 홀드하는 샘플 앤드 홀드 회로;
- [0016] 상기 제1 동작구간의 다음 구간인 제2 동작구간에서 인가되는 상기 스위칭 출력노드의 출력 전압을 상기 샘플 앤드 홀드 회로의 출력과 비교하여 전압 스파이크 검출의 유무를 가리키는 비교 신호를 출력하는 비교기; 및
- [0017] 상기 비교 신호의 레벨에 따라 슬루 레이트 조절을 위해 차징 업 또는 디스차아징되는 전압을 생성하여 상기 제어전압 신호로서 출력하는 인터그레이터를 포함할 수 있다.
- [0018] 본 발명의 개념적 실시 예에 있어서, 상기 인터그레이터의 디스차아징 경로에는 역류 방지 기능을 위한 다이오드가 추가적으로 설치될 수 있다.
- [0019] 본 발명의 개념적 실시 예에 있어서, 상기 샘플 앤드 홀드 회로는 샘플링된 상기 스위칭 출력노드의 출력 전압을 홀드 시에 전압 스파이크의 허용 설계 값인 문턱전압 값을 상기 샘플링된 출력 전압에 더하여 홀드할 수 있다.
- [0020] 본 발명의 개념적 실시 예에 있어서, 상기 제1,2 동작 구간들의 주기는 상기 파워 스위치의 상기 게이트에 인가되는 입력의 주기에 대응될 수 있다.
- [0021] 본 발명의 개념적 실시 예에 있어서, 상기 입력은 펄스 폭 변조 신호일 수 있다.
- [0022] 본 발명의 개념적 실시 예에 있어서, 상기 컨버팅 회로는 DC-DC 벅 컨버터일 수 있다.
- [0023] 상기 기술적 과제를 달성하기 위한 본 발명의 개념의 다른 양상(another aspect)에 따라,
- [0024] 게이트로 인가되는 입력에 따라 구동 전원전압을 구동하여 스위칭 출력노드로 인가하는 파워 스위치를 포함하는 컨버팅 회로에서의 슬루 레이트 제어방법은:
- [0025] 상기 파워 스위치의 상기 게이트와 그라운드 간에 슬루 레이트 컨트롤러와 슬루 리미터를 설치하고,

- [0026] 상기 스위칭 출력노드의 출력 전압에서 나타나는 전압 스파이크의 사이즈가 허용치를 초과하였는 지를 모니터링 하고,
- [0027] 상기 모니터링 결과에 의존하여 상기 슬루 레이트 콘트롤러를 구동함에 의해 상기 출력 전압의 슬루 레이트가 조절되도록 한다.
- [0028] 본 발명의 개념적 실시 예에 있어서, 상기 슬루 리미터는 상기 파워 스위치의 게이트-소스 커패시턴스에 비해 작은 커패시턴스를 갖는 커패시터이고, 상기 슬루 레이트 콘트롤러는 게이트 전압에 따라 저항값이 가변되는 트랜지스터일 수 있다.
- [0029] 본 발명의 개념적 실시 예에 있어서, 상기 전압 스파이크의 사이즈가 허용치를 초과한 경우에 상기 게이트 전압은 상승되어 상기 출력 전압의 슬루 레이트는 낮아지고, 상기 전압 스파이크의 사이즈가 허용치 이하인 경우에 상기 게이트 전압은 하강되어 상기 출력 전압의 슬루 레이트는 높아질 수 있다.
- [0030] 본 발명의 개념적 실시 예에 있어서, 상기 슬루 레이트의 조절은, 상기 전압 스파이크의 사이즈를 줄이면서도 파워 효율을 증가시키기 위해 상기 파워 스위치의 게이트로 인가되는 입력의 주기마다 적응적으로 실행될 수 있다.

발명의 효과

- [0031] 본 발명의 실시 예적인 구성에 따르면, 스위칭 슬루 레이트가 적응적(adaptively)으로 조절되는 것에 의해 전압 스파이크가 줄어드는 동시에 파워 로스도 최소화 또는 줄어든다.
- [0032] 또한, 다양한 어플리케이션 보드(application boards)의 환경 하에서도 전압 스파이크 수준이 동일한 레벨로서 유지된다.

도면의 간단한 설명

- [0033] 도 1은 일반적인 벡 컨버터를 보여주는 컨버팅 회로 블록도,
- 도 2는 도 1의 컨버팅 회로 노드들에 나타나는 신호 파형도,
- 도 3은 도 1의 컨버팅 회로에서 기생 인덕턴스의 크기에 따라 나타나는 전압 스파이크의 발생 형태도,
- 도 4는 도 1의 컨버팅 회로 중 게이트 드라이버와 간단한 피 채널 파워 스위치의 등가회로 및 입출력 전압 파형을 예시적으로 나타낸 도면,
- 도 5는 도 1의 컨버팅 회로 중 게이트 드라이버와 엔 채널 파워 스위치의 등가회로를 예시적으로 나타낸 도면,
- 도 6은 도 5에 따른 구간별 입출력 전압 파형과 슬루 레이트에 따른 전압 스파이크의 사이즈를 예시적으로 보여주는 도면,
- 도 7은 도 6 중 제1,3 구간과 관련하여 도 1의 컨버팅 회로의 간단한 등가 회로 모델을 나타낸 도면,
- 도 8은 도 6 중 제2 구간과 관련하여 도 1의 컨버팅 회로의 간단한 등가 회로 모델을 나타낸 도면,
- 도 9는 도 1의 컨버팅 회로에서 게이트 드라이버를 모드 체인징 게이트 드라이버로 변형한 회로를 나타내는 도면,
- 도 10은 도 1의 컨버팅 회로에서 스누버 회로를 추가한 회로를 나타내는 도면,
- 도 11은 본 발명의 개념적 실시 예에 따른 전원 컨버팅 장치의 블록도,
- 도 12는 도 11중 슬루 리미터가 컨버팅 회로에 연결된 세부 구성을 보여주는 회로도,
- 도 13a는 도 6 중 제1,3 구간과 관련하여 도 12에 따른 회로의 간단한 등가 회로 모델을 나타낸 도면,
- 도 13b는 도 6 중 제2 구간과 관련하여 도 12에 따른 회로의 간단한 등가 회로 모델을 나타낸 도면,
- 도 14는 도 11중 슬루 레이트 콘트롤러가 컨버팅 회로에 연결된 세부 구성을 보여주는 회로도,

도 15는 도 11의 전원 컨버팅 장치의 예시적 구체회로도,
 도 16은 도 15에 따른 적응적 전압 스파이크 조절의 동작 파형도,
 도 17은 도 15중 인터그레이터의 예시적 구체회로도,
 도 18은 도 15의 전원 컨버팅 장치에 의해 감소된 전압 스파이크를 대비적으로 보여주는 시뮬레이션 결과 파형도,
 도 19는 도 15의 전원 컨버팅 장치에 의한 파워 효율의 변화 추이를 대비적으로 보여주는 시뮬레이션 결과 파형도,
 도 20은 도 15의 전원 컨버팅 장치에 의한 전압 스파이크의 개선을 부하 전류의 변화에 따라 나타낸 시뮬레이션 결과 파형도,
 도 21은 도 11의 전원 컨버팅 장치가 전자적 시스템에 연결된 적용 예를 도시한 도면,
 도 22는 셀룰러 폰에 적용된 본 발명의 응용 예를 도시한 도면,
 도 23은 태블릿 피씨에 적용된 본 발명의 응용 예를 도시한 도면,
 도 24는 노트북 컴퓨터에 적용된 본 발명의 응용 예를 도시한 도면, 및
 도 25는 정보 처리 시스템에 적용된 본 발명의 응용 예를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0034] 위와 같은 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시 예들을 통해서 쉽게 이해될 것이다. 그러나 본 발명은 여기서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시 예들은, 이해의 편의를 제공할 의도 이외에는 다른 의도 없이, 개시된 내용이 보다 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0035] 본 명세서에서, 어떤 소자 또는 라인들이 대상 소자 블록에 연결된다 라고 언급된 경우에 그것은 직접적인 연결 뿐만 아니라 어떤 다른 소자를 통해 대상 소자 블록에 간접적으로 연결된 의미까지도 포함한다.
- [0036] 또한, 각 도면에서 제시된 동일 또는 유사한 참조 부호는 동일 또는 유사한 구성 요소를 가급적 나타내고 있다. 일부 도면들에 있어서, 소자 및 라인들의 연결관계는 기술적 내용의 효과적인 설명을 위해 나타나 있을 뿐, 타의 소자나 회로블록들이 더 구비될 수 있다.
- [0037] 여기에 설명되고 예시되는 각 실시 예는 그것의 상보적인 실시 예도 포함될 수 있으며, DC-DC 컨버터의 스위칭 동작과 내부 기능회로에 관한 세부는 본 발명의 요지를 모호하지 않도록 하기 위해 상세히 설명되지 않음을 유의(note)하라.
- [0038] 먼저, 본 발명의 실시 예에 대한 보다 철저한 이해를 제공하기 위한 의도 이외에는 다른 의도없이, 이하에서는 일반적인 벡 컨버터에서 발생하는 전압 스파이크의 발생 요인과, 전압 스파이크를 감소시키기 위해 고정적인 값으로 슬루 레이터를 조절할 경우에 파워 효율이 떨어지는 원인이 도 1 내지 도 10을 참조로 설명될 것이다.
- [0039] 따라서, 본 발명의 개념을 성급히 이해하여야 할 필요가 있는 사람은 도 11에 관련된 설명으로 바로 점프해도 무방하다.
- [0040] 도 1은 일반적인 벡 컨버터를 보여주는 컨버팅 회로 블록도이고, 도 2는 도 1의 컨버팅 회로 노드들에 나타나는 신호 파형도이다.
- [0041] 도 1을 참조하면, 일반적인 하이 사이드(high side) 엔 채널 스위칭 벡 컨버터(switching buck converter)의 회로 블록이 나타나 있다.
- [0042] 컨버팅 회로는 구동 전원(V_{POW})과 접지(V_{SS})간에 차례로 연결된 엔 채널(p-channel) 파워 스위치(420)와 엔 채널(n-channel) 스위치(421)를 포함한다.
- [0043] 또한, 상기 컨버팅 회로는 피 채널 트랜지스터(412)와 엔 채널 트랜지스터(413)로 이루어진 게이트 드라이버(410)를 포함한다. 상기 게이트 드라이버(410)의 출력단에는 게이트 전압(V_{GATE})이 PWM 신호 등과 같은 입력에

응답하여 생성된다. 상기 게이트 드라이버(410)의 상기 게이트 전압(V_{GATE})은 상기 엔 채널 파워 스위치(420)의 게이트에 인가된다.

[0044] 한편, 게이트 전압의 부스팅을 위해 커패시터(430)가 다이오드(416)의 캐소드와 상기 엔 채널 파워 스위치(420)의 스위칭 출력노드(LX)간에 연결되고, 전원 전압(VDD)은 상기 다이오드(416)의 애노드에 연결된다. 스위칭 출력노드(LX)에는 인덕터(434)와 커패시터(431)가 연결될 수 있다. 한편 인덕터(415)는 기생(Parasitic)인덕터이다.

[0045] 도 1의 회로 동작이 이하에서 설명된다.

[0046] 먼저, 엔 채널 파워 스위치(420)는 게이트의 전압(V_{GATE})이 드레인-소스(drain-source)의 전압보다 문턱전압(V_{th})만큼 높은 전압일 때 스위칭 온(switching ON)이 된다. 즉 하이 사이드(high side) 엔 채널 파워 스위치(420)가 스위칭 온되는 경우에는 엔 채널 파워 스위치(420)의 게이트 전압(V_{GATE})이 상기 구동 전원(V_{POW})의 전압보다 높아야 한다. 그러므로 엔 채널 파워 스위치(420)의 게이트 전압(V_{GATE})은 도 2의 파형 WF2와 같이 부트스트랩(bootstrap) 동작에 따라 상기 구동 전원(V_{POW})의 전압보다 높게 상승된다.

[0047] 도 2의 신호 파형도에서 가로축은 시간을 나타내고 세로축은 전압 또는 전류 레벨을 가리킨다.

[0048] 신호 파형 WF1은 도 1의 회로에 인가되는 입력 예를 들어 PWM 신호의 파형을 나타내고, 신호 파형 WF2은 상기 엔 채널 파워 스위치(420)의 게이트 전압(V_{GATE})과 엔 채널 파워 스위치(420)의 스위칭 출력노드(LX)의 출력 전압(V_{LX})을 함께 나타낸다. 또한 신호 파형 WF3은 스위칭 출력노드(LX)의 인덕터(434)의 전류(I_L)와 부하 전류(I_{LOAD})를 함께 나타내고, 신호 파형 WF4는 상기 엔 채널 파워 스위치(420)의 스위칭 동작에 의해 발생하는 스위칭 전류를 나타낸다.

[0049] 하이 사이드 엔 채널 파워 스위치(420)가 오프(OFF)인 경우에 스위칭 출력노드(LX)의 전압은 이상적(ideal)인 조건에서는 그라운드(Ground)로 설정되고, 도 1의 커패시터(430)의 전압(C_{BST})은 전원전압에서 다이오드(416)의 전압이 감해진 전압, 즉 $V_{DD}-V_{DIODE}$ 만큼으로 차아지(charge)된다.

[0050] 시점 t_0 에서 상기 PWM 신호가 하이 펄스로 인가되면, 상기 게이트 전압(V_{GATE})은 게이트 드라이버(410)에 의해 상승하기 시작한다. 상기 게이트 전압(V_{GATE})의 상승에 의해 상기 엔 채널 파워 스위치(420)가 턴온되면 스위칭 출력노드(LX)의 전압(V_{LX})이 도 2의 신호 파형 WF2과 같이 상승하기 시작한다.

[0051] 한편, 상기 게이트 드라이버(410)의 엔 채널 트랜지스터(412)의 드레인 전압(V_{BST})은 그라운드(예를 들어 0볼트)를 기준으로 $V_{LX} + "V_{DD}-V_{DIODE}"$ 의 전압레벨로 된다. 여기서, " $V_{DD}-V_{DIODE}$ "는 상기 커패시터(430)의 프리차이지 전압(C_{BST})이다. 상기 드레인 전압(V_{BST})은 상기 스위칭 출력노드(LX)의 전압(V_{LX})이 상승함에 따라 동반 상승한다. 상기 스위칭 출력노드(LX)의 전압(V_{LX})은 이상적인 상황에서는 상기 구동 전원의 전압 V_{POW} 까지 상승한다. 이 경우에 게이트 드라이버(410)는 상기 드레인 전압(V_{BST})을 동작 전원으로서 수신하므로, 부트스트랩된 게이트 전압(V_{GATE})을 발생한다. 결국, 상기 게이트 전압(V_{GATE})은 도 2의 신호 파형 WF2에서 보여지는 바와 같이 $V_{DD}-V_{DIODE}+V_{POW}(=V_{LX})$ 레벨로 부트스트랩(Bootstrap)되어짐을 알 수 있다.

[0052] 도 2의 신호 파형 WF4에서 보여지는 바와 같이 상기 엔 채널 파워 스위치(420)의 스위칭 동작에 의해 발생하는 스위칭 전류(I_{SW})는 시점 t_0 에서 급격히 변화된다. 이와 같이 스위칭 온 시점부터 급격하게 변화되는 전류는 회로의 와이어 본딩이나 PCB 레이아웃 디자인(layout design)에서 파생되는 기생 인덕터(415)의 기생 인덕턴스($L_{PARASITIC}$)로 인해 전압 스파이크의 발생을 도 3에서와 같이 초래한다.

[0053] 도 3은 도 1의 컨버팅 회로에서 기생 인덕턴스의 크기에 따라 나타나는 전압 스파이크의 발생 형태도이다.

[0054] 도 3을 참조하면, 인덕턴스의 크기가 서로 다른 기생 인덕터(415, 415a, 415b)가 상기 엔 채널 파워 스위치(420)의 드레인에 배치된 것이 보여진다. 전압 스파이크의 발생 레벨은 기생 인덕턴스 $L_{PARASITIC}$ 가 클수록, 부하 전류(Load current) I_{LOAD} 가 클수록, 또는 스위칭 슬루 레이트(slew rate) ΔI_{SW} 이 빠를수록 높아진다.

- [0055] 도 3에서 보여지는 출력 전압(V_{LX})의 파형에서의 전압 스파이크 V_{Sb} 는 기생 인덕터(415b)의 인덕턴스에 의해 발생된 것이고, 전압 스파이크 V_{Sa} 는 기생 인덕터(415a)의 인덕턴스에 의해 발생된 것인 바, 전압 스파이크의 발생 레벨은 기생 인덕턴스 $L_{PARASITIC}$ 가 클수록 높음을 알 수 있다.
- [0056] 스위칭 출력노드(LX)의 전압 스파이크(voltage spikes)를 줄일 수 있는 방법 중의 하나는 상기 엔 채널 파워 스위치(420)의 게이트를 드라이브하는 스위칭 슬루 레이트를 최대한 느리게 하는 것이다. 스위칭 슬루 레이트를 가능한 낮추면 I_{SW} 의 순간적인 전류변화량을 최소화 시킬 수 있기 때문이다.
- [0057] 이하에서는 도 1과는 다른 피 채널 파워 스위치와 도 1의 엔 채널 파워 스위치의 스위칭 슬루 레이트에 대한 분석이 설명될 것이다.
- [0058] 도 4는 도 1의 컨버팅 회로 중 게이트 드라이버와 간단한 피 채널 파워 스위치의 등가회로 및 입출력 전압 파형을 예시적으로 나타낸 도면이다. 또한, 도 5는 도 1의 컨버팅 회로 중 게이트 드라이버와 엔 채널 파워 스위치의 등가회로를 예시적으로 나타낸 도면이다.
- [0059] 먼저, 도 4를 참조로 일반적이고 간단한 하이 사이드 피 채널 파워 스위치(420P)를 구비한 컨버팅 회로가 설명된다. 설명의 간략화 및 명료화를 위해, 게이트 드라이버(410)는 등가 전류 소스(equivalent current source)인 I_{GATE_EQ} 로 모델링되고, 피 채널 파워 스위치(420P)는 등가 게이트-소스 커패시터(equivalent gate-source capacitor)인 C_{SW} 로 모델링된다.
- [0060] 파워 스위치가 하이 사이드 피 채널 파워 스위치인 경우에, 도 4의 오른쪽에 나타낸 파형(waveform)처럼, V_{GATE} 와 V_{LX} 는 $V_{POW} \sim 0V$ (Ground)사이에서 스윙(swing)한다. 이 경우에 스위칭 슬루 레이트는 I_{GATE_EQ}/C_{SW} 으로서 심플하게 나타남을 알 수 있다. 그러므로 게이트 드라이버의 전류 드라이브 세기를 적절하게 조절하는 것에 의해 피 채널 파워 스위치인 경우에는 원하는 슬루 레이트를 얻을 수 있다.
- [0061] 이제 도 5를 참조하면, 도 1의 컨버팅 회로 중 게이트 드라이버(410)와 엔 채널 파워 스위치(420)의 등가회로가 보여진다.
- [0062] 도 4와 유사하게, 엔 채널 파워 스위치(420)는 등가 게이트-소스 커패시터(equivalent gate-source capacitor)인 C_{SW} 로 모델링된다. 상기 등가 커패시터(433a)는 V_{GATE} 와 스위칭 출력 노드(LX)간에 연결되어 있고, V_{GATE} 와 그라운드 간에는 기생 커패시턴스를 $C_{PARASITIC}$ 를 갖는 기생 커패시터(432)가 추가로 연결되어 있다. 또한, 게이트 드라이버(410)는 등가 전류 소스(equivalent current source)인 I_{GATE_EQ} 로 모델링된다.
- [0063] 도 5의 동작은 도 6을 통해 구체적으로 설명된다.
- [0064] 도 6은 도 5에 따른 구간별 입출력 전압 파형과 슬루 레이트에 따른 전압 스파이크의 사이즈를 예시적으로 보여주는 도면이다.
- [0065] 도 6을 참조하면, 엔 채널 파워 스위치(420)의 스위칭 슬로프 파형이 확대적으로 나타나 있다.
- [0066] 도 4의 피 채널 파워 스위치와는 달리, 엔 채널 파워 스위치(420)의 동작 구간은 스위칭 출력 노드(LX)와 V_{GATE} 의 부트스트랩 효과로 인해 도 6에서와 같이 3 구간으로 나뉘어 분석될 수 있다.
- [0067] 제1 구간(T1)에서 스위칭 출력 노드(LX)의 전압 V_{LX} 은 리얼 그라운드(real-ground)로 고정되고, V_{GATE} 의 전압은 I_{GATE_EQ} 가 C_{SW} 를 차아지(charge)함에 의해 상승한다. 상기 V_{GATE} 의 전압이 V_{THN} 의 레벨까지 상승하면 상기 엔 채널 파워 스위치(420)가 턴 온(turn-on)된다.
- [0068] 제2 구간(T2)에서 상기 엔 채널 파워 스위치(420)가 턴 온됨에 따라, V_{LX} 는 V_{POW} 까지 부트스트랩되며, C_{SW} 를 통해 V_{GATE} 도 V_{LX} 와 동일한 슬로프(slope)를 가지고서 함께 상승한다.
- [0069] 제3 구간(T3)에서 I_{GATE_EQ} 는 V_{GATE} 를 $V_{BST}(=V_{DD}+LX)$ 레벨까지 차아지한다.
- [0070] 상기 구간들 중에서 제1 및 제3 구간의 슬루 레이트는 일반적인 피 채널 파워 스위치의 경우와 동일 하다. 그러나, 제2 구간(T2)의 빠른 슬루 레이트는 전압 스파이크에 워스트(worst)한 영향을 준다.

- [0071] 보다 자세한 설명을 위해 각 구간의 슬루 레이트에 대한 분석이 도 7 및 도 8을 참조로 수행된다.
- [0072] 도 7은 도 6 중 제1,3 구간과 관련하여 도 1의 컨버팅 회로의 간단한 등가 회로 모델을 나타낸 도면이고, 도 8은 도 6 중 제2 구간과 관련하여 도 1의 컨버팅 회로의 간단한 등가 회로 모델을 나타낸 도면이다.
- [0073] 먼저, 도 7을 참조하면, 제1 구간과 제3 구간에서는 LX node가 각각 AC ground (1구간 = ground, 3구간 = V_{POW})이다. 이때 C_{SW} 는 $C_{PARASITIC}$ 보다 월등히 크므로 스위칭 슬루 레이트는 $I_{GATE_EQ}/(C_{SW}+C_{PARASITIC})=I_{GATE_EQ}/C_{SW}$ 로 나타낼 수 있다. 즉, 제1,3 구간에서는 I_{GATE_EQ} 가 화살부호 AR1 같이 C_{SW} 로 흐르게 된다.
- [0074] 도 8에서는 도 7의 경우와는 달리 제2구간은 스위칭 출력 노드(LX)의 전압 V_{LX} 이 부트스트랩되어 플라잉(flying)되는 구간이므로 V_{GATE} 에서 C_{SW} 로 바라보는 임피던스는 고 임피던스(high impedance)가 된다. 즉, 제2 구간에서는 I_{GATE_EQ} 가 C_{SW} 로 흐르지 못하고 화살부호 AR2와 같이 $C_{PARASITIC}$ 로 흐르게 되어, 스위칭 슬루 레이트는 $I_{GATE_EQ}/C_{PARASITIC}$ 으로 된다. 따라서, 슬루 레이트는 급격히 증가하게 된다.
- [0075] 정리하면, 스위칭 슬로프 슬루 레이트(제1,3구간)= I_{GATE_EQ}/C_{SW} 가 되고, 스위칭 슬로프 슬루 레이트(제2구간)= $I_{GATE_EQ}/C_{PARASITIC}$ 가 된다. 여기서 제2 구간의 높은 슬루 레이트는 LX node의 큰 전압 스파이크(large voltage spikes)발생의 주원인으로 작용한다.
- [0076] 스위칭 출력 노드(LX)에서 발생하는 전압 스파이크를 줄이는 일반적인 방법으로서 도 7,8에서 보여지는 I_{GATE_EQ} 를 줄여 슬루 레이트를 낮추는 방법이 흔히 사용되어왔다. 그러나 이러한 방법에서의 문제는 파워 로스를 유발한다는 것이다. 즉, 제2 구간의 슬루 레이트를 기준으로 I_{GATE_EQ} 를 낮추면 제1,3 구간의 스위칭 슬로프도 함께 낮아지므로, 매우 큰 파워 로스(power loss)가 발생할 수 있다.
- [0077] 또한, I_{GATE_EQ} 를 $C_{PARASITIC}$ 에 맞추어 설계한다고 하여도 외부의 와이어본딩 등에 의해 기인되는 $L_{PARASITIC}$ 의 양을 정확히 예측하기 어렵다. 그러므로 적절한 스위칭 슬루 레이트를 얻기 위해 I_{GATE_EQ} 값을 구하는 데 또 다른 어려움이 있다. 결국, $L_{PARASITIC}$ 값이 오버 추정(over estimate)되어 슬루 레이트가 필요 이상으로 느리게 되면 그 만큼 스위치 컨덕션 파워 로스(switch conduction power loss)가 발생된다. 반대로 $L_{PARASITIC}$ 값이 언더 추정(under estimate)되어 슬루 레이트가 적정 수준보다 빠르게 되면 전압 스파이크를 제대로 제한하기 어렵다.
- [0078] 위와 같은 단점을 개선하기 위해 도 9에서 보여지는 바와 같이 복수의 선택 모드를 갖는 게이트 드라이버가 컨버팅 회로에 채용될 수 있다.
- [0079] 도 9는 도 1의 컨버팅 회로에서 게이트 드라이버를 모드 체인징 게이트 드라이버로 변형한 회로를 나타내는 도면이다.
- [0080] 도 9를 참조하면, 게이트 드라이버(410)는 복수의 선택 모드에 따라 드라이빙 동작을 수행할 수 있다. 모드 철회(change) 비트를 입력하는 것에 의해 게이트 드라이버(410)의 구동 용량이 가변된다. 예를 들어, 모드 철회 비트(mode change bit)을 바꾸어 주면 I_{GATE_EQ} 는 0.5X에서 3.5X까지 바뀔 수 있다. 전압 스파이크의 실장 측정값을 비교함에 의해 디자이너(designer)는 가장 적절한 값으로 상기 모드 철회 비트의 값을 선택할 수 있다.
- [0081] 도 9의 게이트 드라이버의 구동 능력을 모드 철회 비트를 이용하여 선택하는 테크닉은 크게 두 가지의 단점을 가진다.
- [0082] 첫 번째로, 게이트 드라이버의 적정 구동값을 만들기 위해 사용되어지는 트랜지스터 이외에, 사용되어지지 않는 트랜지스터는 실리콘 면적(silicon area)을 낭비(waste)하게 된다. 두 번째로, 게이트 드라이버의 사이즈는 한정된 스텝(step)만큼으로 변화되기 때문에 최적 스위칭 슬루 레이트 포인트(optimum switching slew rate point)를 찾기 어렵다.
- [0083] 또한, 도 9를 이용하는 기술은 하나의 고정 스위칭 슬루 레이트(fixed switching slew rate)로 선택되므로 다양한 부하 전류 상황과 어플리케이션 보드 환경을 적절히 커버(cover)하기 어렵다. 예를 들어, 헤비 로드 전류(heavy load current)상황에서 발생하는 비교적 큰 전압 스파이크 수준에 맞추어 스위칭 슬루 레이트가 낮게 설정된 경우라면, 모든 구간에서 전압 스파이크가 제한되는 효과를 가져온다. 그러나 라이트 내지 중 부하 전류(light-to-medium load current)상황에서는 슬루 레이트가 필요 이상으로 낮아진 결과가 되므로, 보다 큰 파워

로스를 유발한다. 따라서, 파워 효율(power efficiency)이 저하된다.

- [0084] 또 다른 예로서, 하나의 어플리케이션 보드 환경에 따라 스위칭 슬루 레이트를 적절하게 설정하여 전압 스파이크를 제한할 경우에도, 다른 어플리케이션 보드나 보드 상의 인덕턴스(inductance) 편차에 의해 여전히 전압 스파이크가 적절히 제한되지 않을 수 있다. 따라서 이러한 문제를 해결하기 위해 슬루 레이트를 더 낮게 조절하는 것은 그 마진(margin)만큼 파워 로스가 유발된다.
- [0085] 전압 스파이크를 줄이는 다른 방법으로서도 도 10과 같이 회로 내에 스누버 (snubber circuit)회로를 적용하는 방법도 있다.
- [0086] 도 10은 도 1의 컨버팅 회로에서 스누버 회로를 추가한 회로를 나타내는 도면이다.
- [0087] 도 10을 참조하면, 스위칭 출력노드(LX)와 그라운드 간에 스누버 회로(440)가 설치된 예가 보여진다.
- [0088] 스누버 회로(440)의 채용에 의해, 스위칭 출력노드(LX)의 과도 전압 스파이크(excessive voltage spikes)가 효과적으로 댐프(damped)되지만, 그만큼의 파워가 불필요하게 소모되어, 파워 효율이(efficiency)은 떨어지는 단점이 있다. 또한, 이외에도 외부 소자들을 추가로 설치하는 것에 의해 비용이나 면적소모의 단점이 발생된다.
- [0089] 상술한 바와 같이 파워 스위치의 스위칭 슬루 레이트를 느리게 제어하여 전압 스파이크를 제한하는 일반적인 방법은, 전압 스파이크로 인해 발생하는 문제들, 예를 들면, EMI 노이즈, 내부 소자의 디메지(damage), 다이내믹 파워 로스(dynamic power loss), 또는 노이즈로 인한 레귤레이터 컨트롤러의 오동작을 방지하거나 줄인다. 그러나, 슬루 레이트를 고정된 슬루 레이트에 맞춰 느리게 하는 것은 스위치 컨덕션 파워 로스(switch conduction power loss)를 더 크게 하는 현상을 유발한다. 또한, 위와 같은 일반적인 방법은 어플리케이션 보드 환경에 따라 전압 스파이크가 다르게 나타나는 현상을 완벽히 제어하기 어렵다.
- [0090] 따라서, 모든 어플리케이션 보드(application boards)상황에서 동일한 전압 스파이크 억제 성능을 실현하는 장치가 필요해진다. 본 발명의 개념에 따른 실시 예에서는 스위칭 시 발생하는 전압 스파이크를 적응적으로 제어할 수 있는 어댑티브 전원 컨버팅 장치가 도 11과 같이 제공된다.
- [0091] 이제부터 본 발명의 개념에 따른 실시 예가 설명된다.
- [0092] 도 11은 본 발명의 개념적 실시 예에 따른 전원 컨버팅 장치의 블록도이다.
- [0093] 도 11을 참조하면, 전원 컨버팅 장치는, 컨버팅 회로(400)와 슬루 리미터(300)를 포함한다.
- [0094] 상기 컨버팅 회로(400)는 게이트로 인가되는 입력에 따라 구동 전원전압(V_{POW})을 구동하여 스위칭 출력노드(LX)로 인가하는 파워 스위치(420)를 포함한다.
- [0095] 상기 슬루 리미터(300)는 상기 파워 스위치(420)의 상기 게이트와 그라운드 간에 연결되어 상기 스위칭 출력노드의 출력 전압에서 나타나는 전압 스파이크의 사이즈를 줄이면서도 파워 효율을 증가시키기 위해 상기 출력 전압의 슬루 레이트를 조절한다.
- [0096] 상기 슬루 리미터(300)는 도 12에서 보여지는 바와 같이 상기 파워 스위치(420)의 게이트-소스 커패시턴스(433a)에 비해 작은 커패시턴스를 갖는 커패시터(C_{SL})일 수 있다.
- [0097] 도 11에서의 경우, 전원 컨버팅 장치는, 상기 파워 스위치의 상기 게이트와 상기 슬루 리미터 간에 연결되어 상기 슬루 리미터를 통해 흐르는 전류를 부하 변동에 따라 적응적으로 조절하는 슬루 레이트 컨트롤러(200)를 더 포함할 수 있다.
- [0098] 상기 슬루 레이트 컨트롤러는 도 14에서 보여지는 바와 같이 제어전압 신호(V_{CTRL})에 따라 저항값이 가변되는 가변저항으로서 기능하는 모스 트랜지스터(200)일 수 있다.
- [0099] 도 11에서의 경우, 전원 컨버팅 장치는, 상기 스위칭 출력노드의 출력 전압을 모니터링하여 상기 제어전압 신호를 생성하는 어댑티브 스위칭 컨트롤러(100)를 더 포함할 수 있다.
- [0100] 상기 어댑티브 스위칭 컨트롤러(100)는, 도 15에서 보여지는 바와 같이 제1 동작구간에서 인가되는 상기 스위칭 출력노드의 출력 전압을 샘플링 및 홀드하는 샘플 앤드 홀드 회로(110), 상기 제1 동작구간의 다음 구간인 제2 동작구간에서 인가되는 상기 스위칭 출력노드의 출력 전압을 상기 샘플 앤드 홀드 회로의 출력과 비교하여 전압 스파이크 검출의 유무를 가리키는 비교 신호를 출력하는 비교기(120), 및 상기 비교 신호의 레벨에 따라 슬루 레이트 조절을 위해 차징 업 또는 디스차아징되는 전압을 생성하여 상기 제어전압 신호로서 출력하는 인터그레

이터(130)를 포함할 수 있다.

- [0101] 상기 인터그레이터(130)의 디스차아징 경로에는 도 17에서 보여지는 바와 같이 역류 방지 기능을 위한 다이오드(143)가 추가적으로 설치될 수 있다.
- [0102] 상기 샘플 앤드 홀드 회로(110)는 샘플링된 상기 스위칭 출력노드의 출력 전압을 홀드 시에 도 16에서 보여지는 바와 같이 전압 스파이크의 허용 설계 값인 문턱전압 값(V_{TH})을 상기 샘플링된 출력 전압에 더하여 홀드할 수 있다.
- [0103] 도 11에서 상기 슬루 리미터(300)는 엔 채널의 파워 스위치(420)를 갖는 컨버팅 회로(400)에서, 부트스트랩 구간에서의 슬루 레이트가 급격히 올라가는 문제를 파워 효율을 크게 저하시키지 않으면서 해소하는 역할을 한다.
- [0104] 상기 슬루 레이트 콘트롤러(200)는 일반적인 고정 스위칭 슬루 레이트(fixed switching slew rate)의 제어 기법과는 달리, 스위칭 슬루 레이트가 환경이나 부하변동에 따라 적응적으로 변화되도록 하는 역할을 한다.
- [0105] 도 12는 도 11중 슬루 리미터가 컨버팅 회로에 연결된 세부 구성을 보여주는 회로도이다.
- [0106] 도 12를 참조하면, 슬루 리미터(200)는 V_{GATE} 와 그라운드 사이에 연결된 slew-limiting capacitor(C_{SL})로써 구현된다. 여기서, 상기 C_{SL} 의 커패시턴스는 C_{SW} 의 커패시턴스 보다 상대적으로 작은 값으로 설정된다.
- [0107] 상기 슬루 리미터(200)의 설치에 의해, 도 6에서의 제1,2,3 구간들의 스위칭 슬루 레이트가 파워 효율은 높으면서도 전압 스파이크는 감소되도록 제어된다. 즉, 제2 구간의 높은 슬루 레이트는 감소되도록 하여 전압 스파이크 현상을 줄이는 반면, 제1,3 구간의 슬루 레이트는 증가되도록 하여 파워 로스가 도미넌트(dominant)한 부하 전류 영역에서의 파워 효율을 높인다. 이러한 효과는 도 13a, 13b에서 구체적으로 설명된다.
- [0108] 도 13a는 도 6 중 제1,3 구간과 관련하여 도 12에 따른 회로의 간단한 등가 회로 모델을 나타낸다. 또한, 도 13b는 도 6 중 제2 구간과 관련하여 도 12에 따른 회로의 간단한 등가 회로 모델을 나타낸다.
- [0109] 먼저 도 13b를 참조하면, 제2 구간에서는 C_{SW} 의 네거티브 노드(negative node)인 스위칭 출력 노드(LX)의 전압은 부트스트랩핑되어 급격히 증가되므로, 스위칭 출력 노드(LX)는 AC상 고 임피던스 노드(high impedance node)로 된다. 그러므로 게이트 드라이버(410)에서 보이는 유효 커패시턴스(effective capacitance)는 C_{SL} 이 된다. 즉, I_{GATE_EQ} 는 화살표호 AR20을 따라 흐른다. 따라서, 제2 구간(T2)에서의 스위칭 슬루 레이트는 I_{GATE_EQ}/C_{SL} 이 된다. 이에 비해, 도 8의 경우에는 $I_{GATE_EQ}/C_{PARASITIC}$ 이었다. C_{SL} 은 $C_{PARASITIC}$ 보다 월등히 크므로($C_{PARASITIC} \ll C_{SL}$), 도 12와 같은 회로의 경우에 제2 구간의 스위칭 슬루 레이트는 도 8에 비해 상대적으로 느리게 제어되는 것을 알 수 있다.
- [0110] 이와 같이 제2 구간에서의 스위칭 슬루 레이트는 느리게 조절되나, 파워 효율에 더 큰 영향력을 가지는 제1,3 구간에서는 상대적으로 더 빠른 스위칭 슬루 레이트를 갖는다.
- [0111] 도 13a를 참조하면, 제1,3 구간에서 C_{SW} 의 네거티브 노드인 스위칭 출력 노드(LX)는 AC 그라운드이다. 제1 구간에서는 리얼 그라운드이고, 제3 구간에서는 V_{POW} 가 된다. 그러므로 게이트 드라이버(410)에서 보이는 유효 커패시턴스는 $C_{SW}+C_{SL}$ 가 된다. 따라서, 이 경우에 스위칭 슬루 레이트는 $I_{GATE_EQ}/(C_{SW}+C_{SL})$ 이 된다.
- [0112] 여기서, $C_{SL} \ll C_{SW}$ 이므로, 도 13a에서의 제1,3 구간 스위칭 슬루 레이트는 I_{GATE_EQ}/C_{SW} 이 된다.
- [0113] 이를 도 7의 경우와 비교 시, 제1,3 구간 스위칭 슬루 레이트가 I_{GATE_EQ} (일반 기술)/ C_{SW} 으로서 나타나는 도 7과 동일하게 됨을 알 수 있다. 그러나 제2 구간의 C_{SL} 이 $C_{PARASITIC}$ 보다 큰 만큼 상기 I_{GATE_EQ} 를 도 13a의 경우에는 도 7의 경우에 비해 더 크게 설계하기 때문에, 제1,3 구간에서의 스위칭 슬루 레이트는 도 7의 경우에 비해 빠르게 된다. 즉, I_{GATE_EQ} (도 13a 케이스) $\gg$ I_{GATE_EQ} (도 7 케이스)이므로, 결과적으로 전체 파워 효율(overall power efficiency)은 높아진다.
- [0114] 상기한 이점에도 불구하고 도 12의 회로는 아래와 같은 구조적 단점을 가질 수 있다.
- [0115] 도 12에서의 C_{SL} 은 다이내믹 파워 로스(dynamic power loss)를 증가시킬 수 있으므로 완전 라이트 부하 조건(extreme light load condition)에서 파워 효율을 저하시킬 수 있다. 늘어나는 다이내믹 로스는 다음과 같이 나

타낼 수 있다.

- [0116] 즉, 일반 기술에서의 다이내믹 로스는, $P_{DYNAMIC}(\text{일반 기술}) = C_{SW} \times VDD^2 \times f_s$ 이고, 도 12에서의 다이내믹 로스는, $P_{DYNAMIC}(\text{도 12 케이스}) = C_{SW} \times VDD^2 \times f_s + C_{SL} \times V_{BST}^2 \times f_s$ 으로 나타난다. 결국, $C_{SL} \times V_{BST}^2 \times f_s$ 만큼의 부가적 파워 로스(additional power loss)가 발생하는 것이다.
- [0117] 또 다른 단점은 적절한 C_{SL} 값을 찾는 어려움이다. C_{SL} 이 너무 크게 설계된다면, 각 구간에서의 슬루 레이트의 감소로 컨덕션 파워 로스가 일어나며, C_{SL} 이 너무 작게 설계된다면 전압 스파이크를 적절히 제어할 수 없게 된다.
- [0118] 그러나, 전압 스파이크의 특성이 부하 전류의 양에 따라, 그리고 외부 와이어 본딩과 PCB 레이아웃에서 생성되는 $L_{PARASITIC}$ 값에 따라, 크게 변하기 때문에 이 이상적인 C_{SL} 값은 각 상황에 따라 변하게 되고 정확히 예측하기도 어렵다.
- [0119] 따라서, 위와 같은 도 12의 회로는 제2 구간의 슬루 레이트를 낮추어, 앤 채널 파워 스위치 타입에서 문제시되었던 전압 스파이크문제를 해결한다. 동시에 도 12의 회로는 제1,3 구간의 슬루 레이트를 증가시킴에 의해 컨덕션 파워 로스가 도미넌트(dominant)한 부하 전류 영역에서 파워 효율을 높인다.
- [0120] 그러나, 완전 라이트 부하 조건에서는 C_{SL} 로 인한 다이내믹 파워 로스로 인해 파워 효율이 저하되는 단점이 존재하며, 다양한 상황에 맞추어 적절한 C_{SL} 값을 설계하는 것도 어려울 수 있다.
- [0121] 위와 같이 도 12의 회로가 갖는 단점들을 해결하기 위해 제2 실시 예로서 의 회로가 도 14에 나타나 있다.
- [0122] 도 14는 도 11중 슬루 레이트 콘트롤러가 컨버팅 회로에 연결된 세부 구성을 보여준다.
- [0123] 도 14를 참조하면, 슬루 레이트 콘트롤러(200)는 V_{GATE} 와 상기 슬루 리미터(200) 사이에 연결된다. 상기한 구성에 따라, 도 14의 회로는 가변저항(variable resistor) R_{CTRL} 을 가지고서 어댑티브(adaptive) 스위칭 슬루 레이트 제어를 행하는 구조를 갖는다. 즉, 도 14는 도 12의 회로 구조에서 슬루 레이트 콘트롤러(200)가 추가된 구조이다.
- [0124] C_{SL} 과 함께 R_{CTRL} 을 시리즈(series)로 연결한 경우에 R_{CTRL} 을 통해 C_{SL} 로 흐르는 전류가 조절되므로, 스위칭 슬루 레이트를 원하는 대로 제어할 수 있다.
- [0125] 도 14에서, 상기 R_{CTRL} 은 V_{CTRL} 의 포텐셜 레벨(potential level)에 따라 0~무한대의 저항값으로 가변될 수 있다. 상기 R_{CTRL} 의 저항값을 이용하여 C_{SL} 를 차아지하는 I_{GATE_EQ} 의 값을 조절하면, 가변(variable) 스위칭 슬루 레이트가 구현된다.
- [0126] R_{CTRL} 의 저항값을 높이면 스위칭 슬루 레이트가 높아지며, R_{CTRL} 의 저항값을 낮추면 스위칭 슬루 레이트가 감소한다. 따라서, R_{CTRL} 의 저항값을 0으로 만들어 최소 스위칭 슬루 레이트를 갖도록 하는 것에서부터 시작하여 R_{CTRL} 의 저항값을 무한대로 올려 C_{SL} 의 슬루 리미터(slew limiter)의 기능을 완전히 없애는 것까지의 제어가 가능할 수 있다. 상기 R_{CTRL} 의 저항값을 조절하는 것은 도 15를 통해 설명될 것이다.
- [0127] 도 14에서, 부하 전류가 커질수록 전압 스파이크는 크게 발생된다.
- [0128] 일반적인 기술의 경우에 최대 부하 전류(maximum load current)상황에 맞추어 슬루 레이트를 낮게 고정하면, 중간 부하 전류 랜지(load current range)에서는 스위칭 슬루 레이트가 필요이상으로 감소된 상태가 된다. 따라서, 이 경우에는 파워 로스가 발생하게 된다. 반대로 낮은 중간 부하 전류 랜지에 맞추어 슬루 레이트를 높게 설정하면, 파워 로스는 줄일 수 있지만 부하 전류의 상승에 기인하여 전압 스파이크 발생이 커진다.
- [0129] 따라서, 도 14에서 V_{CTRL} 전압을 바꾸어 R_{CTRL} 의 저항값을 조절하는 것이 필요하다. 즉, 스위칭 슬루 레이트 제어를 부하 전류의 상황에 따라, 어플리케이션 보드가 갖는 인덕턴스에 의해 각기 다르게 발생하는 전압 스파이크의 수준에 따라 어댑티브하게 제어하는 것이 필요해진다. 상대적으로 빠른 스위칭 슬루 레이트는 어플리케이션 보드내에서 레스 로드 전류(less load current)나 레스 인덕턴스(less inductance)의 경우에 설정된다. 반대로, 상대적으로 느린 스위칭 슬루 레이트는 어플리케이션 보드내에서 모어 로드 전류(more load current)나 모어 인덕턴스(more inductance)의 경우에 설정된다. 슬루 레이트를 각종 변동 상황에 따라 어댑티브하게 제어

하면 파워 효율이 전 영역에서 최대화된다.

- [0130] 이하에서는 도 15를 참조로, 피드백 루프구조를 가지고, 스위칭 슬루 레이트를 어댑티브하게 제어하는 것이 설명될 것이다.
- [0131] 도 15는 도 11의 전원 컨버팅 장치의 예시적 구체회로도이고, 도 16은 도 15에 따른 적응적 전압 스파이크 조절의 동작 파형도이다.
- [0132] 먼저, 도 15를 참조하면, 상기 슬루 레이트 컨트롤러(200)를 제어하기 위해, 상기 스위칭 출력노드(LX)의 출력 전압을 모니터링하여 제어전압 신호(V_{CTRL})를 생성하는 어댑티브 스위칭 컨트롤러(100)의 세부 구성이 나타나 있다.
- [0133] 상기 어댑티브 스위칭 컨트롤러(100)는, 샘플 앤드 홀드 회로(110), 비교기(120), 및 인터그레이터(130)를 포함한다.
- [0134] 상기 어댑티브 스위칭 컨트롤러(100)는 부하 전류와 어플리케이션 보드의 상황에 따라 다르게 발생하는 스위칭 전압 스파이크 수준을 디자인 한계값 이하로 제어하는 동시에 최대 스위칭 슬루 레이트가 얻어지도록 한다.
- [0135] 먼저, 스위칭 전압 스파이크를 검출하여 상기 제어전압 신호(V_{CTRL})를 적절하게 생성하는 것에 관한 설명부터 이하에서 개시된다.
- [0136] 도 16의 1T구간에서 V_{LX} 가 샘플 앤드 홀드 회로(sample & hold circuit :110)로 인가된다. 상기 샘플 앤드 홀드 회로(110)는 상기 제1 동작구간 즉 1T 구간에서 인가되는 상기 스위칭 출력노드(LX)의 출력 전압을 샘플링 및 홀드한다.
- [0137] 이 때 샘플링된 신호 $V_{LX}(t-1)$ 는 V_{LX} 가 펄스 온(On) 되었을 때의 최종 레벨(전압 스파이크가 사라진 후)에서 전압 스파이크의 설계 마진인 문턱전압 V_{TH} 만큼 인 전압 즉, 도 16에서 보여지는 바와 같이 $V_{LX}(t-1)+V_{TH}$ 의 레벨로 홀드된다.
- [0138] 비교기(120)는 상기 제1 동작구간의 다음 구간인 제2 동작구간에서 인가되는 상기 스위칭 출력노드의 출력 전압을 상기 샘플 앤드 홀드 회로(110)의 출력과 비교하여 전압 스파이크 검출의 유무를 가리키는 비교 신호(V_{COMP})를 출력한다. 즉, 도 16의 2T 구간이 시작될 때 상기 비교기(120)는 상기 샘플 & 홀드된 상기 $V_{LX}(t-1)+V_{TH}$ 와 현재 $V_{LX}(2T)$ 의 전압 스파이크를 서로 비교한다. $V_{LX}(2T)$ 의 전압 스파이크가 상기 샘플링된 $V_{LX}(t-1)+V_{TH}$ 의 레벨을 넘을 때, 전압 스파이크의 발생이 검출된다. 이와 같이 전압 스파이크의 발생이 검출되면, 래치 타입 비교기(latch-type comparator)의 기능을 갖는 상기 비교기(120)는 도 16에서 보여지는 바와 같이 하이 레벨의 비교 신호(V_{COMP})를 출력한다.
- [0139] 상기 제1,2 동작 구간들의 주기는 상기 파워 스위치(420)의 상기 게이트에 인가되는 입력의 주기에 대응될 수 있다.
- [0140] 이와 같이 본 실시 예에서의 전압 스파이크 검출 작업은 전압 스파이크가 일어나는 매우 짧은 순간 내에 모두 이루어질 필요가 없다. 즉, 이전 구간에서의 전압 스파이크와 현재 구간에서의 전압 스파이크를 동작 구간 단위로 비교함에 의해 검출의 시간적인 제한을 크게 받지 않는다. 즉, 검출 작업을 위한 고속 회로가 크게 요구되지 않기 때문에 검출의 정확성이 높고, 보다 더 전력효율이 높은 회로의 사용도 가능하게 된다.
- [0141] 상기 인터그레이터(130)는 상기 비교 신호(V_{COMP})의 레벨에 따라 슬루 레이트 조절을 위해 차징 업 또는 디스차아징되는 전압을 생성하여 상기 제어전압 신호(V_{CTRL})로서 출력한다. 즉, 상기 인터그레이터(130)는 상기 비교기(120)의 비교 신호인 V_{COMP} 를 수신한다. 상기 인터그레이터(130)는 상기 V_{COMP} 이 하이(HIGH)레벨일 때 V_{CTRL} 을 차징 업(charging up)하여 가변 저항 R_{CTRL} 의 임피던스(impedance)가 낮아지도록 한다. 이에 따라 현재 구간의 다음 구간에서 스위칭 동작의 슬루 레이트는 낮아진다. 상기 인터그레이터(130)의 차징 업 동작은 전압 스파이크가 원하는 범위를 넘지 않을 때까지 계속 된다.
- [0142] 도 16의 4T 구간에서는 전압 스파이크가 더 이상 원하는 범위를 넘지 않으므로 V_{COMP} 는 도 16의 4T 구간에서의 파형과 같이 로우(LOW)레벨로 천이된다. 이에 따라 상기 인터그레이터(130)의 차징 업 동작은 끝나고 디스차아

정 동작이 시작된다. 즉, 상기 인터그레이터(130)는 V_{CTRL} 을 디스차아징한다. 도 16의 $(n-1)T$ 구간에서와 같이, 슬루 레이트가 너무 느려서 전압 스파이크가 V_{TH} 보다 필요없이 낮게 발생한다면 상기 인터그레이터(130)는 V_{CTRL} 을 디스차아징하여 슬루 레이트를 높인다.

[0143] 결과적으로 슬루 레이트는 도 16의 nT 구간처럼 전압 스파이크가 V_{TH} 바로 아래에 머무는 정도의 크기로 레귤레이트(regulate)된다.

[0144] 도 15의 회로 구조를 갖는 벅 스위칭 컨버터(buck switching converter)는 어느 변동 상황에서도 전압 스파이크를 V_{TH} 레벨로 제어하여, 최대 스위칭 슬루 레이트를 가질 수 있게 한다.

[0145] 더구나, 도 15의 회로 구조는 라이트 부하 조건(light load condition)에서는 슬루 리미터에 의해 추가적인 다이내믹 파워 로스의 단점을 보완한다. 라이트 부하 조건에서는 전압 스파이크가 거의 발생되지 않으므로 상기 어댑티브 스위칭 컨트롤러(100)는 자동으로 상기 R_{CTRL} 을 무한대로 올린다. 이에 따라 C_{SL} 로 인한 추가적인 다이내믹 파워 로스가 방지된다.

[0146] 도 17은 도 15중 인터그레이터의 예시적 구체회로이다.

[0147] 도 17을 참조하면, 인터그레이터(130)는 인버터(132), 다이오드(143), 전류원(140), 커패시터(144), 및 복수의 트랜지스터들(133, 134, 135, 136, 137, 141, 142)을 포함한다.

[0148] 상기 인터그레이터(130)는 가변저항 R_{CTRL} 을 제어한다. R_{CTRL} 은 상기 제어전압 신호(V_{CTRL})의 레벨에 따라 저항값이 변화된다. 가변저항 R_{CTRL} 을 구현하는 방법 중 값싸고 집적하기 쉬운 구현 방법은 CMOS를 사용하는 것이다. 그러나 CMOS를 이용한 가변저항의 구현 방법은, 부트스트랩 구조(Bootstrap structure)에서 어려움을 겪을 수 있다. 그 이유는 CMOS 가변저항인 R_{CTRL} 의 드레인 대 소스(Drain to Source) 양단 전압이 매 스위칭 온/오프 구간에서 그라운드 레벨(GND level)부터 LX level($=V_{POW}$ Level)까지 변하기 때문이다. 따라서, 도 17에서 상기 R_{CTRL} 을 제어하는 V_{CTRL} 전압도 R_{CTRL} 의 양단전압이 GND to LX 로 변할 때에 맞추어 함께 GND to LX 로 변해야 한다. 이를 위해 상기 인터그레이터(130)는 아래와 같이 동작한다.

[0149] 상기 비교 신호(V_{COMP})의 레벨은 전압 스파이크의 검출 유무에 따라 로우 또는 하이레벨로 된다. 여기서 로우 레벨은 디지털 신호 0이 될 수 있고, 하이 레벨은 디지털 신호 1이 될 수 있다.

[0150] 상기 인터그레이터(130)는 상기 비교 신호(V_{COMP})의 레벨에 따라 커패시터(144)로서 표시된 C_{INT} 를 차아징/디스차아징 시킨다.

[0151] 먼저, 스위칭 오프 구간에서는 상기 스위칭 출력 노드(LX)가 GND이기 때문에 일반적인 인터그레이터와 같은 동작을 수행한다.

[0152] 그러나, 스위칭 온이 되면 상기 스위칭 출력 노드(LX)가 V_{POW} 으로 올라간다. 이 때 C_{INT} 는 자동적으로 V_{CTRL} 을 V_{POW} 기준으로 함께 부트스트랩 시킨다. 액추얼(Actual) V_{CTRL} 은 $V_{CTRL} + V_{LX}$ 가 되어 CMOS 가변저항 구조의 R_{CTRL} 은 스위칭 오프 때와 같은 저항값으로 고정시킨다. 여기서 다이오드(143)로서 표시된 D_{INT} 는 인터그레이터(130)의 차아징 패스(charging path)에서 C_{INT} 의 역류를 막아 주는 역할을 한다. 또한, 도 17의 인터그레이터(130)의 경우에 디스차아징 패스(discharging path)에는 역류 원인 자체를 없애는 구조와 높은 V_{POW} 값에서 신뢰성을 갖기 위해 NLDPMOS 미러 구현(mirror implementation)으로 구성되었다.

[0153] 본 발명의 실시 예에 따른 동작특성 및 이점(benefit)이 도 18 내지 도 20을 통해 이하에서 설명될 것이다.

[0154] 도 18은 도 15의 전원 컨버팅 장치에 의해 감소된 전압 스파이크를 대비적으로 보여주는 시뮬레이션 결과 파형도이다. 또한, 도 19는 도 15의 전원 컨버팅 장치에 의한 파워 효율의 변화 추이를 대비적으로 보여주는 시뮬레이션 결과 파형도이고, 도 20은 도 15의 전원 컨버팅 장치에 의한 전압 스파이크의 개선을 부하 전류의 변화에 따라 나타낸 시뮬레이션 결과 파형도이다.

[0155] 첫째로, 하이 사이드 앤 채널 파워 스위치를 포함하는 도 15와 같은 벅 컨버터는 부트스트랩 구간(도 6의 T2 구간에 대응)의 스위칭 슬루 레이트를 낮춘다. 따라서, 스위칭 출력 노드에서 발생하는 전압 스파이크가 전 부하 전류 영역에서 최소화 또는 감소된다. 이러한 동작에 더하여 벅 컨버터는 파워 스위치가 ON/OFF 되는 구간(도 6

의 T1 구간, T3 구간)의 스위칭 슬루 레이트를 증가시킨다. 따라서, 컨덕션 파워 로스가 도미넌트한 영역에서 파워 효율이 높아진다.

[0156] 도 18을 참조하면, 그래프 IG1은 도 15의 회로를 통해 전압 스파이크가 제한된 것을 보여준다. 이에 비해 그래프 PG1은 일반적인 벡 컨버터를 통해 나타나는 전압 스파이크가 보여진다. 도 18에서 가로축은 시간을 나타내고 세로축은 전압을 가리킨다. 도 18에서의 시뮬레이션 결과 파형을 대비 시, 제2 구간에서 슬루 레이트를 제어함에 의해 전압 스파이크가 효과적으로 감소되는 것을 확인할 수 있다.

[0157] 또한, 도 19를 참조하면, 부하 전류에 따른 파워 효율이 대비적으로 나타나 있다. 도 19에서 가로축은 부하 전류를 나타내고 세로축은 파워 효율을 %로서 가리킨다. 그래프들 중에서 PG 는 일반적인 벡 컨버터를 통해 얻어지는 파워 효율을 보인 것이고, IG 는 도 12의 회로를 통해 얻어지는 파워 효율을 보여준다. 또한, IGI 는 도 14의 회로를 통해 얻어지는 파워 효율을 보인 것이다.

[0158] IGATE_EQ를 극히 낮은 경우에 나타나는 그래프 PG 를 기준으로 대비할 경우에도 컨덕션 파워 로스가 도미넌트한 100mA~1.5A영역에서 IG 와 IGI 의 경우에 모두 파워 효율이 개선됨을 알 수 있다. 결국, 이는 제1,3 구간에서 슬루 레이트를 빠르게 제어함에 의해 나타나는 효과이다.

[0159] 둘째로, 라이트 부하 조건(light load condition)에서 슬루 리미터는 추가의 다이내믹 파워 로스를 최소화 또는 줄인다. 라이트 부하 조건에서는 전압 스파이크가 거의 발생되지 않으므로 도 15와 같은 피드백 아키텍처(feedback architecture)는 C_{SL} 로 인한 추가의 다이내믹 파워 로스를 막기 위해 자동적으로 R_{CTRL} 을 무한대로 올린다. 다시 도 19의 그래프 IG 를 참조하면, 슬루 리미터 만의 채용은 다이내믹 파워 로스를 그래프 PG에 비해 증가시킴을 알 수 있다. 즉, 그래프 IG 는 라이트 부하 전류 0~100mA 구간에서 그래프 PG에 비해 파워 효율이 상대적으로 약간 낮다. 그러나, 도 19의 그래프 IG1을 참조 시, 라이트 부하 조건에서도 그래프 PG에 비해 다이내믹 파워 효율이 그다지 저하되지 않음이 확인된다.

[0160] 셋째로, 전압 스파이크의 사이즈에 따라 최우선적으로 스위칭 슬루 레이트가 조절되기 때문에 와이어본딩 및 PCB 레이아웃 등에서 생성되는 기생 인덕턴스의 다양한 환경에서도 전압 스파이크가 강건(robust)하게 최소화 또는 감소된다. 적응적인 슬루 레이트 조절은 기생 인덕턴스를 정확(accurate)히 예측하는 결과와 마찬가지로의 결과를 얻으므로, 도 9와 같이 모드 체인징 게이트 드라이버를 채용할 필요가 없다. 따라서, 그러한 게이트 드라이버를 설치하는 데 따른 불필요한 실리콘 오버리이어를 줄이므로, 회로가 컴팩트(compact)해지고 구현 비용이 낮아진다.

[0161] 넷째로, 본 발명의 실시 예에서는 도 16을 통해 설명된 바와 같이 전압 스파이크가 V_{TH} 를 넘지 않은 범위 내에서 슬루 레이트가 부하 전류의 양에 따라 항상 최대값을 가질 수 있도록 적응적으로 변한다. 따라서, 최대 부하 전류의 상황에 맞추어 슬루 레이트를 낮게 설계하던 일반 기술이 갖는 문제 즉 파워 로스가 방지 또는 최소화된다. 도 19의 그래프 IG1은 설정된 최대 전류 1.5A 에서는 파워 효율이 그래프 IG와 같고 PG보다 좋다. 상기 최대 전류 1.5A 보다 낮은 부하 전류 영역으로 내려 갈 수록 상기 그래프 IG1의 파워 효율은 그래프 IG보다도 점차로 좋아지는 것이 확인된다. 또한, 도 20을 통해 알 수 있듯이, 모든 상황에서 전압 스파이크는 V_{TH} 내로 로버스트(robust)하게 제어된다. 도 20에서 가로축은 시간을 가리키고, 세로축은 각기 표시된 바와 같이 전압 또는 전류를 나타낸다. 도 20에서 가장 상부의 그래프는 일반 기술에서의 스위칭 출력 전압 파형을 나타낸다. 또한 가장 하부의 그래프는 시간에 따라 증가되는 부하 전류를 보여준다. 이와 같이 부하 전류를 증가시킨 경우에 일반 기술에서는 가장 상부의 그래프에서 보여지는 바와 같이 전압 스파이크가 크게 또는 작게 나타난다. 이에 비해 본 발명의 실시 예의 경우에는 가운데 보여지는 그래프로써 보여지는 바와 같이 모든 부하 전류 영역에서 전압 스파이크가 설정된 문턱전압 V_{TH} 아래로 제어되는 것이 확실히 나타난다.

[0162] 다섯째로, 본 발명의 실시 예에서는 최근에 스위칭 레귤레이터(switching regulator)에서의 핫 이슈가 되고 있는 EMI 노이즈가 상대적으로 감소되는 것도 시뮬레이션을 통해 확인되었다.

[0163] 도 21은 도 11의 전원 컨버팅 장치가 전자적 시스템에 연결된 적용 예를 도시한 도면이다.

[0164] 도 21을 참조하면, DC-DC 컨버터(500)는 도 11 또는 도 15와 같은 전원 컨버팅 장치로 구현될 수 있다. 상기 DC-DC 컨버터(500)는 전자적 시스템(1000)에 연결되어 필요 전원을 공급한다. 상기 DC-DC 컨버터(500)는 전압 스파이크가 최적으로 제어되고 파워 효율도 상대적으로 우수하기 때문에, 상기 전자적 시스템(1000)의 동작 퍼포먼스도 높아진다. 또한, 상기 전자적 시스템(1000)의 전원 소모 특성도 개선된다.

- [0165] 상기 전원 컨버팅 장치는 셀룰러 폰, 태블릿 피씨, 또는 노트북 컴퓨터에 전원 공급을 위해 적용될 수 있다.
- [0166] 도 22는 셀룰러 폰에 적용된 본 발명의 응용 예를 도시한 도면이다.
- [0167] 도 22를 참조하면, 다양한 제조사들에 의해 제조된 스마트 폰 등과 같은 셀룰러 폰(2000)은 도 11이나 도 15와 같은 구성을 가진 전원 컨버팅 장치를 구비함에 의해, 전원 품질 불량에 의한 셀룰러 폰의 동작 에러가 최소화 또는 방지된다. 이러한 특징은 상기 셀룰러 폰의 고 신뢰성 및 배터리 전력 소모 세이빙을 제공한다.
- [0168] 도 23은 태블릿 피씨에 적용된 본 발명의 응용 예를 도시한 도면이다.
- [0169] 도 23을 참조하면, 태블릿 피씨(3000)은 도 11이나 도 15와 같은 구성을 가진 전원 컨버팅 장치를 구비함에 의해, 전원 품질 불량에 의한 태블릿 피씨의 동작 에러가 최소화 또는 방지된다. 마찬가지로, 이러한 특징은 상기 태블릿 피씨의 고 신뢰성 및 파워 세이빙 효과를 제공한다.
- [0170] 도 24는 노트북 컴퓨터에 적용된 본 발명의 응용 예를 도시한 도면이다.
- [0171] 도 24를 참조하면, 노트북 컴퓨터(4000)는 도 11이나 도 15와 같은 구성을 가진 전원 컨버팅 장치를 구비함에 의해, 전원 품질 불량에 의한 노트북 컴퓨터의 동작 에러가 최소화 또는 방지된다. 이러한 특징은 상기 노트북 컴퓨터의 고 신뢰성 및 배터리의 사용시간을 보다 길게 제공한다.
- [0172] 도 25는 정보 처리 시스템에 적용된 본 발명의 응용 예를 도시한 도면이다. 도 25를 참조하면, 정보 처리 시스템(700)은 본 발명의 개념에 따른 파워 컨버터(501)를 포함한다. 상기 파워 컨버터(501)는 도 11 또는 도 15와 같은 전원 컨버팅 장치로 구현될 수 있다. 상기 파워 컨버터(501)는 복수의 전원 컨버팅 장치가 하나의 파워 컨버터내에 구현되어, 출력단들 01,02를 통해 각기 설정된 전압을 출력할 수 있다.
- [0173] 정보 처리 시스템(700)은 모바일 기기나 컴퓨터 등을 포함할 수 있다. 일례로, 정보 처리 시스템(700)은 메모리 시스템(710)과 각각 시스템 버스(760)에 전기적으로 연결된 모뎀(MODEM:750), CPU(720), 램(730), 유저 인터페이스(740)를 포함할 수 있다. 메모리 시스템(710)에는 CPU(720)에 의해 처리된 데이터 또는 외부에서 입력된 데이터가 저장될 수 있다.
- [0174] 정보 처리 시스템(700)은 반도체 디스크 장치(Solid State Disk), 카메라 이미지 프로세서(Camera Image Sensor) 및 그 밖의 응용 칩셋(Application Chipset)으로 제공될 수 있다. 일 예로, 메모리 시스템(700)은 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 정보 처리 시스템(700)은 상기 파워 컨버터(501)의 파워 효율이 개선되고 전압 스파이크가 효과적으로 제거되는 우수한 퍼포먼스에 기인하여 대용량의 데이터를 메모리 시스템(710)에 안정적으로 그리고 신뢰성 있게 저장할 수 있다.
- [0175] 비록, 도 25에서 메모리 시스템(710)내의 메모리 컨트롤러(711)와 연결된 메모리가 플래시 메모리(712)인 것으로 나타나 있으나, 본 발명의 응용 예에서는 이에 한정됨이 없이, 다양한 종류의 불휘발성 메모리가 사용될 수 있다. 상기 불휘발성 메모리는 텍스트, 그래픽, 소프트웨어 코드 등과 같은 다양한 데이터 형태들을 갖는 데이터 정보를 저장할 수 있다.
- [0176] 상기 불휘발성 메모리는, 예를 들면, EEPROM(Electrically Erasable Programmable Read-Only Memory), Conductive bridging RAM(CBRAM), FeRAM (Ferroelectric RAM), OUM(Ovonic Unified Memory)라고도 불리는 PRAM(Phase change RAM), 저항성 메모리 (Resistive RAM: RRAM 또는 ReRAM), 나노튜브 RRAM (Nanotube RRAM), 폴리머 RAM(Polymer RAM: PoRAM), 나노 부유 게이트 메모리(Nano Floating Gate Memory: NFGM), 홀로그래픽 메모리 (holographic memory), 분자 전자 메모리 소자(Molecular Electronics Memory Device), 또는 절연 저항 변화 메모리(Insulator Resistance Change Memory) 등으로 구현될 수 있다.
- [0177] 이상에서와 같이 도면과 명세서를 통해 최적 실시 예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 예를 들어, 사안이 다른 경우에 본 발명의 기술적 사상을 벗어남이 없이, 어댑티브 스위칭 컨트롤러의 제어 방식이나 내부 구성들을 다양하게 변경 및 변형할 수 있을 것이다.

부호의 설명

[0178] *도면의 주요 부분에 대한 부호의 설명*

100: 어댑티브 스위칭 컨트롤러

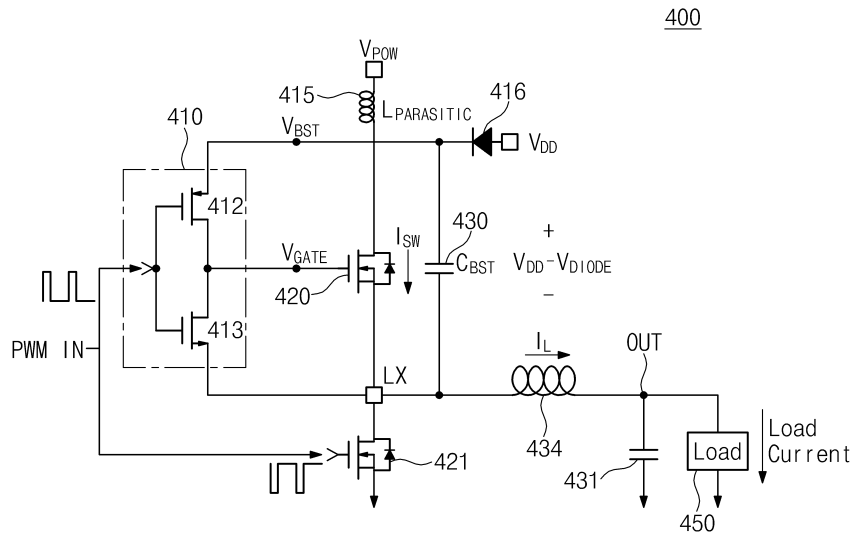
200: 슬루 레이트 컨트롤러

300: 슬루 리미터

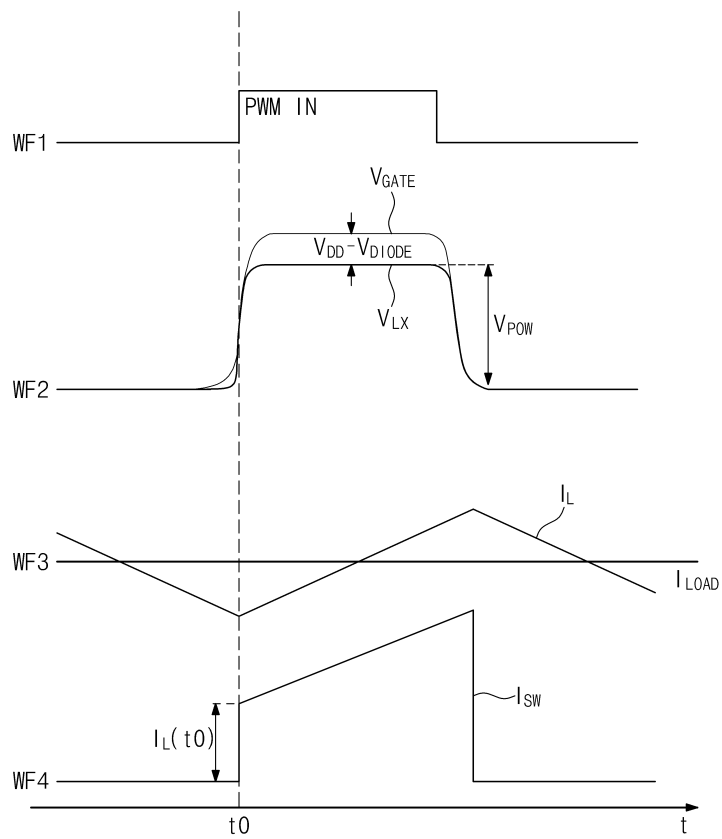
400: 컨버팅 회로

도면

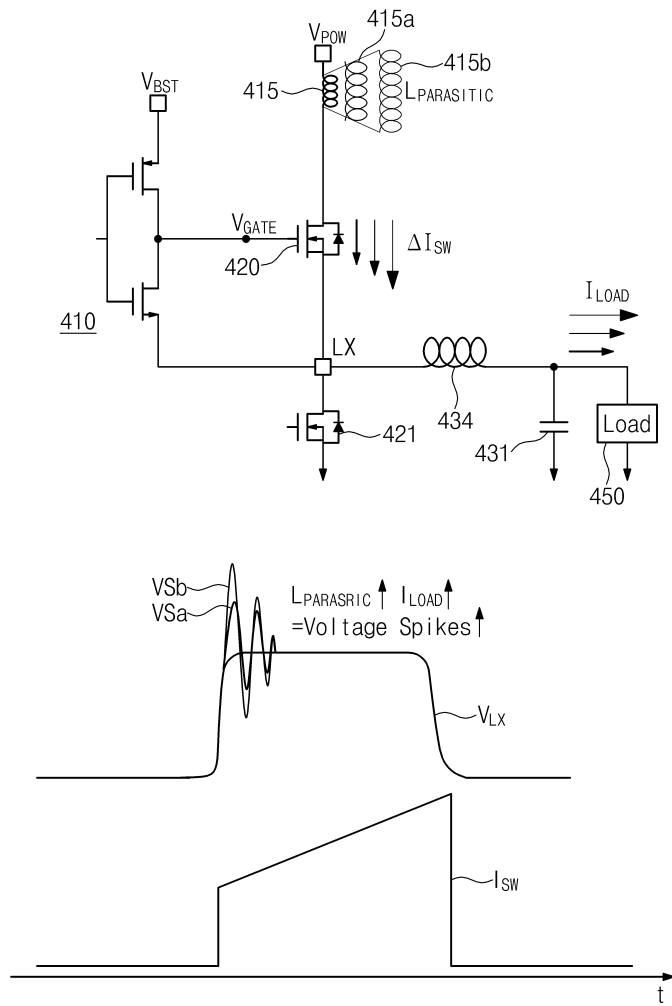
도면1



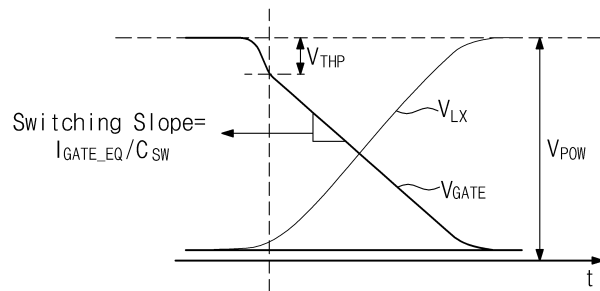
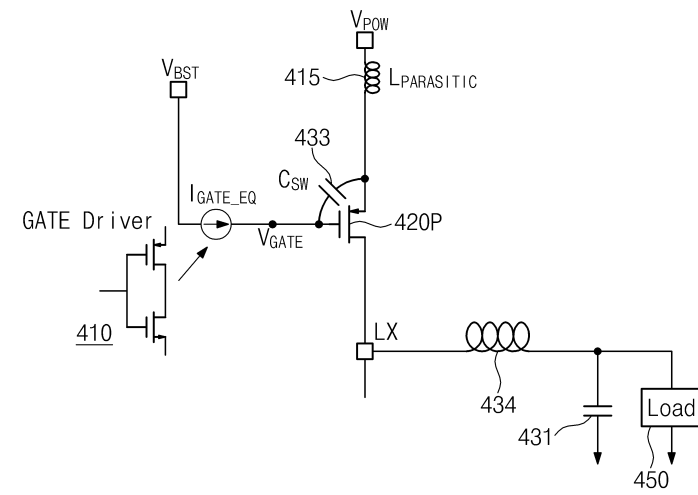
도면2



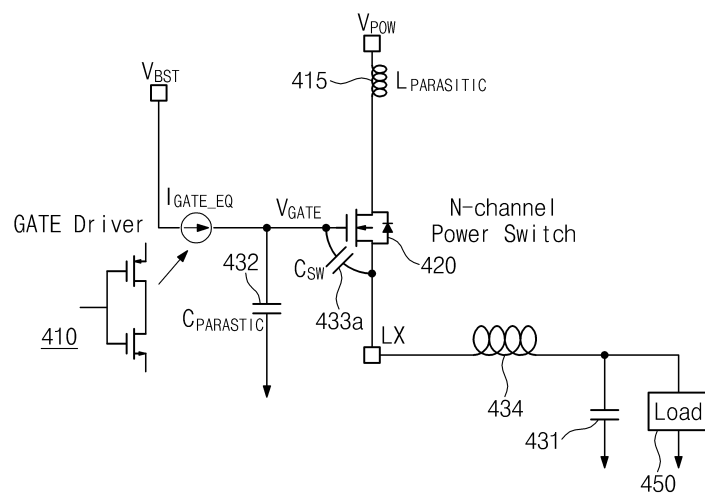
도면3



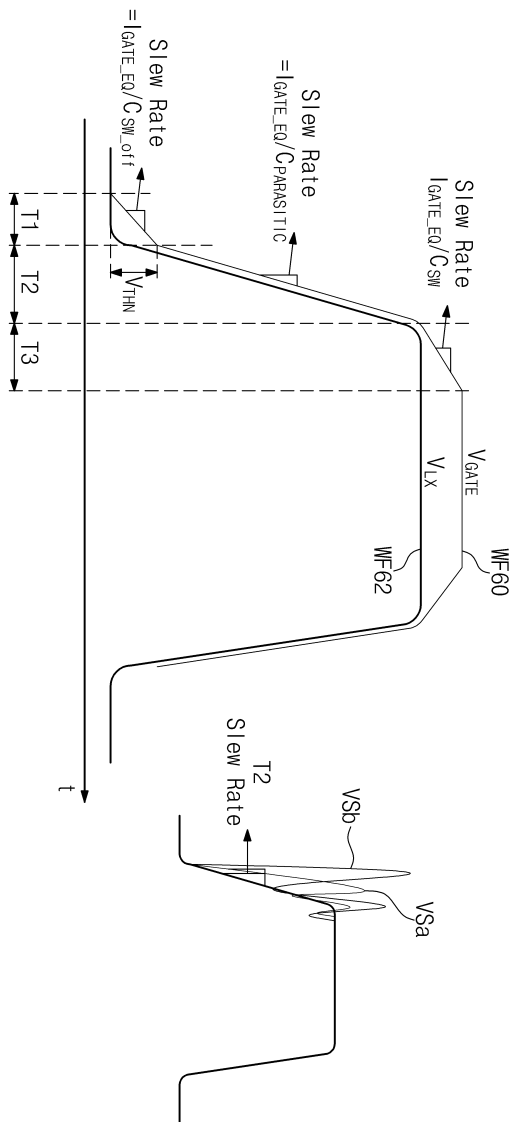
도면4



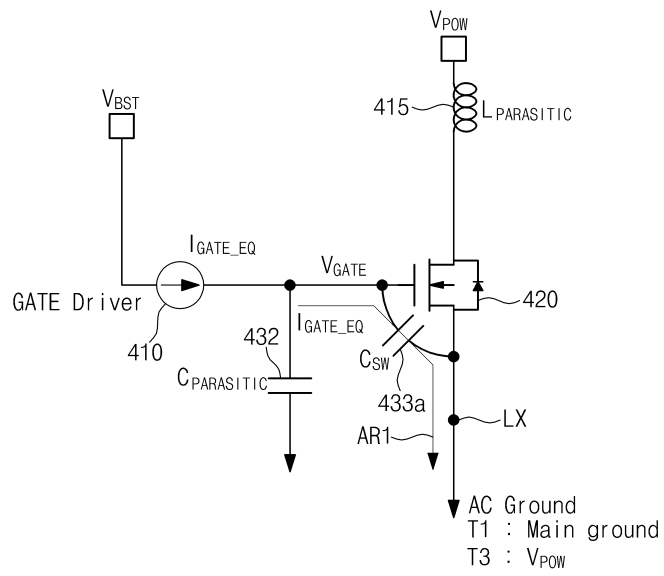
도면5



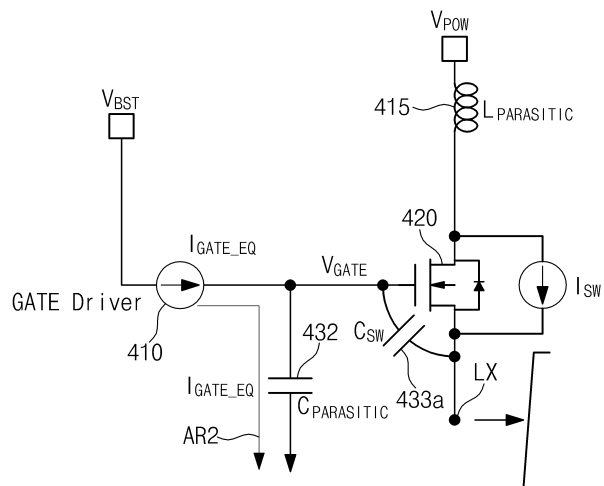
도면6



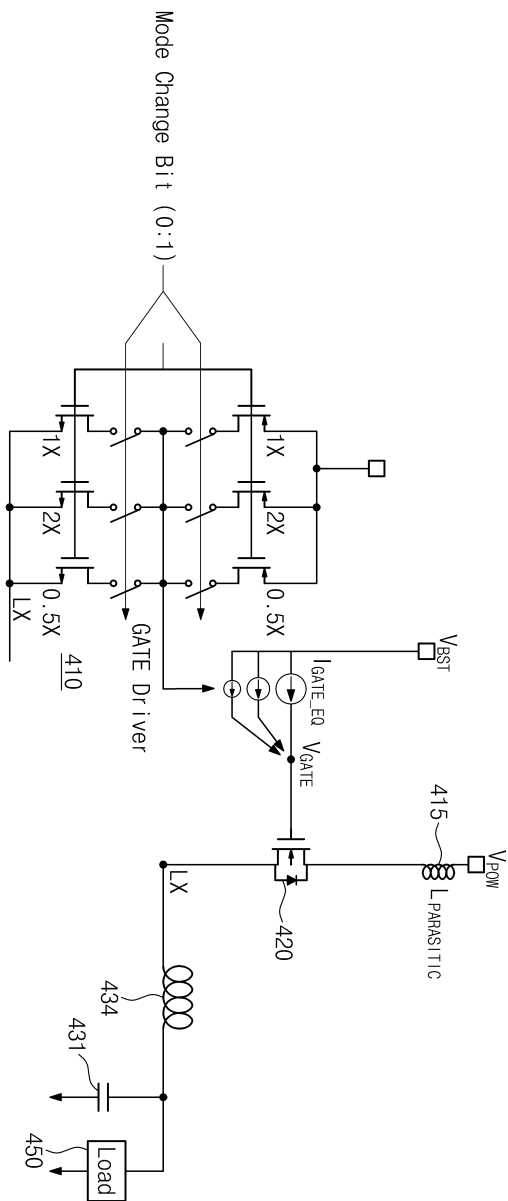
도면7



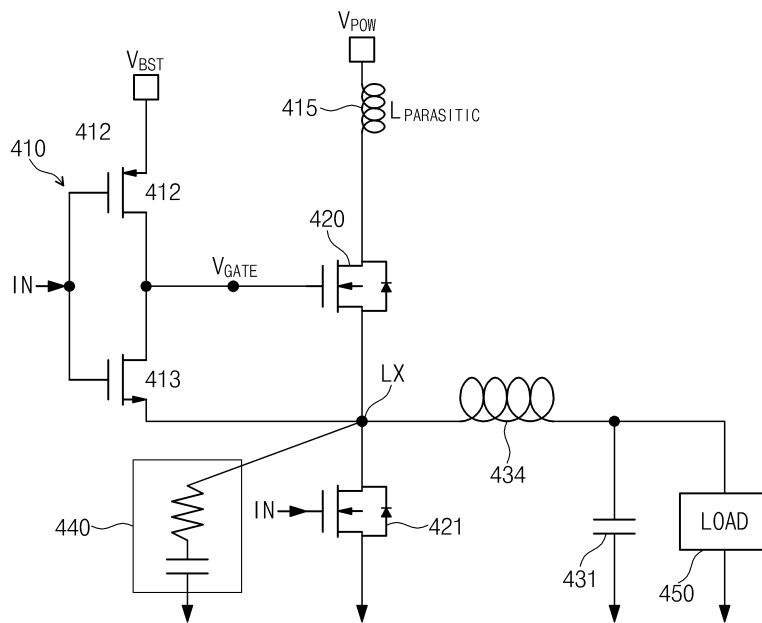
도면8



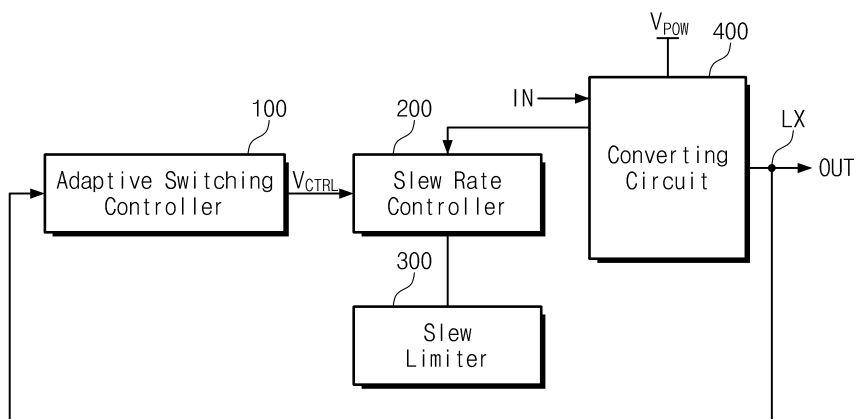
도면9



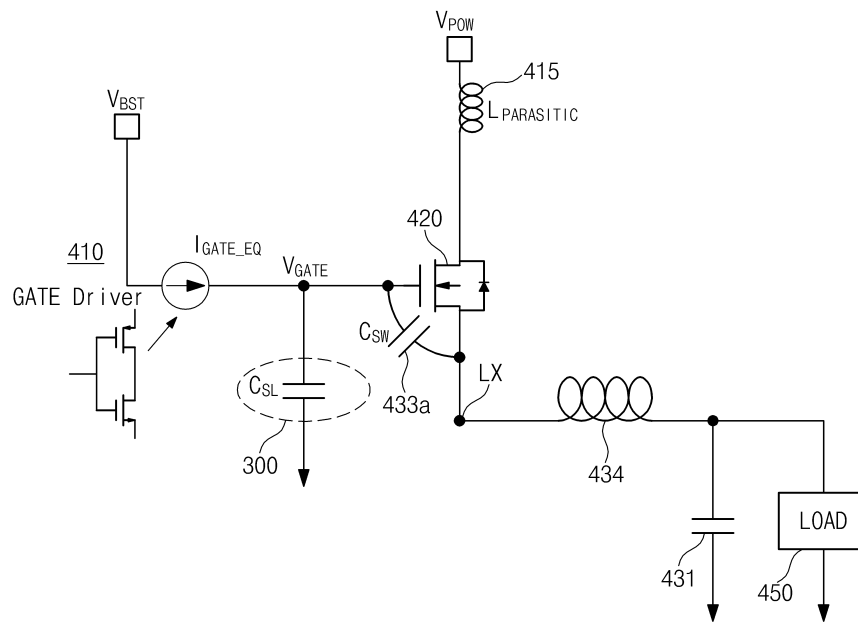
도면10



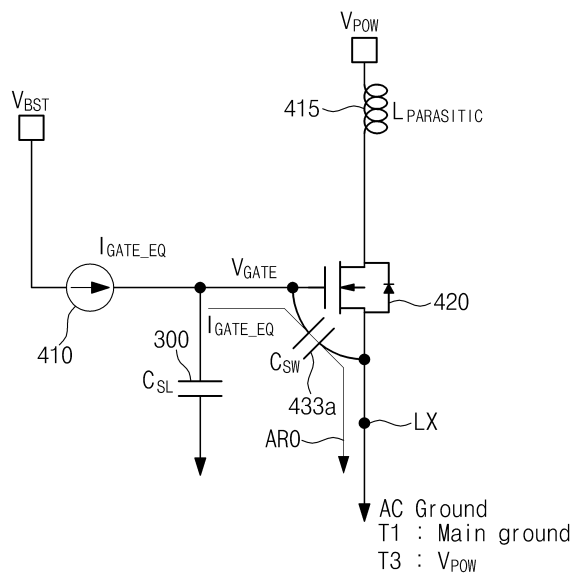
도면11



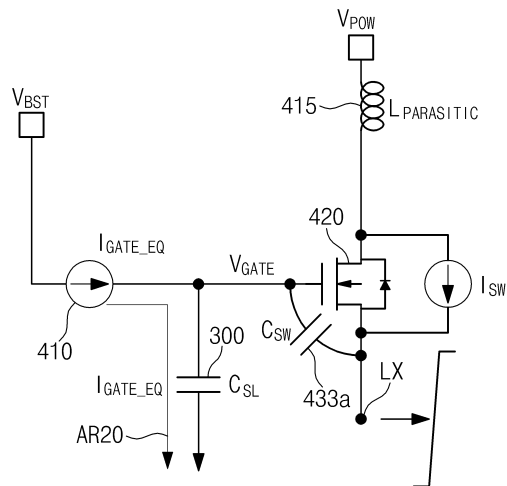
도면12



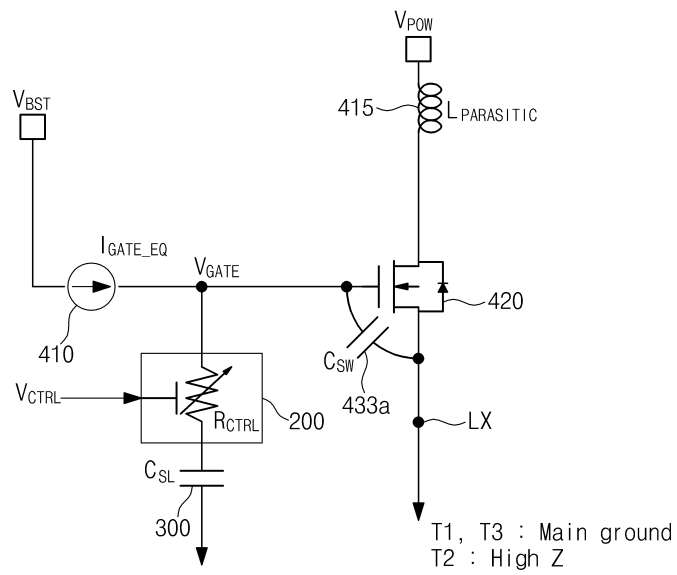
도면13a



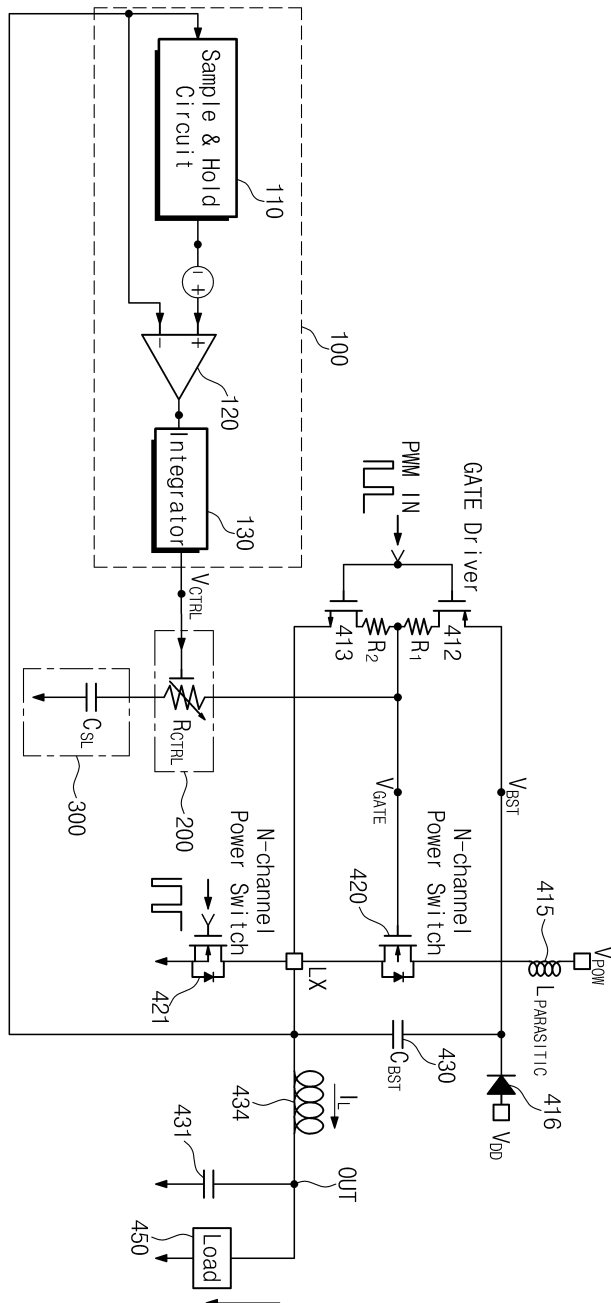
도면13b



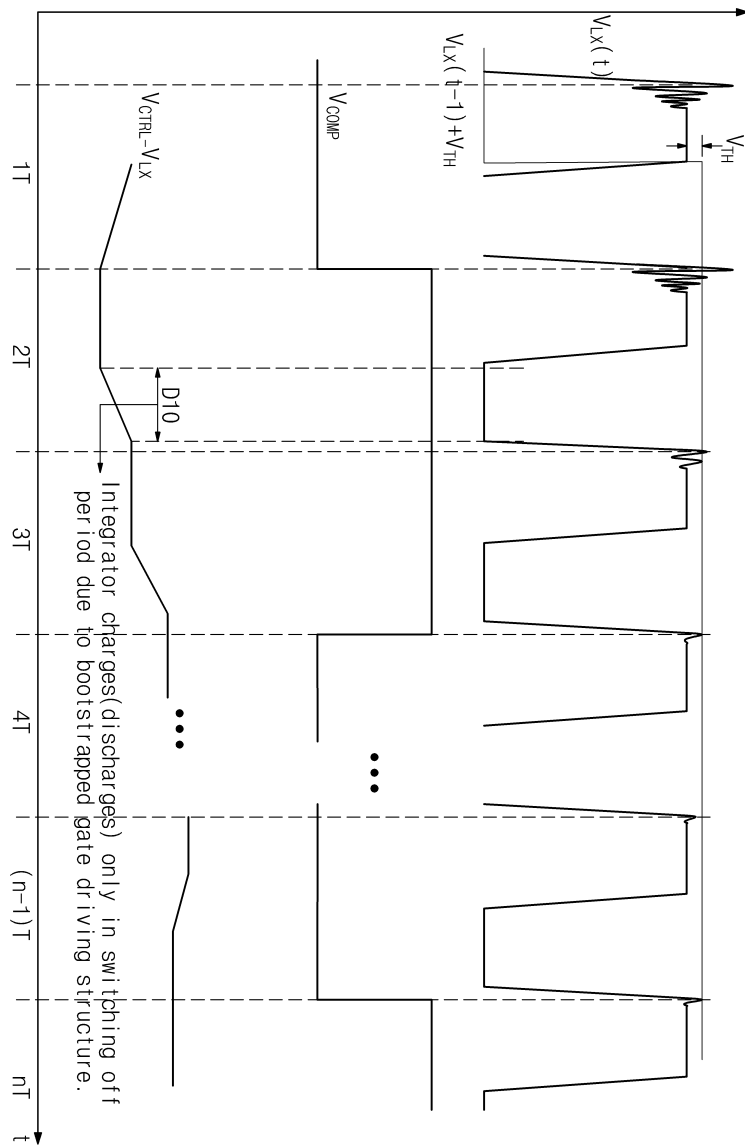
도면14



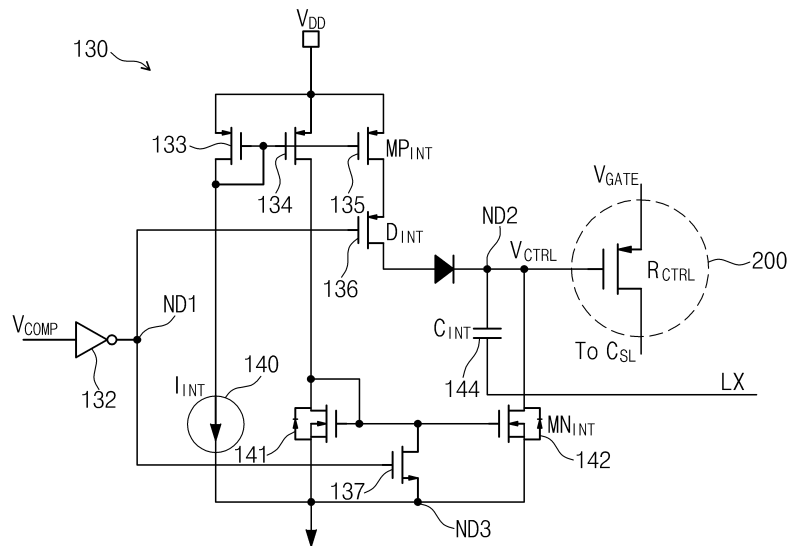
도면15



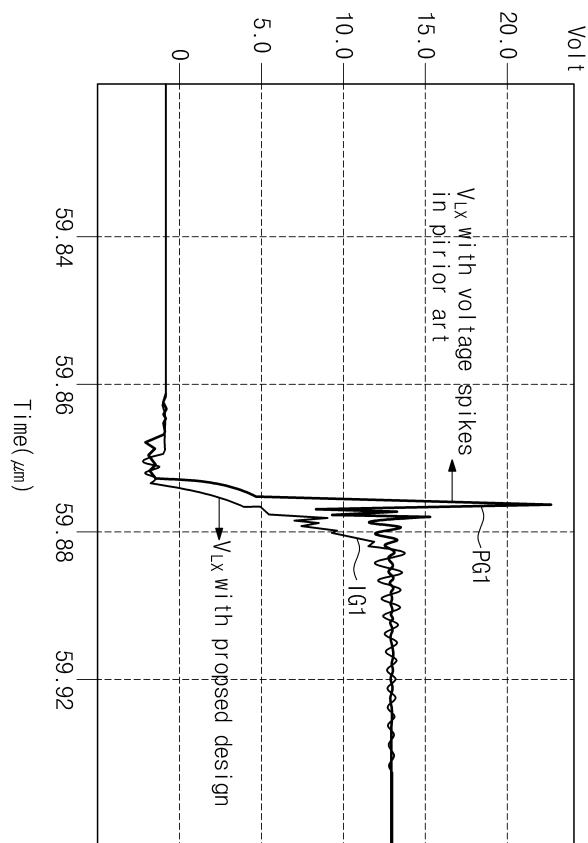
도면16



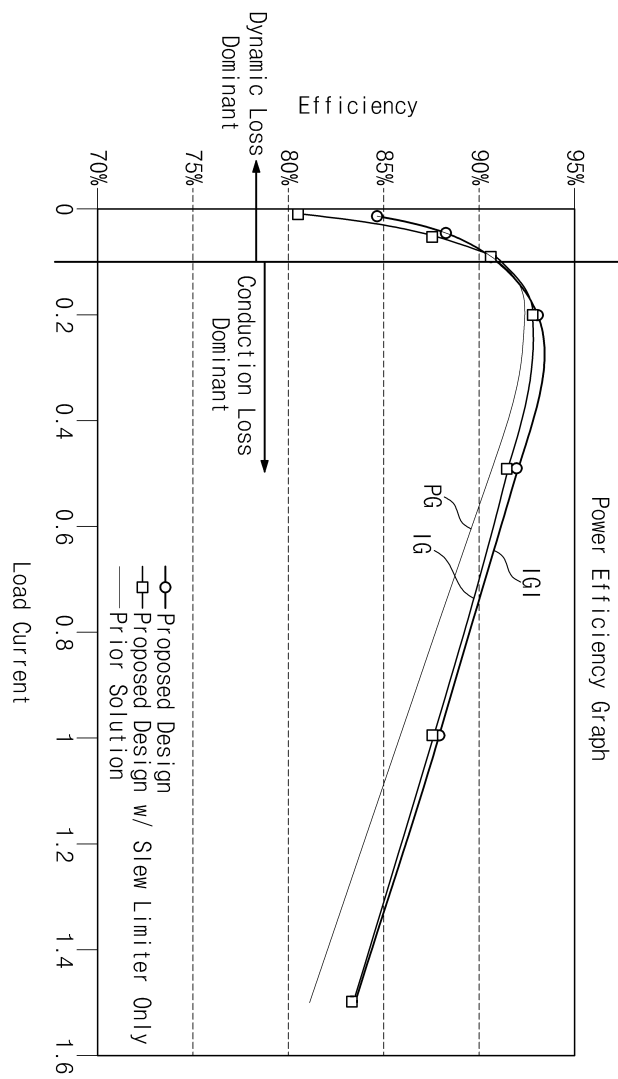
도면17



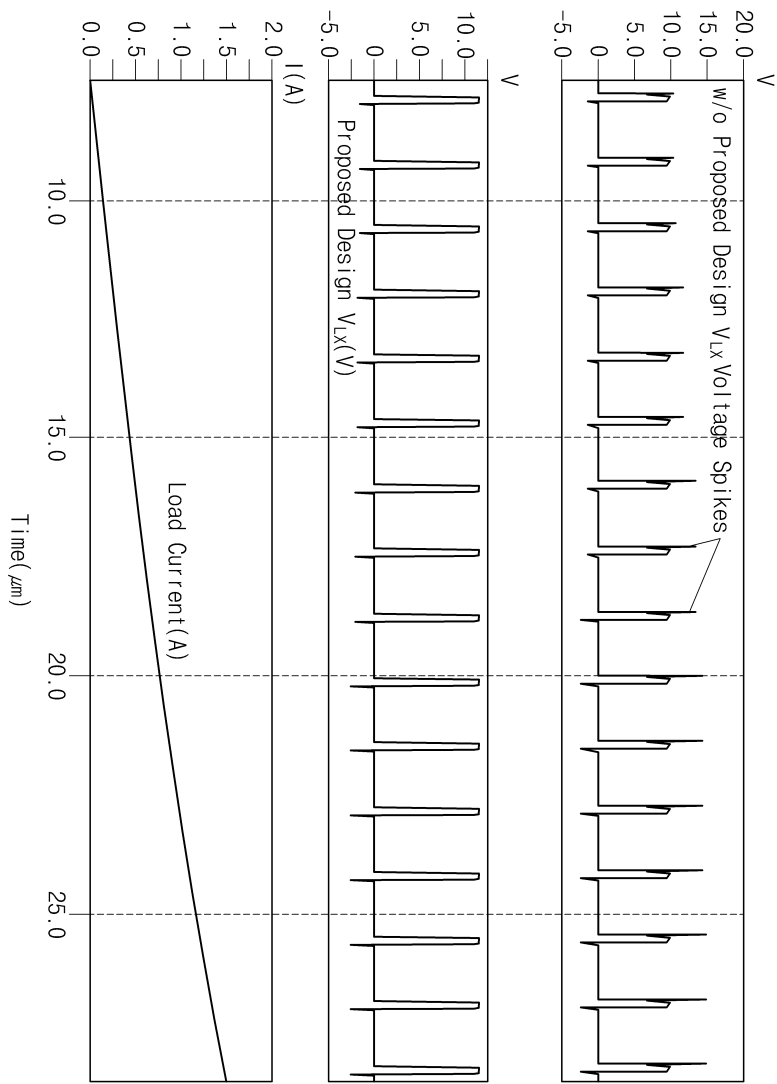
도면18



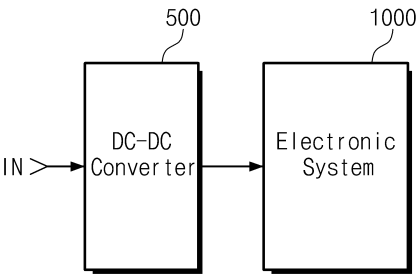
도면19



도면20

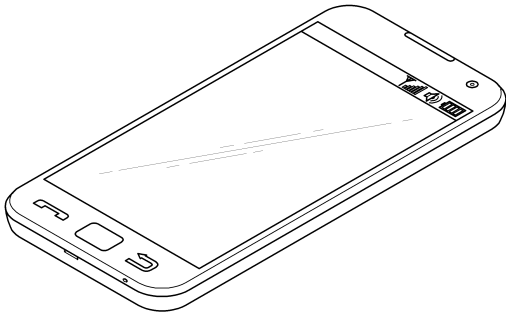


도면21



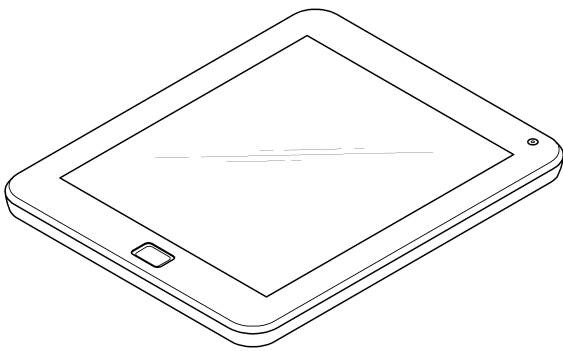
도면22

2000



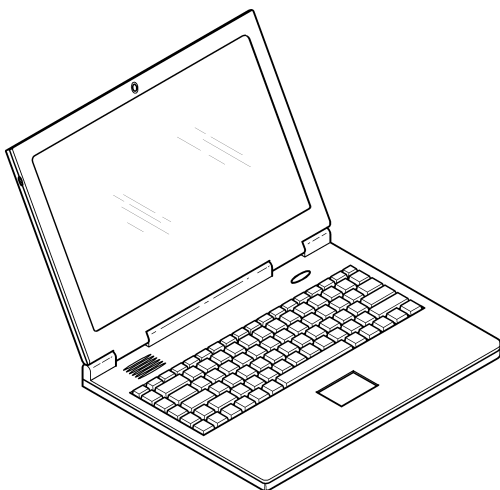
도면23

3000



도면24

4000



도면25

