POLSKA RZECZPOSPOLITA LUDOWA

URZĄD PATENTOWY PRL

OPIS PATENTOWY 144884

Patent dodatkowy do patentu ———

Zgłoszono: 84 02 29 /P. 246452/

Pierwszeństwo: ———

Zgłoszenie ogłoszono: 85 09 10

Opis patentowy opublikowano: 88 12 31

Int. Cl.[4] G01R 23/16

CZYTELNIA Urzędu Patentowego

Twórcy wynalazku: Zbigniew Dąbrowski, Marek Smoleński

Uprawniony z patentu: Politechnika Warszawska, Warszawa /Polska/

UKŁAD ANALIZOWANIA HARMONICZNEGO Z WYŚWIETLENIEM WYNIKU NA LAMPIE OBRAZOWEJ

Przedmiotem wynalazku jest układ analizowania harmonicznego, z wyświetleniem wyniku na lampie obrazowej, stosowany zwłaszcza w badaniach drgań, hałasów.

Znany jest analizator harmoniczny z opisu patentowego ZSRR nr 1 067 448 zawierający grupę filtrów połączonych poprzez detektory i integratory z komutatorem. Wyjścia filtrów połączone są z wejściami drugiego komutatora a wejścia tych filtrów połączone są z wejściami trzeciego komutatora. Drugi komutator połączony jest z trzecim komutatorem poprzez klucz. Wejścia pierwszego i drugiego komutatora połączone są z układem sterującym, który połączony jest także poprzez deszyfrator z wejściem trzeciego komutatora oraz połączony jest z drugim wejściem tego komutatora poprzez drugi deszyfrator, dzielnik częstotliwości impulsów taktujących i klucz.

Powyższe rozwiązanie może być stosowane wyłącznie do analizy przebiegów harmonicznych, ponieważ przy analizie sygnałów o charakterze szumów, szybkie zmiany obrazu uniemożliwiłyby jakikolwiek odczyt.

Układ analizowania przebiegu harmonicznego według wynalazku ma wejście n-bitowego przetwornika analogowo-cyfrowego sprzężone z wejściem pamięci gromadzącej dane i jest połączone z układem przetwarzającym dane n-bitowe harmonicznych na bity znaku graficznego monitora telewizyjnego. Pamięć gromadząca dane połączona jest z układem współpracy z monitorem telewizyjnym poprzez selektor danych, który pobiera bity znaków graficznych opisu z zarządzającej pamięci ROM i tą pamięcią sterowany. Zarządzająca pamięć ROM ponadto synchronizuje pracę przetwornika analogowo-cyfrowego, układu przetwarzającego i układu współpracy z monitorem telewizyjnym. Pamięć gromadząca dane, zarządzająca pamięć ROM i pamięć buforowa układu współpracy z monitorem telewizyjnym są adresowane ze wspólnej szyny adresowej sterowanej generatorem adresów, z zegara. Klucze analogowe sterowane są z dekodera. Między klucze analogowe i przetwornik analogowo-cyfrowy mogą być włączone kolejno wzmacniacz logarytmujący i wzmacniacz dopasowujący.

Rozwiązanie według wynalazku łączy w sobie prostotę analogowej analizy harmonicznych z czytelnością i elastycznością mokroprocesorowych metod cyfrowych. Graficzne zobrazowanie wyników analizy na dużym ekranie w postaci czytelnych słupków pozwala łatwo i szybko wyciągnąć wnioski co do analizowanego przebiegu. Ponadto dane cyfrowe mogą być łatwo wprowadzane na zewnętrzny nośnik informacji celem magazynowania i dalszego przetwarzania. Prosta wymiana tanich filtrów w części analogowej układu umożliwia stosowanie rozwiązania według wynalazku w bardzo szerokim zakresie częstotliwości i z dużą elastycznością parametrów filtracji.

Przedmiot wynalazku jest bliżej objaśniony przykładowo na rysunku przedstawiającym schemat blokowy układu analizowania harmonicznego. Sygnał analizowany doprowadzany do wejścia WE ma oddzielaną składową stałą przez kondensator C. Następnie separator SEP ogranicza pasmo przenoszonych częstotliwości od góry oraz amplitudę przenoszonych sygnałów od góry i od dołu. Zespół filtrów Fi połączony z wyjściem separatora SEP zabezpieczony jest w ten sposób przed przesterowaniem, wzbudzeniem i uszkodzeniem. Następnie analizowany przebieg w postaci "i" składowych harmonicznych badanego przebiegu ulega detekcji w zespole detektorów Di, na wyjściu których znajduje się zespół kluczy analogowych KAi. Klucze te sterowane są z pracującego synchronicznie z częścią cyfrową układu, dekodera DR, połączonego z dzielnikami DC. Poprzez klucze KAi wyjścia detektorów Di dołączone są kolejno do wzmacniacza logarytmującego WL i dalej poprzez wzmacniacz dopasowujący BD do przetwornika analogowo-cyfrowego ADC o n-bitowym słowie wyjściowym. Przetwornik ten może być prostym i tanim przetwornikiem całkującym.

Zobrazowanie informacji dokonywane jest na ekranie telewizora lub monitora studyjnego, dla którego zespolony sygnał telewizyjny wytwarza układ WM współpracy z monitorem telewizyjnym. Jest to dowolny, znany układ zbudowany z elementów cyfrowych lub specjalistyczny układ scalony, ograniczający wyświetlanie informacji w k liniach i 2xi kolumnach. Zawiera on pamięć buforową o pojemności k x i x 2 bitów oraz pamięć znaków graficznych, zdolną do zapisania m znaków graficznych.

Z wyjścia przetwornika analogowo-cyfrowego ADC, wytwarzającego n-bitową liczbę niosącą informację o mierzonej w decybelach wartości skutecznej poszczególnej harmonicznej, informacja ta jest następnie przesyłana do układu P, przetwarzającego ją na k m-bitowych liczb, które stanowią nazwy znaków graficznych, z których budowany jest słupek reprezentujący daną składową harmoniczną. Tak przetworzone dane podawane są do pamięci PD gromadzenia danych. Gdy pamięć ta zostanie wypełniona informacjami ze wszystkich obsługiwanych kanałów uruchomione zostaje poprzez selektor SDO przepisywanie tych danych do pamięci buforowej układu WM współpracy z monitorem telewizyjnym.

Oprócz tych danych, do pamięci buforowej układu WM zostają także wpisane liczby będące nazwami znaków graficznych, z których budowany jest opis, to znaczy osie x, y liczbowe, oznaczenia skali decybelowej oraz numeracja kanałów. Nazwy tych znaków graficznych pobierane są z zarządzającej pamięci ZP. Z tego to układu ZP podawane są ponadto dane do przełączania selektora SDO i dane synchronizujące pracę części cyfrowej układu według wynalazku przekazywane do przetwornika ADC układu przetwarzającego P, dzielnika DC i zegara ZM, również połączonego z tym dzielnikiem DC.

Pamięć gromadząca dane PD, zarządzająca pamięć ZP oraz pamięć buforowa układu WM współpracy z monitorem adresowane są za pomocą wspólnej szyny adresowej log 2 x i x k bitowej, sterowanej przez generator adresów GA, będący systemem dzielników częstotliwości pobieranej z zegara ZM.

Zastrzeżenia patentowe

1. Układ analizowania harmonicznego z wyświetlaniem wyniku na lampie obrazowej zawierający przetwornik analogowo-cyfrowy i na wejściu układu bloki filtrów, detektorów i kluczy analogowych sterowanych poprzez dzielnik, znamienny tym, że wyjście n-bitowego przetwornika analogowo-cyfrowego /ADC/ sprzężone jest z wejściem pamięci gromadzącej dane /PD/ oraz z układem /P/ przetwarzającym dane n-bitowe harmonicznych na bity znaku graficznego monitora telewizyjnego /LO/, oraz pamięć gromadząca dane /PD/ połączona jest z układem /WM/ współpracy z monitorem telewizyjnym /LO/ poprzez selektor danych /SDO/, przy czym pamięć gromadząca dane /PD/, zarządzająca pamięć ROM /ZP/ i pamięć buforowa układu /WM/ współpracy z monitorem telewizyjnym /LO/ są adresowane ze wspólnej szyny adresowej, sterowanej generatorem adresów /GA/ z zegara /ZM/, a klucze analogowe /KAi/ sterowane są z dekodera /DR/.

2. Układ według zastrz. 1, znamienny tym, że między klucze analogowe /KAi/ i przetwornik analogowo-cyfrowy /ADC/ włączone są kolejno wzmacniacz logarytmujący /WL/ i wzmacniacz dopasowujący /WD/.

