(19)中华人民共和国国家知识产权局

(12)实用新型专利

(10)授权公告号 CN 203038895 U
(45)授权公告日 2013.07.03

(21)申请号 201190000059.0
(22)申请日 2011.08.25
(66)本国优先权数据
201110175568.3 2011.06.27 CN
(85)PCT申请进入国家阶段日
2011.10.19
(86)PCT申请的申请数据
PCT/CN2011/078877 2011.08.25
(87)PCT申请的公布数据
WO2013/000196 ZH 2013.01.03
(73)专利权人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路3号
专利权人 北京北方微电子基地设备工艺研究中心有限责任公司
(72)发明人 尹海洲 朱慧珑 骆志炯
(74)专利代理机构 北京汉昊知识产权代理事务所(普通合伙) 11370
代理人 朱海波
(51)Int.Cl.
H01L 21/336(2006.01)
H01L 29/78(2006.01)

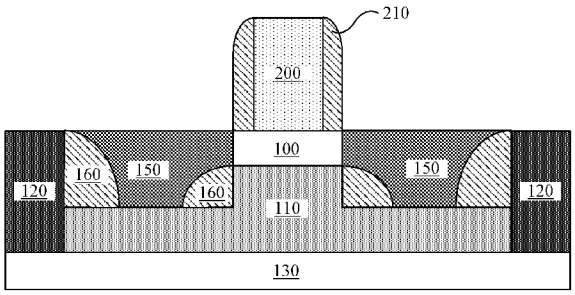
权利要求书1页 说明书8页 附图9页

(54)实用新型名称

一种半导体结构

(57)摘要

本实用新型提供了一种半导体结构，该半导体结构包括SOI衬底、栅极结构、侧墙和金属层，其中：所述SOI衬底包括SOI层和BOX层；所述栅极结构形成在所述SOI层之上；所述金属层形成在所述栅极结构两侧的所述SOI衬底内，该金属层与所述栅极结构下方的所述SOI层相接触，并延伸至所述BOX层内；所述金属层与所述BOX层之间存在侧墙，所述金属层与所述SOI衬底的隔离区之间也存在侧墙。本实用新型提供的制造方法和半导体结构使得半导体器件在工作时金属层与SOI衬底的体硅层之间的电容减小，有利于提升半导体器件的性能。



CN 203038895 U

1. 一种半导体结构，其特征在于，该半导体结构包括 SOI 衬底、栅极结构（200）、侧墙（160）和金属层（150），其中：

所述 SOI 衬底包括 SOI 层（100）和 BOX 层（110）；

所述栅极结构（200）形成在所述 SOI 层（100）之上；

所述金属层（150）形成在所述栅极结构（200）两侧的所述 SOI 衬底内，该金属层（150）与所述栅极结构（200）下方的所述 SOI 层（100）相接触，并延伸至所述 BOX 层（110）内；

所述金属层（150）与所述 BOX 层（110）之间存在侧墙（160），所述金属层（150）与所述 SOI 衬底的隔离区（120）之间也存在侧墙（160）。

2. 根据权利要求 1 所述的半导体结构，其特征在于：

所述金属层（150）的厚度的范围是 50nm ～ 150nm。

3. 根据权利要求 1 或 2 所述的半导体结构，其特征在于：

所述金属层（150）的材料包括 W、Al、TiAl 或 TiN。

4. 根据权利要求 1 所述的半导体结构，其特征在于，该半导体结构还包括覆盖所述栅极结构（200）和所述金属层（150）的介质层（300），该介质层（300）内包括：

与所述金属层（150）接触的第一接触塞（330）；和 / 或

与所述栅极结构（200）接触的第二接触塞（340）。

一种半导体结构

[0001] 本申请要求了 2011 月 6 月 27 日提交的、申请号为 201110175568.3、发明名称为“一种半导体结构及其制造方法”的中国专利申请的优选权，其全部内容通过引用结合在本申请中。

技术领域

[0002] 本实用新型涉及半导体的制造领域，尤其涉及一种半导体结构。

背景技术

[0003] 随着半导体结构制造技术的发展，具有更高性能和更强功能的集成电路要求更大的元件密度，而且各个部件、元件之间或各个元件自身的尺寸、大小和空间也需要进一步缩小（目前已经可以达到纳米级），随着半导体器件尺寸的缩小，各种微观效应凸显出来，为适应器件发展的需要，本领域技术人员一直在积极探索新的制造工艺。

[0004] 绝缘体上硅 (Silicon-On-Insulator，SOI) 具有较好的介质隔离特性，采用 SOI 制成的集成电路具有寄生电容小、集成密度高、速度快、工艺简单和短沟道效应小等优势，通常 SOI 衬底包括三层主要结构，分别是体硅层、体硅层之上的氧化埋层 (Buried Oxide Layer，BOX 层）和覆盖在所述 BOX 层之上的 SOI 层，所述 SOI 层的材料通常是单晶硅。

[0005] 现有技术工艺中，使用上述 SOI 衬底生产半导体器件在形成与源 / 漏区的接触塞时，由于器件尺寸的减小，接触塞底部与源 / 漏区的接触面积有限，因此接触电阻较大。为了提升半导体器件的性能，希望减小上述接触电阻。如图 1 所示，可以先对 SOI 衬底进行刻蚀，例如刻蚀栅极结构 16 两侧的 SOI 层 11 和 BOX 层 12，形成暴露 BOX 层 12 的沟槽，然后在该沟槽中形成金属层 15，金属层 15 与栅极结构 16 下方的 SOI 层相接触。由于金属的电阻远远 低于半导体材料，因此图 1 示出的半导体结构具有较低的接触电阻。但是该半导体结构仍然具有一定的缺点，由该半导体结构加工形成的半导体器件在工作时，金属层 15 与体硅层 13 之间存在较大的电容，这会降低半导体器件的性能。

实用新型内容

[0006] 本实用新型的目的在于提供一种半导体结构及其制造方法，以减少半导体器件在工作时金属层与 SOI 衬底的体硅层之间的电容。

[0007] 一方面，本实用新型提供了一种半导体结构的制造方法，该方法包括：

[0008] a) 提供 SOI 衬底，并在所述 SOI 衬底上形成栅极结构；

[0009] b) 刻蚀所述栅极结构两侧的所述 SOI 衬底的 SOI 层和 BOX 层，以形成暴露所述 BOX 层的沟槽，该沟槽部分进入所述 BOX 层；

[0010] c) 在所述沟槽的侧壁形成侧墙；

[0011] d) 在所述沟槽内形成覆盖所述侧墙的金属层，该金属层与所述栅极结构下方的所述 SOI 层相接触。

[0012] 另一方面，本实用新型还提供了另一种半导体结构的制造方法，该方法包括：

[0013] a) 提供SOI衬底，在该SOI衬底上覆盖掩膜，所述掩膜掩盖的区域为预定形成栅极线的区域；

[0014] b) 刻蚀所述栅极结构两侧的所述SOI衬底的SOI层和BOX层，以形成暴露所述BOX层的沟槽，该沟槽部分进入所述BOX层；

[0015] c) 在所述沟槽的侧壁形成侧墙；

[0016] d) 在所述沟槽内形成覆盖所述侧墙的金属层，该金属层与所述栅极结构下方的所述SOI层相接触。

[0017] e) 移除所述掩膜以暴露其掩盖的区域，在该区域上形成栅极结构。

[0018] 相应地，本实用新型还提供了一种半导体结构，该该半导体结构包括SOI衬底、栅极结构、侧墙和金属层，其中：

[0019] 所述SOI衬底包括SOI层和BOX层；

[0020] 所述栅极结构形成在所述SOI层之上；

[0021] 所述金属层形成在所述栅极结构两侧的所述SOI衬底内，该金属层与所述栅极结构下方的所述SOI层相接触，并延伸至所述BOX层内；

[0022] 所述金属层与所述BOX层之间存在侧墙。

[0023] 本实用新型提供的半导体结构及其制造方法首先在SOI衬底上形成延伸至BOX层的沟槽，然后在该沟槽的侧壁形成侧墙，最后在沟槽中形成金属层，由于所述侧墙具有一定的厚度，因此所述金属层与SOI衬底的体硅层的距离变大，并且该金属层正对体硅层的下表面的面积减小，上述距离变大和面积减小使得半导体器件在工作时金属层与SOI衬底的体硅层之间的电容减小，有利于提升半导体器件的性能。

附图说明

[0024] 通过阅读参照以下附图所作的对非限制性实施例所作的详细描述，本实用新型的其它特征、目的和优点将会变得更明显：

[0025] 图1是现有技术形成的半导体结构的剖视结构示意图；

[0026] 图2是根据本实用新型的半导体结构的制造方法的一个具体实施方式的流程图；

[0027] 图3至图10是根据本实用新型的一个具体实施方式按照图2(a)示出的流程制造半导体结构过程中该半导体结构各个制造阶段的剖视结构示意图；

[0028] 图11至图15是根据本实用新型的另一个具体实施方式按照图2(b)示出的流程制造半导体结构过程中该半导体结构各个制造阶段的剖视结构示意图。

[0029] 附图中相同或相似的附图标记代表相同或相似的部件。

具体实施方式

[0030] 为使本实用新型的目的、技术方案和优点更加清楚，下面将结合附图对本实用新型的实施例作详细描述。

[0031] 下面详细描述本实用新型的实施例，所述实施例的示例在附图中示出，其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功 能的元件。下面通过参考附图描述的实施例是示例性的，仅用于解释本实用新型，而不能解释为对本实用新型的限制。

[0032] 下文的公开提供了许多不同的实施例或例子用来实现本实用新型的不同结构。为了简化本实用新型的公开，下文中对特定例子的部件和设置进行描述。当然，它们仅仅为示例，并且目的不在于限制本实用新型。此外，本实用新型可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施例和/或设置之间的关系。此外，本实用新型提供了的各种特定的工艺和材料的例子，但是本领域普通技术人员可以意识到其他工艺的可应用于性和/或其他材料的使用。另外，以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成为直接接触的实施例，也可以包括另外的特征形成在第一和第二特征之间的实施例，这样第一和第二特征可能不是直接接触。

[0033] 以下首先给出本实用新型提供的半导体结构的一种优选具体实施方式，请参考图8，图8是根据本实用新型的半导体结构的一个具体实施方式的剖视结构示意图，该半导体结构包括栅极结构200、侧墙160和金属层150，其中：

[0034] 所述SOI衬底包括SOI层100和BOX层110；

[0035] 所述栅极结构200形成在所述SOI层100之上；

[0036] 所述金属层150形成在所述栅极结构200两侧的所述SOI衬底内，该金属层150与所述栅极结构200下方的所述SOI层100相接触，并延伸至所述BOX层110内；

[0037] 所述金属层150与所述BOX层110之间存在侧墙160。

[0038] 此外，在栅极结构200的两侧还形成侧墙210。

[0039] 优选地，金属层150与所述SOI衬底的隔离区120之间也存在侧墙160。

[0040] 所述SOI衬底至少具有三层结构，分别是：体硅层130、体硅层130之上的BOX层110，以及覆盖在BOX层110之上的SOI层100。其中，所述BOX层110的材料通常选用SiO_2，BOX层的厚度通常大于100nm；SOI层100的材料是单晶硅、Ge或III-V族化合物，本具体实施方式中选用的SOI衬底是具有UltrathinSOI层100的SOI衬底，因此该SOI层100的厚度通常小 于100nm，例如50nm。通常该SOI衬底中还形成有隔离区120，用于将所述SOI层100分割为独立的区域，用于后续加工形成晶体管结构所用，隔离区120的材料是绝缘材料，例如可以选用SiO_2、Si_3N_4或其组合，隔离区120的宽度可以视半导体结构的设计需求决定。

[0041] 栅极结构200包括栅极介质层和栅极堆叠。侧墙210可以由氮化硅、氧化硅、氮氧化硅、碳化硅和/或其他合适的材料形成。侧墙210可以具有多层结构。侧墙210可以通过沉积-刻蚀工艺形成，其厚度范围大约是10nm-100nm。

[0042] 金属层150的材料可以选用W、Al、TiAl、TiN或其组合，在本实施例中进行平坦化处理使金属层150的上平面与栅极结构200的下平面齐平。该金属层150不仅与SOI层100和BOX层110相接触，优选地还与隔离区120相接触。该金属层150的厚度范围是50nm～150nm。在其他一些实施例中，金属层150未经过平坦化处理，相邻之间的半导体器件通过金属层150形成相互电连接，以形成半导体器件的局部互联。

[0043] 优选地，侧墙160的材料为低k材料，例如SiO_2、SiOF、SiCOH、SiO、SiCO、SiCON或其组合。

[0044] 可选地，如图10所示，经过后续加工后，该半导体结构还包括覆盖栅极结构200和金属层150的介质层300，该介质层300内包括：与金属层150接触的第一接触塞330，和

/ 或与所述栅极结构 200 接触的第二接触塞 340。介质层 300 的材料可以包括 SiO_2、碳掺杂 SiO_2、BPSG、PSG、UGS、氮氧化硅、低 k 材料或其组合，其厚度范围可以是 40nm-150nm，如 80nm、100nm 或 120nm ；第一接触塞 330 和第二接触塞 340 嵌于介质层 300 内，其材料可以选用 W、Al、TiAl 合金中任一种或其组合。需要说明的是，在后栅工艺中，如果栅极结构 200 是伪栅，则在介质层 300 形成之前已经将所述伪栅替换为栅极堆叠结构。

[0045] 在同一个半导体器件之中，根据制造需要可以包括上述实施例或其他合适的半导体结构。

[0046] 下文中将结合本实用新型提供的半导体结构的制造方法对上述实施例进行进一步的阐述。

[0047] 请参考图 2(a)，图 2(a) 是根据本实用新型的半导体结构的制造方法的一个具体实施方式的流程图，该方法包括 ：

[0048] 步骤 S101，提供 SOI 衬底，并在所述 SOI 衬底上形成栅极结构 ；

[0049] 步骤 S102，刻蚀所述栅极结构两侧的所述 SOI 衬底的 SOI 层和 BOX 层，以形成暴露所述 BOX 层的沟槽，该沟槽部分进入所述 BOX 层 ；

[0050] 步骤 S103，在所述沟槽的侧壁形成侧墙 ；

[0051] 步骤 S104，在所述沟槽内形成覆盖所述侧墙的金属层，该金属层与所述栅极结构下方的所述 SOI 层相接触。

[0052] 下面结合图 3 至图 8 对步骤 S101 至步骤 S103 进行说明，图 3 至图 8 是根据本实用新型的一个具体实施方式按照图 1 示出的流程制造半导体结构过程中该半导体结构各个制造阶段的剖视结构示意图。需要说明的是，本实用新型各个实施例的附图仅是为了示意的目的，因此没有必要按比例绘制。

[0053] 参考图 3 和图 4，执行步骤 S101，提供 SOI 衬底，并在所述 SOI 衬底上形成栅极结构 200。

[0054] 首先参考图 3，其中，所述 SOI 衬底至少具有三层结构，分别是 ：体硅层 130、体硅层 130 之上的 BOX 层 110，以及覆盖在 BOX 层 110 之上的 SOI 层 100。其中，所述 BOX 层 110 的材料通常选用 SiO_2，BOX 层的厚度通常大于 100nm ；SOI 层 100 的材料是单晶硅、Ge 或 III-V 族化合物，本具体实施方式中选用的 SOI 衬底是具有 UltrathinSOI 层 100 的 SOI 衬底，因此该 SOI 层 100 的厚度通常小于 100nm，例如 50nm。通常该 SOI 衬底中还形成有隔离区 120，用于将所述 SOI 层 100 分割为独立的区域，用于后续加工形成晶体管结构所用，隔离区 120 的材料是绝缘材料，例如可以选用 SiO_2、Si_3N_4 或其组合，隔离区 120 的宽度可以视半导体结构的设计需求决定。

[0055] 接下来参考图 4，在所述 SOI 衬底上形成栅极结构 200，在前栅工艺中，该栅极结构 200 的形成过程如下 ：形成覆盖 SOI 层 100 和隔离区 120 的栅极介质层、覆盖栅极介质层的栅金属层、覆盖栅金属层的栅电极层、覆盖栅电极层的氧化物层、覆盖氧化物层的氮化物层、以及覆盖氮化物层并用于构图以刻蚀出栅极堆叠的光刻胶层，其中，栅极介质层的材料可以是热氧化层，包括氧化硅、氮氧化硅，也可为高 K 介质，例如 HfO_2、HfSiO、HfSiON、HfTaO、HfTiO、HfZrO、Al_2O_3、La_2O_3、ZrO_2、LaAlO 中的一种或其组合，其厚度在 1nm ～ 4nm 之间 ；栅金属层的材料可以选用 TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、$RuTa_x$、NiTa 中的一种或其组合，其厚度在 5nm ～ 20nm 之间 ；栅电极层的材料可以选用 Poly-Si，其厚度在

20nm ～ 80nm 之间；氧化物层的材料是 SiO_2，其厚度在 5nm ～ 10nm 之间；氮化物层的材料是 Si_3N_4，其厚度在 10nm ～ 50nm 之间；光刻胶层的材料可是烯类单体材料、含有叠氮醌类化合物的材料或聚乙烯月桂酸酯材料等。上述多层结构中除所述光刻胶层以外，可以通过化学气相沉积、高密度等离子体 CVD、ALD、等离子体增强原子层淀积、脉冲激光沉积或其他合适的方法依次形成在 SOI 层 100 上。光刻胶层构图后可以刻蚀上述多层结构形成如图 3 所示的栅极结构 200。

[0056] 在后栅工艺中，栅极结构 200 包括伪栅和承载伪栅的栅介质层，可以在随后的步骤中进行替代栅工艺，移除伪栅以形成所需的栅极堆叠结构。

[0057] 通常地，可以考虑在栅极结构 200 形成后，在该栅极结构 200 的两侧形成侧墙 210，用于将栅极结构 200 隔开。侧墙 210 可以由氮化硅、氧化硅、氮氧化硅、碳化硅和 / 或其他合适的材料形成。侧墙 210 可以具有多层结构。侧墙 210 可以通过沉积 - 刻蚀工艺形成，其厚度范围大约是 10nm-100nm。

[0058] 请参考图 5，执行步骤 S102，刻蚀栅极结构 200 两侧的所述 SOI 衬底的 SOI 层 100 和 BOX 层 110，以形成暴露 BOX 层 110 的沟槽 140，该沟槽 140 至少部分进入 BOX 层 110。具体而言，使用合适的刻蚀工艺首先移除栅极结构 200 两侧的 SOI 层 100，然后移除暴露出来的一部分 BOX 层 110，以形成沟槽 140，因此沟槽 140 不仅暴露了 BOX 层 110 余下的部分，在空间上部分地替代未经刻蚀的 BOX 层 110，沟槽 140 部分进入 BOX 层 110。沟槽 140 的深度是刻蚀掉的 SOI 层 100 的厚度与刻蚀掉的 BOX 层 110 的厚度之和，就本具体实施方式选用的 SOI 衬底而言，通常 BOX 层 110 的厚度大于 100nm，Ultrathin SOI 层 100 的厚度为 20nm ～ 30nm，因此沟槽 140 的深度范围在 50nm ～ 150nm 之间。

[0059] 请参考图 6，执行步骤 S103，在沟槽 140 的侧壁形成侧墙 160。可以选用合适的沉积方法或选择生长方法使侧墙 160 形成在沟槽 140 的侧壁。在本实施例中，沟槽 140 的宽度较大，并暴露部分隔离区 120。如图 6 所示，侧墙 160 在本实施例中形成在暴露的 BOX 层 110 的侧壁上，以及暴露的隔离区 120 的侧壁上。对于本实施例的侧墙 160 的形成方法可以参考如下步骤：首先将整个栅堆叠以及与栅堆叠的侧墙相邻的部分采用光刻胶或其他掩模遮盖，然后刻蚀形成紧邻 STI 120 的侧墙 160，将光刻胶或其他掩模去除；然后将 STI120 以及紧邻 STI 120 且已经刻蚀完成的侧墙 160 采用光刻胶或其他掩模遮盖，然后刻蚀形成紧邻 BOX 110 侧壁的侧墙 160，本领域技术人员可知，这一步刻蚀至少可分成三个步骤进行，例如首先以侧墙 210 为停止层进行一次刻蚀，接着以 SOI 层 100 为停止层进行第二次刻蚀，最后以 BOX110 的侧壁为停止层进行第三次刻蚀，直到形成如图 6 所示的侧墙 160 的形状。本领域技术人员也可以采取知晓的其他工艺刻蚀形成如图 6 所示的侧墙 160 的形状。

[0060] 在另一实施例中，例如图 7 示出的半导体结构，形成的沟槽 140 宽度有限，并未暴露隔离区 120，因此侧墙 160 只形成在暴露的 BOX 层的侧壁上。优选地，侧墙 160 的材料为低 k 材料，例如 SiO_2、SiOF、SiCOH、SiO、SiCO、SiCON 或其组合。本领域技术人员也可以采取他们知晓的上述工艺或其他工艺刻蚀形成如图 7 所示的侧墙 160 的形状。

[0061] 参考图 8，执行步骤 S104，在沟槽 140 内形成覆盖侧墙 160 的金属层 150，该金属层 150 与栅极结构 200 下方的 SOI 层 100 相接触。该金属层 150 的材料可以选用 W、Al、TiAl、TiN 或其组合。金属层 150 可以选用合适的沉积工艺形成在沟槽 140 内，例如选用 CVD 工艺形成。

[0062] 在本实施例中，形成金属层 150 后，可以对该金属层 150 进行化学机械抛光的平坦化处理，使得该金属层 150 的上平面与栅极结构 200 的下平面齐平。在该半导体结构的后续加工中，可能还需形成暴露该金属层 150 的接触孔，为了降低刻蚀时对准的难度，可以考虑扩大金属层 150 的面积，基于上述考虑，可选地，在步骤 S102 中扩大刻蚀所述 SOI 衬底的范围，使形成的沟槽 140 具有较大的面积，方便后续加工中降低刻蚀接触孔的对准难度，例如完全刻蚀栅极结构 200 与隔离区 120 之间的 SOI 层 100 和部分 BOX 层 110，使得沟槽 140 暴露部分隔离区 120，因此在步骤 S104 中形成的金属层 150 相应地上平面的面积也较大。

[0063] 在其他一些实施例中，上述 CMP 步骤并不是必须的，可以对金属层 150 进行合适的刻蚀，使得相邻之间的半导体器件通过金属层 150 形成相互电连接。

[0064] 可选地，请参考图 9，本实施例提供的方法还可以包括步骤 S105，其具体包括：形成覆盖栅极结构 200 和金属层 150 的介质层 300，并在该介质层 300 中分别形成暴露至少部分所述金属层 150 的第一接触孔 310，以及暴露至少部分所述栅极结构 200 的第二接触孔 320。介质层 300 可以通过 CVD、高密度等离子体 CVD、旋涂或其他合适的方法形成。介质层 300 的材料可以包括 SiO_2、碳掺杂 SiO_2、BPSG、PSG、UGS、氮氧化硅、低 k 材料或其组合。对该介质层 300 进行 CMP 处理后，通常介质层 300 的厚度范围可以是 40nm-150nm，如 80nm、100nm 或 120nm，如图 9 所示，贯穿介质层 300 的第一接触 310 停止在金属层 150 上并暴露至少部分金属层 150，另一贯穿栅极结构 200 之上的介质层 300 的第二接触孔 320 暴露至少部分栅极结构 200。介质层 300 形成前，栅极结构 200 通常都经过处理形成为暴露的金属栅极 200。在一次使用干法刻蚀、湿法刻蚀或其他合适的刻蚀方式刻蚀介质层 300 形成第一接触孔 310 和第二接触孔 320 的过程中，可以将金属层 150 的上平面作为刻蚀第一接触孔 310 的停止层，同时将金属栅极 200 的上平面作为刻蚀第二接触孔 320 的停止层，因此刻蚀第一接触孔 310 和第二接触孔 320 都分别具有对应的停止层，这样对刻蚀工艺的控制性要求降低，即降低了刻蚀的难度。后续加工中通常在第一接触孔 310 和第二接触孔 320 内填充金属，如图 10 所示，形成第一接触塞 330 和第二接触塞 340，优选地，所述金属为 W，当然根据半导体的制造需要，所述金属的材料还可以选用 W、Al、TiAl 合金中任一种或其组合。

[0065] 请参考图 2(b)，图 2(b) 是根据本实用新型的半导体结构的制造方法的另一个具体实施方式的流程图，该方法包括：

[0066] 步骤 S201，提供 SOI 衬底，在该 SOI 衬底上覆盖掩膜，所述掩膜掩盖的区域为预定形成栅极线的区域；

[0067] 步骤 S202，刻蚀所述掩膜两侧的所述 SOI 衬底的 SOI 层和 BOX 层，以形成暴露所述 BOX 层的沟槽，该沟槽部分进入所述 BOX 层；

[0068] 步骤 S203，在所述沟槽的侧壁形成侧墙；

[0069] 步骤 S204，在所述沟槽内形成覆盖所述侧墙的金属层，该金属层与所述栅极结构下方的所述 SOI 层相接触。

[0070] 步骤 S205，移除所述掩膜以暴露其掩盖的区域，在该区域上形成栅极结构。

[0071] 下面结合图 11 至图 15 对步骤 S201 至步骤 S205 进行说明，图 11 至图 15 是根据本实用新型的一个具体实施方式按照图 2(b) 示出的流程制造半导体结构过程中该半导体结构各个制造阶段的剖视结构示意图。需要说明的是，本实用新型各个实施例的附图仅是为了示意的目的，因此没有必要按比例绘制。

[0072] 图 2(b) 所示出的方法与图 2(a) 所示出的方法的区别在于：图 2(a) 中的流程，先在衬底上形成栅极结构，然后进行刻蚀形成沟槽，进一步在沟槽的侧壁形成侧墙，之后在沟槽内形成覆盖所述侧墙的金属层；而图 2(b) 中所示出的方法流程，是先在衬底上形成掩膜，将需要形成栅极结构的区域掩盖起来，之后与图 2(a) 中的步骤一样，进行刻蚀形成沟槽，进一步在沟槽的侧壁形成侧墙，之后在沟槽内形成覆盖所述侧墙的金属层，区别在于，最后去除掩膜，在去除掩膜的区域形成栅极结构。

[0073] 下面具体介绍形成掩膜以及去除掩膜的步骤，其余与图 2(a) 中所示出方法流程一样的步骤可以参考前文部分的相关说明，在此不再赘述。

[0074] 如图 11 所示，在 SOI 衬底上覆盖掩膜 400，通常选用光刻胶为掩膜。然后，通过光刻工艺，将光刻胶掩膜图案化，进而，利用图案化的光刻胶掩膜，通过刻蚀工艺，形成希望的形状，本实用新型中即为栅极线的形状。之后进行刻蚀，形成沟槽 140，所述沟槽 140 的深度的范围是 50nm ～ 150nm。所述沟槽 140 暴露部分所述 SOI 衬底的隔离区 120。

[0075] 在沟槽 140 内形成侧墙 160。侧墙 160 的材料为低 k 材料。如图 12 所示，侧墙 160 可以形成在暴露的 BOX 层 110 的侧壁上，以及暴露的隔离区 120 的侧壁上。还可以并不暴露隔离区 120，因此侧墙 160 只形成在暴露的 BOX 层的侧壁上，如图 15 所示。

[0076] 如图 13 所示，在沟槽 140 内形成覆盖侧墙 160 的金属层 150。所述金属层 150 的材料包括 W、Al、TiAl、TiN 或其组合。形成金属层 150 之后，去 除掩膜，可选的，可以进行平坦化处理，使金属层 150、SOI 层 100 以及隔离区 120 的上表面齐平。

[0077] 如图 14 所示，在前述掩膜覆盖的区域上形成栅极结构 200。可选的，还可以在栅极结构 200 的两侧形成侧墙 210。可选的，还可以在 SOI 衬底中进一步形成源 / 漏区。

[0078] 可选地，本实施例提供的方法还可以包括步骤 S206，其具体包括：形成覆盖栅极结构 200 和金属层 150 的介质层 300，并在该介质层 300 中分别形成暴露至少部分所述金属层 150 的第一接触孔 310，以及暴露至少部分所述栅极结构 200 的第二接触孔 320。可参考图 9，具体形成接触孔的工艺流程可以在本说明书前述相关部分的找到具体介绍，在此不再赘述。

[0079] 本实用新型提供的半导体结构及其制造方法首先在 SOI 衬底上形成延伸至 BOX 层 110 的沟槽 140，然后在该沟槽 140 的侧壁形成侧墙 160，最后在沟槽中形成金属层，由于侧墙 160 的存在并且侧墙 160 具有可控的厚度，因此所述金属层 150 与 SOI 衬底的体硅层 130 的被侧墙 160 分隔得更远，两者间距离变大，并且由于侧墙 160 占据了部分暴露的 BOX 层 110 的表面，因此金属层 150 正对体硅层 130 的下表面的面积减小，上述距离变大和面积减小使得半导体器件在工作时金属层 150 与体硅层 130 之间的电容减小，有利于提升半导体器件的性能，同时也保证了源漏区与金属塞接触的面积足够大。

[0080] 虽然关于示例实施例及其优点已经详细说明，应当理解在不脱离本实用新型的精神和所附权利要求限定的保护范围的情况下，可以对这些实施例进行各种变化、替换和修改。对于其他例子，本领域的普通技术人员应当容易理解在保持本实用新型保护范围内的同时，工艺步骤的次序可以变化。

[0081] 此外，本实用新型的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本实用新型的公开内容，作为本领域的普通技术人员将容易地理解，对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、

方法或步骤，其中它们执行与本实用新型描述的对应实施例大体相同的功能或者获得大体相同的结果，依照本实用新型可以对它们进行应用。因此，本实用新型所附权利要求旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护 范围内。

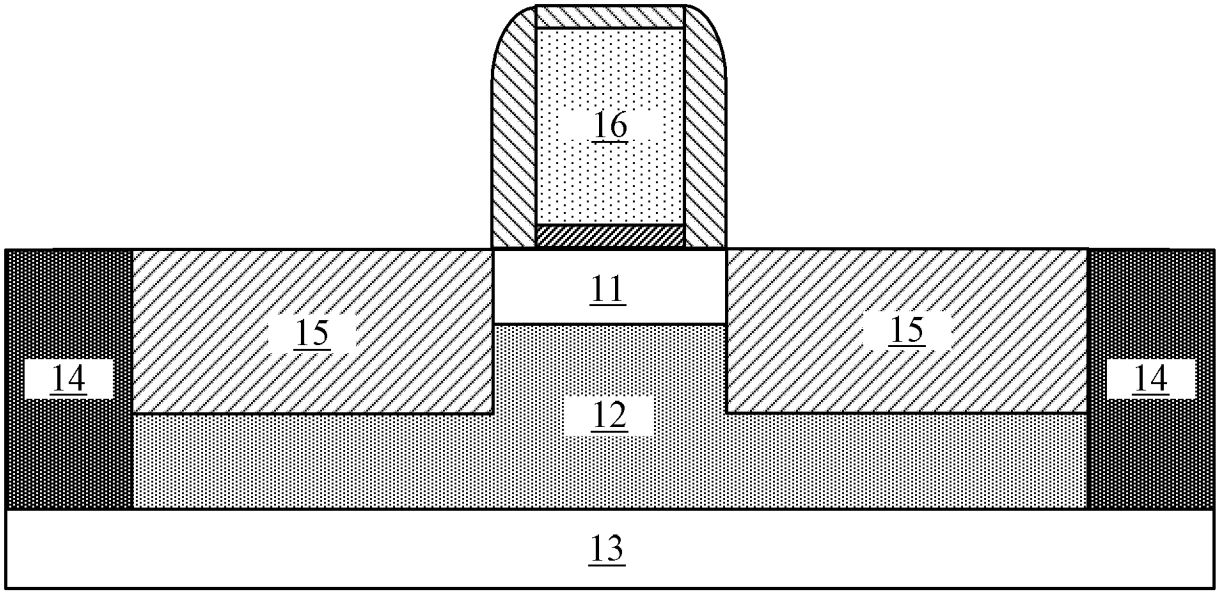


图 1

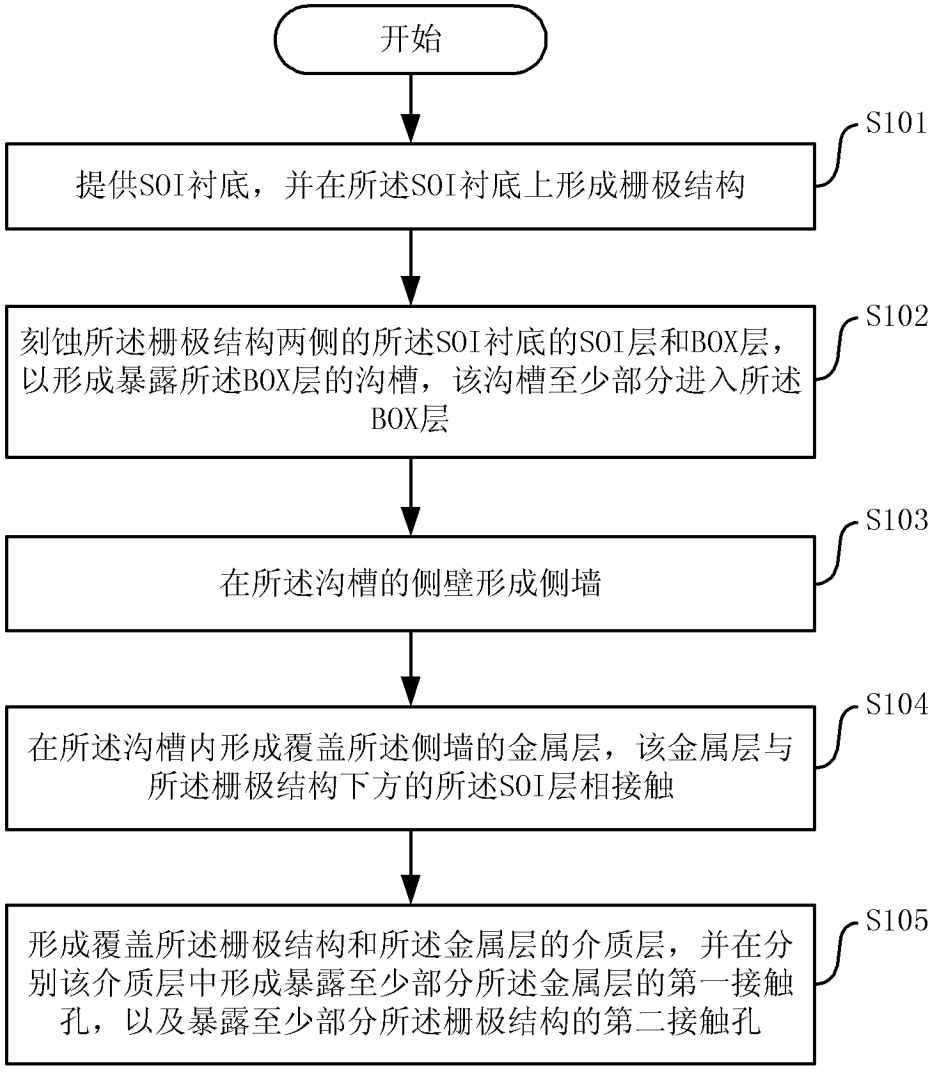

开始
S101
提供SOI衬底，并在所述SOI衬底上形成栅极结构
S102
刻蚀所述栅极结构两侧的所述SOI衬底的SOI层和BOX层，以形成暴露所述BOX层的沟槽，该沟槽至少部分进入所述BOX层
S103
在所述沟槽的侧壁形成侧墙
S104
在所述沟槽内形成覆盖所述侧墙的金属层，该金属层与所述栅极结构下方的所述SOI层相接触
S105
形成覆盖所述栅极结构和所述金属层的介质层，并在分别该介质层中形成暴露至少部分所述金属层的第一接触孔，以及暴露至少部分所述栅极结构的第二接触孔

图 2(a)

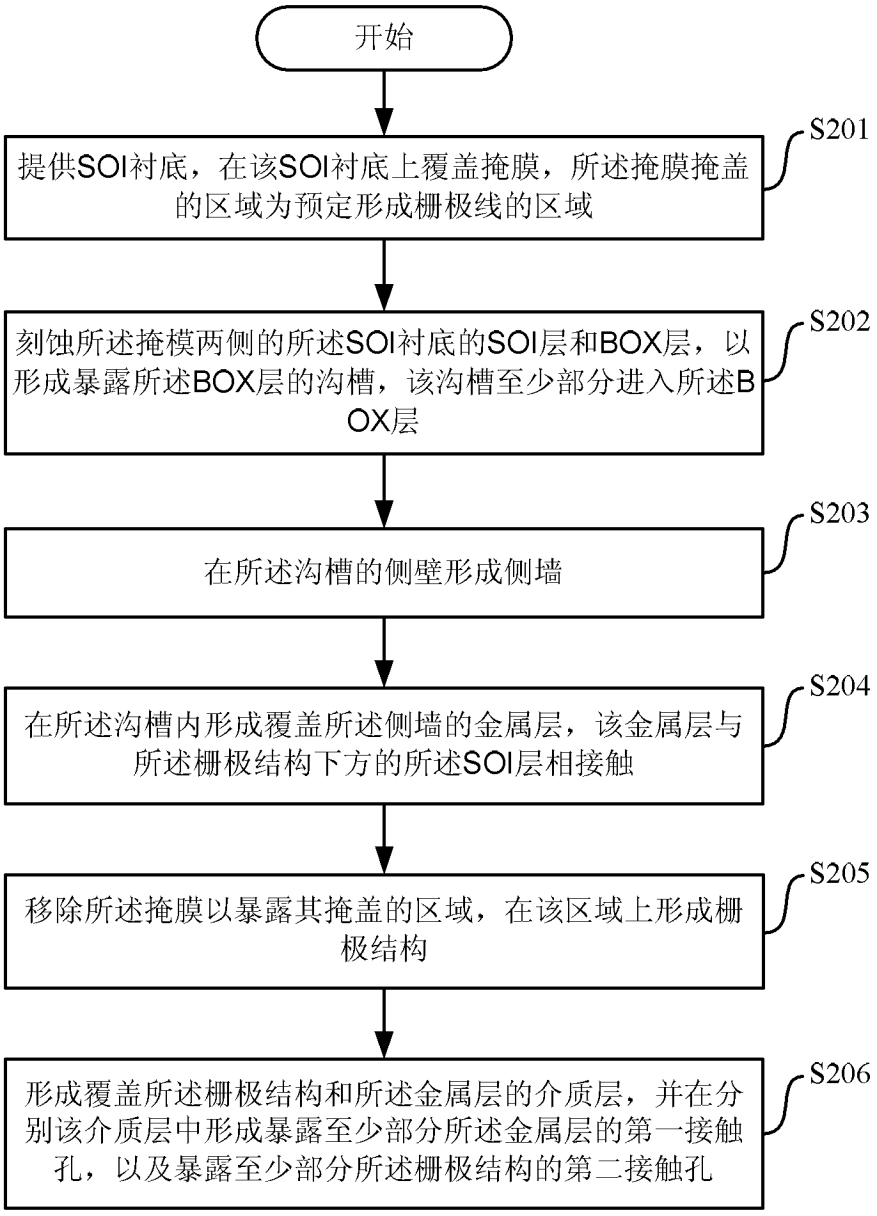

开始
提供SOI衬底，在该SOI衬底上覆盖掩膜，所述掩膜掩盖的区域为预定形成栅极线的区域
S201
刻蚀所述掩模两侧的所述SOI衬底的SOI层和BOX层，以形成暴露所述BOX层的沟槽，该沟槽至少部分进入所述BOX层
S202
在所述沟槽的侧壁形成侧墙
S203
在所述沟槽内形成覆盖所述侧墙的金属层，该金属层与所述栅极结构下方的所述SOI层相接触
S204
移除所述掩膜以暴露其掩盖的区域，在该区域上形成栅极结构
S205
形成覆盖所述栅极结构和所述金属层的介质层，并在分别该介质层中形成暴露至少部分所述金属层的第一接触孔，以及暴露至少部分所述栅极结构的第二接触孔
S206

图 2(b)

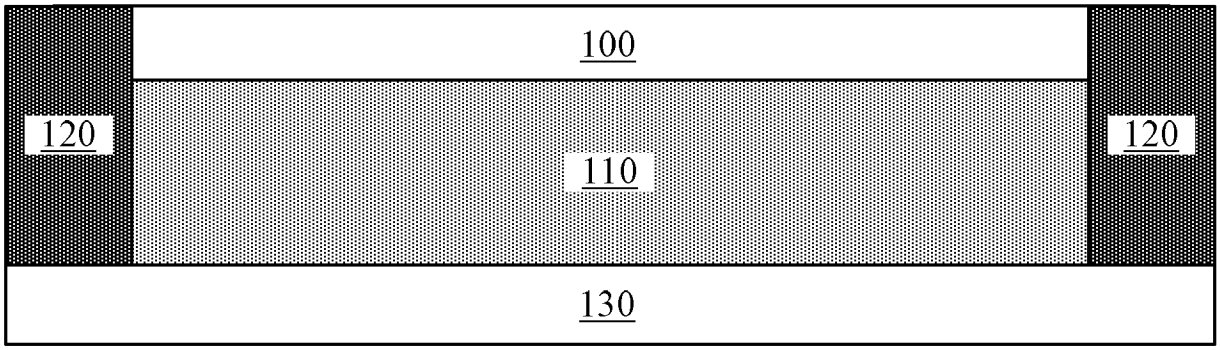

100
120
110
120
130

图 3

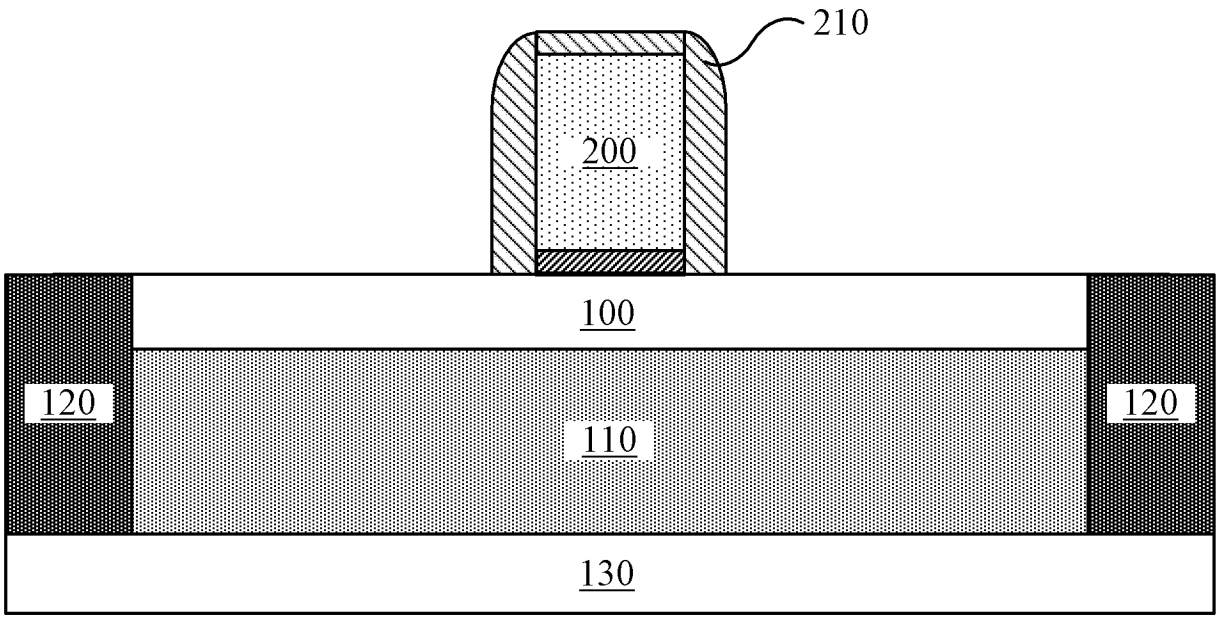


图 4

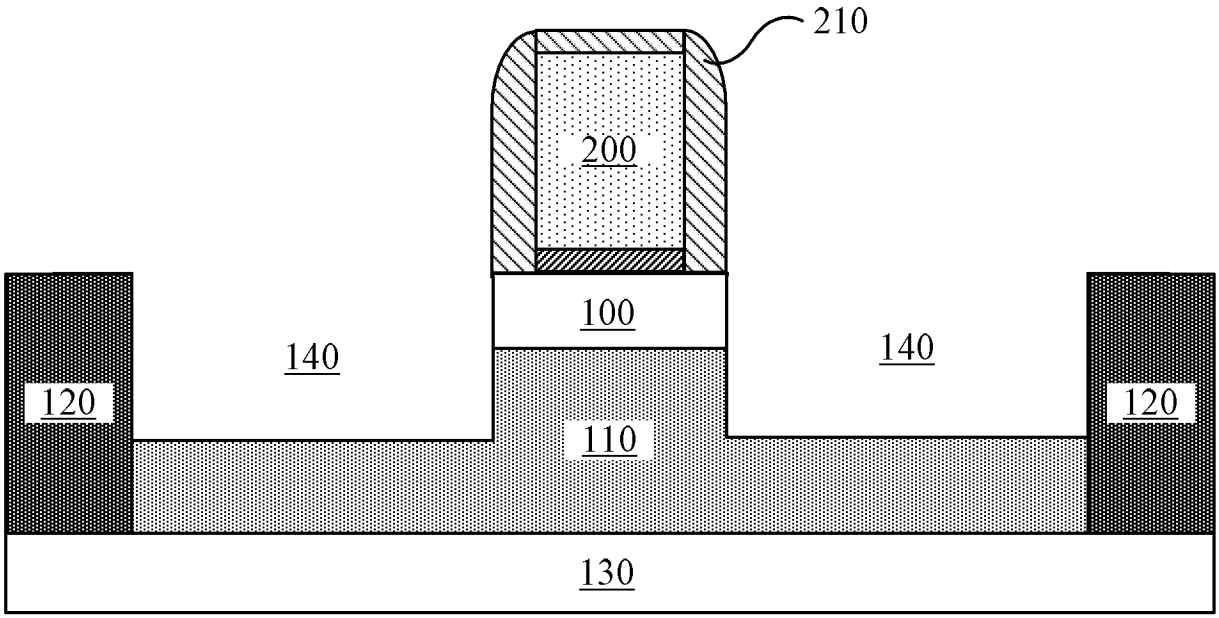


图 5

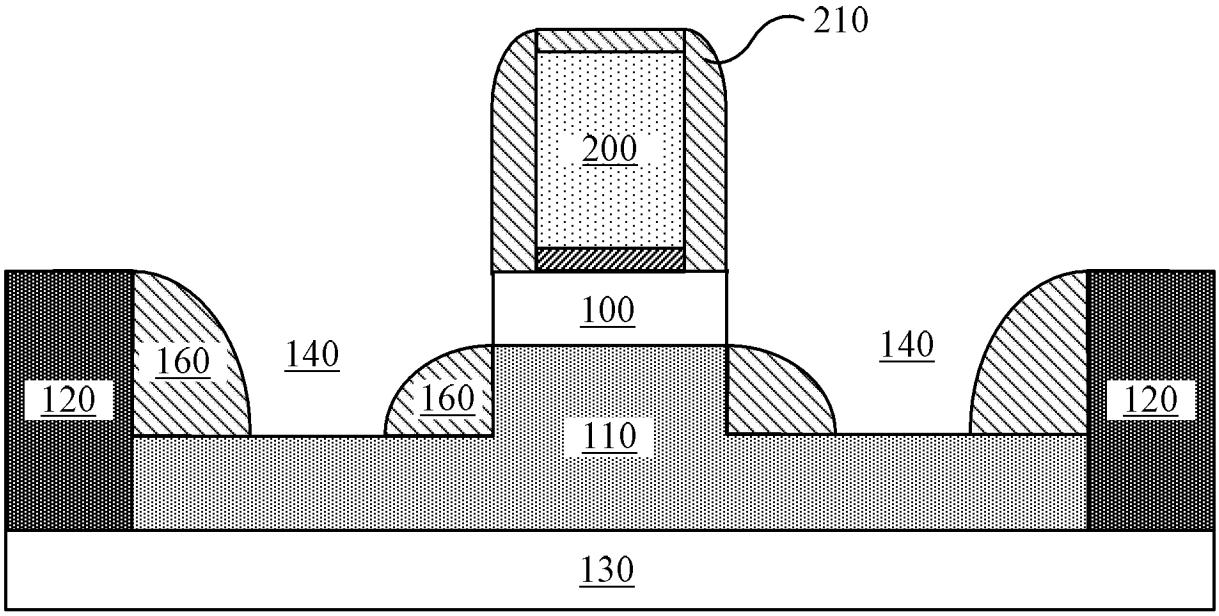

210
200
100
140
140
160
160
120
120
110
130

图 6

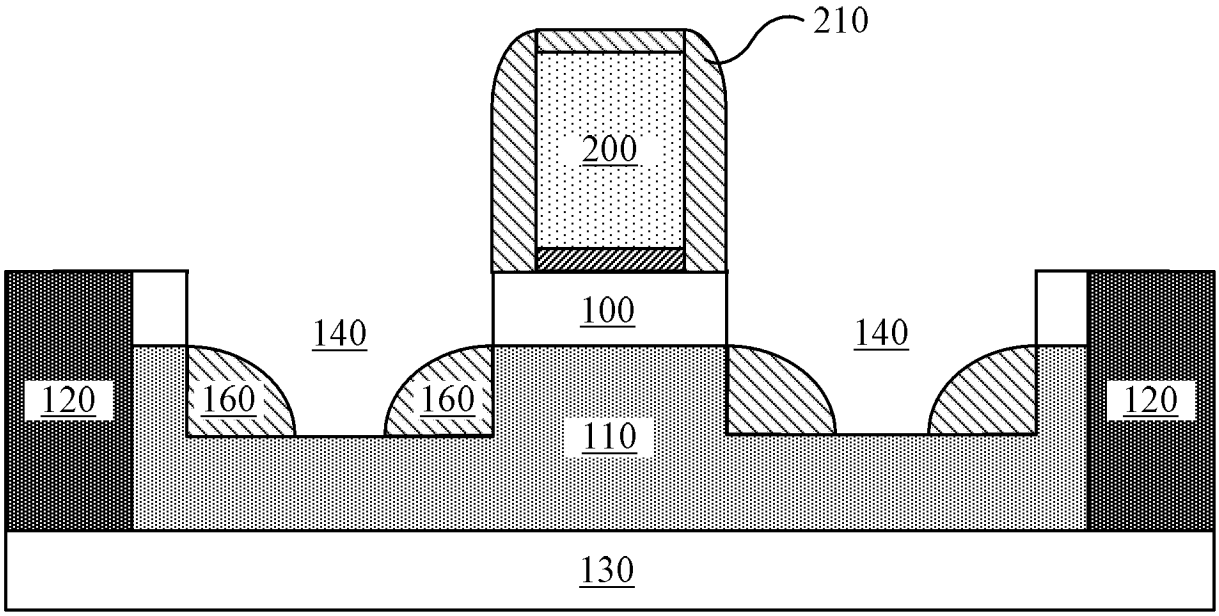

210
200
100
140
140
120
160
160
120
110
130

图 7

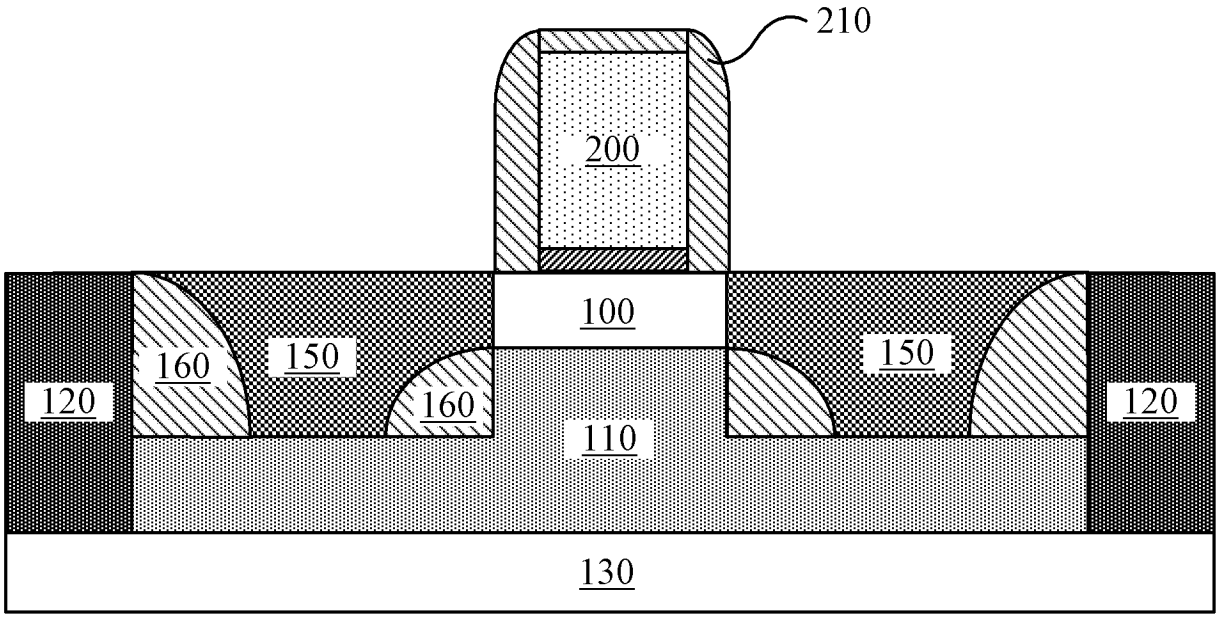

210
200
100
160
150
150
120
160
110
120
130

图 8

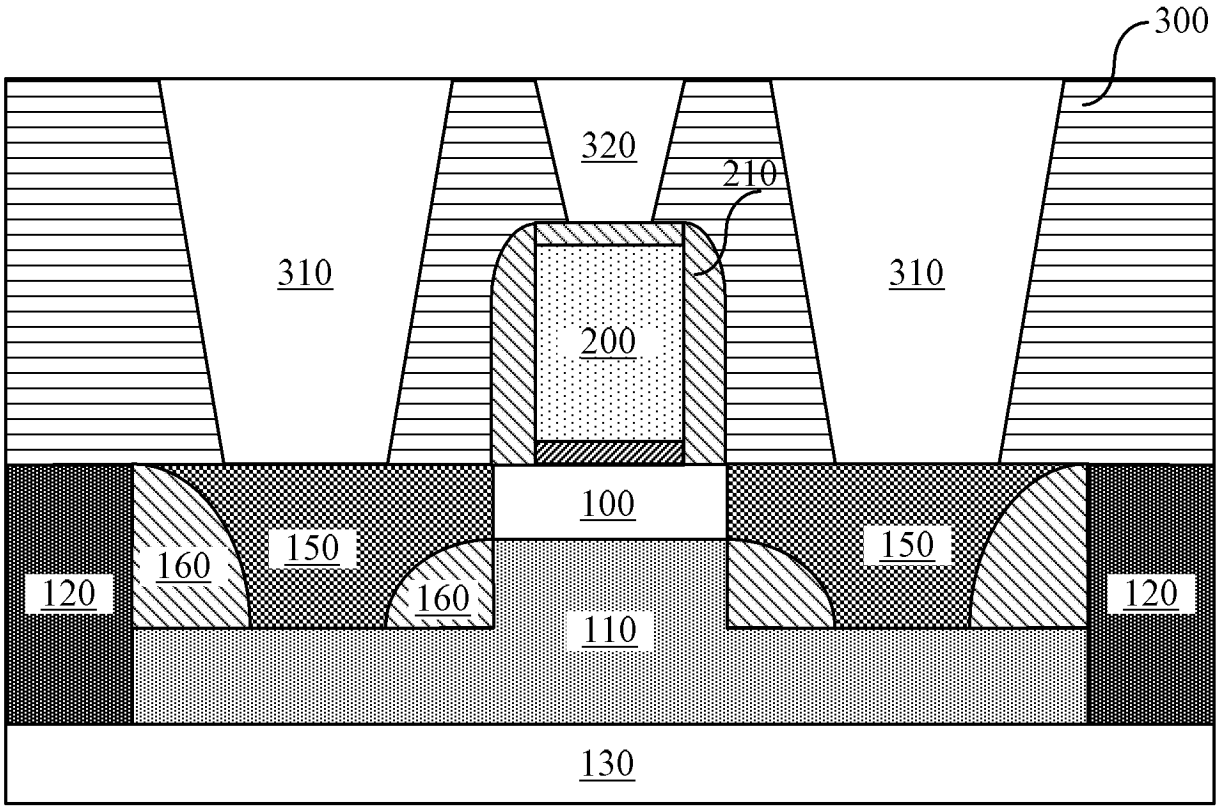

300
320
210
310
310
200
100
160
150
150
120
160
110
120
130

图 9

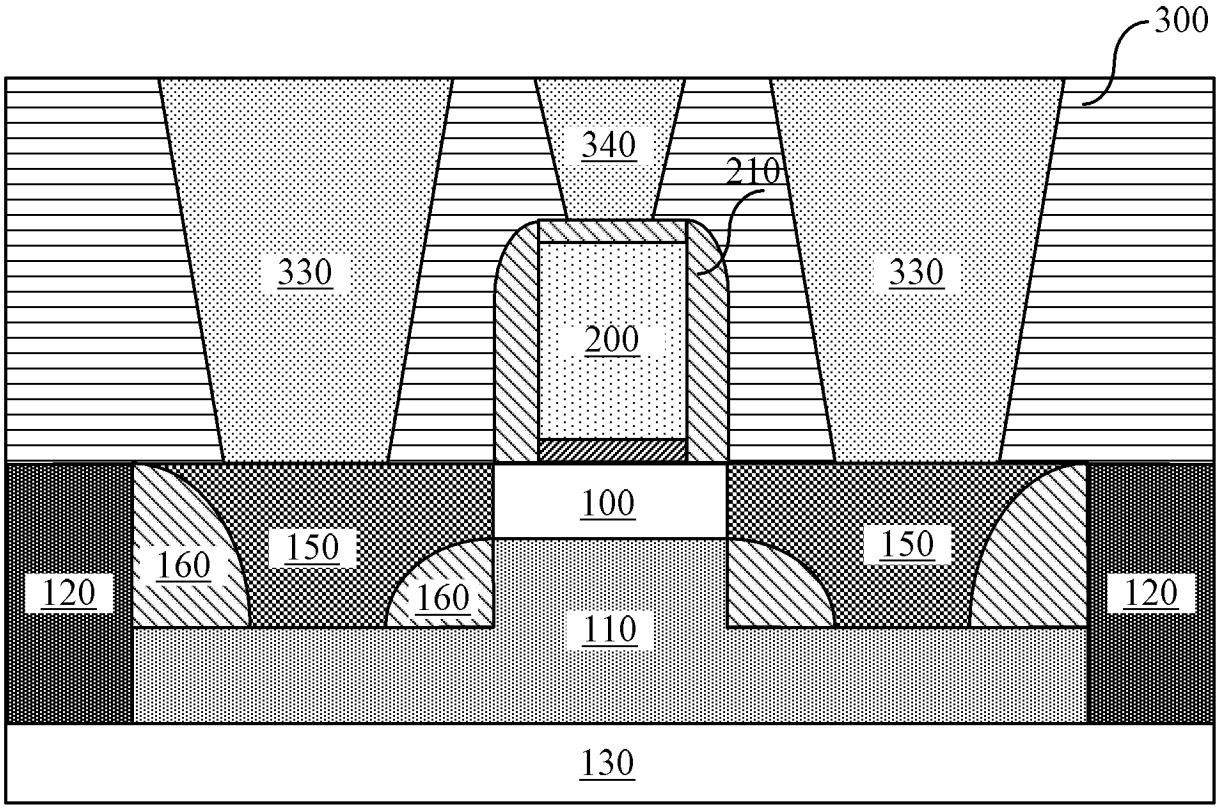

300
340
210
330
330
200
100
150
150
160
160
120
120
110
130

图 10

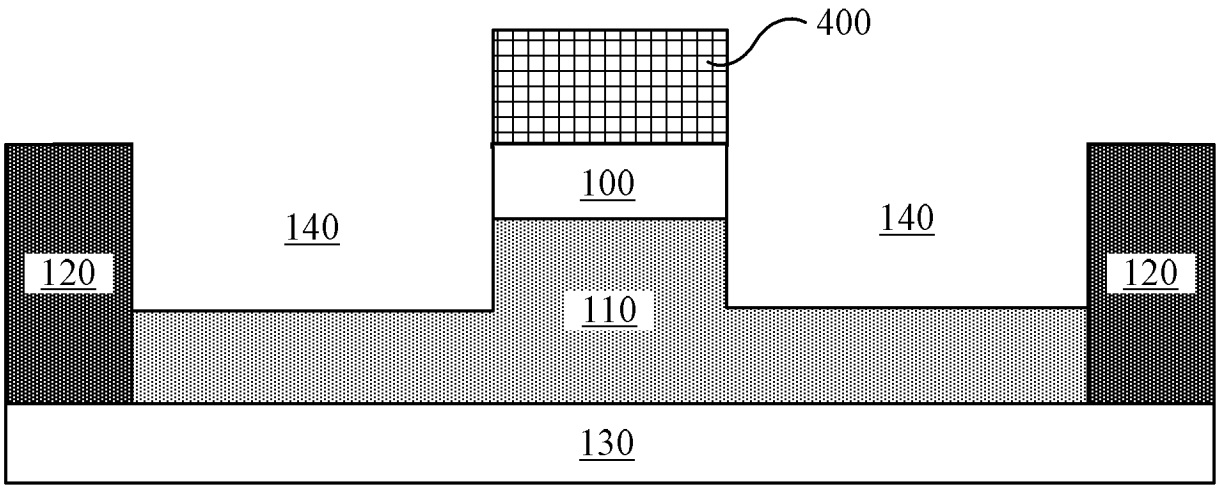

400
100
140
140
120
120
110
130

图 11

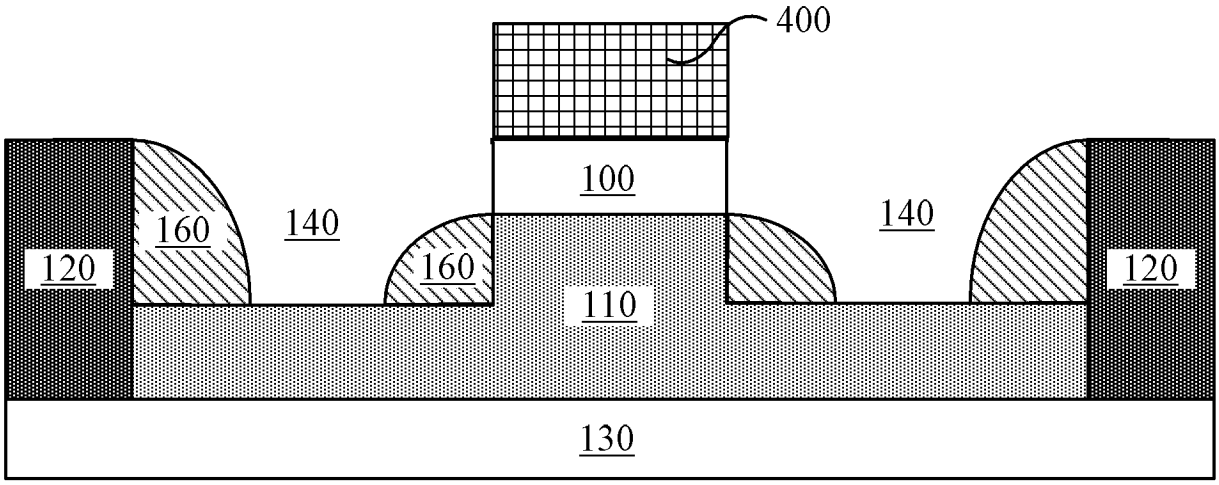

400
100
140
140
160
160
120
120
110
130

图 12

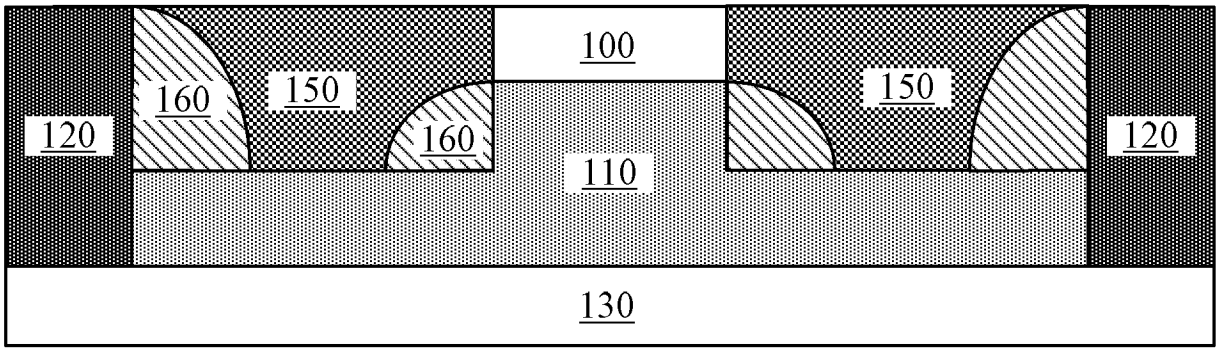

100
150
150
160
160
120
120
110
130

图 13

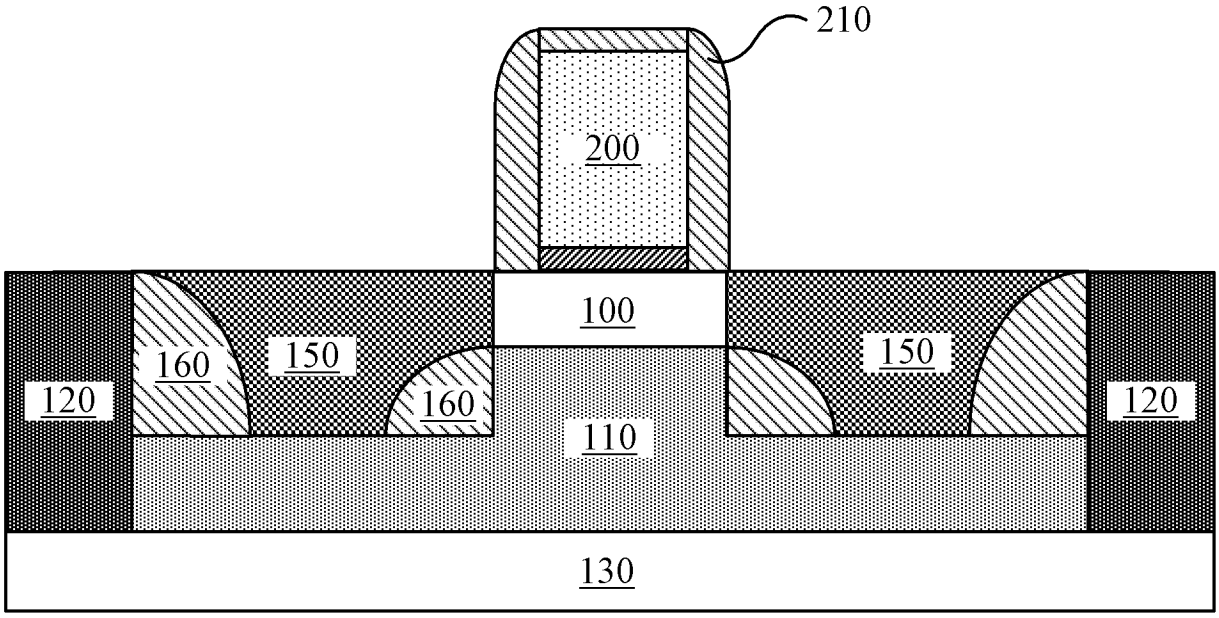

210
200
100
160
150
150
120
160
110
120
130

图 14

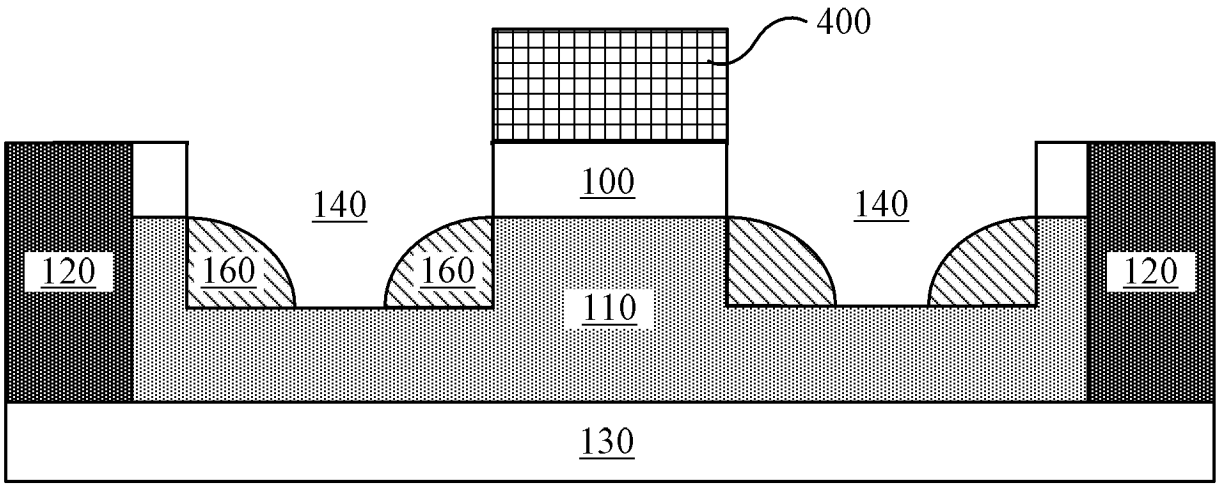

400
100
140
140
120
160
160
110
120
130

图 15