(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 29/00

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0197554
(24) 등록일자 1999년02월24일

(21) 출원번호 10-1995-0033221
(22) 출원일자 1995년09월30일
(65) 공개번호 특1997-0017694
(43) 공개일자 1997년04월30일

(73) 특허권자 삼성전자주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 유제환
경기도 수원시 권선구 고등동 50-4 202호
(74) 대리인 이건주

심사관 : 권인희

(54) 반도체 메모리장치의 고속테스트 방법

요약

1. 청구범위에 기재된 발명이 속하는 기술분야

본 발명은 반도체 메모리장치에 관한 것으로 특히, 고속으로 메모리셀의 불량을 테스트하는 반도체 메모리장치의 테스트회로에 관한 것이다.

2. 발명이 해결하려고 하는 기술적 과제

기존의 테스트방식에 발견되는 저속의 테스트동작과 집적화를 저해하는 요인들 및 전력소비를 줄이는 것이 본 발명의 과제이다.

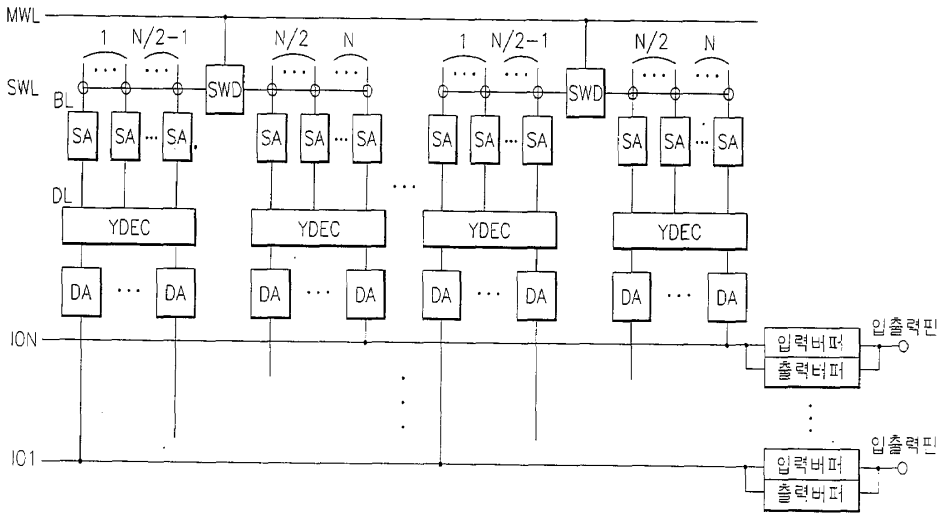
3. 발명의 해결방법의 요지

반도체 메모리장치의 테스트방법에 있어서, 일정주기의 내부신호를 입력하여 상기 데이타라인의 선택하는 데이타라인 선택수단을 구비하여 출력 센스앰프의 입력이 상기 데이타라인 선택수단의 순차적인 동작에 의해 변화되게 한다.

4. 발명의 중요한 용도

고집적, 저전력소비 및 고속의 테스트기능을 수행하는 반도체 메모리

대표도



명세서

[발명의 명칭]

반도체 메모리장치의 고속테스트 방법

[도면의 간단한 설명]

제1도는 서브워드라인 드라이버를 구비하는 반도체 메모리장치의 데이타 출력패스를 보여주는 도면.

제2도는 종래기술에 따른 테스트과정을 보여주는 도면.

제3도는 2도에 따른 동작타이밍도.

제4도는 본 발명에 따른 고속테스트과정을 위한 반도체 메모리장치의 데이타 출력패스를 보여주는 도면.

제5도는 제4도를 구성하는 스위칭회로의 회로도.

제6도는 제4도를 구성하는 글로벌라인 제어회로의 회로도.

제7도는 제4도를 구성하는 출력 센스앰프의 회로도.

제8도는 제4도를 구성하는 비교기의 회로도.

제9도는 제4도에 따른 동작타이밍도.

[발명의 상세한 설명]

본 발명은 반도체 메모리장치에 관한 것으로 특히, 고속으로 메모리셀의 불량을 테스트하는 반도체 메모리장치의 테스트 방법에 관한 것이다.

반도체 메모리장치는 일반적인 액세스동작을 수행하기 위해 다수의 데이타를 저장하는 메모리셀 어레이영역과, 상기 메모리셀 어레이영역에 저장된 데이타의 입출력을 제어하기 위한 주변회로들로 구성된다. 상기와 같은 메모리셀 어레이영역을 구성하는 각 단위 메모리셀들과 개별 주변회로들의 불량여부를 검증하는 테스트는 완전한 반도체 메모리장치의 구현을 위해서 빠져서는 안되는 필수과정이다. 반도체 메모리장치에서 불량의 대부분은 싱글비트불량이며, 이러한 싱글비트불량을 판독하기 위해 종래에는 개별적인 메모리셀단위로 테스트를 실시했다. 그러나 이러한 개별 메모리셀단위의 테스트는 시간이 오래 걸리고 테스트에 사용되는 비용이 커서 적절한 테스트방법이 아니었다. 현재는 한번의 액세스사이클동안 다수의 메모리셀을 테스트하는 방법이 일반적으로 사용되고 있다. 이를 가리켜 멀티비트 병렬테스트(multibit parallel test)라고 한다. 256Mbit급 이상의 고용량 메모리장치에서 상기한 테스트시간을 단축하고, 그러므로써 테스트에 사용되는 비용을 낮추는 것은 매우 중요한 문제로 부각되고 있다. 따라서 여러 회사 및 연구단체에서 이 태스트분야에 대한 연구가 활발히 진행되고 있고, 그중 본 발명의 종래기술로 제시된 제1도는 1993년에 NEC사에서 발표한 VLSI circuits symposium의 논문에 개시된 바 있다.

제1도는 서브워드라인 드라이버를 구비하는 반도체 메모리장치의 데이타 출력패스를 보여주는 도면이다.

제1도를 참조하면, 도시되지 아니한 로우디코더의 출력단과 접속되는 매인워드라인 MWL에는 다수의 서브워드라인 드라이버 SWD가 접속된다. 상기 서브워드라인 드라이버 SWD의 도면상 양 방향으로는 서브워드라인 SWL이 접속된다. 또한 상기 서브워드라인 SWL과 도면상 연직방향으로 비트라인쌍들이 배치된다. 상기 비트라인쌍마다에는 각각 하나씩의 비트라인 센스앰플들 SA이 접속된다. 상기 비트라인 센스앰프 SA의 출력단은 데이타라인 DL을 통하여 칼럼디코더 YDEC의 입력단과 접속된다. 상기 출력 센스앰프 DA의 출력단은 각각 하나씩의 입출력라인 IO의 최종단에는 입력버퍼의 출력단과 출력버퍼의 입력단이 공통으로 접속된다. 상기 입력버퍼의 입력단과 출력버퍼의 출력단은 하나의 입출력핀에 공통으로 접속된다.

제2도는 종래기술에 따른 테스트회로를 보여주는 도면이다.

제2도에서 각 서브워드라인 드라이버단위의 어레이블럭은 시프터 레지스터 SR의 출력에 의해 선택되고, 상기 시프터 레지스터 SR의 출력은 내부클럭 ICLK에 동기되어 규칙적이며 순차적인 출력신호를 출력한다. 각 서브워드라인 드라이버 SWD와 접속되는 어레이블럭에는 각각 다수개(도면상으로 N개)의 출력 센스앰프 DA가 존재하며, 상기 출력 센스앰프 DA는 상기 시프터 레지스터 SR의 출력에 응답하는 입출력 제어회로 DAC의 출력인 제어신호 DAE에 의해 동작한다.

제3도는 2도에 따른 동작타이밍도이다. 제1도에서 제3도의 도면을 참조하여 종래기술에 따른 테스트과정을 개략적으로 설명한다.

한번의 테스트사이클은 로우어드레스 스트로브신호 RAS의 활성화구간에 의해 결정된다. 테스트동작시 내부클럭신호 ICLK에 의해 서브워드라인 SWL이 순차적으로 인에이블된다. 출력 센스앰프 DA의 제어신호인 DAE는 상기 한 사이클의 내부클럭신호 ICLK에 따른 펄스에 동기되어 출력된다. 이러한 출력 센스앰프 DA의 출력을 숏사이클로 출력시키게 된다. 이상과 같은 종래의 테스트는 칩내부를 병렬로 테스트할 고주파로 동작하는 카운터를 내장하여 워드라인 인에이블과 비트라인 센싱 및 데이타라인 센싱을 제어하여 숏사이클로 연속적인 데이타를 출력하므로써 출력시간을 줄일 수 있개 된다.

그러나 상기와 같은 종래의 테스트는 다음과 같은 문제점을 가지게 된다. 즉, 모든 어레이블럭마다 다수개(도면에서는 N개)의 출력 센스앰프가 존재하여, 한번의 액세스사이클동안 멀티비트를 입출력하는 제품에서는 상기 출력 센스앰프가 차지하는 레이아웃면적이 크게 되어 칩사이즈가 증가하게 된다. 또, 시프터 레지스터의 출력에 의해 서브워드라인 드라이버와 비트라인 센싱 및 데이타라인 센싱을 숏사이클로 동작시키기 위해서 추가되는 회로가 크게 증가하여 회로설계가 어렵고 상술한 바와 같이 추가되는 회로가 칩에서 차지하는 면적 또한 커져 집적화에 반하게 된다. 또, 출력 센스앰프가 시프터 레지스터에 의해 선택적으로 인에이블 및 디스에이블의 해야 하므로 최소 7나노초 주기의 느린 주파수로 동작하게 된다. 이에 따라 반도체 메모리장치의 고속동작을 구현하기 어렵게 된다. 또한 통상적인 노멀모드동작에서 한번의 액세스사이클동안 16비트의 데이타를 액세스하게 되는데, 테스트동작시 256비트와 같은 다수의 메모리셀을 테스트하는 경우 입출력라인이 256개 필요하고 256개의 출력 센스앰프가 동시에 동작해야 하므로 상기 출

력 센스앰프에서 방전되는 전류소비가 크다. 따라서 전력소비가 심하게 된다.

따라서, 본 발명의 목적은 고속으로 동작하고, 전류소비가 줄어든 반도체 메모리장치의 테스트방법을 제공하는데 있다.

상기 본 발명의 목적들을 달성하기 위하여 메모리셀 어레이로부터 데이터를 출력하기 위한 다수의 데이타라인과, 상기 데이타라인을 순차적으로 선택하기 위한 스위칭수단과, 상기 선택된 데이타라인에 연결된 출력 센스앰프와, 상기 출력 센스앰프의 출력을 조성갯수단위로 비교하는 비교기를 구비하는 반도체 메모리장치의 테스트방법에 있어서, 일정주기의 내부신호를 입력하여 상기 데이타라인을 선택하는 데이타라인 선택수단을 준비하여 상기 출력 센스앰프의 입력이 상기 데이타라인 선택수단의 순차적인 동작에 의해 변화되게 하는 것을 특징으로 한다.

이하 첨부된 도면을 이용하여 본 발명에 따른 테스트방법을 위한 회로의 바람직힌 실시예를 설명한다.

제4도는 본 발명의 실시예에 따른 고속테스트를 보여주는 반도체 메모리장치의 데이타 출력패스를 보여주는 도면이다.

제4도를 참조하면, 메모리셀 어레이는 다수개의 메모리블럭 BLK0-BLKN으로 분할된다. 상기 메모리블럭들은 로우디코더 XDEC에 공통으로 접속되고, 각 메모리블럭들은 독립적인 칼럼디코더 YDEC에 개별적으로 접속된다. 상기 메모리블럭들의 도면상 좌측에는 글로벌라인 GIO이 존재하며, 상기 글로벌라인 GIO과 메모리셀을 구성하는 비트라인은 로컬라인 LIO에 의해 선택적으로 접속된다. 상기 글로벌라인 GIO과 로컬라인 LIO의 개수는 각각 4쌍씩 존재한다. 노멀 동작시 상기 글로벌라인 GIO은 소정비트의 칼럼어드레스신호에 의해 선택되고, 테스트시에는 시프터 레지스터SR의 출력에 의해 각 글로벌라인 GIO의 끝단에 접속된 스위칭수단들 SW(0)-SW(N)과 선택적으로 접속된다. 각 입출력라인에는 하나씩의 출력 센스앰프 DA가 연결되며, 상기 출력 센스앰프의 출력단과 접속되는 제1데이타라인들 FDBi(i=0-3)은 노멀동작시 멀티블렉서 MUX를 거쳐 출력버퍼와 접속되나, 테스트동작시 비교기 COMP에 입력된다. 상기 비교기 COMP는 통상적인 병렬입력(parallel input)이 아니라 다수개의 직렬입력(serial input)을 비교하는 기능을 수행하고 이 비교기 COMP의 출력신호 com는 멀티플렉서 MUX를 거쳐 출력버퍼로 전송된다.

제5도, 제6도 및 제7도는 각기 제4도를 구성하는 스위칭회로, 글로벌라인 제어회로 및 출력 센스앰프에 대한 상세회로도들이다.

제5도를 참조하면, 글로벌라인 GIO, GIOB는 제6도로 도시한 글로벌라인 제어회로의 출력신호 PGIOS에 의해 선택적으로 입출력라인 IO, IOB과 접속된다. 제6도를 참조하면, 칼럼어드레스신호 CAi와 테스트인에이블신호 PTE와 시프터 레지스터 SR의 출력신호 SRi 및 독출제어신호 PREAD를 입력하여 글로벌라인 제어신호 PGIOi를 출력한다. 상기 독출제어신호 PREAD는 리드시에만 '하이'상태이다. 테스트인에이블신호가 '로우'로 전달되는 노멀동작시 칼럼어드레스신호 CAi RK 입력되어 N개 메모리블럭들 BLK0-BLKN중 하나가 선택되고, 테스트시 통상적인 시프터 레지스터의 출력인 SRi가 전달되어 순차적인 제어신호 PGIOSi가 출력된다. 제7도로 도시된 출력 센스앰프에서 입출력라인 IO, IOB는 통상적인 전류센스앰프(10)의 입력단과 접속되고, 상기 전류센스엠프(10)의 출력단은 통상적인 전압센스앰프(20)의 입력단과 접속된다. 상기 전압센스앰프(20)의 출력된은 제1데이타라인 FDB, FDBB과 접속된다. 이러한 전류센스앰프 및 전압센스앰프의 구성 및 동작은 당분야에 널리 알려져 있다.

제8도는 제4도를 구성하는 본 발명의 실시예에 따른 비교기의 상세회로도이다.

제8도를 참조하면, 비교제어신호 PPREP는 매 클럭의 상승에지(risingedge)에 동기되어 발생되는 소정폭의 펄스신호이고, 테스트인에이블신호 PET가 '하이' 일 경우에만 동작하여 노드 N1과 노드 N3를 '하이'상태로 프리차아지시킨다. 예를 들어, N=15일 경우 16번의 SRi(i=0-15)가 발생하여 글로벌라인 GIO에 실린 데이타를 출력 센스앰프 DA에서 센싱하여 16번 모두의 데이타상태가 동일하면, 비교기 COMP의 출력 com은 '하이'가 된다. 반면, 16번의 테스트동작에서 한번이라도 다른 상태의 데이타가 상기 비교기로 입력되면, '로우'데이타가 출력되므로 불량여부를 판독하게 된다.

제4도의 회로에서 멀티플렉서 MUX,, 와 시프터 레지스터 SR 및 클릭제너레이터 CLKG의 구성은 당분야에 다양하게 공개되어 있고 본 실시예에서는 그중 어느 것을 사용하여도 무방하다.

제9도는 제4도에서 제8도의 회로도에 따른 동작타이밍도이다.

본 발명에서는 고주파동작을 하는 클럭제너레이터가 필요한데 상기 클럭제너레이터의 출력은 제4도의 내부클럭 ICLK이다. 클럭제너레이터 CLKG는 외부클럭 CLK를 분주하여 고주파의 내부클럭 ICLK을 출력한다. 고속테스트모드에서 내부클럭 ICLK에 동기되어 발생되는 시프터 레지스터 SR의 출력신호 SRi가 순차적으로 인에어블 및 디스에이블 되고 이를 입력하여 글로벌라인 제어신호 PGIOSi가 순차적으로 출력된다. 외부클럭 CLK의 상승에지후 일정시간동안 즉, 제9도의 T1동안 PPREP에 의해 비교기 COMP가 프리차아지된다. 여기서 출력 센스앰프 DA에 의해 센싱된 데이타가 제1데이타라인 FDB, FDBB에 실리면 노드 N3 혹은 노드 N4는 '하이'에서 '노우'로 천이되고, 글로벌라인 제어회로 PGIOSi의 출력신호가 연속정으로 출력되어 글로벌라인에 실린 데이타가 모두 동일하면 상기 비교기의 출력은 '하이'가 되고 만약 하나라도 다른 데이타가 존재하면, 상기 비교기의 출력은 '로우'가 된다.

이상에서와 같이 본 발명에 따른 테스트회로가 구현되면, 다음과 같은 장점들이 발생된다. 즉, 출력 센스앰프 DA의 개수 및 입출력라인 IO라인의 개수를 현저하게 줄일 수 있어 고집적에 대단히 유리하다. 또, 시프터 레지스터의 출력은 단지 스위칭수단의 입력으로만 사용되어 설계가 매우 용이하고, 상기 시프터 레지스터가 칩에서 차지하는 면적이 그리 크지 않기 때문에 레이아웃에 기인하는 손실이 많지 않다. 또, 출력 센스앰프 DA를 계속 동작시키고 그 입력을 바꾸어 최대 동작주파수를 250MHz까지 가능하게 되었다. 이때 한 싸이클에 소요되는 시간을 4나노초에 불과하여 고주파에 적응적으로 동작가능하다. 또한 통상적인 병렬테스트방법에 비해서는 동작 출력 센스앰프의 개수가 1/8 또는 1/16로 줄어들어서 전력소비를 더 크게 줄일 수 있게 된다. 비교기의 내부회로구성도 대단히 간단하게 설계할 수 있다.

(57) 청구의 범위

청구항 1

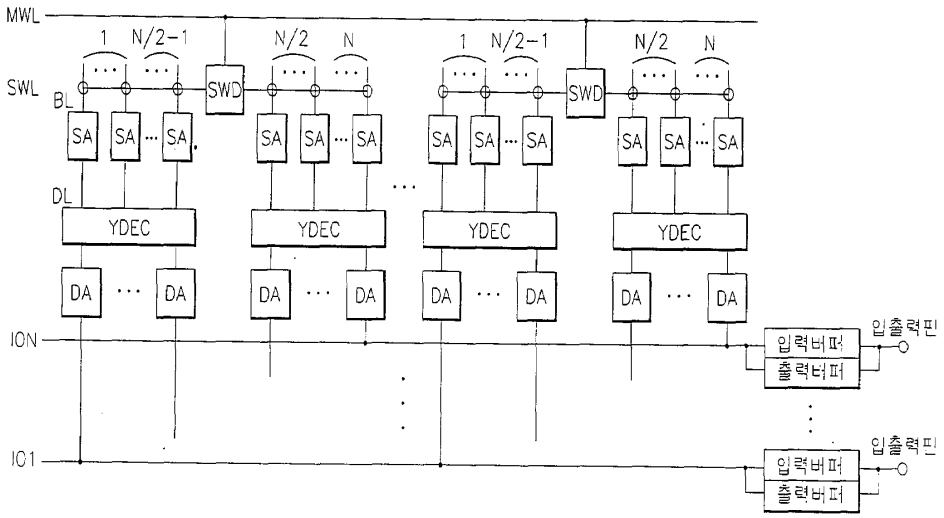
메모리셀 어레이로부터 데이타를 출력하기 위한 다수의 데이타라인과, 상기 데이터리안을 순차적으로 선택하기 위한 스위칭수단과, 상기 선택된 데이터라인에 연결된 출력 센스앰프와, 상기 출력 센스앰프의 출력을 소정 개수단위로 비교하는 비교기를 구비한 반도체 메모리장치의 테스트방법에 있어서, 일정주기의 내부신호를 입력하여 상기 데이타라인을 선택하는 데이타라인 선택수단을 준비하여, 상기 출력 센스앰프의 입력이 상기 데이타라인 선택수단의 순차적인 동작에 의해 변화되게 하는 것을 특징으로 하는 반도체 메모리장치의 테스트방법.

청구항 2

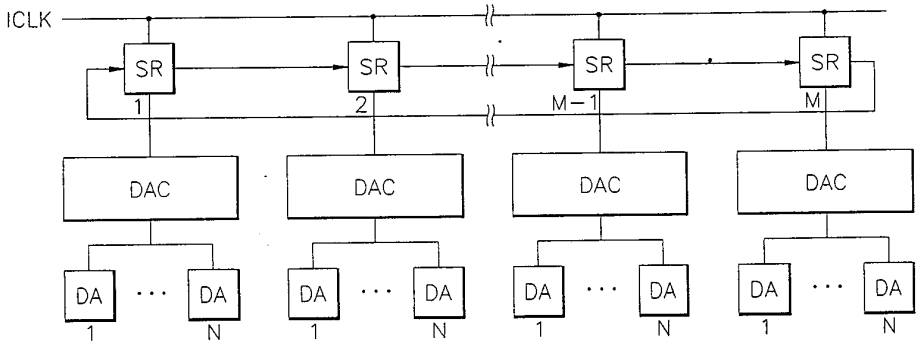
제1항에 있어서, 상기 스위칭수단이 내부클럭신호를 받아 순차적인 내부신호를 발생하는 시프터 레지스터에 응답하여 스위칭됨을 특징으로 하는 반도체 메모리장치의 테스트방법.

도면

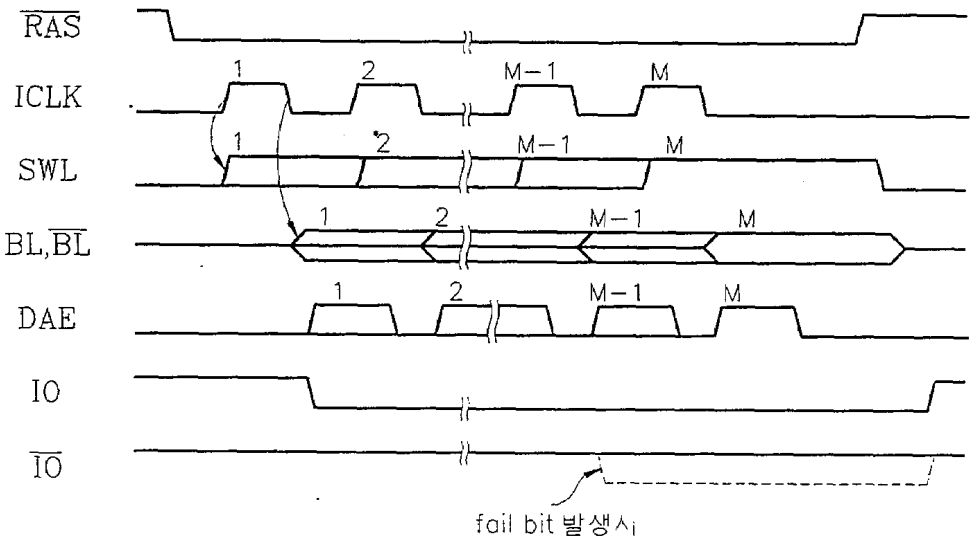
도면1



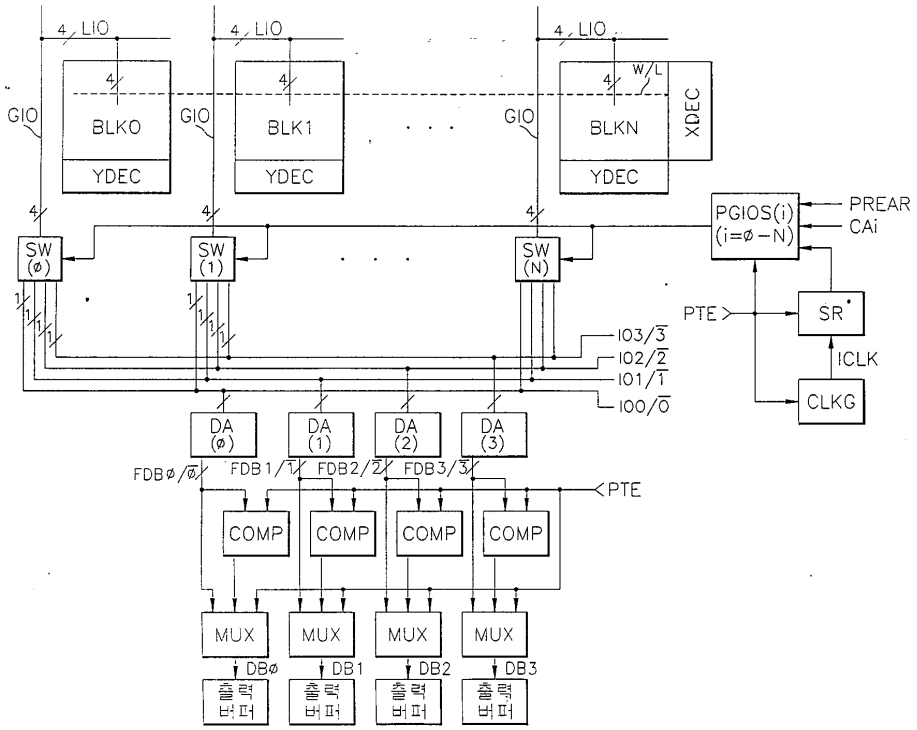
도면2



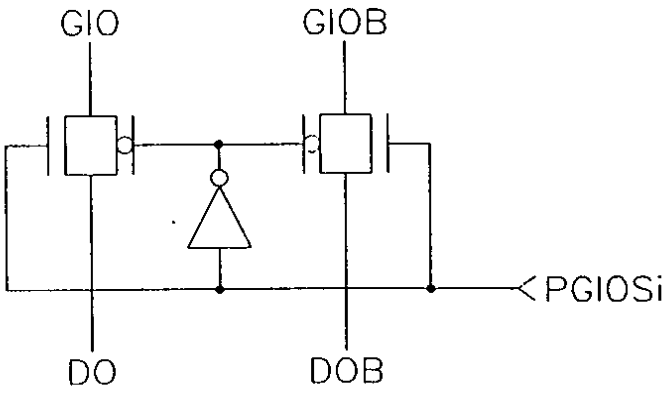
도면3


RAS
ICLK
SWL
BL,BL
DAE
IO
IO
1
2
M-1
M
fail bit 발생시

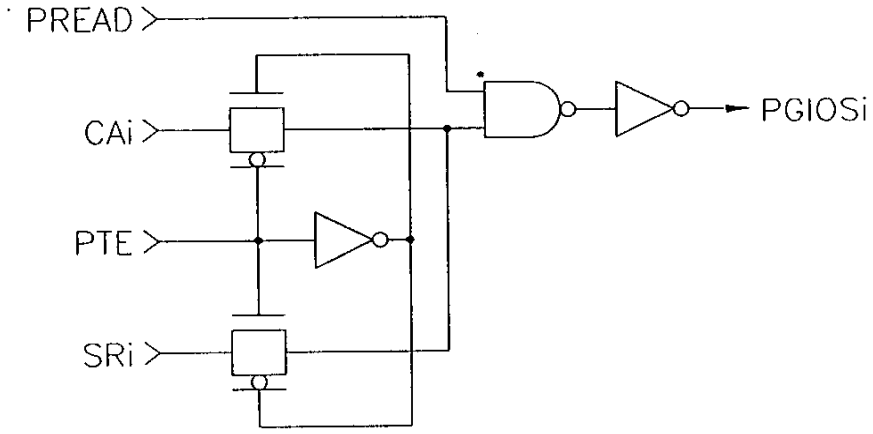
도면4


4/LIO
GIO
BLKO
BLK1
BLKN
YDEC
W/L
XDEC
PGIOS(i)
(i=ø-N)
PREAR
CAi
PTE
SR
ICLK
CLKG
SW (ø)
SW (1)
SW (N)
103/3
102/2
101/1
100/0
DA (ø)
DA (1)
DA (2)
DA (3)
FDBø/ø
FDB1/1
FDB2/2
FDB3/3
COMP
MUX
DBø
DB1
DB2
DB3
출력 버퍼

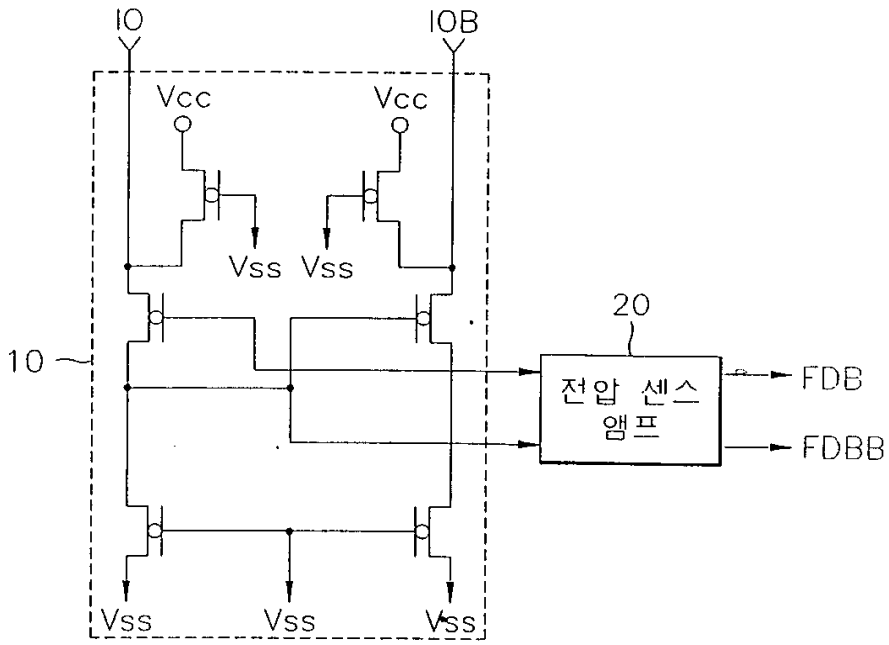
도면5



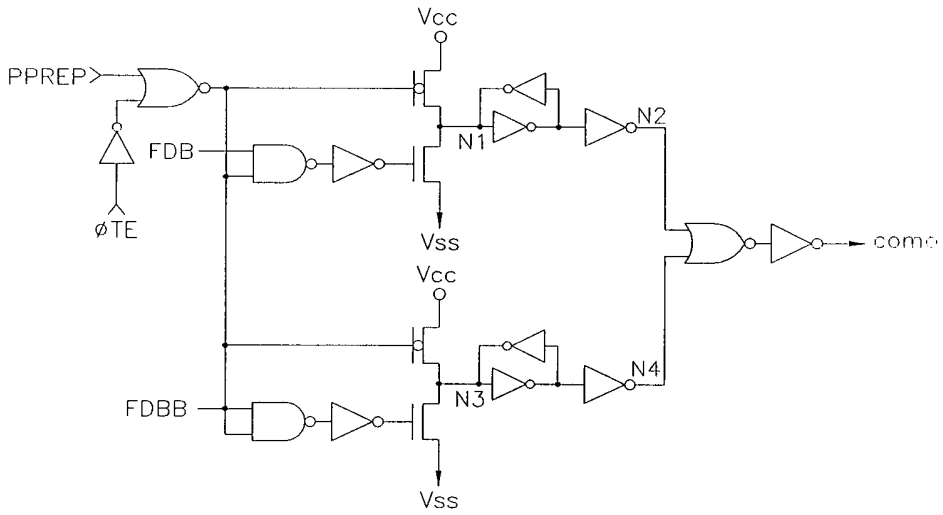
도면6



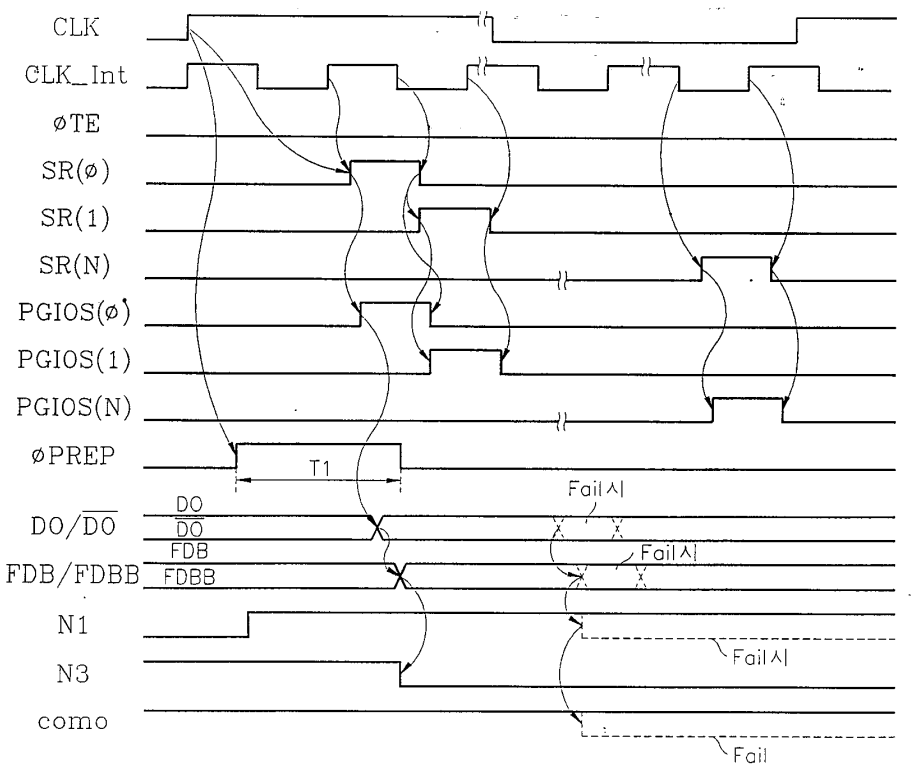
도면7


IO
IOB
Vcc
Vcc
Vss
Vss
10
20
전압 센스
앰프
FDB
FDBB
Vss
Vss
Vss

도면8


Vcc
PPREP
FDB
øTE
N1
N2
Vss
Vcc
como
N4
N3
FDBB
Vss

도면9


CLK
CLK_Int
øTE
SR(ø)
SR(1)
SR(N)
PGIOS(ø)
PGIOS(1)
PGIOS(N)
øPREP
T1
DO/DO
DO
DO
FDB/FDBB
FDB
FDBB
N1
N3
como
Fail시
Fail시
Fail시
Fail