

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4675302号  
(P4675302)

(45) 発行日 平成23年4月20日(2011.4.20)

(24) 登録日 平成23年2月4日(2011.2.4)

(51) Int.Cl.

H02M 1/00 (2007.01)  
H02M 1/08 (2006.01)

F 1

H02M 1/00  
H02M 1/08F  
341B

請求項の数 2 (全 13 頁)

(21) 出願番号 特願2006-258329 (P2006-258329)  
 (22) 出願日 平成18年9月25日 (2006.9.25)  
 (65) 公開番号 特開2008-79475 (P2008-79475A)  
 (43) 公開日 平成20年4月3日 (2008.4.3)  
 審査請求日 平成21年2月18日 (2009.2.18)

(73) 特許権者 000006013  
 三菱電機株式会社  
 東京都千代田区丸の内二丁目7番3号  
 (74) 代理人 100064746  
 弁理士 深見 久郎  
 (74) 代理人 100085132  
 弁理士 森田 俊雄  
 (74) 代理人 100083703  
 弁理士 仲村 義平  
 (74) 代理人 100096781  
 弁理士 堀井 豊  
 (74) 代理人 100098316  
 弁理士 野田 久登  
 (74) 代理人 100109162  
 弁理士 酒井 將行

最終頁に続く

(54) 【発明の名称】半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

第1の電圧と、出力ノードとの間に設けられ、第1の制御信号の入力に応答して駆動する第1の半導体スイッチング素子と、前記第1の半導体スイッチング素子と直列に前記出力ノードと第1の電圧よりも低い第2の電圧との間に接続され、第2の制御信号の入力に応答して駆動する第2の半導体スイッチング素子とを有するハーフブリッジ回路と、

前記第1の半導体スイッチング素子に対応して設けられ、前記第1の半導体スイッチング素子と並列に接続され、第3の制御信号の入力を受けて導通 / 非導通となる第1のMOSトランジスタと、

前記第1の制御信号の入力に応答して前記第1の半導体スイッチング素子が導通状態から非導通状態に移行する期間において生じる所定のサージ電圧を検知して、前記第3の制御信号を生成する信号生成回路とを備え、

前記信号生成回路は、

前記第1の電圧と前記第2の電圧との間に直列に接続された第1および第2の抵抗素子と、

前記第1および第2の抵抗素子と前記第1の電圧との間に設けられ、カソード側が前記第1の電圧と接続され、アノード側が前記第1および第2の抵抗素子と接続される定電圧ダイオードと、

前記第1および第2の抵抗素子の接続ノードに生成される電圧と基準電圧とを比較する比較器と、

10

20

前記比較器の比較結果に基づいて前記第3の制御信号であるワンショットトリガパルス信号を生成するワンショットトリガパルス信号生成回路とを含む、半導体装置。

**【請求項2】**

第1の電圧と、出力ノードとの間に設けられ、第1の制御信号の入力に応答して駆動する第1の半導体スイッチング素子と、前記第1の半導体スイッチング素子と直列に前記出力ノードと第1の電圧よりも低い第2の電圧との間に接続され、第2の制御信号の入力に応答して駆動する第2の半導体スイッチング素子とを有するハーフブリッジ回路と、

前記第2の半導体スイッチング素子に対応して設けられ、前記第2の半導体スイッチング素子と並列に接続され、第3の制御信号の入力を受けて導通／非導通となる第1のMOSトランジスタと、

前記第1の制御信号の入力に応答して前記第1の半導体スイッチング素子が非導通状態から導通状態に移行する期間において生じる所定のサージ電圧を検知して、前記第3の制御信号を生成する信号生成回路とを備え、

前記信号生成回路は、

前記出力ノードと前記第2の電圧との間に直列に接続された第1および第2の抵抗素子と、

前記第1および第2の抵抗素子と前記出力ノードとの間に設けられ、カソード側が前記出力ノードと接続され、アノード側が前記第1および第2の抵抗素子と接続される定電圧ダイオードと、

前記第1および第2の抵抗素子の接続ノードに生成される電圧と基準電圧とを比較する比較器と、

前記比較器の比較結果に基づいて前記第3の制御信号であるワンショットトリガパルス信号を生成するワンショットトリガパルス信号生成回路とを含む、半導体装置。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

この発明は、電力用半導体装置の過電圧保護に関する。

**【背景技術】**

**【0002】**

電力エネルギーの有効利用のために、電力用半導体素子を用いた電力変換装置が広く使用されており、例えば、モータ駆動用の電力変換装置といったパワーエレクトロニクス装置としてはインバータ装置等が挙げられる。

**【0003】**

このインバータ装置内の電力用半導体素子として近年、絶縁ゲート型バイポーラトランジスタ（IGBT（Insulated Gate Bipolar Transistor））が広く用いられている。

**【0004】**

そして、この電力用半導体素子であるIGBTをスイッチング素子として用いて、高速に電流をスイッチングさせる等して、より高電圧・大電流を制御する方式が採用されている。これらの装置では、半導体素子のスイッチング時に大きな電流変化(以下、電流変化的程度を電流変化率： $dI/dt$ を用いて表す)が発生するため、回路の浮遊インダクタансに起因する大きなサージ電圧が半導体素子に印加されることになる。

**【0005】**

このサージ電圧により、スイッチング時の電流・電圧軌跡が半導体素子の安全動作領域（SOA）を超えると素子破壊が起こる。

**【0006】**

それゆえ、従来より、サージ電圧による素子破壊を抑制する種々の方式が提案されている（特許文献1～7）。

【特許文献1】特開平04-354156号公報

【特許文献2】特開2000-324797号公報

【特許文献3】特開平01-280355号公報

【特許文献4】特開平07-288456号公報  
【特許文献5】特開2002-135973号公報  
【特許文献6】特開2005-295653号公報  
【特許文献7】特開2006-42410号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

一方、上述したように半導体素子のスイッチング時の電流変化率  $dI/dt$  に依存してサージ電圧が大きくなるため電流遮断スピードを緩和することによりサージ電圧を減少させることができるが、スイッチング損失は増大してしまうというトレードオフの関係にある。

10

【0008】

本発明は、上記の問題を解決するためになされたものであって、過大なサージ電圧による素子破壊とスイッチング損失をより低減することが可能な半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明に係る半導体装置は、第1の電圧と、出力ノードとの間に設けられ、第1の制御信号の入力に応答して駆動する第1の半導体スイッチング素子と、第1の半導体スイッチング素子と直列に出力ノードと第1の電圧よりも低い第2の電圧との間に接続され、第2の制御信号の入力に応答して駆動する第2の半導体スイッチング素子とを有するハーフブリッジ回路と、第1の半導体スイッチング素子に対応して設けられ、第1の半導体スイッチング素子と並列に接続され、第3の制御信号の入力を受けて導通／非導通となる第1のMOSトランジスタと、第1の制御信号の入力に応答して第1の半導体スイッチング素子が導通状態から非導通状態に移行する期間において生じる所定のサージ電圧を検知して、第3の制御信号を生成する信号生成回路とを備える。信号生成回路は、第1の電圧と第2の電圧との間に直列に接続された第1および第2の抵抗素子と、第1および第2の抵抗素子と第1の電圧との間に設けられ、カソード側が第1の電圧と接続され、アノード側が第1および第2の抵抗素子と接続される定電圧ダイオードと、第1および第2の抵抗素子の接続ノードに生成される電圧と基準電圧とを比較する比較器と、比較器の比較結果に基づいて第3の制御信号であるワンショットトリガパルス信号を生成するワンショットトリガパルス信号生成回路とを含む。

20

【0010】

本発明に係る別の半導体装置は、第1の電圧と、出力ノードとの間に設けられ、第1の制御信号の入力に応答して駆動する第1の半導体スイッチング素子と、第1の半導体スイッチング素子と直列に出力ノードと第1の電圧よりも低い第2の電圧との間に接続され、第2の制御信号の入力に応答して駆動する第2の半導体スイッチング素子とを有するハーフブリッジ回路と、第2の半導体スイッチング素子に対応して設けられ、第2の半導体スイッチング素子と並列に接続され、第3の制御信号の入力を受けて導通／非導通となる第1のMOSトランジスタと、第1の制御信号の入力に応答して第1の半導体スイッチング素子が非導通状態から導通状態に移行する期間において生じる所定のサージ電圧を検知して、第3の制御信号を生成する信号生成回路とを備える。信号生成回路は、出力ノードと第2の電圧との間に直列に接続された第1および第2の抵抗素子と、第1および第2の抵抗素子と出力ノードとの間に設けられ、カソード側が出力ノードと接続され、アノード側が第1および第2の抵抗素子と接続される定電圧ダイオードと、第1および第2の抵抗素子の接続ノードに生成される電圧と基準電圧とを比較する比較器と、比較器の比較結果に基づいて第3の制御信号であるワンショットトリガパルス信号を生成するワンショットトリガパルス信号生成回路とを含む。

30

【発明の効果】

【0011】

40

50

本発明に係る半導体装置は、第1の半導体スイッチング素子が導通状態から非導通状態に移行する期間において、第1のMOSトランジスタを一時的に導通状態に設定することにより、第1の半導体スイッチング素子を通過する通過電流を第1のMOSトランジスタにバイパスさせて第1の半導体スイッチング素子を流れる通過電流の電流変化率を緩和させることができサージ電圧を抑制することができる。

#### 【0012】

また、本発明に係る別の半導体装置は、第1の半導体スイッチング素子が非導通状態から導通状態に移行する期間において、第1のMOSトランジスタを一時的に導通状態に設定することにより、第1の半導体スイッチング素子が導通する際に通過する通過電流に依存して生じるリカバリ電流を第1のMOSトランジスタにバイパスさせてリカバリ電流の電流変化率を緩和させることができるためサージ電圧を抑制することができる。10

#### 【発明を実施するための最良の形態】

#### 【0013】

以下、この発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰返さない。

#### 【0014】

##### (実施の形態1)

図1は、本発明の実施の形態1に従うインバータ装置1の回路構成図である。

#### 【0015】

本例においてはインバータ装置1の一例として直流を交流に変換するハーフブリッジ回路に対してサージ電圧を抑制する方式について説明する。20

#### 【0016】

図1を参照して、ここでは、ハーフブリッジ回路を形成する絶縁ゲート型バイポーラトランジスタIGBT1, IGBT2が直列に電源V1に接続され、ノードN0と接続されたコイルL1の負荷に対して電流I1を供給する場合が示されている。キャパシタC1は電源容量である。絶縁ゲート型バイポーラトランジスタIGBT1のコレクタは、電極配線インダクタンスLs3を介して電源V1の正側のノードN1と接続され、エミッタが電極配線インダクタンスLs5を介してノードN0と接続される。また、絶縁ゲート型バイポーラトランジスタIGBT2のコレクタは、電極配線インダクタンスLs7を介してノードN0と接続され、エミッタが電極配線インダクタンスLs9を介して電源V1の負側のノードN2と接続される。30

#### 【0017】

また、絶縁ゲート型バイポーラトランジスタIGBT1に対応してそれぞれ並列にダイオードD1およびMOSトランジスタFET1(上アームとも称する)が設けられる。具体的には、ダイオードD1のカソード側は電極配線インダクタンスLs4を介してノードN1と接続され、ダイオードD1のアノード側は電極配線インダクタンスLs6を介してノードN0と接続される。また、MOSトランジスタFET1は、ダイオードD1と並列にノードN1とノードN0との間に設けられ、ゲートに後述するパルス信号の入力を受ける。また、絶縁ゲート型バイポーラトランジスタIGBT2に対応してそれぞれ並列にダイオードD2およびMOSトランジスタFET2(下アームとも称する)が設けられる。具体的には、ダイオードD2のカソード側は電極配線インダクタンスLs8を介してノードN0と接続され、ダイオードD2のアノード側は電極配線インダクタンスLs10を介してノードN2と接続される。MOSトランジスタFET2は、ダイオードD2と並列にノードN0とノードN2との間に設けられ、ゲートに後述するパルス信号の入力を受ける。40

#### 【0018】

また、電極配線インダクタンスLs1は、電源V1とノードN1との間に設けられる。また、電極配線インダクタンスLs2は、接地電圧GNDとノードN2との間に設けられる。

#### 【0019】

10

20

30

40

50

なお、電極配線インダクタンス  $L_{s1}, L_{s2}$  は、電極配線インダクタンス  $L_{s3} \sim L_{s10}$  の各々よりもインダクタンス値が大きい。本例においては、例えば電極配線インダクタンス  $L_{s1}, L_{s2}$  の和が電極配線インダクタンス  $L_{s3} \sim L_{s10}$  の合計程度のインダクタンス値に設定されているものとする。

#### 【0020】

上述した絶縁ゲート型バイポーラトランジスタ IGBT1 をスイッチング動作により制御することにより所望の電流を負荷であるコイル  $L_1$  に供給する。当該スイッチング動作は一般的な技術であるためその説明は省略する。

#### 【0021】

図2は、絶縁ゲート型バイポーラトランジスタ IGBT1 が導通している場合に非導通となる際のサージ電圧を抑制する場合について説明する図である。

10

#### 【0022】

図2を参照して、時刻  $t_1$  に絶縁ゲート型バイポーラトランジスタが導通状態から非導通状態に遷移し始める。すなわち、絶縁ゲート型バイポーラトランジスタ IGBT1 が非導通状態に設定されて、絶縁ゲート型バイポーラトランジスタ IGBT1 のコレクタ・エミッタ間が電圧  $V_1$  に設定される。その際、絶縁ゲート型バイポーラトランジスタ IGBT1 のコレクタ・エミッタ間には、スイッチング時のコイル  $L_1$  に流れる電流  $I_1$  を遮断する際の電流変化率  $dI/dt$  の大きさとインバータ回路内部の電極配線インダクタンスに比例したサージ電圧が生じる。本例においては時刻  $t_2$  で電圧  $V_1$  を越えてサージ電圧が生じる。なお、サージ電圧とはサージピーク電圧から電圧  $V_1$  を越えた電圧であるものとする。

20

#### 【0023】

本実施の形態においては、絶縁ゲート型バイポーラトランジスタ IGBT1 がオフする時間（オフ時間）内にMOSトランジスタFET1を一時的に導通させる。例えばMOSトランジスタFET1を一時的に導通させるために極小パルスをMOSトランジスタFET1のゲートに供給することができる。なお、絶縁ゲート型バイポーラトランジスタ IGBT1 がオフする時間（導通状態から非導通状態に移行する期間）とは、絶縁ゲート型バイポーラトランジスタ IGBT1 を流れる電流  $I_1$  が減少を始めてからほぼ0付近にまで収束するまでの時間（時刻  $t_2$  ~ 時刻  $t_3$ ）に設定される。一例として、絶縁ゲート型バイポーラトランジスタ IGBT1 のオフ時間として  $0.2 \sim 3 \mu s$  に設定することができる。また、一例として、極小パルスのパルス時間を絶縁ゲート型バイポーラトランジスタ IGBT1 のオフ時間の 50% 程度 ( $0.1 \sim 1.5 \mu s$ ) に設定することができる。

30

#### 【0024】

絶縁ゲート型バイポーラトランジスタ IGBT1 のオフ時間（時刻  $t_2$  ~ 時刻  $t_3$ ）にMOSトランジスタFET1を一時的に導通させると電流  $I_1$  の一部の電流をMOSFET1にバイパスさせることができる。そうすると、見かけ上の電流  $I_1$  の電流変化率  $dI/dt$  が緩和されるため絶縁ゲート型バイポーラトランジスタ IGBT1 に発生するサージ電圧が抑制される。図2においては、MOSトランジスタFET1に流れるドレイン電流が生じるため絶縁ゲート型バイポーラトランジスタ IGBT1 およびMOSトランジスタFET1を流れる電流の下降の傾きがMOSトランジスタFET1が無い場合の絶縁ゲート型バイポーラトランジスタ IGBT1 のコレクタ電流の下降に比べて緩和されている場合が示されている。すなわちMOSトランジスタFET1が無い場合に比べて電流変化率  $dI/dt$  が緩和されることになる。

40

#### 【0025】

当該方式により、MOSトランジスタFET1, FET2を設けない従来の構成においては、サージ電圧を抑制することが十分にできずに素子を破壊してしまう可能性があったが本願方式によりサージ電圧を十分に抑制することができる。

#### 【0026】

また、絶縁ゲート型バイポーラトランジスタ IGBT1 自体の動作には変更はなく、通

50

常どおり遮断されるためスイッチング損失はほとんど増加しない。また、MOSトランジスタFET1については、高電圧が印加されることになるが、極小パルスにより導通時間が極めて短いため電流I1をバイパスさせる通過電流量も小さいためMOSトランジスタFET1自身のスイッチング損失は小さく抑えることができる。

#### 【0027】

また、MOSトランジスタFET1, FET2を高耐圧小電流容量に設計することによりさらにFET1自身のスイッチング損失を小さく抑えることが可能である。例えば、絶縁ゲート型バイポーラトランジスタIGBT1に対して1/10倍の電流を駆動するよう10に設計することも可能である。これにより、MOSトランジスタFET1, FET2の大きさも小さくすることができるため回路を小型化することができる。

#### 【0028】

なお、MOSトランジスタFET1は、ユニポーラ素子であるため残存キャリアのライフタイムの影響を受けないためバイポーラ素子である絶縁ゲート型バイポーラトランジスタIGBT1と比較してスイッチング時の制御性に優れるという利点がある。一方、導通時においては、高電流を通過させると絶縁ゲート型バイポーラトランジスタIGBT1よりもスイッチング損失が大きくなる可能性があるが、MOSトランジスタFET1を通過する電流は小さいためスイッチング損失をほとんど考慮しなくても良い。

#### 【0029】

(実施の形態1の変形例)

図3は、本発明の実施の形態1の変形例に従うインバータ装置10の回路構成図である。  
20

#### 【0030】

図3を参照して、本発明の実施の形態1の変形例に従うインバータ装置10は、インバータ装置1と比較して、MOSトランジスタFET1を駆動する極小パルスを生成する信号生成回路をさらに設けた点が異なる。

#### 【0031】

具体的には、MOSトランジスタFET1のゲートに極小パルスを生成するワンショットトリガパルス発生器15と、比較器COMPと、ツエナーダイオードZD1と、抵抗R1, R2をさらに設けた点が異なる。

#### 【0032】

ツエナーダイオードZD1は、カソード側が電源V1の正側と電気的に結合される。また、アノード側は抵抗R1, R2を介して接地電圧GNDと電気的に結合される。  
30

#### 【0033】

抵抗R1, R2はツエナーダイオードZD1と接地電圧GNDとの間に直列に接続され、その接続ノードが比較器COMPの一方端子と電気的に結合される。比較器COMPの他方端子には基準電圧Vref1が入力され、比較器COMPは、基準電圧Vref1と抵抗R1, R2の接続ノードに生成される電圧との比較に基づいて比較結果をワンショットトリガパルス発生器15に出力する。

#### 【0034】

ワンショットトリガパルス発生器15は、比較器COMPからの比較結果例えば「H」レベルの信号に応答してワンショットパルス信号(極小パルス)をMOSトランジスタFET1に出力する。  
40

#### 【0035】

具体的な動作について説明する。

絶縁ゲート型バイポーラトランジスタが導通状態から非導通状態に遷移し始める際、上述したように絶縁ゲート型バイポーラトランジスタIGBT1のコレクタ・エミッタ間にサージ電圧が生じる。このサージ電圧がツエナーダイオードZD1のツエナー電圧を越えて、抵抗R1, R2に電圧が印加されることになる。そして、抵抗R1, R2の抵抗分割に従う電圧が接続ノードに生成される。比較器COMPは、抵抗分割に従う接続ノードに生成された電圧と、基準電圧Vref1とを比較して、基準電圧Vref1以上の電圧  
50

が接続ノードに生成された場合に「H」レベルの比較結果をワンショットトリガパルス発生器15に出力する。

#### 【0036】

ワンショットトリガパルス発生器15は、比較器COMPからの比較結果（「H」レベル）の信号を受けて、極小パルス（「H」レベルの期間が $0.1 \sim 1.5 \mu\text{sec}$ ）を1回のみ出力する。これをMOSトランジスタFET1が受けて、絶縁ゲート型バイポーラトランジスタIGBT1のオフ期間にMOSトランジスタFET1を一時的に導通させて電流I1の一部の電流をMOSトランジスタFET1にバイパスさせる。当該動作により実施の形態1で説明したようにサージ電圧を抑制することができる。

#### 【0037】

10

なお、この極小パルスの幅（「H」レベルの期間）については、絶縁ゲート型バイポーラトランジスタIGBT1のオフ期間内に設定され、インバータ装置10の特性に従って最適な範囲に設定することができる。例えば、絶縁ゲート型バイポーラトランジスタIGBT1のオフ期間としては $0.2 \mu\text{sec} \sim 3 \mu\text{sec}$ 程度である。

#### 【0038】

一般的にサージ電圧の許容値は、素子定格耐圧以内に設定されているため、ツエナーダイオードZD1のツエナー電圧を絶縁ゲート型バイポーラトランジスタIGBT1あるいはダイオードD1の素子定格耐圧以上に設定することにより、高負荷の高電流遮断時に発生するサージ電圧のみを抑制することができるためサージ電圧のあまり発生しない低負荷の低電流時にはMOSトランジスタFET1を動作しないように設定することができる。これにより、MOSトランジスタFET1の無駄な動作に従う発熱およびスイッチング損失を抑制することができる。

20

#### 【0039】

また、本実施の形態1に従う信号生成回路に含まれるワンショットトリガパルス発生器15は、サージ電圧が生じた場合において1回のみの極小パルスを出力する構成であり、サージ電圧が生じている間中MOSトランジスタFET1を導通状態とする方式ではない。したがって、過大なサージ電圧が長い時間印加された場合にMOSトランジスタFET1が長い時間導通状態とされることにより生じる発熱に起因する熱破壊を抑制することができる。

#### 【0040】

30

また、本発明の実施の形態1に従う信号生成回路は、比較器COMPにおいて抵抗R1, R2の分割抵抗に従う電圧と、基準電圧Vref1とを比較してサージ電圧を検出する方式であるため抵抗R1, R2の抵抗値を調整するあるいは基準電圧Vref1を調整することによりサージ電圧の検出レベルの微調整も可能である。

#### 【0041】

なお、上記においては、絶縁ゲート型バイポーラトランジスタIGBT1の導通状態から非導通状態に遷移する際のスイッチング動作に生じるサージ電圧すなわちターンオフサージ電圧を抑制する方式について説明したが、負荷L1が電源V1と接続されている場合の絶縁ゲート型バイポーラトランジスタIGBT2のスイッチング動作についても同様であり、同様の方式を適用することにより絶縁ゲート型バイポーラトランジスタIGBT2の導通状態から非導通状態に遷移する際に生じるサージ電圧すなわちターンオフサージ電圧を抑制することも可能である。

40

#### 【0042】

##### （実施の形態2）

上記の実施の形態1においては、絶縁ゲート型バイポーラトランジスタIGBT1の導通状態から非導通状態に遷移する際に生じるサージ電圧すなわちターンオフサージ電圧を抑制する方式について説明したが、本実施の形態2においては、絶縁ゲート型バイポーラトランジスタIGBT1の非導通状態から導通状態に遷移する際に生じるサージ電圧すなわちターンオンサージ電圧を抑制する方式について説明する。

#### 【0043】

50

図4は、本発明の実施の形態2に従うインバータ装置の回路構成図である。

図4を参照して、本発明の実施の形態2に従うインバータ装置は、実施の形態1で説明したインバータ装置1と同様の回路構成図である。

#### 【0044】

まず、絶縁ゲート型バイポーラトランジスタIGBT1の非導通状態から導通状態に遷移する際に生じるサージ電圧について説明する。

#### 【0045】

ハーフブリッジ回路のスイッチング動作により負荷であるコイルL1と、ダイオードD2との閉回路において電流I1が還流した状態いわゆるフリーホイール状態であるものとする。

10

#### 【0046】

そして、絶縁ゲート型バイポーラトランジスタIGBT1の非導通状態から導通状態に遷移する際、リカバリ電流がダイオードD2に流れることになる。このリカバリ電流の電流変化率 $dI/dt$ とインバタ回路内部の電極配線インダクタンスの大きさに比例したサージ電圧が絶縁ゲート型バイポーラトランジスタIGBT2のコレクタ・エミッタ間あるいはダイオードD2のアノード・カソード間に発生することになる。なお、ダイオードD2のアノード・カソード間電圧あるいは絶縁ゲート型バイポーラトランジスタIGBTのコレクタ・エミッタ間電圧を電圧 $V_{ce}$ とする。

#### 【0047】

それゆえ、素子耐圧を越えるサージ電圧が印加された場合には素子が破壊される可能性があるため電流変化率 $dI/dt$ を緩和することが考えられるが、上述したようにスイッチング損失は増大してしまうというトレードオフの関係にある。

20

#### 【0048】

図5は、絶縁ゲート型バイポーラトランジスタIGBT1が非導通状態である場合に導通状態となる際のサージ電圧を抑制する場合について説明する図である。

#### 【0049】

図5を参照して、ここでは、時刻 $t_4$ において絶縁ゲート型バイポーラトランジスタIGBT1が非導通状態から導通状態に遷移し始める。ここでは、絶縁ゲート型バイポーラトランジスタIGBT1のコレクタ・エミッタ間電圧である電圧 $V_{ce}$ が変化し始める場合が示されている。また、これに伴い、絶縁ゲート型バイポーラトランジスタIGBT2のコレクタ・エミッタ間電圧である電圧 $V_{ce}$ が変化し始める。

30

#### 【0050】

時刻 $t_5$ において、絶縁ゲート型バイポーラトランジスタIGBT1のコレクタ電流およびダイオードD2の導通電流が変化し始める。時刻 $t_6$ において、絶縁ゲート型バイポーラトランジスタIGBT1のコレクタ電流が最大になる。これに伴い、逆向きに流れるダイオードD2のリカバリ電流は最大となる。このリカバリ電流の電流変化率 $dI/dt$ は、絶縁ゲート型バイポーラトランジスタIGBT1が導通状態となる際の導通電流の電流変化率 $dI/dt$ に比例する。図5においては、点線で囲まれる領域において絶縁ゲート型バイポーラトランジスタIGBT1のコレクタ電流の傾きすなわち電流変化率 $dI/dt$ およびダイオードD2に流れるリカバリ電流の傾きすなわち電流変化率 $dI/dt$ が示されている。このリカバリ電流の傾きすなわち電流変化率 $dI/dt$ に依存してダイオードD2のアノード・カソード間あるいは絶縁ゲート型バイポーラトランジスタIGBT2にサージ電圧が発生する。本例においては、時刻 $t_7$ において、サージ電圧のピーク値となっている場合が示されている。本実施の形態2に従う方式においては、絶縁ゲート型バイポーラトランジスタIGBT1がオンする時間(オン時間)内にMOSトランジスタFET2を一時的に導通させる。例えばMOSトランジスタFET2を一時的に導通させるために極小パルスをMOSトランジスタFET2のゲートに供給することができる。なお、絶縁ゲート型バイポーラトランジスタIGBT1がオンする時間(非導通状態から導通状態に移行する期間)とは、絶縁ゲート型バイポーラトランジスタIGBT1を流れる電流I1が上昇を始めてから電流値がある一定のレベルである平衡状態に遷移する時刻 $t$

40

50

8までの時間（時刻 t<sub>5</sub>～時刻 t<sub>8</sub>）に設定される。一例として、絶縁ゲート型バイポーラトランジスタ IGBT1 のオン時間として 0.2～3 μs に設定することができる。また、一例として、極小パルスのパルス時間を絶縁ゲート型バイポーラトランジスタ IGBT1 のオフ時間の 20% 程度（0.04～0.6）に設定することができる。

#### 【0051】

絶縁ゲート型バイポーラトランジスタ IGBT1 のオン時間（時刻 t<sub>5</sub>～時刻 t<sub>8</sub>）に MOSトランジスタ FET2 を一時的に導通させるとリカバリ電流の一部の電流を MOSFET2 にバイパスさせることができる。そうすると、絶縁ゲート型バイポーラトランジスタ IGBT1 のコレクタ電流の電流変化率 dI/dt が緩和されるためダイオード D2 あるいは絶縁ゲート型バイポーラトランジスタ IGBT2 に印加されるサージ電圧が抑制される。ここでは、MOSトランジスタ FET2 が導通することによりリカバリ電流の 20%～30% の電流がドレイン電流として流れる場合が示されている。10

#### 【0052】

当該方式により、MOSトランジスタ FET1, FET2 を設けない従来の構成においては、サージ電圧を抑制することができず、素子を破壊してしまう可能性があったが本願方式によりサージ電圧を十分に抑制することができる。

#### 【0053】

また、絶縁ゲート型バイポーラトランジスタ IGBT1 自体の動作には変更はなく、通常どおり動作するためスイッチング損失はほとんど増加しない。また、MOSトランジスタ FET2 については、高電圧が印加されることになるが、極小パルスにより導通時間が極めて短いためリカバリ電流をバイパスさせる通過電流量も小さいため MOSトランジスタ FET2 自身のスイッチング損失は小さく抑えることができる。また、絶縁ゲート型バイポーラトランジスタ IGBT1 が導通し、MOSトランジスタ FET2 が導通するため上アームと下アームが短絡される上下アーム短絡を引き起こす可能性があるが MOSトランジスタ FET2 が導通する時間（極小パルスの「H」レベルの期間が 0.04～0.6 μsec）は、極めて短い期間であるため上下アーム短絡を引き起こすことなくサージ電圧のみを低減することが可能である。20

#### 【0054】

また、MOSトランジスタ FET1, FET2 を高耐圧小電流容量に設計することによりさらに FET2 自身のスイッチング損失を小さく抑えることが可能である。例えば、絶縁ゲート型バイポーラトランジスタ IGBT1 に対して 1/10 倍の電流を駆動するように設計することも可能である。これにより、MOSトランジスタ FET1, FET2 の大きさも小さくすることができるため回路を小型化することができる。30

#### 【0055】

なお、MOSトランジスタ FET2 は、ユニポーラ素子であるため残存キャリアのライフタイムの影響を受けないため絶縁ゲート型バイポーラトランジスタ IGBT1 と比較してスイッチング時の制御性に優れるという利点がある。一方、導通時においては、高電流を通過させると絶縁ゲート型バイポーラトランジスタ IGBT1 よりもスイッチング損失が大きくなる可能性があるが、MOSトランジスタ FET2 を通過する電流は小さいためスイッチング損失をほとんど考慮しなくても良い。40

#### 【0056】

（実施の形態 2 の変形例）

図 6 は、本発明の実施の形態 2 の変形例に従うインバータ装置 20 の回路構成図である。

#### 【0057】

図 6 を参照して、本発明の実施の形態 2 の変形例に従うインバータ装置 20 は、インバータ装置 1 と比較して、MOSトランジスタ FET2 を駆動する極小パルスを生成する信号生成回路をさらに設けた点が異なる。

#### 【0058】

具体的には、MOSトランジスタ FET2 のゲートに極小パルスを生成するワンショット

50

トトリガパルス発生器 15#と、比較器 C O M P #と、ツエナーダイオード Z D 2と、抵抗 R 3, R 4をさらに設けた点が異なる。

#### 【0059】

ツエナーダイオード Z D 2は、カソード側が出力ノード N 0と電気的に結合される。また、アノード側は抵抗 R 3, R 4を介して接地電圧 G N Dと電気的に結合される。

#### 【0060】

抵抗 R 3, R 4はツエナーダイオード Z D 2と接地電圧 G N Dとの間に直列に接続され、その接続ノードが比較器 C O M P #の一方端子と電気的に結合される。比較器 C O M P #の他方端子には基準電圧 V r e f 2が入力され、比較器 C O M P #は、基準電圧 V r e f 2と抵抗 R 3, R 4の接続ノードに生成される電圧との比較に基づいて比較結果をワンショットトリガパルス発生器 15#に出力する。10

#### 【0061】

ワンショットトリガパルス発生器 15#は、比較器 C O M P #からの比較結果例えは「H」レベルの信号に応答してワンショットパルス信号（極小パルス）をMOSトランジスタ F E T 2に出力する。

#### 【0062】

具体的な動作について説明する。

絶縁ゲート型バイポーラトランジスタ I G B T 1が非導通状態から導通状態に遷移し始める際、上述したようにダイオード D 2あるいは絶縁ゲート型バイポーラトランジスタ I G B T 2のコレクタ・エミッタ間の電圧 V c e 2が変化し始め、リカバリ電流の電流変化率 d I / d tに依存してサージ電圧が生じる。このサージ電圧がツエナーダイオード Z D 2のツエナー電圧を越えて、抵抗 R 3, R 4に電圧が印加されることになる。そして、抵抗 R 3, R 4の抵抗分割に従う電圧が接続ノードに生成される。比較器 C O M P #は、抵抗分割に従う接続ノードに生成された電圧と、基準電圧 V r e f 2とを比較して、基準電圧 V r e f 2以上の電圧が接続ノードに生成された場合に「H」レベルの比較結果をワンショットトリガパルス発生器 15#に出力する。20

#### 【0063】

ワンショットトリガパルス発生器 15#は、比較器 C O M P #からの比較結果（「H」レベル）の信号を受けて、極小パルス（「H」レベルの期間が 0.04 ~ 0.6 μsec）を1回のみ出力する。これをMOSトランジスタ F E T 2が受けて、絶縁ゲート型バイポーラトランジスタ I G B T 1のオン期間にMOSトランジスタ F E T 2を一時的に導通させてリカバリ電流の一部の電流をMOSトランジスタ F E T 2にバイパスさせる。当該動作により実施の形態 2で説明したようにサージ電圧を抑制することができる。30

#### 【0064】

なお、この極小パルスの幅（「H」レベルの期間）については、絶縁ゲート型バイポーラトランジスタ I G B T 1のオン期間内に設定され、インバータ装置の特性に従って最適な範囲に設定することができる。例えば、絶縁ゲート型バイポーラトランジスタ I G B T 1のオン期間としては 0.2 μsec ~ 3 μsec 程度である。

#### 【0065】

一般的にサージ電圧の許容値は、素子定格耐圧以内に設定されているため、ツエナーダイオード Z D 2のツエナー電圧を絶縁ゲート型バイポーラトランジスタ I G B T 2あるいはダイオード D 2の素子定格耐圧以上に設定することにより、高負荷の高電流遮断時に発生するサージ電圧のみを抑制することができるためサージ電圧のあまり発生しない低負荷の低電流時にはMOSトランジスタ F E T 2を動作しないように設定することが可能である。これにより、MOSトランジスタ F E T 2の無駄な動作に従う発熱およびスイッチング損失を抑制することができる。40

#### 【0066】

なお、上記においては、絶縁ゲート型バイポーラトランジスタ I G B T 1の非導通状態から導通状態に遷移する際に生じるサージ電圧すなわちリカバリサージ電圧を抑制する方式について説明したが、負荷 L 1が電源 V 1と接続されている場合の絶縁ゲート型バイポ50

ーラトランジスタ I G B T 2 のスイッチング動作についても同様であり、同様の方式を適用することにより絶縁ゲート型バイポーラトランジスタ I G B T 2 の非導通状態から導通状態に遷移する際に生じるサージ電圧を抑制することも可能である。

#### 【 0 0 6 7 】

本実施の形態においては、ハーフブリッジ回路を用いたインバータ装置を例に挙げて説明したが、ハーフブリッジ回路に限らずフルブリッジ回路にも適用可能であり I G B T をスイッチング素子とした半導体装置 ( I P M ) ( Intelligent Power Module ) に対して同様に適用可能である。

#### 【 0 0 6 8 】

また、実施の形態 1 および 2 ならびにこれらの変形例を適宜組み合わせて用いることも当然に可能である。 10

#### 【 0 0 6 9 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 【 図面の簡単な説明 】

#### 【 0 0 7 0 】

【 図 1 】本発明の実施の形態 1 に従うインバータ装置 1 の回路構成図である。

【 図 2 】絶縁ゲート型バイポーラトランジスタ I G B T 1 が導通している場合に非導通となる際のサージ電圧を抑制する場合について説明する図である。 20

【 図 3 】本発明の実施の形態 1 の変形例に従うインバータ装置 1 0 の回路構成図である。

【 図 4 】本発明の実施の形態 2 に従うインバータ装置の回路構成図である。

【 図 5 】絶縁ゲート型バイポーラトランジスタ I G B T 1 が非導通状態である場合に導通状態となる際のサージ電圧を抑制する場合について説明する図である。

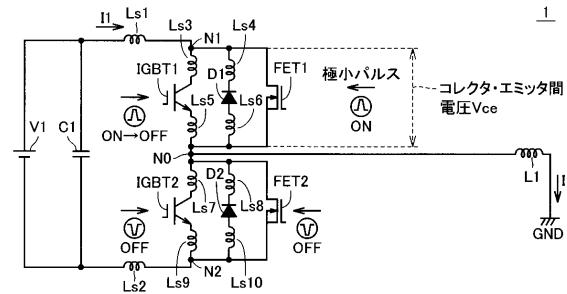
【 図 6 】本発明の実施の形態 2 の変形例に従うインバータ装置 2 0 の回路構成図である。

#### 【 符号の説明 】

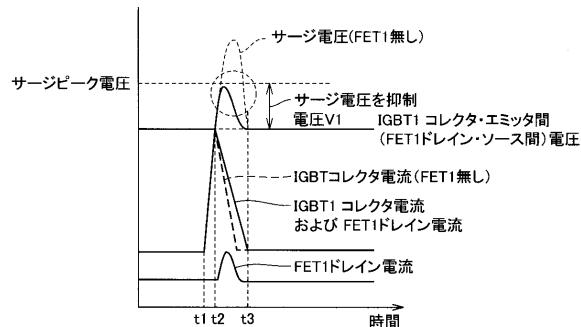
#### 【 0 0 7 1 】

1 , 1 0 , 2 0 インバータ装置、 1 5 , 1 5 # ワンショットトリガパルス発生器、 C O M P , C O M P # 比較器、 D 1 , D 2 ダイオード、 F E T 1 , F E T 2 M O S 30 トランジスタ、 I G B T 1 , I G B T 2 絶縁ゲート型バイポーラトランジスタ、 Z D 1 , Z D 2 ツエナーダイオード。

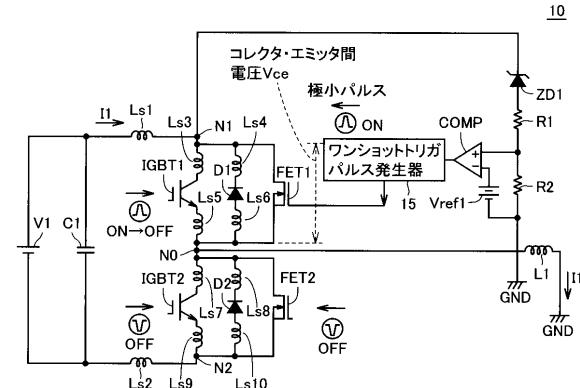
【図1】



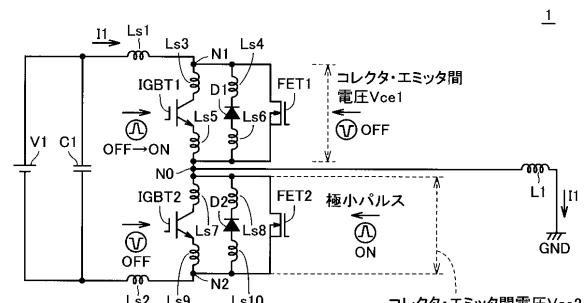
【図2】



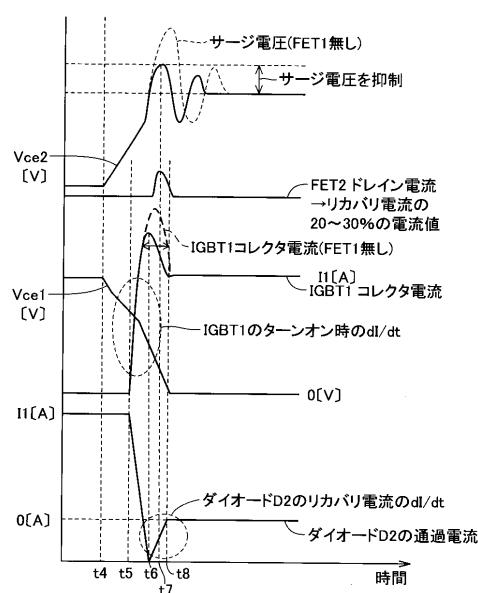
【図3】



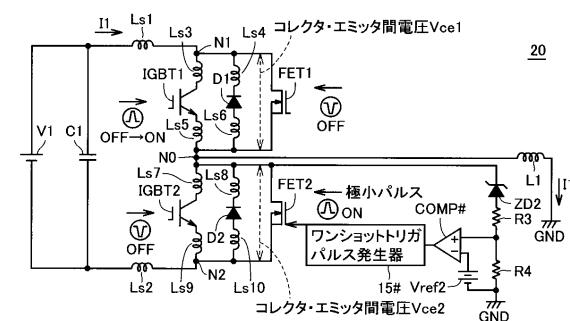
【図4】



【図5】



【図6】



---

フロントページの続き

(72)発明者 王丸 武志

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 櫻田 正紀

(56)参考文献 特開2000-324797(JP,A)

特開平07-147726(JP,A)

特開2002-078104(JP,A)

特開2005-295653(JP,A)

特開平04-354156(JP,A)

特開平05-304782(JP,A)

特開平06-098554(JP,A)

特開2006-042410(JP,A)

特開平01-280355(JP,A)

特開平07-288456(JP,A)

特開2002-135973(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 1/00 - 1/44

H03K 17/00 - 17/70