

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 4 区分  
 【発行日】平成23年10月6日(2011.10.6)

【公開番号】特開2010-176839(P2010-176839A)  
 【公開日】平成22年8月12日(2010.8.12)  
 【年通号数】公開・登録公報2010-032  
 【出願番号】特願2010-76273(P2010-76273)  
 【国際特許分類】

G 1 1 C 11/407 (2006.01)

【F I】

G 1 1 C 11/34 3 6 2 S

【手続補正書】  
 【提出日】平成23年8月24日(2011.8.24)  
 【手続補正 1】  
 【補正対象書類名】明細書  
 【補正対象項目名】0 0 1 8  
 【補正方法】変更  
 【補正の内容】  
 【0 0 1 8】

さらに、低速クロックを有する F I G . 2 A と F I G . 2 B に例示したように、データが必要になるまでウェーブパイプラインの出力データを記憶する必要がある。

【特許文献 1】米国特許第 5 , 6 5 5 , 1 0 5 号明細書  
 【特許文献 2】米国特許第 5 , 8 3 5 , 4 4 3 号明細書  
 【特許文献 3】米国特許第 6 , 0 1 4 , 3 3 9 号明細書  
 【特許文献 4】米国特許第 6 , 5 3 9 , 4 5 4 号明細書  
 【特許文献 5】米国特許第 5 , 2 9 4 , 8 4 2 号明細書  
 【特許文献 6】米国特許第 6 , 0 7 8 , 5 4 6 号明細書  
 【特許文献 7】米国特許第 4 , 6 5 8 , 3 5 4 号明細書  
 【特許文献 8】米国特許第 5 , 2 7 2 , 3 9 0 号明細書  
 【特許文献 9】米国特許第 5 , 4 0 2 , 3 8 8 号明細書  
 【特許文献 10】米国特許第 5 , 5 4 4 , 1 2 4 号明細書  
 【特許文献 11】米国特許第 5 , 5 5 0 , 7 8 4 号明細書  
 【特許文献 12】米国特許第 5 , 5 7 9 , 2 6 7 号明細書  
 【特許文献 13】米国特許第 5 , 7 0 3 , 8 1 5 号明細書  
 【特許文献 14】米国特許第 5 , 7 1 3 , 0 0 5 号明細書  
 【特許文献 15】米国特許第 5 , 7 8 4 , 7 0 5 号明細書  
 【特許文献 16】米国特許第 5 , 6 6 6 , 4 8 0 号明細書  
 【特許文献 17】米国特許第 R E 3 5 , 9 3 4 号明細書  
 【特許文献 18】米国特許第 7 , 5 0 9 , 4 6 9 B 2 号明細書  
 【特許文献 19】米国特許第 5 , 7 8 1 , 4 9 9 号明細書  
 【特許文献 20】米国特許第 5 , 8 2 2 , 2 5 5 号明細書  
 【特許文献 21】米国特許第 5 , 9 7 8 , 8 8 4 号明細書  
 【特許文献 22】米国特許第 5 , 9 9 9 , 2 5 8 号明細書  
 【特許文献 23】米国特許第 5 , 7 9 6 , 6 7 3 号明細書  
 【特許文献 24】欧州特許第 0 7 0 4 8 4 8 A 2 号明細書  
 【特許文献 25】特開平 2 - 0 0 3 1 7 7  
 【特許文献 26】特開平 8 - 0 9 6 5 7 3  
 【特許文献 27】特開平 9 - 0 9 1 9 5 5

- 【特許文献 28】特開平 9 - 1 3 9 0 7 6
- 【特許文献 29】特開平 1 0 - 0 5 5 6 6 8
- 【特許文献 30】特開平 1 0 - 1 8 8 5 5 6
- 【特許文献 31】特開平 1 1 - 1 7 6 1 5 8
- 【特許文献 32】米国特許第 5 , 8 1 2 , 4 8 9 号明細書
- 【特許文献 33】特開平 9 - 2 6 5 7 7 7 号明細書
- 【特許文献 34】米国特許第 5 , 6 3 1 , 8 7 1 号明細書
- 【特許文献 35】米国特許第 5 , 7 0 3 , 8 3 0 号明細書
- 【特許文献 36】米国特許第 5 , 4 1 2 , 6 1 5 号明細書
- 【特許文献 37】特開平 7 - 3 2 6 1 9 0
- 【特許文献 38】米国特許出願第 2 0 1 0 - 0 2 3 2 2 3 7 号明細書
- 【特許文献 39】米国特許第 6 , 4 8 3 , 7 7 0 号明細書
- 【特許文献 40】米国特許第 5 , 6 3 1 , 8 6 6 号明細書
- 【特許文献 41】特許第 6 2 0 3 5 5 3 号
- 【非特許文献 1】Mehrddad Heshami, et al., "A 250 - MHz Skewed - Clock Pipelined Data Buffer," IEEE Journal of Solid - State Circuits, 31 (3) : 376 - 383 (March 1998).
- 【非特許文献 2】Boemo, E. I., et al., "The Wave Pipeline Effect on LUT - Based FPGA Architectures," E. T. S. I. Telecommunication, 28740 Ciudad Universitaria, Madrid, Spain (date of publication not available) (6 pp).
- 【非特許文献 3】JDEC Solid State Technology Association, "JDEC Standard: DDR2 SDRAM Specification," JESD79 - 2E (Revision of JESD79 - 2D), April 2008.
- 【非特許文献 4】Takai, Y., et al., "250Mbyte/s Synchronous DRAM Using a 3 - Stage Pipelined Architecture," IEEE Journal of Solid - State Circuits, 29 (4) : 426 - 431 (April 1994).