

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成23年10月6日(2011.10.6)

【公開番号】特開2010-176839(P2010-176839A)

【公開日】平成22年8月12日(2010.8.12)

【年通号数】公開・登録公報2010-032

【出願番号】特願2010-76273(P2010-76273)

【国際特許分類】

G 1 1 C 11/407 (2006.01)

【F I】

G 1 1 C 11/34 3 6 2 S

【手続補正書】

【提出日】平成23年8月24日(2011.8.24)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

さらに、低速クロックを有するFIG.2AとFIG.2Bに例示したように、データが必要になるまでウェーブバイラインの出力データを記憶する必要がある。

【特許文献1】米国特許第5,655,105号明細書

【特許文献2】米国特許第5,835,443号明細書

【特許文献3】米国特許第6,014,339号明細書

【特許文献4】米国特許第6,539,454号明細書

【特許文献5】米国特許第5,294,842号明細書

【特許文献6】米国特許第6,078,546号明細書

【特許文献7】米国特許第4,658,354号明細書

【特許文献8】米国特許第5,272,390号明細書

【特許文献9】米国特許第5,402,388号明細書

【特許文献10】米国特許第5,544,124号明細書

【特許文献11】米国特許第5,550,784号明細書

【特許文献12】米国特許第5,579,267号明細書

【特許文献13】米国特許第5,703,815号明細書

【特許文献14】米国特許第5,713,005号明細書

【特許文献15】米国特許第5,784,705号明細書

【特許文献16】米国特許第5,666,480号明細書

【特許文献17】米国特許第RE35,934号明細書

【特許文献18】米国特許第7,509,469B2号明細書

【特許文献19】米国特許第5,781,499号明細書

【特許文献20】米国特許第5,822,255号明細書

【特許文献21】米国特許第5,978,884号明細書

【特許文献22】米国特許第5,999,258号明細書

【特許文献23】米国特許第5,796,673号明細書

【特許文献24】欧州特許第0704848A2号明細書

【特許文献25】特開平2-003177

【特許文献26】特開平8-096573

【特許文献27】特開平9-091955

【特許文献 28】特開平 9 - 139076
【特許文献 29】特開平 10 - 055668
【特許文献 30】特開平 10 - 188556
【特許文献 31】特開平 11 - 176158
【特許文献 32】米国特許第 5,812,489 号明細書
【特許文献 33】特開平 9 - 265777 号明細書
【特許文献 34】米国特許第 5,631,871 号明細書
【特許文献 35】米国特許第 5,703,830 号明細書
【特許文献 36】米国特許第 5,412,615 号明細書
【特許文献 37】特開平 7 - 326190
【特許文献 38】米国特許出願第 2010-0232237 号明細書
【特許文献 39】米国特許第 6,483,770 号明細書
【特許文献 40】米国特許第 5,631,866 号明細書
【特許文献 41】特許第 6203553 号
【非特許文献 1】Mehrdad Heshami, et al., "A 250-MHz Skewed-Clock Pipelined Data Buffer," IEEE Journal of Solid-State Circuits, 31(3) : 376 - 383 (March 1998).
【非特許文献 2】Boemo, E. I., et al., "The Wave Pipeline Effect on LUT-Based FPGA Architectures," E.T.S.I. Telecommunication, 28740 Ciudad Universitaria, Madrid, Spain (date of publication not available) (6 pp.).
【非特許文献 3】JDEC Solid State Technology Association, "JDEC Standard: DDR2 SDRAM Specification," JESD79-2E (Revision of JESD79-2D), April 2008.
【非特許文献 4】Takai, Y., et al., "250 Mbytes/s Synchronous DRAM Using a 3-Stage Pipeline'd Architecture," IEEE Journal of Solid-State Circuits, 29(4) : 426 - 431 (April 1994).