

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 03140819.2

[51] Int. Cl.

H01L 21/768 (2006.01)

H01L 21/28 (2006.01)

H01L 21/31 (2006.01)

H01L 21/3205 (2006.01)

H01L 23/52 (2006.01)

[45] 授权公告日 2006 年 10 月 4 日

[11] 授权公告号 CN 1278409C

[22] 申请日 2003.6.6 [21] 申请号 03140819.2

[30] 优先权

[32] 2002.6.10 [33] JP [31] 168472/2002

[71] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 成田雅贵 佐藤兴一 大岩德久

审查员 智 月

[74] 专利代理机构 北京市中咨律师事务所

代理人 陈海红 段承恩

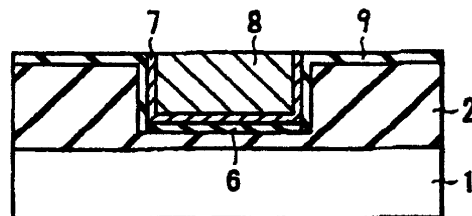
权利要求书 3 页 说明书 9 页 附图 7 页

[54] 发明名称

半导体器件的制造方法和半导体器件

[57] 摘要

半导体器件的制造方法，包括：在半导体衬底上形成第 1 低介电系数绝缘膜，在上述第 1 低介电系数绝缘膜上形成光刻胶图形，用上述光刻胶图形，刻蚀上述第 1 低介电系数绝缘膜，在上述第 1 低介电系数绝缘膜上形成凹部，在除去了上述光刻胶图形后，向上述凹部内埋入导电膜，在埋入了上述导电膜后，在除去上述光刻胶图形时，除去在上述第 1 低介电系数绝缘膜的凹部的侧壁上形成的变质层，使得把归因于上述变质层的除去而产生的上述凹部侧壁间隙填埋起来那样地形成第 2 低介电系数绝缘膜。



1. 一种半导体器件的制造方法, 包括:
在半导体衬底上形成第 1 低介电系数绝缘膜,
在上述第 1 低介电系数绝缘膜上形成光刻胶图形,
用上述光刻胶图形, 刻蚀上述第 1 低介电系数绝缘膜, 在上述第 1 低介电系数绝缘膜上形成凹部,
在除去了上述光刻胶图形后, 向上述凹部内埋入导电膜,
在埋入了上述导电膜后, 去除在除去上述光刻胶图形时, 在上述第 1 低介电系数绝缘膜的凹部的侧壁上形成的变质层,
使得把归因于上述变质层的除去而产生的上述凹部侧壁的间隙填埋起来那样地形成第 2 低介电系数绝缘膜。
2. 根据权利要求 1 所述的半导体器件的制造方法, 其中上述导电膜包括 Cu 膜。
3. 根据权利要求 1 所述的半导体器件的制造方法, 其中上述导电膜, 具备被覆上述凹部的内面的阻挡金属膜, 和隔着该阻挡金属膜地埋入到上述凹部的内部的 Cu 膜。
4. 根据权利要求 1 所述的半导体器件的制造方法, 其中通过使用了氧等离子体的灰化处理除去上述光刻胶图形。
5. 根据权利要求 1 所述的半导体器件的制造方法, 其中上述第 1 和第 2 低介电系数绝缘膜, 用彼此不同的材料形成。
6. 根据权利要求 1 所述的半导体器件的制造方法, 其中上述第 1 和第 2 低介电系数绝缘膜的相对介电系数在 3.0 或 3.0 以下。
7. 根据权利要求 1 所述的半导体器件的制造方法, 其中还具备在形成上述光刻胶图形之前, 在上述第 1 低介电系数绝缘膜的表面上形成改性层。
8. 一种半导体器件的制造方法, 包括:
在半导体衬底上形成第 1 低介电系数绝缘膜,
用第 1 光刻胶图形, 使得贯通上述第 1 低介电系数绝缘膜那样地刻蚀

上述第 1 低介电系数绝缘膜，在上述第 1 低介电系数绝缘膜上形成具有第 1 开口宽度的第 1 开口部分，

除去上述第 1 光刻胶图形，用第 2 光刻胶图形，刻蚀上述第 1 低介电系数绝缘膜，在上述第 1 低介电系数绝缘膜上，形成具有比上述第 1 开口宽度还大的第 2 开口宽度，比上述第 1 开口部分还浅的第 2 开口部分，

除去上述第 2 光刻胶图形，向上述第 1 和第 2 开口部分已连通起来的凹部内埋入导电膜，

在埋入了上述导电膜后，去除在除去上述第 2 光刻胶图形时，在上述第 2 开口部分的侧壁上形成的变质层，

使得把归因于上述变质层的除去而产生的上述第 2 开口部分侧壁的空隙填埋起来那样地形成第 2 低介电系数绝缘膜。

9. 根据权利要求 8 所述的半导体器件的制造方法，其中上述导电膜，具备被覆上述第 1 和第 2 开口部分的内面的阻挡金属膜，和隔着该阻挡金属膜地埋入到上述第 1 和第 2 开口部分的内部的 Cu 膜。

10. 根据权利要求 8 所述的半导体器件的制造方法，其中通过使用了氧等离子体的灰化处理除去上述第 1 和第 2 光刻胶图形。

11. 根据权利要求 1 或 8 所述的半导体器件的制造方法，其中用湿法处理除去上述变质层。

12. 根据权利要求 11 所述的半导体器件的制造方法，其中通过使用了氟化氢的湿法处理除去上述变质层。

13. 根据权利要求 1 或 8 所述的半导体器件的制造方法，其中上述第 1 和第 2 低介电系数绝缘膜，是有机硅氧化膜。

14. 一种半导体器件，具备：

设置在半导体衬底上的具有凹部的第 1 低介电系数绝缘膜；

在上述凹部内埋入形成的导电膜；

和被形成为存在于上述导电膜的侧壁与上述第 1 低介电系数绝缘膜之间的第 2 低介电系数绝缘膜。

15. 根据权利要求 14 所述的半导体器件，其中上述第 1 和第 2 低介电系数绝缘膜的相对介电系数在 3.0 或 3.0 以下。

16. 根据权利要求 14 所述的半导体器件，其中与上述导电膜的底部相接地形成上述第 1 低介电系数绝缘膜的变质层。

17. 根据权利要求 14 所述的半导体器件，其中与上述导电膜的底部相接地形成有与上述第 1 和第 2 低介电系数绝缘膜不同的绝缘膜。

半导体器件的制造方法和半导体器件

技术领域

本发明涉及使用具有低介电系数的绝缘膜的半导体器件的制造方法和半导体器件。

背景技术

随着半导体器件的高集成密度化和高速动作化,强烈地要求减小布线间电容。为了减小这样的寄生电容,就必须开发减小金属布线层的电阻和减小层间绝缘膜的介电系数的技术。

在这里,对减小后者的层间绝缘膜的介电系数的技术,说明其存在的问题。作为层间绝缘膜,人们知道用等离子体 CVD 法得到的 SiO_2 膜或 FSG (Fluorinated Silicate Glass, 氟化硅酸盐玻璃) 膜。但是,这些绝缘膜,从膜质的稳定性的观点来看,降低其介电系数存在着一个界限。具体地说,只能使相对介电系数 (k) 下降到 3.3 左右。

为了使相对介电系数减小到 3.0 以下,人们正在探讨使用被叫做 low- k 膜(低 k 膜)的绝缘膜。作为这样的 low- k 膜,人们知道含有 CH_3 的有机硅氧化膜或 CF 系膜。

但是,在这种 low- k 膜中却存在着以下那样的问题。图 4A-4C 是用来说明上述问题的工序剖面图。该问题会在双金属镶嵌工艺中的光刻胶图形的剥离工序中产生。

在图 4A 中,在已形成了半导体元件或 Cu 布线等的硅衬底 81 上,作为将成为层间绝缘膜的 low- k 膜形成例如含有 CH_3 的有机硅氧化膜(low- k 膜) 82,然后,在其上形成覆盖层 83。覆盖层 83,例如,可以用 SiO_2 膜或 SiN 膜等的绝缘膜形成。

如图 4B 所示,在覆盖层 83 上形成了光刻胶图形 84 之后,以该光刻胶图形 84 为掩模刻蚀 low- k 膜 82,形成布线沟 85。

然后,如图 4C 所示,借助于使用氧等离子体处理的灰化技术,剥离光刻胶图形 84。

这时,归因于等离子体中的氧自由基,本身为 low-k 膜 82 的露出表面的布线沟 85 的内壁发生变质,形成变质层 86。具体地说,从在布线沟 85 的内壁(底面和侧面)上露出来的有机硅氧化膜中抽出 CH_3 , 布线沟 85 的内壁就变质为硅氧化膜(变质层 86)。变质层 86 的存在,会使 low-k 膜 82 的实质性的 k 值变化。

通常的硅氧化膜的 k 值处于 4 前后,但是因布线沟 85 的内壁变质而产生的硅氧化膜(变质层 86),已变成为多孔质硅氧化膜。多孔质硅氧化膜的 k 值,比通常的硅氧化膜的 k 值更低。

但是,实际上由于多孔质硅氧化膜吸收水分,故当产生了变质层 86 时,low-k 膜 82 的 k 值实质上将增加,作为其结果要降低层间绝缘膜的介电系数就会变得很困难。

作为这样的问题的解决方法,虽然人们尝试过除去本身为变质层 86 的多孔质硅氧化膜中的水分的方法,但是,在现状下除去水分是困难的,故不能说是有效的解决方法。

于是,虽然进行了灰化条件的重新估价,以使 low-k 膜 82 的变质层 86 变成为最小,但是,由于即便是如此变质层 86 仍然会残留下约 20nm 左右,故不能抑制 low-k 膜 82 的实质性的 k 值的增加。这样的 k 值的增加,随着元件的微细化的进展,布线间会因集成度变高而变窄,因而将成为一个大问题。就是说,如图 5 所示,当变质层 86 的介电系数变大,而且,布线间例如变窄到 0.1 微米左右时,相邻的导体 87 间的寄生电容 C 就变成为不能忽视。

发明内容

根据本发明的第 1 方面,半导体器件的制造方法,包括:在半导体衬底上形成第 1 低介电系数绝缘膜,在上述第 1 低介电系数绝缘膜上形成光刻胶图形,用上述光刻胶图形,刻蚀上述第 1 低介电系数绝缘膜,在上述第 1 低介电系数绝缘膜上形成凹部,在除去了上述光刻胶图形后,向上述凹

部内埋入导电膜，在埋入了上述导电膜后，去除在除去上述光刻胶图形时，在上述第1低介电系数绝缘膜的凹部的侧壁上形成的变质层，使得把归因于上述变质层的除去而产生的上述凹部侧壁的间隙填埋起来那样地形成第2低介电系数绝缘膜。

此外，根据本发明的第2方面，半导体器件的制造方法，包括：在半导体衬底上形成第1低介电系数绝缘膜，用第1光刻胶图形，使得贯通上述第1低介电系数绝缘膜那样地刻蚀上述第1低介电系数绝缘膜，在上述第1低介电系数绝缘膜上形成具有第1开口宽度的第1开口部分，除去上述第1光刻胶图形，用第2光刻胶图形，刻蚀上述第1低介电系数绝缘膜，在上述第1低介电系数绝缘膜上，形成具有比上述第1开口宽度还大的第2开口宽度，比上述第1开口部分还浅的第2开口部分，除去上述第2光刻胶图形，向上述第1和第2开口部分已连通起来的凹部内埋入导电膜，在埋入了上述导电膜后，去除在除去上述第2光刻胶图形时，在上述第2开口部分的侧壁上形成的变质层，使得把归因于上述变质层的除去而产生的上述第2开口部分侧壁的间隙填埋起来那样地形成第2低介电系数绝缘膜。

根据本发明的第3方面，半导体器件具备设置在半导体衬底上的具有凹部的第1低介电系数绝缘膜；在上述凹部内埋入形成的导电膜；被形成为存在于上述导电膜的侧壁和上述第1低介电系数绝缘膜之间的第2低介电系数绝缘膜。

附图说明

图1A-1G的一连串的工序剖面图示出了实施例1的金属镶嵌工艺。

图2A-2H的剖面图示出了形成实施例2的双金属镶嵌布线层的一连串的工序。

图3A-3H的剖面图示出了形成实施例3的双金属镶嵌布线层的一连串的工序。

图4A-4C的一连串的工序剖面图示出了现有的金属镶嵌工艺。

图5的剖面图示出了现有技术的布线间电容。

具体实施方式

以下，参看附图说明实施例。

图 1A-1G 的一连串的工序剖面图示出了实施例 1 的 Cu 金属镶嵌工艺。

首先，如图 1A 所示，向已形成了未画出来的半导体元件或 Cu 布线层的硅衬底 1 上涂敷或用 CVD 法形成 low-k 膜 2，然后再在其上形成改性层 3。

在这里，作为 low-k 膜 2 使用有机硅氧化膜。作为有机硅氧化膜例如可以举出聚硅氧烷、苯并环丁烯 (BCB) 等。

此外，改性层 3，一般地说，是对机械强度小的 low-k 膜 2 的表面实施了例如等离子体照射或 O_2 -RIE、UV-处理等的表面改性处理的改性层，在这里使用的是 O_2 等离子体处理。在该情况下，改性层 3 将变成为机械强度更大的硅氧化膜。此外，即使在作为 low-k 膜 2 使用含有有机硅氧化膜以外的 Si 的膜的情况下，改性层 3 也将变成为硅氧化膜。

如图 1B 所示，在改性层 3 上形成了光刻胶图形 4 之后，以该光刻胶图形 4 为掩模刻蚀 low-k 膜 2，形成布线沟 5。在 low-k 膜 2 的刻蚀中，使用例如 RIE (反应性离子刻蚀)。

另外，在图中，在 low-k 膜 2 上虽然示出了 1 个布线沟 5，但是，还可以从上述布线沟 5 离开例如 0.1 微米地形成别的布线沟。

如图 1C 所示，借助于使用氧等离子体处理的灰化剥离光刻胶图形 4。上述灰化用 RIE 型的灰化装置进行。这时，low-k 膜 2 的已露出来的部分因等离子体中的氧自由基而变质，在布线沟 5 的侧壁和底部上形成厚度 20nm 以上的变质层。

如图 1D 所示，在向整个面上按照顺序淀积上将变成为阻挡金属膜 7 的 TaN 膜 (含钽导电膜)、将变成为 Cu 布线层 8 的 Cu 膜，使之埋入到布线沟 5 内之后，用 CMP (化学机械抛光) 法除去布线沟 5 的外部的不需要的 TaN 膜、Cu 膜，在布线沟 5 的内部埋入形成阻挡金属膜 7、Cu 布线 8。这时，采用在 low-k 膜 2 的上表面上形成机械强度更大的改性层 3 的办法，对于机械强度小的 low-k 膜 2，就可以保护其不产生裂纹等，充分提高抗 CMP 性。到此为止，与现有的 Cu 金属镶嵌工艺是相同的。

接着,如图 1E 所示,借助于稀氢氟酸处理(HF 系湿法处理)选择性地除去本身为硅氧化膜的变质层 6 和改性层 3。就是说,改性层 3 和变质层 6 由于都是借助于 low-k 膜的表面改性处理形成的同等的硅氧化膜,故借助于该稀氢氟酸处理从改性层 3 到沿着布线沟 5 的侧壁的变质层 6 为止都可以除去。在该情况下,要对处理条件进行控制,使得在阻挡金属膜 7 的下部变质层 6 原样残存下来。另外,在这里。由于改性层 3 是硅氧化膜,故虽然作为湿法处理所使用的是稀氢氟酸处理,但是,湿法处理将取决于改性层 3 的材料而适当变更。

如图 1F 所示,向整个面上淀积 low-k 膜 9,使之把因除去变质层 6 而产生的布线沟 5 的侧壁的间隙填埋起来。作为 low-k 膜 9 的材料,通常,使用与 low-k 膜 2 相同的材料,但是,也可以根据需要使用不同的材料。

如上所述,在使用不同的材料的情况下,要埋入布线层的绝缘膜除去在布线层的底部上残存的变质层 6,实质上变成种类不同的 2 个绝缘膜。此外,相当于 low-k 膜 9 的绝缘膜,并非一定要把布线沟 5 侧壁的间隙完全地填埋起来,例如,也可以把相当于 low-k 膜 9 的绝缘膜形成使得在布线沟 5 侧壁的间隙中形成空洞。

最后,如图 1G 所示,一直到 Cu 布线层 8 的表面露出来为止,用 CMP 研磨 low-k 膜 9,结束 Cu 金属镶嵌工艺。

倘采用本实施例,由于可以用图 1E 的工序从布线沟 5 的侧壁上除去变质层 6,故在寄生电容的增大最成为问题的布线间,low-k 膜 2 实质性的 k 值不会增加。为此,可以减小布线间电容。此外,在布线沟 5 的底部上残存的变质层 6,由于是归因于与图 1A 中的 low-k 膜 2 的表面的改性层 3 同样的 O_2 等离子体处理 low-k 膜 2 改性而形成的变质层,故与被 low-k 膜 2、9 围起来的构造比较,可以期待阻挡金属膜 7 的周围整个面都将参与半导体器件的机械强度的提高。

接着,说明用 low-k 膜形成双金属镶嵌布线层的实施例 2。图 2A-2H 是形成这些布线层的工序剖面图。

首先,如图 2A 所示,在已形成了未画出来的半导体元件或 Cu 布线层的硅衬底 11 上形成 low-k 膜 12,与实施例 1 同样,再在其上形成改性层 13。

在改性层 13 上形成了第 1 光刻胶图形 14 后，以该光刻胶图形 14 为掩模，使得贯通 low-k 膜 12 那样地用 RIE 法选择性地除去 low-k 膜 12，形成第 1 开口部分 15。

如图 2B 所示，借助于使用氧等离子体处理的灰化技术除去第 1 光刻胶图形 14。在进行该灰化处理时，归因于等离子体中的氧自由基，low-k 膜 12 的已露出来的部分发生变质，在第 1 开口部分 15 的侧壁上形成变质层（硅氧化膜）16。

如图 2C 所示，在残存的改性层 13 上形成第 2 光刻胶图形 17，一直到其厚度方向的一半为止选择性地除去 low-k 膜 12。借助于此，在 low-k 膜 12 上使其一部分重叠到第 1 开口部分 15 上地形成比其宽度还大的第 2 开口部分 18。与此同时，与第 2 开口部分 18 邻近地在 low-k 膜 12 中形成埋入布线用的布线沟 19。

如图 2D 所示，借助于同样的灰化技术，除去第 2 光刻胶图形 17。在进行该灰化处理时，归因于等离子体中的氧自由基，low-k 膜 12 的已露出来的部分发生变质，在第 2 开口部分 18 的侧壁及底部上形成变质层 20 及 21。同时，在布线沟 19 的侧壁及底部上形成变质层 22 及 23。

如图 2E 所示，在向整个面上按照顺序淀积上将变成为阻挡金属膜 24 的 TaN 膜和将变成为 Cu 布线层 25 的 Cu 膜，使之埋入到第 1 和第 2 开口部分 15、18 以及布线沟 19 内之后，用 CMP 法除去这些开口部分 15、18 和布线沟 19 的外部的不需要的 TaN 膜、Cu 膜，在开口部分 15、18 和布线沟 19 的内部埋入形成阻挡金属膜 24 和 Cu 布线层 25。

如图 2F 所示，借助于湿法处理，选择性地除去本身为硅氧化膜的已露出来的改性层 13 和变质层 20、22，在阻挡金属膜 24 的上部与 low-k 膜 12 之间，形成间隙 26。就是说，借助于湿法处理，与改性层 13 一起，沿着第 2 开口部分 18 的侧壁除去变质层 20。同时，沿着布线沟 19 的侧壁，除去变质层 22。在该情况下，对处理条件进行控制，使得在阻挡金属膜 24 的下部上，原样地残存下开口部分 15、18 的变质层 21、16 和布线沟 19 的变质层 23。

如图 2G 所示，向整个面上淀积 low-k 膜 27，使得把开口部分 18 和布

线沟 19 的侧壁的间隙 26 填埋起来。作为 low-k 膜 27 的材料,使用与 low-k 膜 12 同样的材料。

最后,如图 2H 所示,一直到 Cu 布线层 25 的表面露出来为止,用 CMP 研磨 low-k 膜 27,结束 Cu 金属镶嵌工艺。

在本实施例中,与上述实施例 1 同样,由于从第 2 开口部分 18 的侧壁上除去变质层 20,同时,从布线沟 19 的侧壁上除去变质层 22,并用 low-k 膜 27 把这些间隙 26 填埋起来,故可以在寄生电容的增大最成为问题的布线间,减小布线间电容,而 low-k 膜的实质性的 k 值不会增加。此外,由于与布线层的底部邻接地残存下变质层 21、23,故可以期待半导体器件的机械强度的提高。

此外,说明用 2 层的 low-k 膜形成双金属镶嵌布线层的第 3 实施例。图 3A-3H 是形成这些布线层的工序剖面图。

首先,如图 3A 所示,在已形成了未画出来的半导体元件或 Cu 布线层的硅衬底 31 上,淀积具有所希望的厚度的第 1 low-k 膜 32,从 SiO₂膜、SiN 膜和 SiC 膜中选择的 1 个绝缘膜 33 和第 2 low-k 膜 34,与实施例 2 同样,再在第 2 low-k 膜 34 上形成改性层 35。在这里,第 1、第 2 low-k 膜 32、34,既可以使用彼此相同的材料,也可以使用彼此不同的材料。在改性层 35 上形成了第 1 光刻胶图形 36 之后,以该光刻胶图形 36 为掩模,使得硅衬底 31 露出来那样地用 RIE 法选择性地除去改性层 35、第 2 low-k 膜 34、绝缘膜 33 和第 1 low-k 膜 32,形成第 1 开口部分 37。

如图 3B 所示,用使用氧等离子体处理的灰化,除去第 1 光刻胶图形 36。借助于该灰化处理,借助于等离子体中的氧自由基,第 2 和第 1 low-k 膜 34、32 的已露出来的部分发生变质,在第 1 开口部分 37 的侧壁上形成硅氧化膜的变质层 38。

如图 3C 所示,在残存的改性层 35 上形成第 2 光刻胶图形 39,选择性地除去第 2 low-k 膜 34。借助于此,在第 2 low-k 膜 34 上使其一部分重叠到第 1 开口部分 37 上地形成比其宽度还大的第 2 开口部分 40。与此同时,在第 2 low-k 膜 34 中与第 2 开口部分 40 邻近地形成埋入布线用的布线沟 41。

如图 3D 所示,借助于同样的灰化,除去第 2 光刻胶图形 39。在进行该灰化处理时,归因于等离子体中的氧自由基,第 2 low-k 膜 34 的已露出来的部分发生变质,在第 2 开口部分 40 的侧壁上形成变质层 42。同时,在布线沟 41 的侧壁上形成变质层 43。

如图 3E 所示,在向整个面上按照顺序淀积上将变成为阻挡金属膜 44 的 TaN 膜和将变成为 Cu 布线层 45 的 Cu 膜,使之埋入到第 1 和第 2 开口部 37、40 以及布线沟 41 内之后,用 CMP 法除去这些开口部分 37、40 和布线沟 41 的外部的不需要的 TaN 膜、Cu 膜,在开口部分 37、40 和布线沟 41 的内部埋入形成阻挡金属膜 44 和 Cu 布线层 45。

如图 3F 所示,借助于湿法处理,选择性地除去本身为硅氧化膜的已露出来的改性层 35,在第 2 开口部分 40 的侧壁上形成的变质层 42 和在布线沟 41 的侧壁上形成变质层 43,在阻挡金属膜 44 的上部与第 2 low-k 膜 34 之间,形成间隙 46。就是说,借助于该湿法处理,与改性层 35 一起,沿着第 2 开口部分 40 的侧壁除去变质层 42。同时,沿着布线沟 41 的侧壁除去变质层 43。这时,绝缘膜 33 变成为阻挡层,在阻挡金属膜 44 的下部上,原样地残存下绝缘膜 33 和第 1 开口部分 37 的变质层 38。

如图 3G 所示,向整个面上淀积第 3 low-k 膜 47,使得把第 2 开口部分 40 和布线沟 41 的侧壁的间隙 46 填埋起来。作为第 3 low-k 膜 47 的材料,使用与第 1 low-k 膜 32 同样的材料。

最后,如图 3H 所示,一直到 Cu 布线层 45 的表面露出来为止,用 CMP 研磨第 3 low-k 膜 47,结束 Cu 金属镶嵌工艺。

在本实施例中,也和上述实施例 2 同样,由于已从第 2 开口部分 40 和布线沟 41 的侧壁上除去了变质层 42 和 43,并用 low-k 膜 47 把这些间隙 46 填埋起来,故可以减小布线间电容,而不会增加 low-k 膜的实质性的 k 值。此外,在第 1 low-k 膜 32 上,已形成了从 SiO₂膜、SiN 膜和 SiC 膜中选择的 1 个膜 33,故在形成第 2 开口部分 40 和布线沟 41 时,以及在除去第 2 开口部分 40 和布线沟 41 的侧壁上形成的变质层 42、43 时,刻蚀量的控制就会变得容易起来。此外,即便是用 CMP 法去研磨第 3 low-k 膜 47,至少第 1 low-k 膜 32 也不会受到不希望的损伤。

另外，本发明并不限定于上述实施例。在上述实施例中，虽然说明的是作为布线材料使用 Cu 的情况，但是在使用 Ag、Al、W 等其它的布线材料的情况下也可以应用。此外，作为阻挡金属膜，除去 TaN 以外，也可以使 Ta、Ti、W、Nb 或它们的氮化物等 1 种或 2 种以上叠层起来形成。在这些情况下，要适当变更在湿法处理中使用的药液，使得可以有选择地除去变质层和改性层。

此外，在上述实施例中，虽然说明的是在布线沟的底部整个面上都残存下变质层的情况，但是，在进行湿法处理时，也可以多少地除去布线沟的底部的变质层。

此外，在上述实施例中，虽然说明的是作为 low-k 膜使用有机硅氧化膜的情况，但是，也可以使用 k 值为 3.0 以下的其它的绝缘膜。例如，可以举出氢倍半硅氧烷那样的无机硅氧化膜、或聚亚芳基醚、聚对亚苯基二甲基、聚酰亚胺含氟聚合物等的 CF 系膜等。

再有，在上述实施例中，虽然说明的是形成所谓的埋入布线层和双金属镶嵌布线层的情况，但是对于导电性插针等也可以应用。就是说，对于低介电系数绝缘膜形成的开口部分，只要至少是不贯通低介电系数绝缘膜的凹部和贯通低介电系数绝缘膜的凹部中的一方即可，例如，可以举出金属镶嵌布线层的布线沟、要埋入插针的连接孔、连通双金属镶嵌布线的布线沟和连接孔，在是双金属镶嵌布线的布线沟和连接孔的情况下，其开口顺序没有什么特别限定。

此外，在上述实施例中，虽然是 low-k 膜上形成了改性层，但是，这并不是非要形成不可的。

对于那些本专业的熟练的技术人员来说还存在着另外一些优点和变形。因此，本发明就其更为广阔的形态来说并不限于上述发明详述和实施例。此外，就如所附技术方案及其等同物所限定的那样，还可以有许多变形而不偏离总的发明的宗旨。

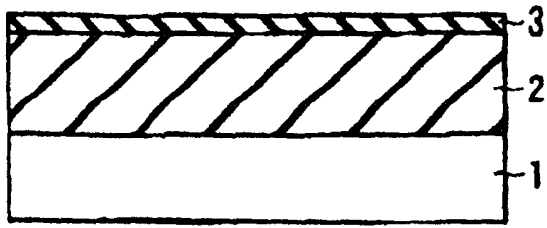


图1A

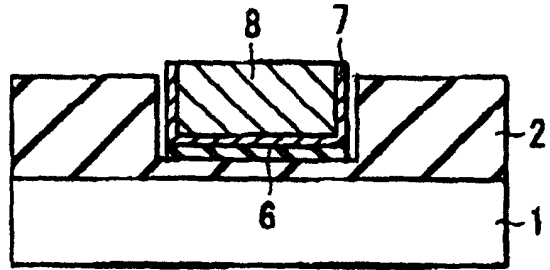


图1E

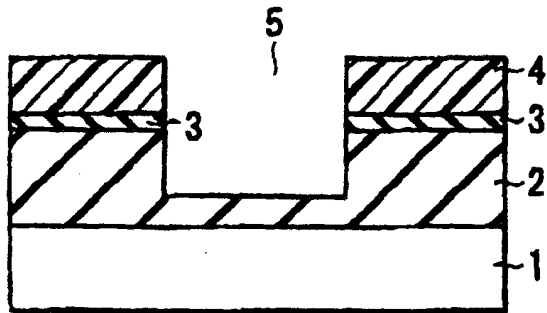


图1B

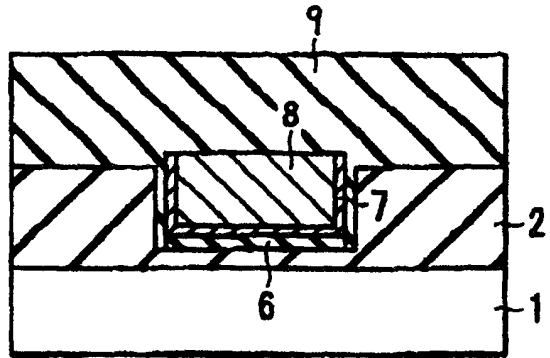


图1F

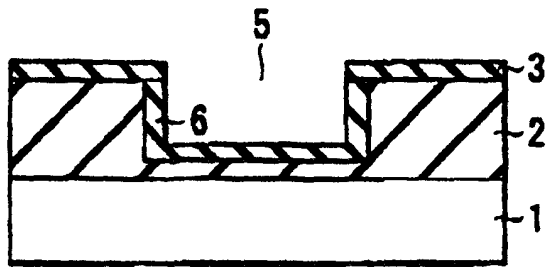


图1C

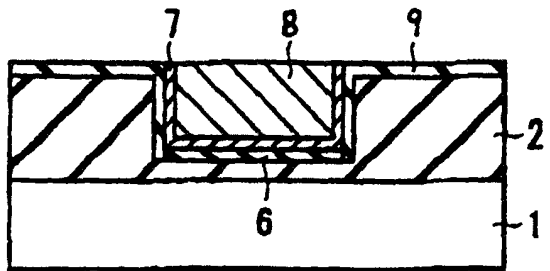


图1G

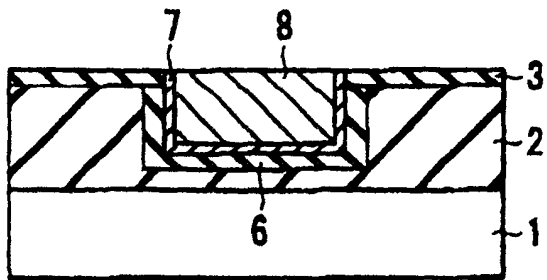


图1D

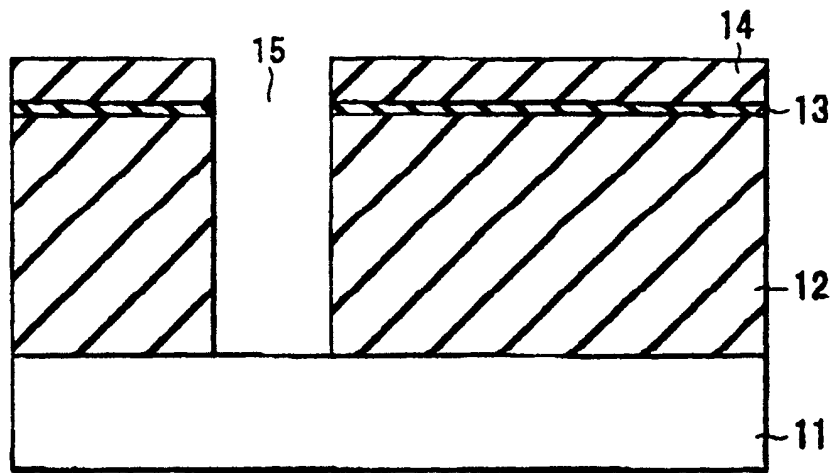


图 2A

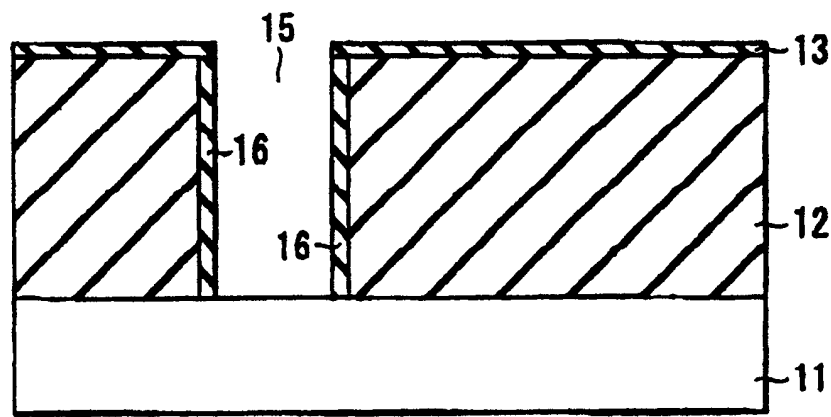


图 2B

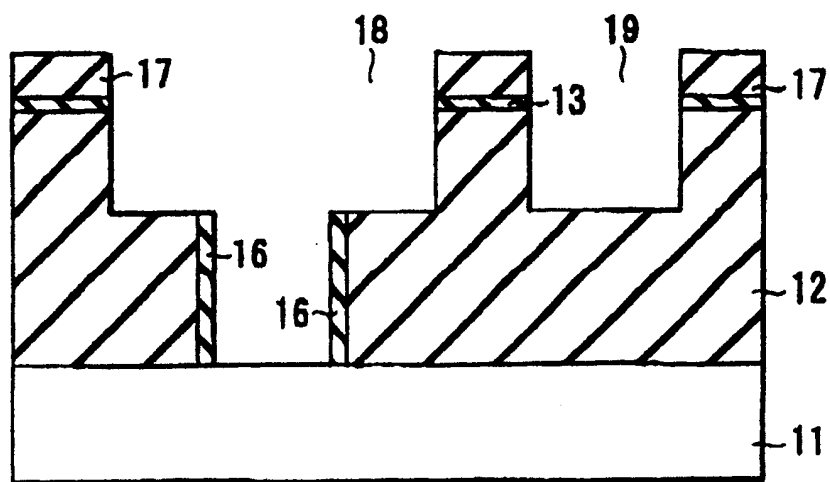


图 2C

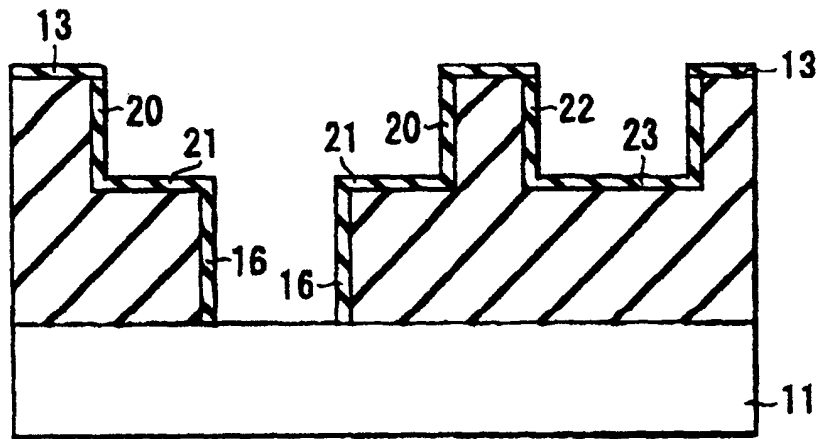


图 2D

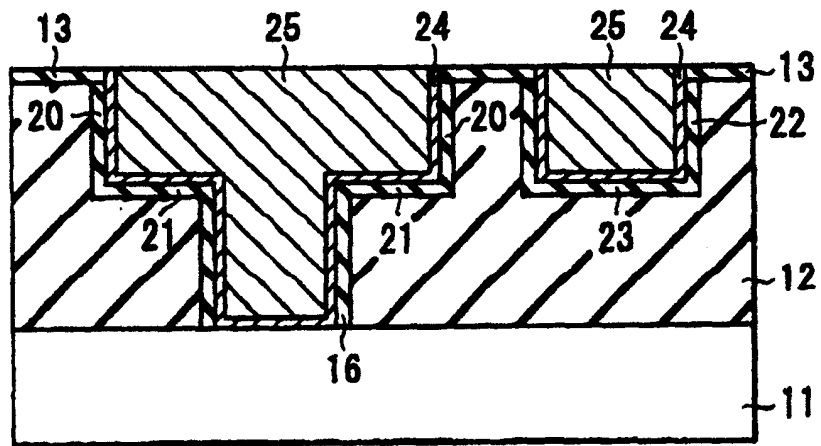


图 2E

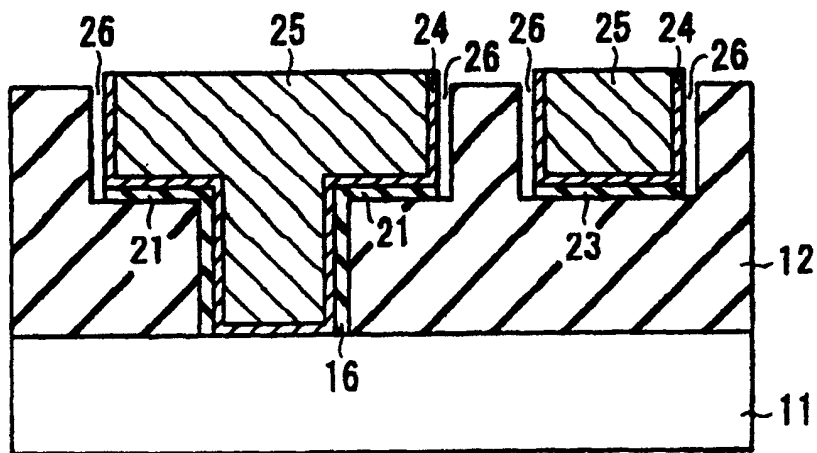


图 2F

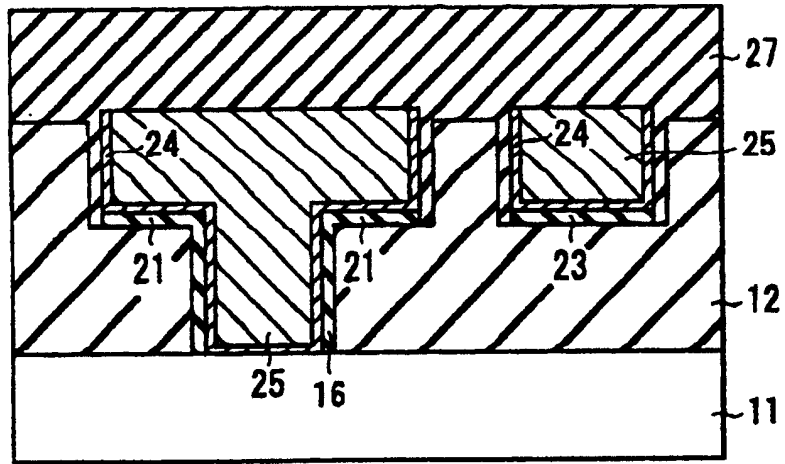


图 2G

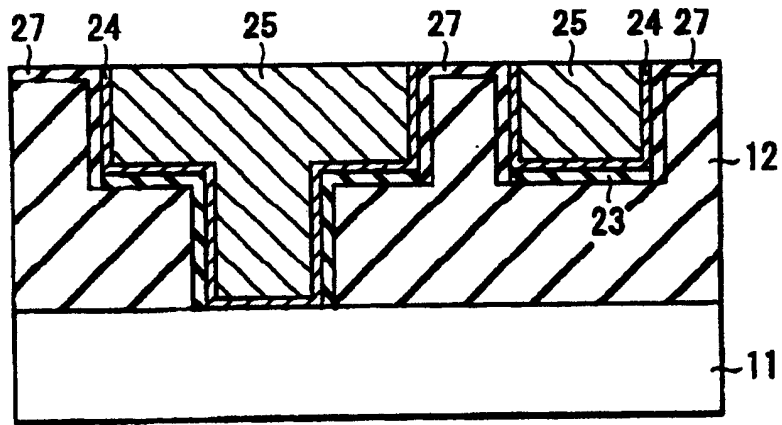


图 2H

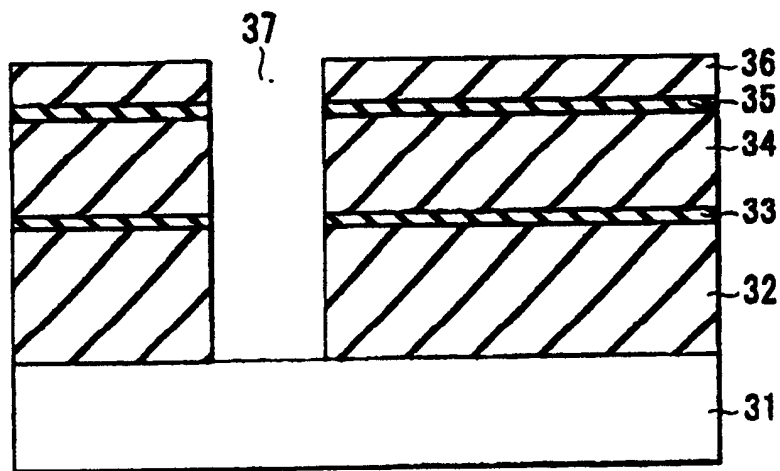


图 3A

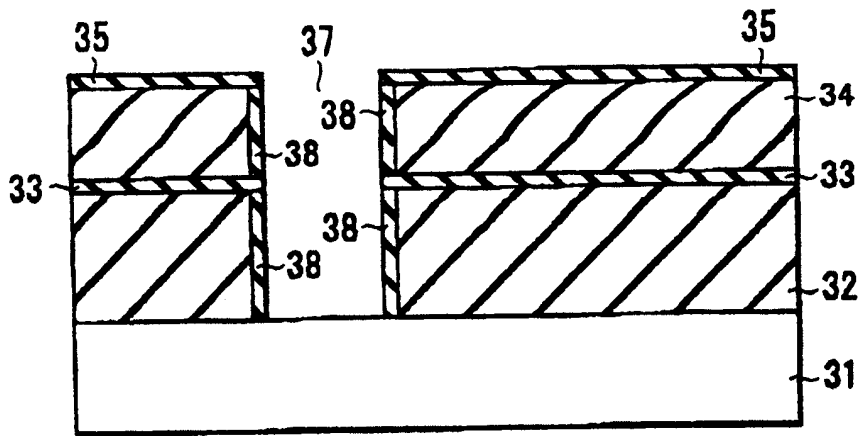


图 3B

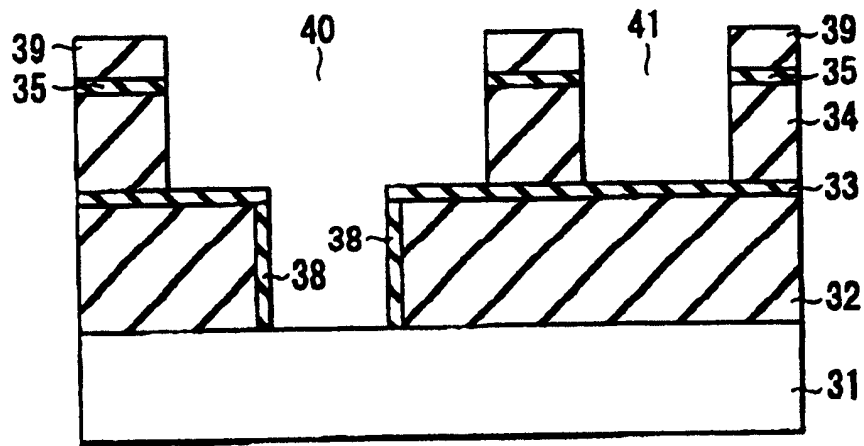


图 3C

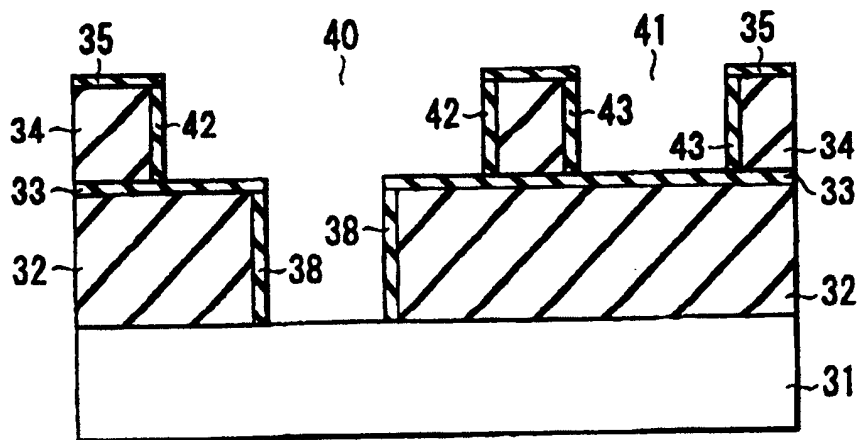


图 3D

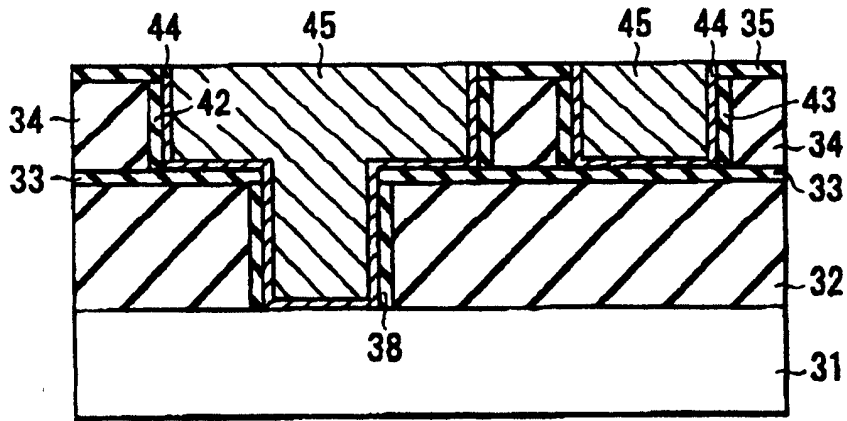


图 3E

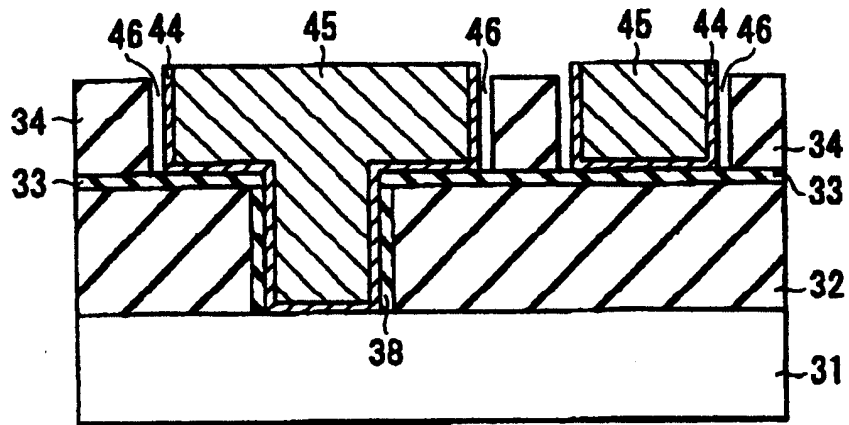


图 3F

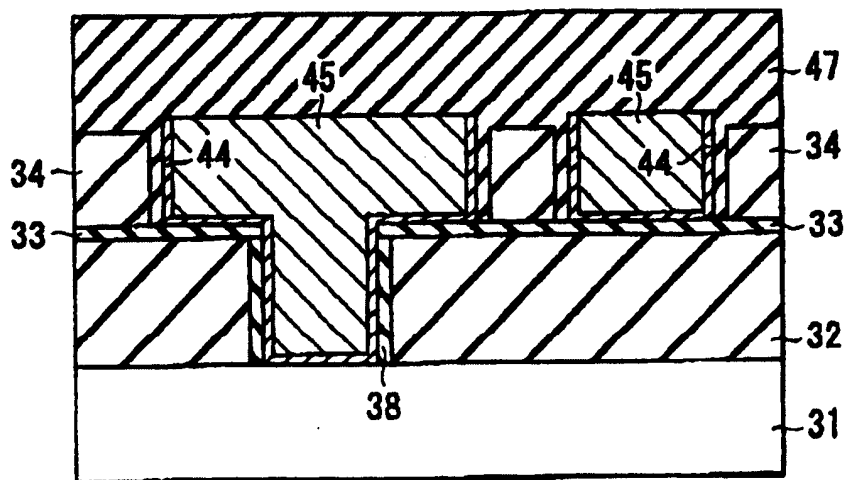


图 3G

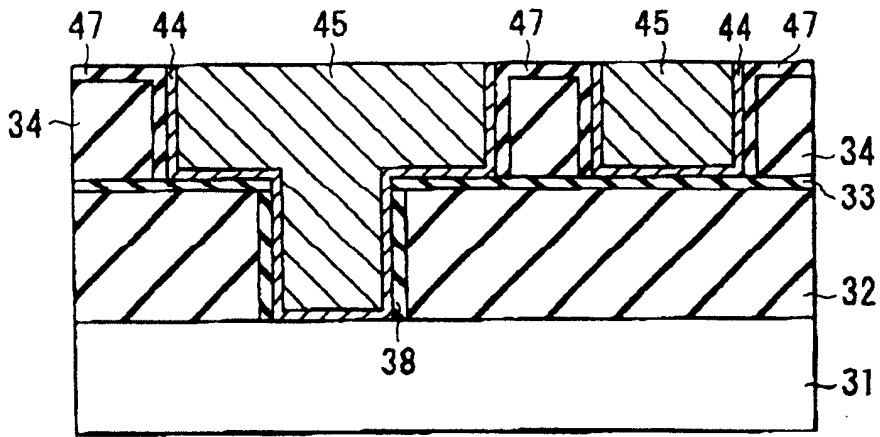


图3H

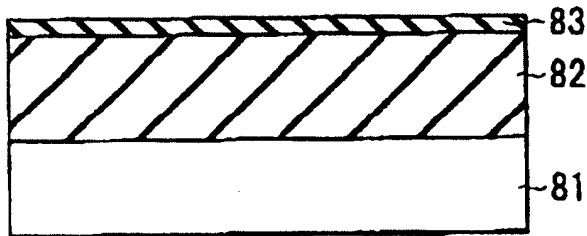


图4A

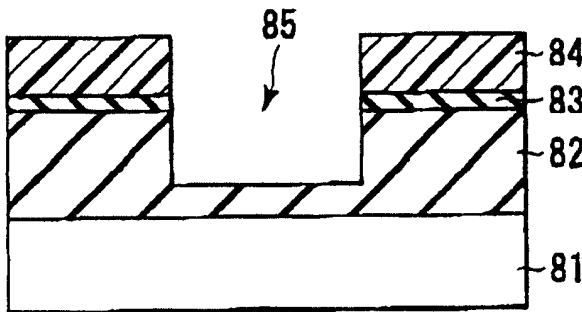


图4B

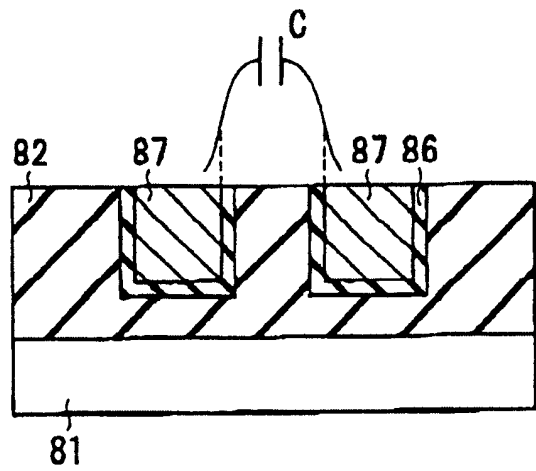


图5

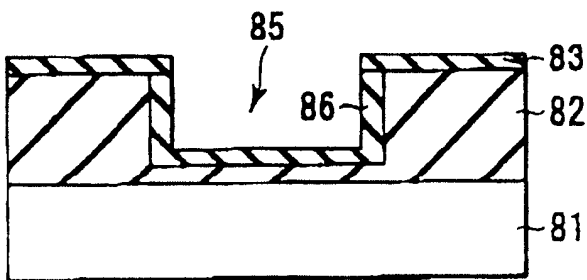


图4C