



(12) 发明专利

(10) 授权公告号 CN 101276840 B

(45) 授权公告日 2011.04.06

(21) 申请号 200810086794.2

H01L 21/768(2006.01)

(22) 申请日 2008.03.26

(56) 对比文件

(30) 优先权数据

US 6043164 A, 2000.03.28, 全文.

2007-078067 2007.03.26 JP

CN 1604288 A, 2005.04.06, 全文.

(73) 专利权人 株式会社半导体能源研究所

审查员 韩颖姝

地址 日本神奈川

(72) 发明人 山崎舜平 须沢英臣 笹川慎也

仓田求

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 岳耀锋

(51) Int. Cl.

H01L 29/786(2006.01)

H01L 29/417(2006.01)

H01L 27/12(2006.01)

H01L 23/522(2006.01)

H01L 21/336(2006.01)

H01L 21/28(2006.01)

H01L 21/84(2006.01)

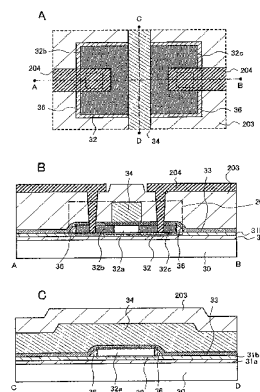
权利要求书 3 页 说明书 19 页 附图 22 页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

本发明提供当形成接触孔时容易进行蚀刻控制的半导体装置的制造技术。本发明的半导体装置至少包括：形成在绝缘表面上的半导体层；形成在半导体层上的第一绝缘层；形成在第一绝缘层上的栅电极；以及形成在栅电极上的第二绝缘层，其中，至少在半导体层及第二绝缘层中形成有开口部而露出绝缘表面的一部分，并且，还包括通过该开口部且形成在第二绝缘层上的导电层。这里的导电层在形成于半导体层中的开口的侧面处与半导体层电连接。



1. 一种半导体装置,包括:
形成在绝缘表面上的半导体层;
形成在所述半导体层上的第一绝缘层;
形成在所述第一绝缘层上的栅电极;
形成在所述栅电极上的第二绝缘层;以及
形成在所述第二绝缘层上的导电层,
其中,所述导电层通过第一开口和第二开口连接到所述半导体层,
所述第一开口至少形成在所述第二绝缘层中,
所述第一开口到达所述半导体层,
所述第二开口至少形成在所述半导体层中,
所述第二开口到达所述绝缘表面,且
所述第二开口的俯视面积小于所述第一开口的俯视面积。
2. 根据权利要求1所述的半导体装置,其中在所述半导体层的侧面设置有绝缘体。
3. 根据权利要求1所述的半导体装置,其中所述半导体层包括硅化物区。
4. 根据权利要求1所述的半导体装置,其中所述半导体层的厚度为10nm至30nm。
5. 根据权利要求1所述的半导体装置,其中所述第一开口还形成在所述第一绝缘层中。
6. 一种半导体装置,包括:
形成在衬底上的第一绝缘层;
形成在所述第一绝缘层上且具有绝缘表面的第二绝缘层;
形成在所述绝缘表面上的半导体层;
形成在所述半导体层上的第三绝缘层;
形成在所述第三绝缘层上的栅电极;
形成在所述栅电极上的第四绝缘层;以及
形成在所述第四绝缘层上的导电层,
其中,所述导电层通过第一开口和第二开口连接到所述半导体层,
所述第一开口至少形成在所述第四绝缘层中,
所述第一开口到达所述半导体层,
所述第二开口至少形成在所述半导体层及所述第二绝缘层中,
所述第二开口到达所述第一绝缘层,且
所述第二开口的俯视面积小于所述第一开口的俯视面积。
7. 根据权利要求6所述的半导体装置,其中绝缘体设置在所述半导体层的侧面。
8. 根据权利要求6所述的半导体装置,其中所述半导体层包括硅化物区。
9. 根据权利要求6所述的半导体装置,其中所述半导体层的厚度为10nm至30nm。
10. 根据权利要求6所述的半导体装置,其中所述第一开口还形成在所述第三绝缘层中。
11. 一种半导体装置的制造方法,包括以下步骤:
在绝缘表面上形成半导体层;
在所述半导体层上形成第一绝缘层;

在所述第一绝缘层上形成栅电极；
在所述栅电极上形成第二绝缘层；
至少在所述第二绝缘层中形成第一开口，其中所述第一开口到达所述半导体层；
至少在所述半导体层中形成第二开口，其中所述第二开口到达所述绝缘表面；以及
在所述第二绝缘层上形成导电层，
其中，所述导电层通过所述第一开口和所述第二开口连接到所述半导体层，且
所述第二开口的俯视面积小于所述第一开口的俯视面积。

12. 根据权利要求 11 所述的半导体装置的制造方法，其中在所述半导体层的侧面设置绝缘体。

13. 根据权利要求 11 所述的半导体装置的制造方法，其中所述半导体层包括硅化物区。

14. 根据权利要求 11 所述的半导体装置的制造方法，其中所述半导体层的厚度为 10nm 至 30nm。

15. 根据权利要求 11 所述的半导体装置的制造方法，其中所述第一开口还形成在所述第一绝缘层中。

16. 一种半导体装置的制造方法，包括以下步骤：

在绝缘表面上形成半导体层；
在所述半导体层上形成第一绝缘层；
在所述第一绝缘层上形成栅电极；
在所述栅电极上形成第二绝缘层；
在所述第二绝缘层上形成抗蚀剂掩模；
至少在所述第二绝缘层中形成第一开口，其中所述第一开口到达所述半导体层；
至少在所述半导体层中形成第二开口，其中所述第二开口到达所述绝缘表面；以及
在所述第二绝缘层上形成导电层，
其中，所述导电层通过所述第一开口和所述第二开口连接到所述半导体层，
所述第一开口通过使用所述抗蚀剂掩模湿蚀刻形成，
所述第二开口通过使用所述抗蚀剂掩模干蚀刻形成，且
所述第二开口的俯视面积小于所述第一开口的俯视面积。

17. 根据权利要求 16 所述的半导体装置的制造方法，其中在所述半导体层的侧面设置绝缘体。

18. 根据权利要求 16 所述的半导体装置的制造方法，其中所述半导体层包括硅化物区。

19. 根据权利要求 16 所述的半导体装置的制造方法，其中所述半导体层的厚度为 10nm 至 30nm。

20. 根据权利要求 16 所述的半导体装置的制造方法，其中所述第一开口还形成在所述第一绝缘层中。

21. 一种半导体装置的制造方法，包括以下步骤：

在绝缘表面上形成半导体层；
在所述半导体层上形成第一绝缘层；

在所述第一绝缘层上形成栅电极；
在所述栅电极上形成第二绝缘层；
在所述第二绝缘层上形成第一抗蚀剂掩模；
至少在所述第二绝缘层中形成第一开口，其中所述第一开口到达所述半导体层；
通过蚀刻所述第一抗蚀剂掩模形成第二抗蚀剂掩模；
至少在所述半导体层中形成第二开口，其中所述第二开口到达所述绝缘表面；以及
在所述第二绝缘层上形成导电层，
其中，所述导电层通过所述第一开口和所述第二开口连接到所述半导体层，
所述第一开口通过使用所述第一抗蚀剂掩模蚀刻形成，
所述第二开口通过使用所述第二抗蚀剂掩模蚀刻形成，且
所述第二开口的俯视面积小于所述第一开口的俯视面积。

22. 根据权利要求 21 所述的半导体装置的制造方法，其中所述第一开口和第二开口通过干蚀刻形成。

23. 根据权利要求 21 所述的半导体装置的制造方法，其中在所述半导体层的侧面设置绝缘体。

24. 根据权利要求 21 所述的半导体装置的制造方法，其中所述半导体层包括硅化物区。

25. 根据权利要求 21 所述的半导体装置的制造方法，其中所述半导体层的厚度为 10nm 至 30nm。

26. 根据权利要求 21 所述的半导体装置的制造方法，其中所述第一开口还形成在所述第一绝缘层中。

半导体装置及其制造方法

技术领域

[0001] 本发明涉及半导体装置及其制造方法。注意,在本说明书中,半导体装置是指能够通过利用半导体特性来发挥功能的所有装置。

背景技术

[0002] 近年来,正在积极地制造将薄膜晶体管(TFT)形成于玻璃等具有绝缘表面的衬底上,并且使用该薄膜晶体管作为开关元件等的半导体装置。通过使用CVD法、光刻工序等,将岛状半导体膜形成于具有绝缘表面的衬底上,并且将该岛状半导体膜的一部分用作沟道形成区而设置该薄膜晶体管。(例如,专利文献1)

[0003] 图21表示薄膜晶体管的截面模式图。如图21所示,薄膜晶体管在衬底30上形成有用作基底膜的绝缘层31,在绝缘层31上形成有具有沟道形成区32a、用作源区及漏区的杂质区32b、32c的半导体层32,在半导体层32及绝缘层31上形成有用作栅极绝缘层的绝缘层33,在绝缘层33上形成有用作栅电极的导电层34,在导电层34上形成有绝缘层203,在绝缘层203上形成有与杂质区32b、32c电连接的布线204。

[0004] [专利文献1]日本专利申请特开平08-018055号公报

[0005] 普遍认为在图21的结构中,为了将布线与源区或漏区的表面电连接,需要在开口部的底部形成用作源区或漏区的半导体层。因此,当在绝缘层中形成开口部时蚀刻控制很不容易。这是在将半导体层形成为50nm以下的薄膜时特别明显出现的问题。

发明内容

[0006] 本发明是解决上述问题的技术,并且提供当形成接触孔时容易进行蚀刻控制的半导体装置的制造技术。

[0007] 本发明的半导体装置至少包括:形成在绝缘表面上的半导体层;形成在半导体层上的第一绝缘层;形成在第一绝缘层上的栅电极;以及形成在栅电极上的第二绝缘层,其中,至少在半导体层及第二绝缘层中形成有开口部而露出绝缘表面的一部分,并且,本发明的半导体装置还包括通过该开口部且形成在第二绝缘层上的导电层。注意,这里的导电层在形成于半导体层中的接触孔的侧面处与半导体层电连接。此外,也可以形成接触孔以暴露半导体层表面的一部分。也就是说,也可以采用如下结构:形成在半导体层中的开口被形成为具有比形成在第二绝缘层中的开口小的俯视面积,并且在形成于半导体层中的接触孔的侧面处以及半导体层的表面上导电层与半导体层电连接。

[0008] 本发明的半导体装置可以通过如下步骤制造:在绝缘表面上形成半导体层;在半导体层上形成第一绝缘层;在第一绝缘层上形成栅电极;在栅电极上形成第二绝缘层;至少在所述半导体层及所述第二绝缘层中形成露出所述绝缘表面的一部分的开口部;以及通过该开口部在绝缘表面及所述第二绝缘层上形成导电层。

[0009] 另外,本发明的半导体装置可以通过如下步骤制造:在衬底上形成第一绝缘层;在第一绝缘层上形成第二绝缘层;在第二绝缘层上形成半导体层;在半导体层上形成第三

绝缘层；在第三绝缘层上形成栅电极；在栅电极上形成第四绝缘层；至少在第二绝缘层、半导体层及第四绝缘层中形成露出第一绝缘层表面的一部分的开口部；以及通过该开口部在所述第一绝缘层的表面及第四绝缘层上形成导电层。

[0010] 另外，本发明的半导体装置可以通过如下步骤制造：在衬底上形成第一绝缘层；在第一绝缘层上形成第二绝缘层；在第二绝缘层上形成半导体层；在半导体层上形成第三绝缘层；在第三绝缘层上形成栅电极；在栅电极上形成第四绝缘层；在第四绝缘层上形成抗蚀剂，以抗蚀剂作为掩模至少在第四绝缘层中形成露出半导体层表面的一部分的第一开口部；以抗蚀剂作为掩模至少蚀刻第二绝缘层、半导体层及第四绝缘层以形成露出第一绝缘层表面及半导体层表面的一部分的第二开口部；以及通过第二开口部在第一绝缘层的表面、半导体层的表面及第四绝缘层上形成导电层。此外，第一开口部可以通过湿蚀刻形成，第二开口部可以通过干蚀刻形成。

[0011] 另外，本发明的半导体装置可以通过如下步骤制造：在衬底上形成第一绝缘层；在第一绝缘层上形成第二绝缘层；在第二绝缘层上形成半导体层；在半导体层上形成第三绝缘层；在第三绝缘层上形成栅电极；在栅电极上形成第四绝缘层；在第四绝缘层上形成抗蚀剂，并且以抗蚀剂作为掩模至少在第四绝缘层中形成露出半导体层表面的一部分的第一开口部；蚀刻抗蚀剂以缩减该抗蚀剂，并且以抗蚀剂作为掩模至少对第二绝缘层、半导体层及第四绝缘层进行蚀刻，来形成露出第一绝缘层表面及半导体层表面的一部分的第二开口部；以及通过第二开口部在第一绝缘层的表面、半导体层的表面及第四绝缘层上形成导电层。此外，第一开口部及第二开口部可以通过干蚀刻形成。

[0012] 在本发明中，不必在半导体膜的表面上停止蚀刻，因此可以容易进行当形成接触孔时的蚀刻控制。此外，由于能够在形成于半导体层中的接触孔的侧面处获得与源电极或漏电极的电连接，所以可以容易制造特性恶化少的半导体装置。

附图说明

[0013] 图 1A 至 1C 是说明本发明的半导体装置的结构俯视图以及截面图；

[0014] 图 2A 至 2H 是说明本发明的半导体装置的制造工序的截面图；

[0015] 图 3A 至 3F 是说明本发明的半导体装置的制造工序的截面图；

[0016] 图 4A 至 4D 是说明本发明的半导体装置的制造工序的截面图；

[0017] 图 5A 至 5C 是说明本发明的半导体装置的结构俯视图以及截面图；

[0018] 图 6A 至 6D 是说明本发明的半导体装置的制造工序的截面图；

[0019] 图 7A 至 7C 是说明本发明的半导体装置的结构俯视图以及截面图；

[0020] 图 8A 至 8F 是说明本发明的半导体装置的制造工序的截面图；

[0021] 图 9A 至 9D 是说明本发明的半导体装置的制造工序的截面图；

[0022] 图 10A 至 10F 是说明本发明的半导体装置的制造工序的截面图；

[0023] 图 11A 至 11C 是说明本发明的半导体装置的结构俯视图以及截面图；

[0024] 图 12A 至 12D 是说明本发明的半导体装置的制造工序的截面图；

[0025] 图 13A 和 13B 是说明本发明的半导体装置的结构截面图；

[0026] 图 14A 和 14B 是说明本发明的半导体装置的结构截面图；

[0027] 图 15A 和 15B 是说明本发明的半导体装置的结构截面图；

- [0028] 图 16A 至 16D 是说明本发明的半导体装置的制造工序的截面图；
[0029] 图 17A 至 17F 是说明本发明的半导体装置的制造工序的截面图；
[0030] 图 18 是说明本发明的半导体装置的结构截面图；
[0031] 图 19 是说明本发明的半导体装置的结构截面图；
[0032] 图 20A 和 20B 是说明本发明的半导体装置的结构俯视图以及截面图；
[0033] 图 21 是说明现有的半导体装置的结构截面图。

具体实施方式

[0034] 下面，参考附图对本发明的实施方式进行说明。但是，本发明不局限于以下说明，所属技术领域的普通技术人员可以很容易地理解的一个事实就是，其方式和详细内容可以被变换为各种各样的形式，而不脱离本发明的宗旨及其范围。因此，本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。此外，在以下说明的本发明的结构中，有时在不同附图之间共同使用表示相同部分的符号。

[0035] 实施方式 1

[0036] 在本实施方式中，说明容易进行当形成接触孔时的蚀刻控制的半导体装置的结构及制造方法。

[0037] 图 1 是为了说明根据本发明的半导体装置的主要结构的俯视图以及截面图。图 1A 特别表示薄膜晶体管的俯视图，图 1B 表示图 1A 中的虚线 A-B 之间的截面图，图 1C 表示图 1A 中的虚线 C-D 之间的截面图。

[0038] 本实施方式所示的半导体装置包括：薄膜晶体管 205，其具有中间夹着绝缘层 31 在衬底 30 上设置为岛状的半导体层 32、形成在半导体层 32 上的栅极绝缘层 33、中间夹着栅极绝缘层 33 在半导体层 32 的上方设置的用作栅电极的导电层 34；覆盖栅极绝缘层 33 及导电层 34 而设置的绝缘层 203；设置在绝缘层 203 上的用作源电极或漏电极的导电层 204（图 1A 至 1C）。另外，半导体层 32 除了沟道形成区 32a 和用作源区或漏区的杂质区 32b、32c 以外，还包括绝缘层 36。该绝缘层 36 形成在半导体层 32 的端部，即这里的与导电层 34 的下方的沟道形成区 32a 相接的部分。

[0039] 在本实施方式所示的半导体装置中，通过蚀刻绝缘层 203 及半导体层 32 的杂质区 32b、32c 来形成到达绝缘层 31b 的接触孔（也称为开口部），然后，以填充该接触孔的方式形成导电层 204。也就是说，在本实施方式中，导电层 204 和杂质区 32b、32c 在形成于杂质区 32b、32c 中的接触孔的侧面处电连接。

[0040] 在本实施方式中，不必在半导体层的表面上停止蚀刻，因此可以容易进行当形成接触孔时的蚀刻控制。此外，由于能够在形成于半导体层中的接触孔的侧面处获得与源电极或漏电极的电连接，所以可以容易制造特性恶化少的半导体装置。

[0041] 在此，不需要形成设置在半导体层的端部的绝缘层 36，但是为了防止半导体层 32 的端部和用作栅电极的导电层 34 短路而发生漏电流，优选设置该绝缘膜 36。由此，在设置绝缘层 36 的情况下，至少在半导体层 32 的沟道形成区 32a 的侧面（露出部分）形成绝缘层 36 即可。然而，当然还可以形成于其他的部分。注意，在本实施方式中，在栅极绝缘层 33 的下方（衬底侧）的区域中与栅极绝缘层 33 相接形成绝缘层 36。

[0042] 接下来，参照附图对图 1 所示的半导体装置的制造方法的一个例子进行说明。注

意,使用图 2A 至 2D、图 3A 至 3C、图 4A 和 4B 来说明图 1A 的虚线 A-B 之间的截面中的制造工序,而且使用图 2E 至 2H、图 3D 至 3F、图 4C 和 4D 来说明图 1A 的虚线 C-D 之间的截面中的制造工序。

[0043] 首先,在衬底 30 上形成绝缘层 31(图 2A 和 2E)。在本实施方式中,绝缘层 31 具有双层结构,其包括形成在衬底 30 上的第一绝缘层 31a 以及形成在第一绝缘层 31a 上的第二绝缘层 31b。

[0044] 衬底 30 可以使用玻璃衬底、石英衬底、金属衬底(例如,陶瓷衬底、不锈钢衬底等)、以及 Si 衬底等半导体衬底等。另外,作为塑料衬底,还可以选择聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)、或丙烯等的衬底。

[0045] 绝缘层 31 例如通过使用 CVD 法或溅射法等并且使用氧化硅、氮化硅、氧氮化硅(SiO_xN_y)($x > y > 0$)、氮氧化硅(SiN_xO_y)($x > y > 0$)等绝缘材料形成。例如,优选地,形成氮氧化硅膜作为第一绝缘层 31a,并且形成氧氮化硅膜作为第二绝缘层 31b。另外,也可以形成氮化硅膜作为第一绝缘层 31a,并且形成氧化硅膜作为第二绝缘层 31b。通过形成绝缘层 31,可以防止碱金属等杂质从衬底 30 扩散而污染形成在该绝缘层 31 上的元件。

[0046] 接着,在绝缘层 31 上形成半导体膜 201。半导体膜 201 可以由非晶半导体膜或晶体半导体膜形成。作为晶体半导体膜,可以使用通过热处理或激光照射使在绝缘层 31 上形成的非晶半导体膜晶化而成的半导体膜等。作为半导体材料,优选使用硅,另外还可以使用硅锗半导体等。

[0047] 优选的是,以 10nm 至 200nm,优选为 10nm 至 50nm 左右,更优选为 10nm 至 30nm 左右的膜厚度形成半导体膜 201。此外,当形成 50nm 以下的半导体膜时,可以在以 50nm 以上的膜厚度形成半导体膜之后,对半导体膜的表面进行干蚀刻处理来形成具有 10nm 至 50nm 左右的膜厚度的半导体膜。作为当进行上述蚀刻时的蚀刻气体,可以使用氯基气体如 Cl_2 、 BCl_3 或 SiCl_4 等;氟基气体如 CF_4 、 NF_3 、 SF_6 或 CHF_3 等;或者将 O_2 气体、 H_2 气体、惰性气体如 He、Ar 等适当地添加于氟基气体中的混合气体等。此外,也可以在干蚀刻之前,对半导体膜的表面进行稀氢氟酸处理来去除形成在半导体表面的自然氧化膜,然后,对半导体膜的表面进行臭氧水处理,来在半导体膜的表面形成氧化膜。

[0048] 通过以 50nm 以下左右的膜厚度形成半导体膜 201,可以减少形成在半导体膜表面的栅绝缘层的覆盖缺陷。此外,通过以薄膜形状形成半导体膜,可以进一步使 TFT 小型化。此外,即使在增加对沟道形成区掺杂的杂质元素的量以便控制 TFT 的阈值电压时,也通过以薄膜形状形成半导体膜,容易制造完全耗尽型 TFT,因此可以制造在优良的 S 值的状态下其阈值电压被控制的 TFT。

[0049] 当使用通过照射激光束进行非晶半导体膜的晶化或再晶化而成的膜作为半导体膜 201 时,作为激光束的光源可以使用 LD 激发的连续振荡(CW)激光(YVO_4 ,二次谐波(波长为 532nm))。并不需要特别局限于二次谐波,但是二次谐波的能量效率比更高次的高次谐波优越。因为当将 CW 激光照射到半导体膜时,可以对半导体膜连续供给能量,所以一旦使半导体膜成为熔化状态,可以使该熔化状态继续下去。再者,可以通过扫描 CW 激光使半导体膜的固液界面移动,形成沿着该移动方向的朝向一个方向的长的晶粒。此外,使用固体激光是因为与气体激光等相比,其输出的稳定性高,而可以期待稳定的处理的缘故。注意,不局限于 CW 激光,也可以使用重复频率为 10MHz 以上的脉冲激光。当使用重复频率高的脉冲

激光时,如果激光的脉冲间隔比半导体膜从熔化到固化的时间短,则可以将半导体膜一直保留为熔化状态,并且可以通过固液界面的移动形成由朝向一个方向的长的晶粒构成的半导体膜。也可以使用其他 CW 激光以及重复频率为 10MHz 以上的脉冲激光。例如,作为气体激光,有 Ar 激光、Kr 激光、CO₂ 激光等。作为固体激光,有 YAG 激光、YLF 激光、YAIO₃ 激光、GdVO₄ 激光、KGW 激光、KYW 激光、变石激光、Ti :蓝宝石激光、Y₂O₃ 激光、YVO₄ 激光等。此外,也有陶瓷激光如 YAG 激光、Y₂O₃ 激光、GdVO₄ 激光、YVO₄ 激光等。作为金属蒸气激光可以举出氦镉激光等。此外,当从激光振荡器将激光束以 TEM₀₀(单横模)振荡来发射时,可以提高在被照射面上获得的线状射束点的能量均匀性,所以是优选的。另外,也可以使用脉冲振荡的受激准分子激光。

[0050] 然后,在半导体膜 201 上选择性地形成抗蚀剂 202(图 2A、2E)。然后,以抗蚀剂 202 作为掩模对半导体膜进行干蚀刻,来形成岛状半导体层 32(图 2B、2F)。注意,抗蚀剂 202 用作进行蚀刻时的掩模,可以适当地选择使用正型光致抗蚀剂或负型光致抗蚀剂等。

[0051] 作为当进行干蚀刻时的蚀刻气体,可以使用氟基气体如 CF₄、NF₃、SF₆ 或 CHF₃ 等;或者将 O₂ 气、H₂ 气、惰性气体如 He、Ar 等适当地添加于氟基气体中的混合气体等。优选使用 CF₄ 和 O₂ 的混合气体、SF₆ 和 O₂ 的混合气体、CHF₃ 和 He 的混合气体、CF₄ 和 H₂ 的混合气体。此外,作为蚀刻,不局限于干蚀刻,也可以进行湿蚀刻。在此情况下,可以通过对半导体膜 201 进行使用以 TMAH(四甲基氢氧化铵,tetramethyl ammonium hydroxide)为代表的有机碱性水溶液的湿蚀刻,来形成岛状半导体层 32。另外,当作为蚀刻液使用 TMAH 等时,因为只有半导体膜 201 被选择性地蚀刻,所以可以不损伤基底绝缘层 31 地进行蚀刻。如此,通过将形成在绝缘表面上的半导体层分开地地形成成为岛状,可以在相同的衬底上形成多个薄膜晶体管 and 外围电路的情况下,使各个元件分离。

[0052] 此外,既可以将半导体层 32 形成为其端部成为垂直形状,又可以将半导体层 32 形成为其端部成为锥形形状。通过改变蚀刻条件等,可以适当地选择半导体层 32 的端部的形状。优选将半导体层 32 的端部形成为其锥形角成为 45 度以上且低于 95 度、更优选为 60 度以上且低于 95 度,即可。通过将半导体层 32 的端部形成得近于垂直形状,可以减少寄生沟道。

[0053] 接着,去除形成在半导体层 32 上的抗蚀剂 202。

[0054] 接着,覆盖半导体层 32 地形成绝缘层 107(以下,也称为第三绝缘层 107)(图 2C、2G)。通过利用 CVD 法或溅射法且使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、SiOF、SiOC、DLC、多孔二氧化硅(porous silica)等材料,来形成第三绝缘层 107。

[0055] 以能够充分地覆盖半导体层 32 的端部的膜厚度形成第三绝缘层 107。优选在其膜厚度为形成在下层的半导体层 32 的膜厚度的 1.5 倍至 3 倍的范围内形成第三绝缘层 107。

[0056] 接着,通过对第三绝缘层 107 进行以垂直方向为主体的各向异性蚀刻而选择性地蚀刻,来形成与半导体层 32 的侧面相接的绝缘层 36(以下,也称为第四绝缘层 36)(图 2D、2H)。

[0057] 当对第三绝缘层 107 进行以垂直方向为主体的各向异性刻蚀时,从形成在半导体层 32 的一个表面上以及绝缘层 31b 上的第三绝缘层 107 逐渐被蚀刻。注意,在半导体层 32 的一个表面上以及绝缘层 31b 上形成具有大致相同的膜厚度的第三绝缘层 107。因此,通过当半导体层 32 的一个表面露出时停止蚀刻,可以只在与半导体层 32 的侧面相接的区域以

及其附近留下第三绝缘层 107。留下的第三绝缘层 107 相当于第四绝缘层 36。注意,通过将半导体层 32 的端部形成得近于垂直形状,可以容易只在与半导体层 32 的侧面相接的区域以及其附近留下第三绝缘层 107。就是说,可以容易形成第四绝缘层 36。

[0058] 对于第三绝缘层 107 的蚀刻方法没有特别限制,只要是可以进行以垂直方向为主体的各向异性刻蚀的即可。例如,可以利用反应离子刻蚀 (RIE:Reactive Ion Etching)。此外,根据等离子体的发生方法,反应离子刻蚀被分类为平行平板方式、磁控方式、双频方式 (dual-frequency type)、ECR 方式、黑里康 (helicon) 方式、ICP 方式等。作为此时使用的蚀刻气体,选择在第三绝缘层 107 和此外的层 (半导体层 32) 之间可以取得蚀刻选择比的,即可。当选择性地蚀刻绝缘膜时,例如可以使用 CHF_3 、 CF_4 、 C_4F_8 、 C_2F_6 、 NF_3 等氟基气体。此外,也可以适当地添加氦 (He)、氩 (Ar)、氙 (Xe) 等惰性气体、或者 O_2 气、 H_2 气。

[0059] 通过适当地选择用来形成薄膜的材料、蚀刻条件等,可以改变第四绝缘层 36 的形状。在本实施方式中,将第四绝缘层 36 形成为其距底面 (与绝缘层 31b 相接的面) 的垂直方向的高度与半导体层 32 大体上一致。此外,将第四绝缘层 36 的不与半导体层的侧面相接的面形成为弯曲状。具体地说,将它形成为具有任意曲率且对于相接的半导体层 32 的侧面弯曲为凸形状。当然,本发明没有特别限制,也可以将第四绝缘层 36 形成为具有角的形状,而不是弯曲状。优选的是,当将第四绝缘层 36 的角落部分形成为慢坡的形状时,可以使层叠在上层的层 (在此,绝缘层 33) 的覆盖性良好。注意,蚀刻条件除了是指蚀刻气体的种类、各种气体的流量比率之外,还是指施加到装有衬底的电极的电力量、装有衬底的电极的电极温度、反应室内的压力等。

[0060] 接着,在半导体层 32 以及第四绝缘层 36 上形成绝缘层 33 (以下,也称为第五绝缘层 33) (图 3A、3D)。通过利用 CVD 法或溅射法且使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、氮化铝等材料,来形成第五绝缘层 33。此外,通过使用这些材料中的一种或多种以单层结构或叠层结构来形成第五绝缘层 33。在其膜厚度为 1nm 至 50nm、优选为 1nm 至 20nm、更优选为 1nm 至 10nm 的范围内形成第五绝缘层 33。

[0061] 注意,绝缘层 36 的形成方法不局限于本实施方式所示的方法。也可以通过对半导体层 32 的端部进行湿式氧化或者在含有氧的气氛中进行等离子体处理来形成绝缘层 36。在此情况下,优选地,当在形成半导体层 32 上形成绝缘层 33 之后,去除覆盖半导体层 32 的端部的绝缘层 33,然后,通过对半导体层 32 的露出部分进行等离子体处理或湿式氧化来形成绝缘层 36。

[0062] 另外,当采用湿式氧化时,可以将通过使用含有臭氧的水溶液、含有过氧化氢的水溶液、含有硫酸的水溶液、含有碘酸的水溶液、或含有硝酸的水溶液对半导体层 32 的表面进行处理而在半导体层 32 的露出部分形成的氧化膜用作绝缘层 36。含有臭氧的水溶液、含有过氧化氢的水溶液、含有硫酸的水溶液、含有碘酸的水溶液、或含有硝酸的水溶液还可以含有醋酸或草酸。

[0063] 另外,作为含有氧的气氛可以举出:氧 (O_2) 和稀有气体 (含有 He、Ne、Ar、Kr、Xe 中的至少一种) 的混合气体气氛;氧、氢 (H_2) 和稀有气体的混合气体气氛;一氧化二氮和稀有气体的混合气体气氛;一氧化二氮、氢和稀有气体的混合气体气氛。例如,可以使用氧 (O_2)、氢 (H_2) 和氩 (Ar) 的混合气体。此时的气体流量是:氧为 0.1 至 100sccm、氢为 0.1 至 100sccm、氩为 100 至 5000sccm,即可。此外,优选以氧:氢:氩=1:1:100 的比率引入

混合气体。例如,引入 5sccm 的氧、5sccm 的氢、500sccm 的氩,即可。

[0064] 另外,作为含有氮的气氛可以举出:氮(N_2)和稀有气体(含有 He、Ne、Ar、Kr、Xe 中的至少一种)的混合气体气氛;氮、氢和稀有气体的混合气体气氛;氨(NH_3)和稀有气体的混合气体气氛。

[0065] 此外,在上述气体气氛中使用电子密度为 $1 \times 10^{11} \text{cm}^{-3}$ 以上且电子温度为 1.5eV 以下的等离子体来进行等离子体处理。更详细地,使用电子密度为 $1 \times 10^{11} \text{cm}^{-3}$ 以上 $1 \times 10^{13} \text{cm}^{-3}$ 以下且电子温度为 0.5eV 以上 1.5eV 以下的等离子体来进行该等离子体处理。由于等离子体的电子密度高且形成在衬底 30 上的被处理物(这里是半导体层 32)附近的电子温度低,所以可以防止被处理物因等离子体损伤。另外,由于等离子体电子密度高,为 $1 \times 10^{11} \text{cm}^{-3}$ 以上,因此采用等离子体处理使被照射物氧化或氮化来形成的氧化膜或氮化膜,与采用 CVD 法及溅射法等形成的膜相比,其膜厚度等具有优良的均匀性,并且可以形成致密的膜。另外,由于等离子体电子温度低,为 1.5eV 以下,因此与现有的等离子体处理或热氧化法相比,可以在更低的温度下进行氧化或氮化处理。例如,即使在比玻璃衬底的应变点低 100°C 以上的温度下进行等离子体处理,也可以充分地进行氧化处理。另外,作为用于形成等离子体的频率,可以使用如微波(2.45GHz)等的高频。

[0066] 然后,在栅极绝缘层 33 上形成用作栅电极的导电层 34(图 3B、3E)。在此示出了导电膜 34 被形成为单层结构的例子,但是,当然也可以将导电材料设为两层或三层以上的叠层结构。注意,虽然在此未图示,但是可以通过对被形成为覆盖栅极绝缘层 33 上的导电层选择性地蚀刻,来形成导电层 34。

[0067] 导电层 34 可以由选自钽(Ta)、钨(W)、钛(Ti)、钼(Mo)、铝(Al)、铜(Cu)、铬(Cr)、铌(Nb)等的元素、以这些元素为主要成分的合金材料或化合物材料形成。另外,还可以由以掺杂了磷等杂质元素的多晶硅为代表的半导体材料形成导电层 34。例如,当将导电层 34 形成为由第一导电膜和第二导电膜构成的叠层结构时,可以使用氮化钽形成第一导电膜,并且使用钨形成第二导电膜。注意,导电层 34 不局限于该组合,当以层叠的形式形成导电层 34 时,可以将上述材料自由组合来形成导电层 34。

[0068] 接着,以导电层 34 作为掩模,对半导体层 32 导入杂质元素 121,来在半导体层 32 中形成杂质区 32b、32c 以及不导入杂质元素 121 的沟道形成区 32a(图 3B、3E)。注意,在此因为横过岛状半导体层 32 地形成导电层 34 之后导入杂质元素,通过将杂质导入于不被导电层 34 覆盖的半导体层 32 的区域中,而形成杂质区 32b、32c,并且在被导电层 34 覆盖的半导体层 32 的区域中形成不导入杂质元素 121 的沟道形成区 32a。

[0069] 在此,作为杂质元素 121,可以使用赋予 n 型的杂质元素或赋予 p 型的杂质元素。作为显示 n 型的杂质元素,可以使用磷(P)或砷(As)等。作为显示 p 型的杂质元素,可以使用硼(B)、铝(Al)、或镓(Ga)等。例如,作为杂质元素 121,将磷(P)以 1×10^{18} 至 $1 \times 10^{21} / \text{cm}^3$ 的浓度导入于半导体层 32,而形成显示 n 型的杂质区 32b、32c 即可。注意,在沟道形成区 32a 与源区或漏区的杂质区 32b、32c 之间,也可以形成以比源区或漏区的杂质区 32b、32c 低浓度添加有杂质的低浓度杂质区(LDD 区)。通过设置低浓度杂质区,可以缓和漏极端部的电场,并且可以抑制因重复进行写入及擦除而导致的劣化。

[0070] 此外,也可以将具有与添加于杂质区 32b、32c 中的杂质相反的导电类型的杂质元素(例如,对 n 型 TFT 使用硼)添加于沟道形成区 32a 中。通过将相反导电类型的杂质添

加于沟道形成区 32a 中,可以控制 TFT 的阈值电压。注意,既可以通过栅电极进行掺杂来添加该杂质元素,又可以在形成栅电极之前预先添加杂质元素。

[0071] 随后,以覆盖导电层 34、栅极绝缘层 33 的方式形成绝缘层 203(图 3C、3F)。接着,在绝缘层 203 上选择性地形成抗蚀剂 207。

[0072] 然后,通过干蚀刻在绝缘层 203、栅极绝缘层 33 及半导体层 32 中形成接触孔(图 4A、4C)。接着,在绝缘层 203 上选择性地形成用作源电极或漏电极的导电层 204(图 4B、4D)。这里,以填充在绝缘层 203、栅极绝缘层 33 以及半导体层 32 中形成的接触孔的方式形成导电层 204。从而,导电层 204 和用作源区或漏区的杂质区 32b、32c 被设置为在形成于杂质区域 32b、32c 中的接触孔的侧面处电连接。

[0073] 在此,作为绝缘层 203,可以使用通过 CVD 法或溅射法等形成的氧化硅、氧氮化硅(SiO_xN_y)($x > y > 0$)、氮氧化硅(SiN_xO_y)($x > y > 0$)等。此外,可以由如下材料构成的单层或叠层形成:有机材料如聚酰亚胺、聚酰胺、聚乙烯基苯酚、苯并环丁烯、丙烯、环氧等;硅氧烷树脂等的硅氧烷材料;或恶唑树脂等。硅氧烷材料相当于包含 Si-O-Si 键的材料。硅氧烷的骨架结构由硅(Si)和氧(O)键构成。作为取代基,使用至少包含氢的有机基团(例如烷基或芳香烃)。氟基团也可以用作取代基。恶唑树脂例如是感光聚苯并恶唑等。感光聚苯并恶唑具有低的介电常数(在常温 1MHz 下介电常数为 2.9)、高的耐热性(在 5℃/分钟的升温下,热分解温度为 550℃,这是通过 TG-DTA:热重量检测-差热分析仪测量(Thermo Gravimetry-Differential Thermal Analysis)测定的)以及低的吸湿率(常温时 24 小时 0.3%)。与聚酰亚胺等的介电常数(约 3.2 至 3.4)相比,恶唑树脂具有较低的介电常数(约 2.9),因此,可以抑制寄生电容的产生并可以以高速工作。在此,由如下材料构成的单层或叠层形成绝缘膜 203:通过 CVD 法形成的氧化硅、氧氮化硅(SiO_xN_y)($x > y > 0$)、氮氧化硅(SiN_xO_y)($x > y > 0$)。此外,也可以由如下材料层叠而形成绝缘膜 203:有机材料如聚酰亚胺、聚酰胺、聚乙烯基苯酚、苯并环丁烯、丙烯、环氧等;硅氧烷树脂等的硅氧烷材料;或恶唑树脂等。

[0074] 导电层 204 可以使用由选自铝、钨、钛、钽、钼、镍、钹中的一种元素或者包含多种该元素的合金构成的单层或叠层结构。例如,作为由包含多种上述元素的合金构成的导电膜,可以由含有钛的铝合金、含有钹的铝合金等来形成。此外,当由叠层结构形成导电层 204 时,例如,也可以是在钛层之间夹有铝层或上述铝合金层的叠层结构。

[0075] 通过上述工序,可以制造包括薄膜晶体管 205 的半导体装置。

[0076] 在本实施方式中,不必在半导体膜的表面上停止蚀刻,因此可以容易进行当形成接触孔时的蚀刻控制。此外,由于能够在形成于半导体层中的接触孔的侧面处获得与源电极或漏电极的电连接,所以可以容易制造特性恶化少的半导体装置。

[0077] 另外,可以在半导体层的沟道形成区的端部选择性地将绝缘层形成得厚。由此,可以缓和电场集中在半导体层的沟道形成区的端部。从而,可以减少栅极的泄漏不良,且提高栅电极的耐压性。

[0078] 实施方式 2

[0079] 在本实施方式中,说明与图 1 不同的半导体装置的结构及其制造方法。

[0080] 图 5 是为了说明根据本实施方式的半导体装置的结构俯视图以及截面图。图 5A 表示薄膜晶体管的俯视图,图 5B 表示图 5A 中的虚线 A-B 之间的截面图,图 5C 表示图 5A 中

的虚线 C-D 之间的截面图。

[0081] 本实施方式所示的半导体装置包括：薄膜晶体管 205，其具有中间夹着绝缘层 31 在衬底 30 上设置为岛状的半导体层 32、形成在半导体层 32 上的栅极绝缘层 33、中间夹着栅极绝缘层 33 在半导体层 32 的上方设置的用作栅电极的导电层 34；覆盖栅极绝缘层 33 及导电层 34 地设置的绝缘层 203；以及设置在绝缘层 203 上的用作源电极或漏电极的导电层 204（图 5A 至 5C）。另外，半导体层 32 除了沟道形成区 32a 和用作源区或漏区的杂质区 32b、32c 以外，还包括绝缘层 36。该绝缘层 36 形成在半导体层 32 的端部，即这里的与导电层 34 的下方的沟道形成区 32a 连接的部分。此外，也可以将具有与添加于杂质区 32b、32c 中的杂质相反的导电类型的杂质元素添加于沟道形成区 32a 中。

[0082] 在本实施方式所示的半导体装置中，通过蚀刻绝缘层 203、半导体层 32 的杂质区 32b、32c、以及绝缘层 31b 来形成到达绝缘层 31a 的接触孔，然后，填充该接触孔地形成导电层 204。也就是说，在本实施方式中，导电层 204 和杂质区 32b、32c 在形成于杂质区 32b、32c 中的接触孔的侧面处电连接。

[0083] 接下来，使用图 6A 和 6B 来说明图 5A 的虚线 A-B 之间的截面中的制造工序，而且使用图 6C 和 6D 来说明图 5A 的虚线 C-D 之间的截面中的制造工序。

[0084] 首先，与实施方式 1 相同，在衬底 30 上形成绝缘层 31a、31b，在绝缘层 31b 上形成半导体层 32、绝缘层 36 以及栅极绝缘层 33，在栅极绝缘层 33 上形成用作栅电极的导电层 34，并且在导电层 34 上形成绝缘层 203（图 6A、6C）。在此，在绝缘层 203 上形成抗蚀剂 207。

[0085] 接着，以抗蚀剂 207 作为掩模，蚀刻绝缘层 203、栅极绝缘层 33、半导体层 32 以及绝缘层 31b，来形成到达绝缘层 31a 的接触孔（图 6B、6D）。

[0086] 接着，去除抗蚀剂 207。作为之后的工序，与实施方式 1 相同，通过填充接触孔地形成导电层 204，可以制造图 5 所示的半导体装置。

[0087] 在本实施方式中，不必在半导体膜的表面上停止蚀刻，因此可以容易进行当形成接触孔时的蚀刻控制。此外，由于能够在形成于半导体层中的接触孔的侧面处获得与源电极或漏电极的电连接，所以可以容易制造特性恶化少的半导体装置。

[0088] 另外，可以在半导体层的沟道形成区的端部选择性地将绝缘层形成得厚。由此，可以缓和电场集中在半导体层的沟道形成区的端部。从而，可以减少栅极的泄漏不良，且提高栅电极的耐压性。

[0089] 实施方式 3

[0090] 在本实施方式中，说明与图 1 或图 5 不同的半导体装置的结构及其制造方法。

[0091] 图 7 是为了说明根据本实施方式的半导体装置的结构俯视图以及截面图。图 7A 表示薄膜晶体管的俯视图，图 7B 表示图 7A 中的虚线 A-B 之间的截面图，图 7C 表示图 7A 中的虚线 C-D 之间的截面图。

[0092] 如图 7 所示，在被导电层 204 填充的接触孔的形状上，本实施方式的半导体装置与图 5 所示的结构不同。也就是说，在本实施方式所示的半导体装置中，通过蚀刻绝缘层 203、半导体层 32 的杂质区 32b、32c、绝缘层 31b 而形成的到达绝缘层 31a 的接触孔被形成为使半导体层 32 的表面的一部分（杂质区 32b、32c）露出。从而，在本实施方式中，导电层 204 和杂质区 32b、32c 在形成于杂质区 32b、32c 中的接触孔的侧面处以及杂质区 32b、32c 的表面上电连接。注意，虽然在本实施方式中，在绝缘层 31b 中也形成接触孔，但是也可以在绝

缘层 31b 中不形成接触孔,而使绝缘层 31b 的表面露出地形成该接触孔。

[0093] 接下来,使用图 8A 至 8C、图 9A 和 9B 来说明图 7A 的虚线 A-B 之间的截面中的制造工序,而且使用图 8D 至 8F、图 9C 和 9D 来说明图 7A 的虚线 C-D 之间的截面中的制造工序。

[0094] 首先,与实施方式 1 相同,在衬底 30 上形成绝缘层 31a、31b,在绝缘层 31b 上形成半导体层 32、绝缘层 36 以及栅极绝缘层 33,在栅极绝缘层 33 上形成用作栅电极的导电层 34,并且在导电层 34 上形成绝缘层 203(图 8A、8D)。在此,在绝缘层 203 上形成抗蚀剂 207。

[0095] 接着,以抗蚀剂 207 作为掩模,对绝缘层 203、栅极绝缘层 33 进行干蚀刻来形成到达半导体层 32 的接触孔(图 8B、8E)。

[0096] 接着,以抗蚀剂 207 作为掩模,对绝缘层 203、栅极绝缘层 33 进行湿蚀刻来使绝缘层 203 及栅极绝缘层 33 向外缩小。

[0097] 然后,以抗蚀剂 207 作为掩模,对半导体层 32 及绝缘层 31b 进行干蚀刻,来形成到达绝缘层 31a 的接触孔。由此,可以形成使杂质区 32b、32c 的侧面以及杂质区 32b、32c 的表面的一部分露出的接触孔。

[0098] 作为之后的工序,与实施方式 1 或实施方式 2 相同,通过填充接触孔地形成导电层 204,可以制造图 7 所示的半导体装置。

[0099] 接下来,参考图 10 说明与图 8 和图 9 所示的方法不同的制造方法。使用图 10A 至 10C 来说明图 7A 的虚线 A-B 之间的截面中的制造工序,而且使用图 10D 至 10F 来说明图 7A 的虚线 C-D 之间的截面中的制造工序。

[0100] 首先,与图 8B 和 8E 相同,在衬底 30 上形成绝缘层 31a、31b,在绝缘层 31b 上形成半导体层 32、绝缘层 36 以及栅极绝缘层 33,在栅极绝缘层 33 上形成用作栅电极的导电层 34,在导电层 34 上形成绝缘层 203,并且,以形成在绝缘层 203 上的抗蚀剂 207 作为掩模,对绝缘层 203 及栅极绝缘层 33 进行干蚀刻来形成接触孔(图 10A、10D)。

[0101] 接着,对抗蚀剂 207 进行干蚀刻来使该抗蚀剂 207 向外缩小(图 10B、10E)。然后,以抗蚀剂 207 作为掩模,对绝缘层 203、栅极绝缘层 33、半导体层 32、绝缘层 31b 进行干蚀刻,来形成使绝缘层 31a 露出的接触孔(图 10C、10F)。由此,可以形成使杂质区 32b、32c 的侧面以及杂质区 32b、32c 的表面的一部分露出的接触孔。

[0102] 作为之后的工序,与实施方式 1 相同,通过填充接触孔地形成导电层 204,可以制造图 7 所示的半导体装置。

[0103] 在本实施方式中,不必在半导体膜的表面上停止蚀刻,因此可以容易进行当形成接触孔时的蚀刻控制。此外,由于绝缘层 203 和半导体层 32 形成台阶形状,所以可以提高接触孔的侧面处的导电层 204 的覆盖性,且防止导电层 204 的膜厚度的不均匀以及导电层 204 的布线断裂,而且可以抑制接触电阻的不均匀。此外,由于能够在形成于半导体层中的接触孔的侧面处获得与源电极或漏电极的电连接,所以可以容易制造特性恶化少的半导体装置。

[0104] 另外,可以在半导体层的沟道形成区的端部选择性地将绝缘层形成得厚。由此,可以缓和电场集中在半导体层的沟道形成区的端部。从而,可以减少栅极的泄漏不良,且提高栅电极的耐压性。

[0105] 实施方式 4

[0106] 根据本发明的半导体装置可以采用各种各样的形状,而不局限于实施方式 1 至 3

所示的结构。在本实施方式中,对部分地将半导体层变为硅化物的薄膜晶体管的结构以及其制造方法进行说明。图 11 表示本实施方式的半导体装置的结构。图 11A 表示俯视图,图 11B 表示图 11A 中的虚线 A-B 之间的截面图,图 11C 表示图 11A 中的虚线 C-D 之间的截面图。

[0107] 如图 11 所示,本实施方式的半导体装置除了图 1 所示的结构以外,在半导体层 32 的表面的一部分中还形成有硅化物区 1102。另外,用作栅电极的导电层 34 由第一导电层 34a 和第二导电层 34b 的叠层结构形成,并且在导电层 34 的侧壁上形成有绝缘层(也称为侧壁绝缘层)1101。而且,在用作源区或漏区的杂质区(也称为高浓度杂质区)32b、32c 与沟道形成区 32a 之间形成有以比杂质区 32b、32c 低浓度添加有杂质的区域(也称为低浓度杂质区)32d、32e。

[0108] 接下来,对图 11 所示的半导体装置的制造方法进行说明。

[0109] 首先,与实施方式 1 相同,在衬底 30 上形成绝缘层 31a、31b,在绝缘层 31b 上形成半导体层 32、绝缘层 36 以及栅极绝缘层 33,在栅极绝缘层 33 上形成用作栅电极的第一导电层 34a、第二导电层 34b(图 12A)。然后,在以导电层 34b 为掩模添加第一浓度的赋予一种导电类型的杂质元素之后,进行以导电层 34a 及导电层 34b 为掩模的第二浓度的杂质元素的添加,以自对准的方式形成一对高浓度杂质区 32b、32c、一对低浓度杂质区 32d、32e、以及沟道形成区 32a。这里,作为第一浓度的杂质元素及第二浓度的杂质元素,可以添加相同导电类型的杂质元素,例如作为赋予 p 型的杂质元素的硼(B)、铝(Al)、镓(Ga);作为赋予 n 型的杂质元素的磷(P)、砷(As)等。

[0110] 另外,还可以对沟道形成区 32a 添加用于控制晶体管的阈值电压的赋予一种导电类型的杂质元素。可以在形成导电层 34 之前进行对于沟道形成区 32a 的杂质元素的添加。另外,也可以在添加赋予一种导电类型的杂质元素之后进行热处理来将添加了的杂质元素激活。可以通过激光束的照射、使用 RTA 或退火炉而进行热处理,并且在 400℃至 700℃,优选在 500℃至 650℃的温度范围进行即可。另外,优选在氮气气氛中进行热处理。

[0111] 接着,形成与导电层 34a 及导电层 34b 的侧面相接的侧壁绝缘层 1101(参照图 12B)。

[0112] 通过在导电层 34a 及导电层 34b 上形成绝缘层,并且通过以垂直方向为主体的各向异性刻蚀选择性地蚀刻该绝缘层,来可以形成侧壁绝缘层 1101。例如,可以通过 CVD 法或溅射法并使用氧化硅、氮化硅、氧氮化硅、氮氧化硅等的无机材料;或有机树脂等的有机材料以单层结构或叠层结构形成绝缘层,并且选择性地蚀刻该绝缘层来形成侧壁绝缘层 1101。将侧壁绝缘层 1101 用于在之后形成硅化物区时的硅化物用掩模。另外,这里将侧壁绝缘层 1101 的未与导电层 34a、34b 的侧面接触的表面形成为弯曲状。另外,以完全覆盖形成栅电极的导电层 34a 及导电层 34b 的侧面的方式形成侧壁绝缘层 1101。

[0113] 另外,通过当形成侧壁绝缘层 1101 时的蚀刻还蚀刻下层的绝缘层 33,而选择性地露出半导体层 32 的一部分。具体而言,露出与侧壁绝缘层 1101 未重叠的区域的高浓度杂质区 32b、32c。另外,取决于蚀刻条件,有时高浓度杂质区域 32b、32c 的上层也被蚀刻而减少厚度(被称为膜厚度的减薄)。

[0114] 接着,在露出了的半导体层 32 的表面上形成金属层 1103(图 12C)。

[0115] 只要至少在露出了的半导体层 32 上形成金属层 1103,即可。换句话说,将金属层

1103 形成在与侧壁绝缘层 1101 未重叠的区域的半导体层 32 上。在本实施方式中,不仅覆盖半导体层 32 的露出表面,而且覆盖侧壁绝缘层 1101 和导电层 34 地形成金属层 1103。使用与半导体层反应而形成硅化物的材料来形成金属层 1103。例如,可以使用镍 (Ni)、钛 (Ti)、钴 (Co) 或铂 (Pt) 等的金属元素;或者包含该金属元素的合金材料。使用这些材料通过溅射法、蒸镀法、电镀法等形成金属层 1103。必须根据要形成的硅化物区的厚度而适当地选择金属层 1103 的厚度。在本实施方式中,作为金属层 1103 形成 10nm 厚的镍层。另外,在当形成金属层 1103 时,在露出了的半导体层 32 上形成有自然氧化膜的情况下,先去除自然氧化膜然后形成金属层 1103。

[0116] 接着,在半导体层 32 的一部分形成硅化物区 1102 (图 12D)。

[0117] 硅化物区 1102 是通过进行热处理,使半导体层 32 及金属层 1103 相接触的区域反应而形成的。另外,硅化物区 1102 是使与金属层 1103 相接的区域的半导体层 32 的一部分变为硅化物而形成的。此时,形成在半导体层 32 中的高浓度杂质区 32b、32c 由于在其一部分变为硅化物,所以其区域减少。另外,也可以说,在高浓度杂质区的一部分中形成硅化物区。例如,在形成镍层作为金属层 1103 的情况下,作为硅化物区 1102 形成镍硅化物。同样地,在形成钛层、钴层或铂层作为金属层 1103 的情况下,作为硅化物区 1102 分别形成钛硅化物、钴硅化物、铂硅化物。

[0118] 可以通过使用 RTA 或退火炉来进行热处理。具体而言,热处理在 300℃至 700℃的温度下进行 10 秒至 1 小时,优选进行 20 秒至 30 分钟。在本实施方式中,通过在 550℃下进行 30 秒的热处理来形成由镍硅化物构成的硅化物区 1102。

[0119] 在图 12D 中,将硅化物区 1102 形成为其厚度小于半导体层 32 中的形成有沟道形成区 32a 的区域的厚度。也就是说,在与侧壁绝缘层 1101 未重叠的区域的半导体层 32 中,在该区域的半导体层 32 的与绝缘层 31b 相接的一侧形成高浓度杂质区 32b、32c,并且与该高浓度杂质区 32b、32c 的上层相接而形成硅化物区 1102。

[0120] 另外,可以通过适当地控制所反应的金属层 1103 的厚度、热处理的温度、热处理的时间等来选择硅化物区域 1102 的形状和厚度等。例如,如图 13B 所示,也可以在与侧壁绝缘层 1101 未重叠的区域的半导体层 32 中,在该区域的半导体层 32 的一部分或整体形成从上面到下面的整体形成硅化物的硅化物区 1102。这里,“上面”是指在半导体层 32 中形成有用来形成硅化物的金属层的表面一侧,而“下面”是指与绝缘层 31b 相接的表面一侧。另外,当将从上面到下面的整体半导体层变为硅化物时,在侧壁绝缘层 1101 下形成高浓度杂质区。注意,本发明没有特别的限制,还可以在侧壁绝缘层 1101 下的半导体层 32 (但是,沟道形成区 32a 除外) 中也形成有硅化物区的一部分。

[0121] 另外,当使半导体层 32 和金属层 1103 反应之后未反应的金属层留下时,去除该未反应的金属层。这里虽然未图示,但是去除在绝缘层 36、侧壁绝缘层 1101、导电层 34b 及绝缘层 31b 上形成的金属层 1103。另外,当未反应的金属层残留在被形成的硅化物区 1102 上时,还去除该残留的金属层。可以通过湿蚀刻或干蚀刻来进行未反应的金属层的去除。此时,作为蚀刻气体或蚀刻溶液,使用能够充分地获得未反应的金属层和其他层 (例如,绝缘层 36、侧壁绝缘层 1101、导电层 34b、绝缘层 31b、以及硅化物区 1102) 之间的蚀刻选择比的气体或溶液。换句话说,使用相对于金属层的蚀刻速率高且相对于其他层的蚀刻速率低的蚀刻气体或蚀刻溶液即可。例如,在使用镍形成金属层 1103 的情况下,可以通过使用盐酸

(HCl)、硝酸 (HNO₃)、以及纯水 (H₂O) 的混合溶液的湿蚀刻来进行去除。例如,可以将溶液的混合比设定为 HCl : HNO₃ : H₂O = 3 : 2 : 1。

[0122] 另外,在实施方式中,由于与半导体层 32 端部的侧面相接地形成绝缘层 36,所以可以防止半导体层 32 的侧面当蚀刻去除未反应的金属层时被蚀刻。

[0123] 另外,当形成硅化物区时,需要不使该硅化物区及形成栅电极的导电层相接。这是因为如下缘故:若硅化物区及栅电极相接,则栅电极与源区或漏区短路而不能实现开关特性(接通关断比),因而作为半导体装置不能工作。因此,在本实施方式中,将形成栅电极的导电层 34a、34b 的宽度设定为小于用作栅极绝缘层的绝缘层 33 的宽度,并且将侧壁绝缘层 1101 的端部与绝缘层 33 的端部大致一致。

[0124] 接着,以覆盖设置在衬底 30 上的绝缘层和导电层等的方式形成绝缘层 203(图 13A)。

[0125] 作为之后的工序,与实施方式 1 相同,通过在绝缘层 203 及半导体层 32 中形成到达绝缘层 31b 的接触孔,并且填充该接触孔地形成导电层 204,可以制造图 11 或图 13A 所示的半导体装置。

[0126] 本实施方式的半导体装置的形状不局限于图 11 至图 13 所示的形状,也可以采用图 14 和图 15 所示的形状。

[0127] 在被导电层 204 填充的接触孔的形状上,图 14A 所示的半导体装置与图 13A 所示的结构不同。也就是说,在图 14A 所示的半导体装置中,以蚀刻绝缘层 203、半导体层 32 的杂质区 32b、32c 以及绝缘层 31b 而到达绝缘层 31a 的方式形成被导电层 204 填充的接触孔。从而,在本实施方式中,导电层 204 和杂质区 32b、32c 在形成于杂质区 32b、32c 中的接触孔的侧面处电连接。图 14A 所示的接触孔可以利用与实施方式 3 相同的步骤而形成。另外,不局限于图 14A 所示的结构,还可以如图 14B 所示那样,在半导体层 32 的一部分或整体中形成将从上面到下面整体变为硅化物的硅化物区 1102。

[0128] 另外,在被导电层 204 填充的接触孔的形状上,图 15A 所示的半导体装置与图 13A 所示的结构不同。也就是说,在本实施方式所示的半导体装置中,通过蚀刻绝缘层 203、半导体层 32 的杂质区 32b、32c、绝缘层 31b 而形成的到达绝缘层 31a 的接触孔被形成为使半导体层 32 的表面的一部分(杂质区 32b、32c)露出。从而,在本实施方式中,导电层 204 和杂质区 32b、32c 在形成于杂质区 32b、32c 中的接触孔的侧面处以及杂质区 32b、32c 的表面上电连接。注意,虽然在本实施方式中,在绝缘层 31b 中也形成接触孔,但是也可以在绝缘层 31b 中不形成接触孔,而使绝缘层 31b 的表面露出地形成该接触孔。图 15A 所示的接触孔可以利用与实施方式 3 相同的步骤而形成。另外,不局限于图 15A 所示的结构,还可以如图 15B 所示那样,在半导体层 32 的一部分或整体中形成将从上面到下面整体变为硅化物的硅化物区 1102。

[0129] 在本实施方式中,不必在半导体膜的表面上停止蚀刻,因此可以容易进行当形成接触孔时的蚀刻控制。此外,由于能够在形成于半导体层中的接触孔的侧面处获得与源电极或漏电极的电连接,所以可以容易制造特性恶化少的半导体装置。

[0130] 实施方式 5

[0131] 实施方式 1 至 4 所说明的半导体装置可以在单晶硅衬底形成由氧化硅构成的氧化膜,并且使用形成在氧化膜上的单晶半导体膜作为激活层。在本实施方式中,对使用被称为

SIMOX 的 SOI 技术的半导体装置进行说明。

[0132] 首先,准备用作单晶硅层的形成材料的单晶硅衬底 601(图 16A)。虽然这里描述了使用 P 型单晶硅衬底的情况,但是也可以使用 N 型单晶硅衬底。当然,也可以使用单晶硅锗衬底。

[0133] 接着,对单晶硅衬底 601 添加氧离子来在预定深度处形成含氧的层 602(图 16B)。例如,可以以大约 1×10^{18} 个原子/cm² 的剂量添加氧离子。另外,含氧的层 602 的形成深度(单晶硅衬底 601 的主表面和含氧的层 602 之间的距离)成为作为之后形成的 TFT 的激活层发挥作用的单晶硅层的膜厚度。

[0134] 接着,在 800℃至 1200℃的温度下进行热处理,将含氧的层 602 变化为埋入绝缘层 603。含氧的层 602 的深度方向的宽度取决于离子添加时的氧离子的分布。由于氧离子的浓度从单晶硅衬底 601 向含氧的层 602 的方向降低,所以单晶硅衬底 601 和埋入绝缘层 603 之间的界面不明显。然而,通过上述热处理的工序,单晶硅衬底 601 和埋入绝缘层 603 之间的界面变得非常明显(图 16B、16C)。

[0135] 该埋入绝缘层 603 的膜厚度为 10nm 至 500nm(典型为 20nm 至 50nm)。在本实施方式中,单晶硅衬底 601 和埋入绝缘层 603 的界面稳定地结合,因此,可以形成 20nm 至 50nm 的薄的埋入绝缘层。

[0136] 如此,通过形成埋入绝缘层 603,单晶硅衬底的一部分残留在埋入绝缘层 603 上,从而形成单晶硅层 604。另外,控制含氧的层 602 的形成深度,以便使单晶硅层 604 的厚度为 10nm 至 200nm(优选为 10nm 至 50nm,更优选为 10nm 至 30nm),即可。

[0137] 然后,通过在单晶硅层 604 上选择性地形成抗蚀剂,且选择性地蚀刻单晶硅层 604,来形成用作之后形成的 TFT 中的激活层的岛状单晶硅层 605。注意,虽然在本实施方式中,只示出一个岛状单晶硅层,但是也可以在相同的衬底上形成多个岛状单晶硅层(图 16D)。

[0138] 通过与实施方式 1 至实施方式 4 同样地进行之后的工序,可以制造根据本发明的半导体装置。

[0139] 根据本实施方式的半导体装置不必在半导体膜的表面上停止蚀刻,因此可以容易进行当形成接触孔时的蚀刻控制。此外,由于能够在形成于半导体层中的接触孔的侧面处获得与源电极或漏电极的电连接,所以可以容易制造特性恶化少的半导体装置。此外,根据本实施方式的半导体装置使用单晶半导体层作为激活层,因此可以进一步提高装置的特性。

[0140] 实施方式 6

[0141] 在本实施方式中,对在单晶硅衬底上形成由氧化硅构成的氧化膜,并且使用形成在氧化膜上的单晶半导体膜作为激活层的半导体装置进行说明。在本实施方式中,对使用通过 Smart-Cut 法形成的 SOI 衬底的半导体装置进行说明。

[0142] 首先,准备用作单晶硅层的形成材料的单晶硅衬底 801。虽然这里描述了使用 P 型单晶硅衬底的情况,但是也可以使用 N 型单晶硅衬底。当然,也可以使用单晶硅锗衬底。

[0143] 接着,进行热氧化处理来在其主表面(相当于元件形成表面)形成氧化硅膜 802。实施者可以适当地决定氧化硅膜 802 的膜厚度,例如设定为 10nm 至 500nm(典型为 20nm 至 50nm),即可。该氧化硅膜 802 后面被用作 SOI 衬底的埋入绝缘层的一部分(图 17A)。

[0144] 然后,从单晶硅衬底 801 的主表面一侧经过氧化硅膜 802 添加氢离子来形成含氢的层 803(图 17B)。另外,含氢的层 803 的形成深度(单晶硅衬底 801 的主表面和含氢的层 803 之间的距离)成为之后作为 TFT 的激活层发挥作用的单晶硅层的膜厚度。例如,可以通过使用离子注入法以 1×10^{16} 个原子/cm² 至 1×10^{17} 个原子/cm² 的剂量添加氢离子,以便使 50nm 厚的单晶硅层残留在单晶硅衬底 801 的主表面和含氢的层 803 之间。

[0145] 然后,将单晶硅衬底 801 和支撑衬底贴在一起。在本实施方式中,使用单晶硅衬底 804 作为支撑衬底,并在其表面上设置贴合用氧化硅膜 805(图 17C)。另外,可以使用通过 FZ 法形成的硅衬底、多晶硅衬底等而代替单晶硅衬底 804。另外,也可以使用高耐热性衬底如石英衬底、陶瓷衬底、晶体玻璃衬底等。

[0146] 在此,因为贴合界面由亲水性高的氧化硅膜构成,所以由于双方的膜的表面所包含的水分的反应而贴在一起。

[0147] 接着,进行 400℃至 600℃(例如 500℃)的热处理(第一热处理)。通过该热处理,在含氢的层 803 中产生微小空孔的体积变化,沿含氢的层 803 发生破断面。由此,单晶硅衬底 801 被切割,且在支撑衬底上留下氧化硅膜 802 及单晶硅层 806(图 17D)。

[0148] 接着,作为第二热处理工序,在 1050℃至 1150℃(例如 1100℃)的温度范围内进行炉内退火工序。在该工序中,在贴合界面上发生 Si-O-Si 键的应力缓和,从而实现贴合界面的稳定化。也就是说,该工序是为了使单晶硅层 806 完全贴付在支撑衬底上而进行的。如此,通过使贴合界面稳定化来形成埋入绝缘层 807(图 17E)。注意,在本实施方式中,形成含氢的层 803 且沿该含氢的层 803 造成破断面来形成薄膜单晶硅层 806,但是不局限于此,也可以通过研磨单晶硅衬底 801 而不形成含氢的层 803,来形成薄膜单晶硅层 806。

[0149] 然后,也可以进行使单晶硅层 806 的表面平整化的处理。作为平整化处理,进行被称为 CMP(chemical mechanical polishing:化学机械研磨)的研磨工序或在还原气氛中进行高温(大约 900℃至 1200℃)的炉内退火处理,即可。

[0150] 最后的单晶硅层 806 的厚度为 10nm 至 200nm(优选为 10nm 至 50nm,更优选为 10nm 至 30nm),即可。

[0151] 接着,在单晶硅层 806 上选择性地形成抗蚀剂,选择性地蚀刻单晶硅层 806,来形成用作之后形成的 TFT 的激活层的岛状单晶硅层 808。注意,虽然在本实施方式中,只示出一个岛状单晶硅层,但是也可以在相同的衬底上形成多个岛状单晶硅层(图 17F)。

[0152] 通过与实施方式 1 至实施方式 4 同样地进行之后的工序,可以制造根据本发明的半导体装置。

[0153] 根据本实施方式的半导体装置不必在半导体膜的表面上停止蚀刻,因此可以容易进行当形成接触孔时的蚀刻控制。此外,由于能够在形成于半导体层中的接触孔的侧面处获得与源电极或漏电极的电连接,所以可以容易制造特性恶化少的半导体装置。此外,根据本实施方式的半导体装置使用单晶半导体层作为激活层,因此可以进一步提高装置的特性。

[0154] 实施方式 7

[0155] 在本实施方式中,对于具有实施方式 1 所示的半导体装置以及场致发光元件(以下也称为“EL 元件”)的显示装置(EL 显示装置)的制造方法进行说明。注意,可适用于本实施方式的半导体装置不局限于实施方式 1 所示的,也可以使用实施方式 2 至 6 所示的半

导体装置。

[0156] 在本实施方式中,通过使用具有透光性的膜形成第一电极 110,以使其具有从第一电极 110 一侧获取来自场致发光元件的光的结构。在本实施方式中,含有氧化硅的氧化铟锡 (1TSO) 被用作第一电极 110。

[0157] 首先,如图 18 所示,与实施方式 1 同样地形成 TFT1701 至 1703、覆盖 TFT1701 至 1703 的绝缘层 1710、与 TFT1701 至 1703 的源区或漏区电连接的布线 1704 至 1709。然后,覆盖布线 1704 至 1709 地形成绝缘层 109,在绝缘层 109 上形成与布线 1709 电连接的第一电极 110。然后,覆盖第一电极 110 的端部及绝缘层 109 地形成绝缘膜 111(也被称为堤岸、隔壁、阻挡层、堤坝等)。

[0158] 作为绝缘膜 111,可以使用氧化硅、氮化硅、氧氮化硅、氧化铝、氮化铝、氧氮化铝或其它无机绝缘材料;丙烯、甲基丙烯酸或其衍生物;诸如聚酰亚胺、芳香族聚酰胺或聚苯并咪唑 (polybenzimidazole) 等耐热性高分子材料;在由硅、氧、氢组成的化合物中含有 Si-O-Si 键的无机硅氧烷;或其中结合于硅的氢被诸如甲基或苯基等有机基团代替的有机硅氧烷系的绝缘材料。也可以使用丙烯或聚酰亚胺等光敏或非光敏材料。在本实施方式中,通过使用光敏聚酰亚胺形成绝缘膜 111,以在平坦区内具有 $1.5\mu\text{m}$ 的厚度。

[0159] 另外,绝缘膜 111 优选具有曲率半径连续改变的形状,以提高绝缘膜 111 上形成的场致发光层 112(包含有机化合物的层)以及第二电极 113 的覆盖率。

[0160] 另外,为了进一步提高可靠性,优选在形成场致发光层 112 之前,通过使用高密度等离子体设备对第一电极 110 和绝缘膜 111 进行氮化处理或氧化处理。通过使用高密度等离子体设备而使第一电极 110 氮化或氧化,可以减少对电极进行表面改性时造成的等离子体损伤,并且可以获得缺陷较少的表面。因此,本实施方式中的发光元件可以提供清晰度高和不平整性少的显示。此外,使绝缘膜 111 氮化时,绝缘膜 111 的表面被改性,并能够防止水分被吸入绝缘膜中。此外,使绝缘膜 111 氧化时,膜变得更坚固,而有机气体的释放得以抑制。在本实施方式中,可以通过使用高密度等离子体设备进行等离子体损伤小的处理。在此,通过考虑绝缘膜的材料以及效果,适当地选择对绝缘膜 111 表面进行氧化处理还是氮化处理,即可。

[0161] 然后,在第一电极 110 上形成场致发光层 112。尽管图 18 仅示出一个像素,但在本实施方式中,单独地形成与红 (R)、绿 (G)、蓝 (B) 的每个颜色对应的场致发光层。在本实施方式中,可以通过使用蒸镀掩模的蒸镀法选择性地形成呈现出红 (R)、绿 (G)、蓝 (B) 发光的材料中的每一种,作为场致发光层 112。可以通过使用蒸镀掩模的蒸镀法选择性地形成的方法或液滴喷射法来形成这些呈现红 (R)、绿 (G) 和蓝 (B) 发光的材料。在采用液滴喷射法的情况下,存在不使用掩模而单独涂敷 R、G、B 材料的优点。在本实施方式中,呈现出红 (R)、绿 (G)、蓝 (B) 发光的材料各自通过蒸镀法形成。

[0162] 另外,在蒸镀 EL 之前,优选通过在主要成分为惰性气体、氧浓度为 5% 以下、水浓度为 1% 以下的气氛中的热处理而去除水气等。在本实施方式中,在 300°C 进行 1 小时的热处理。

[0163] 接着,在场致发光层 112 上形成由导电膜构成的第二电极 113。作为第二电极 113,可以使用功函数小的材料 (Al、Ag、Li、Ca 或它们的合金如 MgAg、MgIn、AlLi、 CaF_2 或 CaN)。如此,形成由第一电极 110、场致发光层 112 和第二电极 113 构成的发光元件。

[0164] 在图 18 所示的显示装置中,从发光元件发射的光透过在衬底 101 和第一电极 110 之间形成的膜,并沿箭头指示的方向从第一电极 110 一侧射出。

[0165] 另外,覆盖第二电极 113 地形成钝化膜是有效的。作为钝化膜,可以使用包含氮化硅、氧化硅、氧氮化硅 (SiON)、氮氧化硅 (SiNO)、氮化铝 (AlN)、氧氮化铝 (AlON)、氮含量高于氧含量的氮氧化铝 (AlNO)、氧化铝、金刚石类碳 (DLC) 或含氮碳膜 (CN) 的绝缘膜,并且可以具有该绝缘膜的单层结构或结合该绝缘层的叠层结构。此外,也可以使用其骨架结构由硅 (S) 和氧 (O) 的键构成的硅氧烷。在硅氧烷中,使用至少包含氢的有机基 (例如,烷基、芳香烃) 作为取代基。另外,作为取代基,也可以使用氟基、或者至少包含氢的有机基和氟基。

[0166] 在这种情况下,优选将具有良好覆盖率的膜用作钝化膜,使用碳膜,尤其是 DLC 膜是有效的。由于 DLC 膜可以从室温到 100°C 以下的温度范围内形成,因此可以在具有低耐热性的场致发光层 112 的上方也形成 DLC 膜。此外,DLC 膜对氧具有高阻挡性,因此可以抑制场致发光层 112 被氧化。因此,在后续的密封工序中,场致发光层 112 被氧化的问题得以防止。

[0167] 接着,将形成有发光元件的衬底 101 和密封衬底通过密封材料粘合,来密封发光元件。由于通过密封材料防止水气从截面方向进入,可以防止发光元件的劣化并提高显示装置的可靠性。此外,由密封材料包围的区域可以由填料填充,并可以通过在氮气气氛中密封而由氮气等来填充。此外,可以将填料以液体状态滴入并填充在显示装置中。由于本实施方式采用底部发光型,不一定要使用具有透光性的填料。然而,在通过填料获取光的结构的情况下,需要通过使用具有透光性的材料形成填料。作为填料的一个例子,可以举出可见光固化、紫外线固化或热固化环氧树脂。通过上述步骤,可以形成具有发光元件的显示装置。

[0168] 优选的是,在 EL 显示面板中提供干燥剂以防止由于水分造成的元件劣化。在本实施方式中,在密封衬底上形成以包围像素区的凹陷部分中提供干燥剂,使其不会妨碍薄型化。此外,通过也在与栅极布线层对应的区域中提供干燥剂,吸水区域可以更大,并提高吸水效果。此外,由于干燥剂是在不直接发光的栅极布线层上形成的,因此不会降低光获取效率。

[0169] 另外,密封发光元件的处理是指保护发光元件免受潮的处理,并且可以使用通过用覆盖材料机械地密封发光元件的方法、用热固化树脂或紫外线固化树脂密封发光元件的方法、以及通过用具有高阻挡性的薄膜如金属氧化物或金属氮化物来密封发光元件的方法中的任一种。作为密封衬底或覆盖材料,可以使用玻璃、陶瓷、塑料或金属,然而,在光向覆盖材料一侧发射的情况下,需要使用具有透光性的材料。此外,覆盖材料和形成有上述发光元件的衬底使用诸如热固化树脂或紫外线固化树脂等密封材料彼此粘合,并通过使用热处理或紫外线照射处理固化树脂来形成密封空间。在该密封空间中提供吸湿材料 (典型的是氧化钡) 也是有效的。该吸湿材料既可以接触提供在密封材料上,又可以设置在隔离壁上或隔离壁的外围以便不屏蔽来自发光元件的光。此外,覆盖材料和形成有发光元件的衬底之间的空间可以用热固化树脂或紫外线固化树脂来填充。在这种情况下,在热固化树脂或紫外线固化树脂中添加典型地为氧化钡的吸湿材料是有效的。

[0170] 由于本实施方式所示的 TFT1701 至 1703 通过实施方式 1 至 6 中的任何方法来制造,并不必在半导体膜的表面上停止蚀刻,因此可以容易进行形成接触孔时的蚀刻控制。此

外,由于能够在形成于半导体层中的接触孔的侧面处获得与源电极或漏电极的电连接,所以可以容易制造特性恶化少的半导体装置。从而,可以容易制造特性良好的 EL 显示装置。

[0171] 实施方式 8

[0172] 在本实施方式中,对通过使用实施方式 1 中制造的半导体装置来制造透过型液晶显示装置的方法进行说明。显然,也可使用实施方式 2 至 6 中制造的半导体装置。

[0173] 首先,与实施方式 1 同样地形成 TFT1701 至 1703、覆盖 TFT1701 至 1703 的绝缘层 1710、与 TFT1701 至 1703 的源区或漏区电连接的布线 1704 至 1709 (图 19)。然后,覆盖布线 1704 至 1709 地形成绝缘层 109,在绝缘层 109 上形成与布线 1709 电连接的第一电极 110。在本实施方式中,使用含有氧化硅的氧化铟锡 (ITSO) 作为第一电极 110 的材料。然后,如图 19 所示,在绝缘层 109 和第一电极 110 上形成定向膜 1801。在本实施方式中,使用聚酰亚胺作为定向膜 1801。随后,制备相对衬底 1802。相对衬底 1802 包括玻璃衬底 1803、由透明导电膜形成的相对电极 1804 以及定向膜 1805。

[0174] 然后,通过上述工序获得的 TFT 衬底 1806 和相对衬底 1802 通过密封材料彼此粘合。这里,可以在定向膜 1801 和定向膜 1805 之间提供隔离物以保持两衬底之间的固定空间。此后,将液晶 1807 注入两个衬底之间,且通过用密封剂密封来完成如图 19 所示的透过型液晶显示装置。

[0175] 尽管本实施方式中描述的是透射型液晶显示装置,但本发明的液晶显示装置不局限于这种类型。通过将具有反射性的电极用作第一电极 110,或通过将反射膜设置在第一电极 110 的上表面或底表面,本发明还可以被应用于反射型液晶显示装置。另外,也可以将本发明应用于半透射型液晶显示装置。

[0176] 由于本实施方式所示的 TFT1701 至 1703 通过实施方式 1 至 6 中的任何方法来制造,并不必在半导体膜的表面上停止蚀刻,因此可以容易进行当形成接触孔时的蚀刻控制。此外,由于能够在形成于半导体层中的接触孔的侧面处获得与源电极或漏电极的电连接,所以可以容易制造特性恶化少的半导体装置。从而,可以容易制造特性良好的液晶显示装置。

[0177] 实施方式 9

[0178] 在本实施方式中,将参照附图说明包括实施方式 1 至 6 所说明的薄膜晶体管、存储元件以及天线的本发明的半导体装置的制造方法。

[0179] 图 20 表示本实施方式所示的半导体装置。注意,图 20A 表示本实施方式所示的半导体装置的上表面结构的一个例子,图 20B 表示图 20A 的截面结构的一部分。

[0180] 在本实施方式中,半导体装置 1200 包括集成电路部 1201、存储部 1202、天线 1203 (图 20A)。另外,在图 20B 中,区域 1204 对应于图 20A 的集成电路部 1201 的截面结构的一部分,区域 1205 对应于图 20A 的存储部 1202 的截面结构的一部分,并且,区域 1206 对应于图 20A 的天线 1203 的截面结构的一部分。

[0181] 如图 20B 所示,本实施方式的半导体装置包括:中间夹着绝缘层 703 设置在第一基体 775 上的薄膜晶体管 (TFT) 744 至 748;设置在薄膜晶体管 744 至 748 上的绝缘膜 750;设置在该绝缘膜 750 上的用作源电极或漏电极的导电膜 752 至 761。此外,本实施方式的半导体装置还包括:设置在绝缘膜 750 及导电膜 752 至 761 上的绝缘膜 762;设置在绝缘膜 762 上的导电膜 763 至 765;覆盖绝缘膜 762 及导电膜 763 和 764 的一部分地设置的绝缘膜

766 ;设置在绝缘膜 766 上的存储元件部 789、790 ;设置在导电膜 765 上的用作天线的导电层 786 ;覆盖绝缘膜 766、导电膜 771 及用作天线的导电层 786 地设置的绝缘膜 772 ;设置在绝缘膜 772 上的第二基体 776。另外,半导体装置的集成电路部 1201、存储部 1202 和天线部 1203 被第一基体 775 和第二基体 776 密封。

[0182] 由于本实施方式所示的薄膜晶体管 744 至 748 通过实施方式 1 至 6 中的任何方法来制造,并不必在半导体膜的表面上停止蚀刻,因此可以容易进行当形成接触孔时的蚀刻控制。此外,由于能够在形成于半导体层中的接触孔的侧面处获得与源电极或漏电极的电连接,所以可以容易制造特性恶化少的半导体装置。从而,可以容易制造具有良好的特性且能够进行无线通信的半导体装置。

[0183] 本申请基于 2007 年 3 月 26 日日本专利局受理的日本专利申请 No. 2007-078067,其全部申请内容在此引作参考。

图 1A

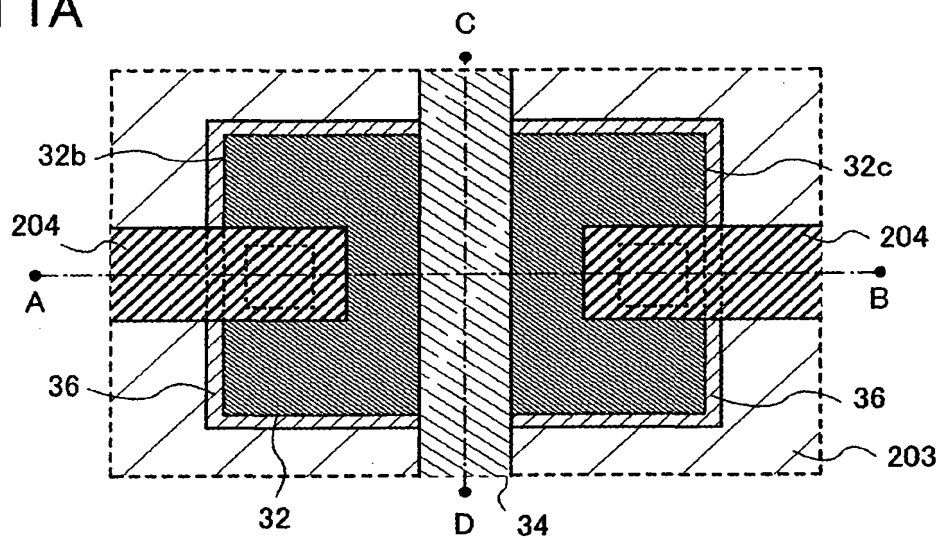
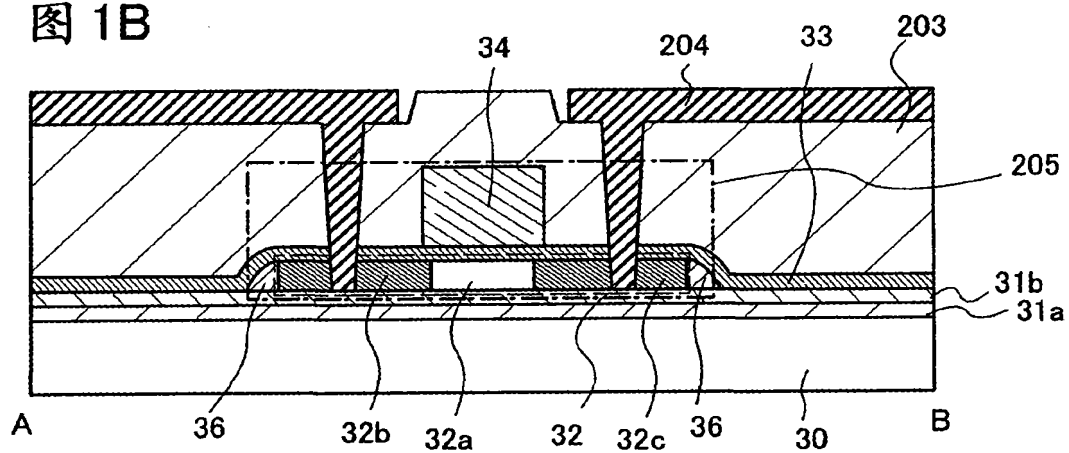


图 1B



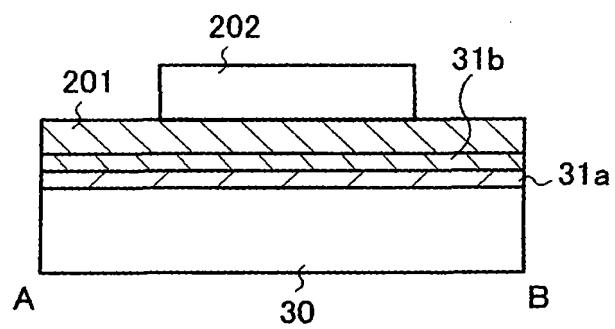
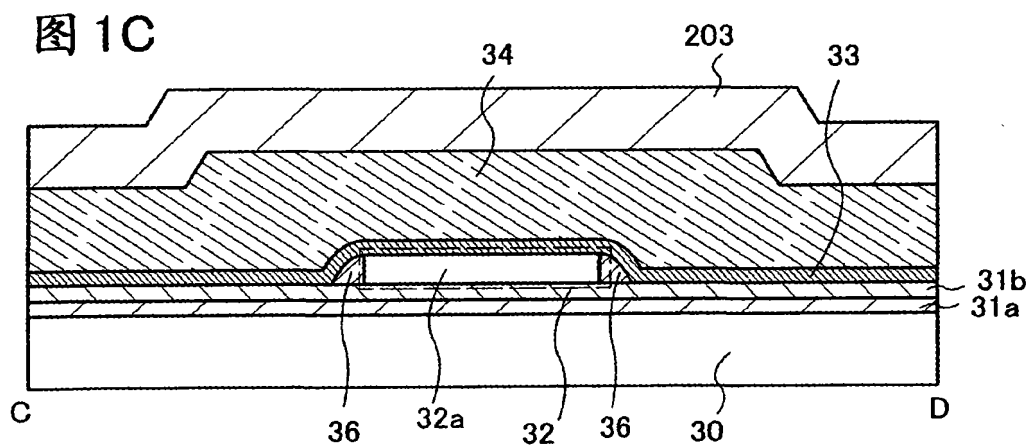


图 2A

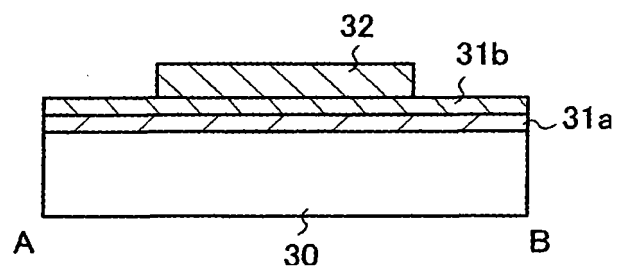


图 2B

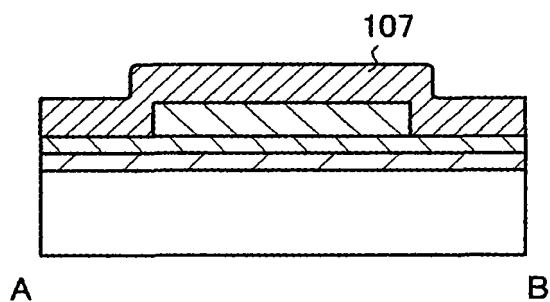


图 2C

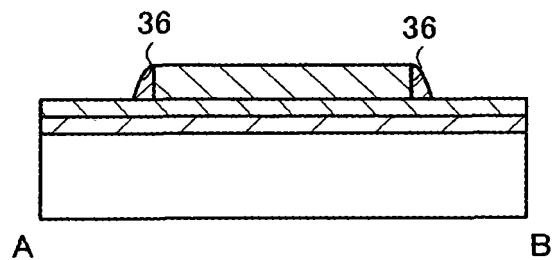


图 2D

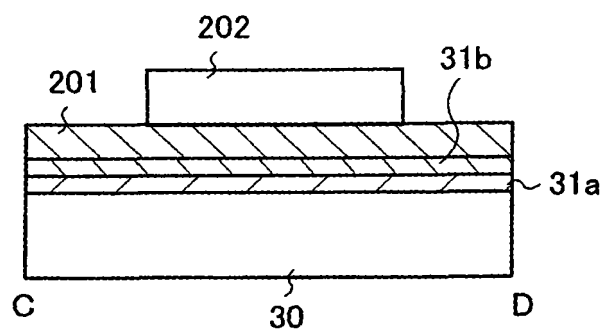


图 2E

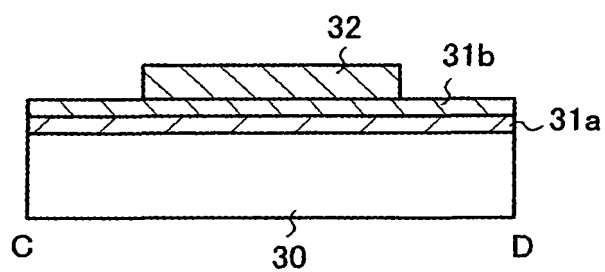


图 2F

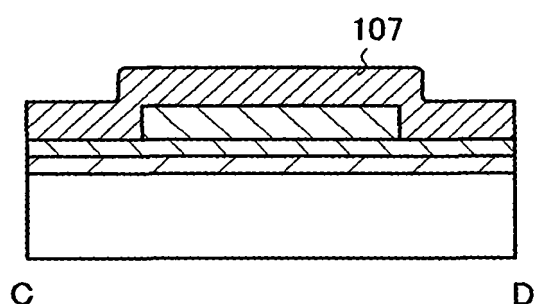


图 2G

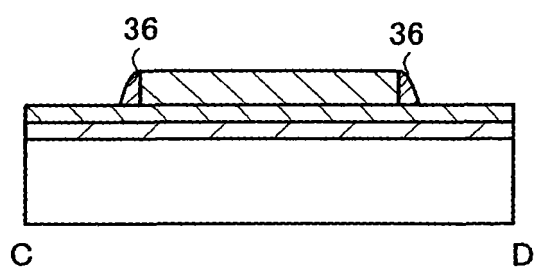


图 2H

图 3A

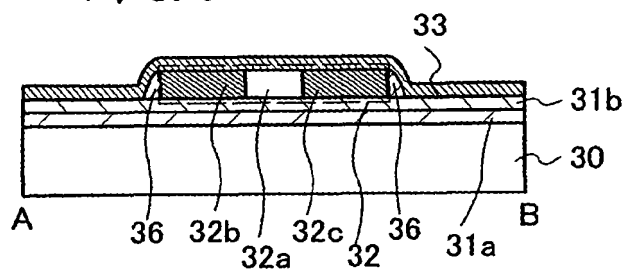


图 3D

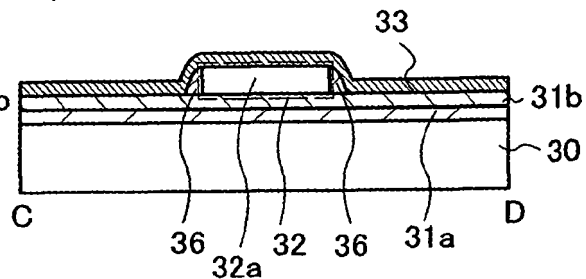


图 3B

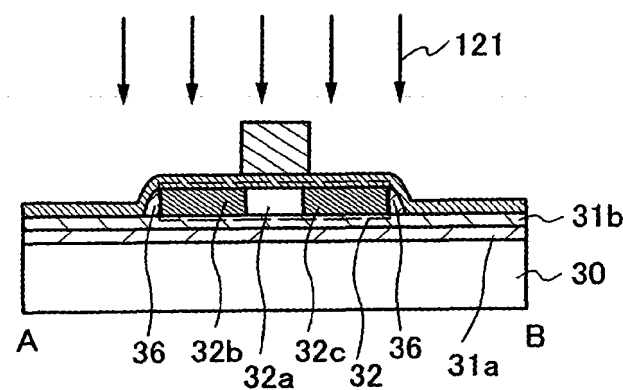


图 3E

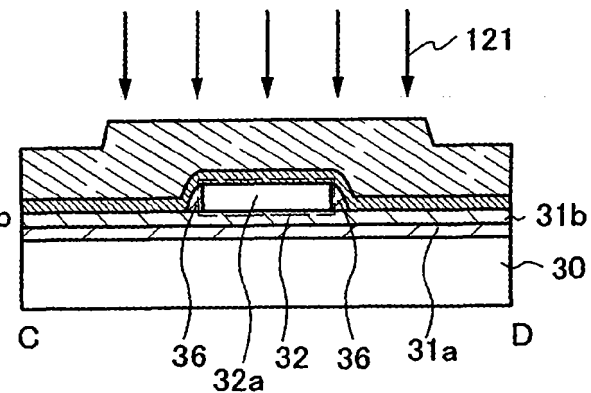


图 3C

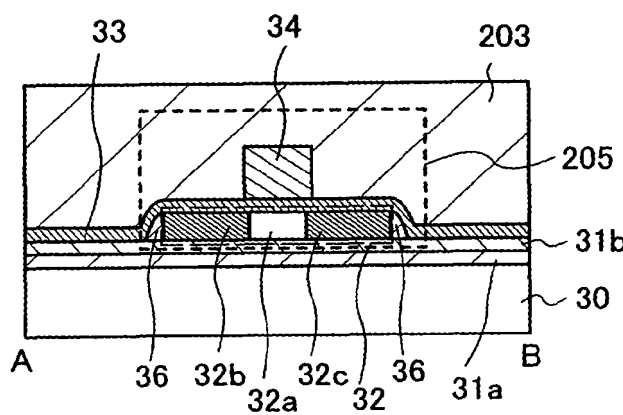
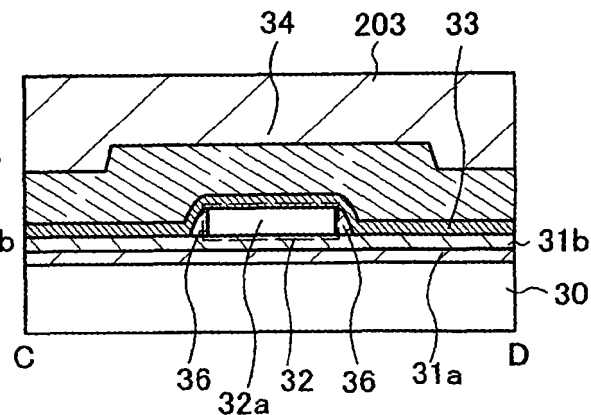
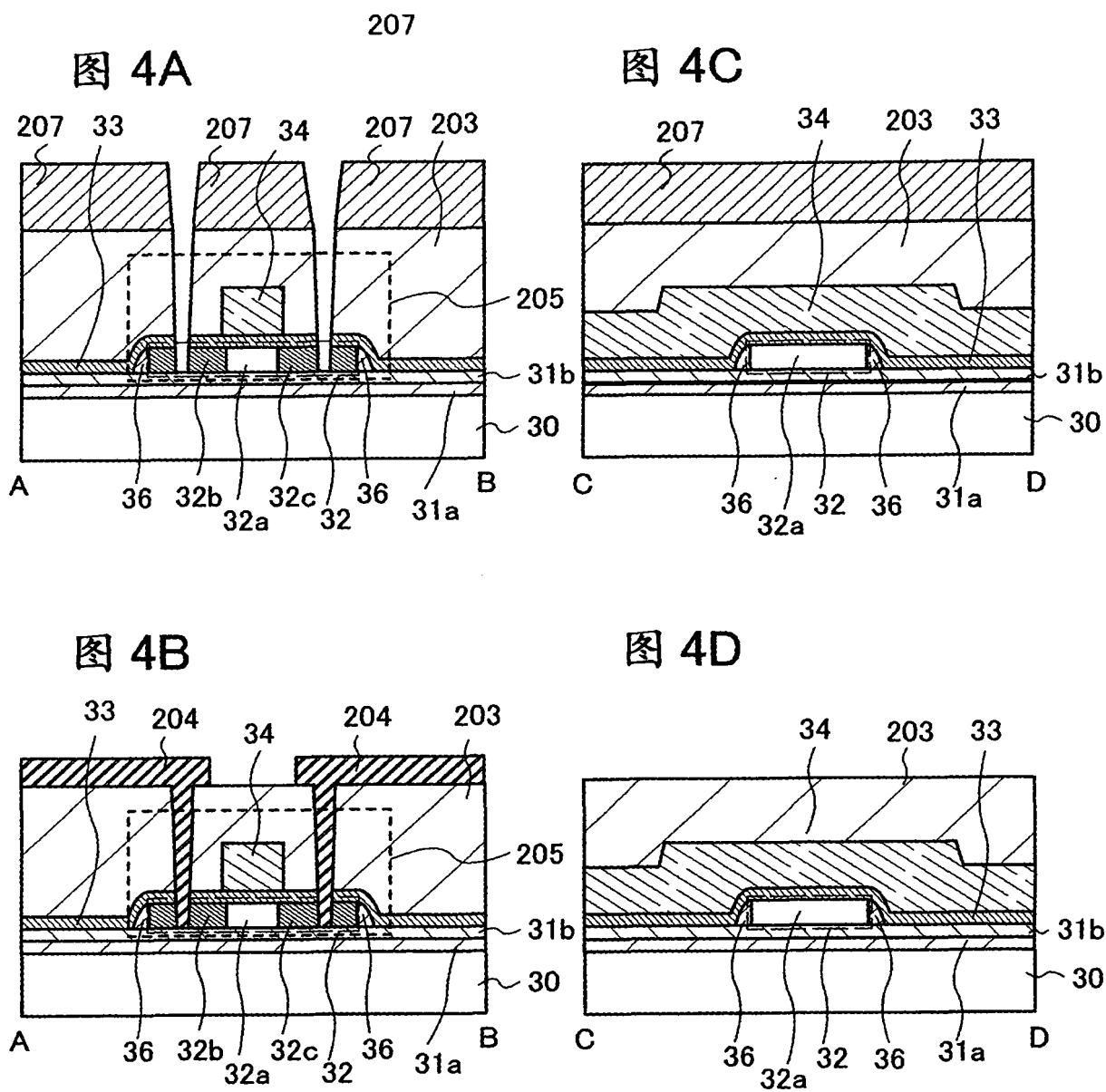


图 3F





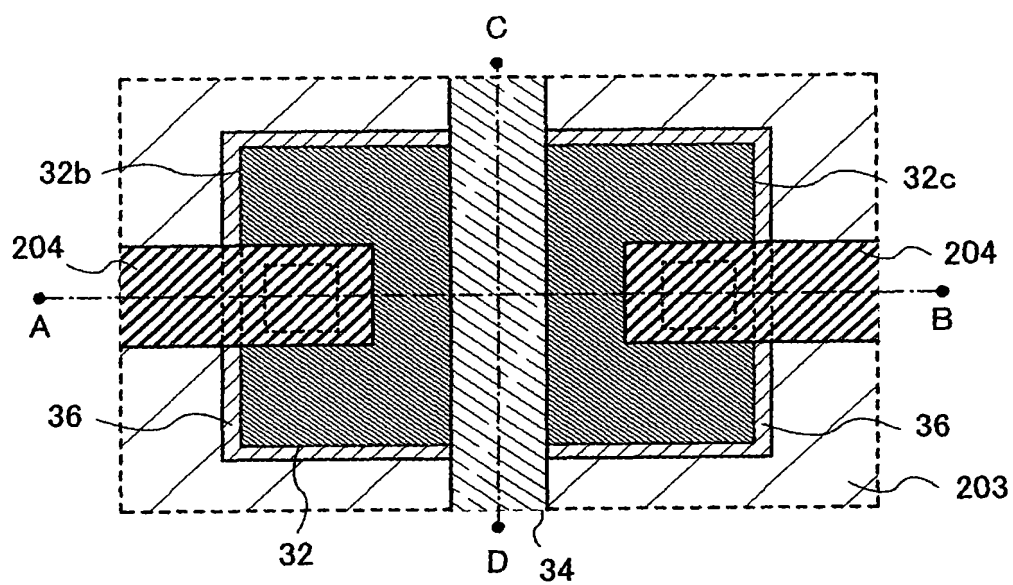


图 5A

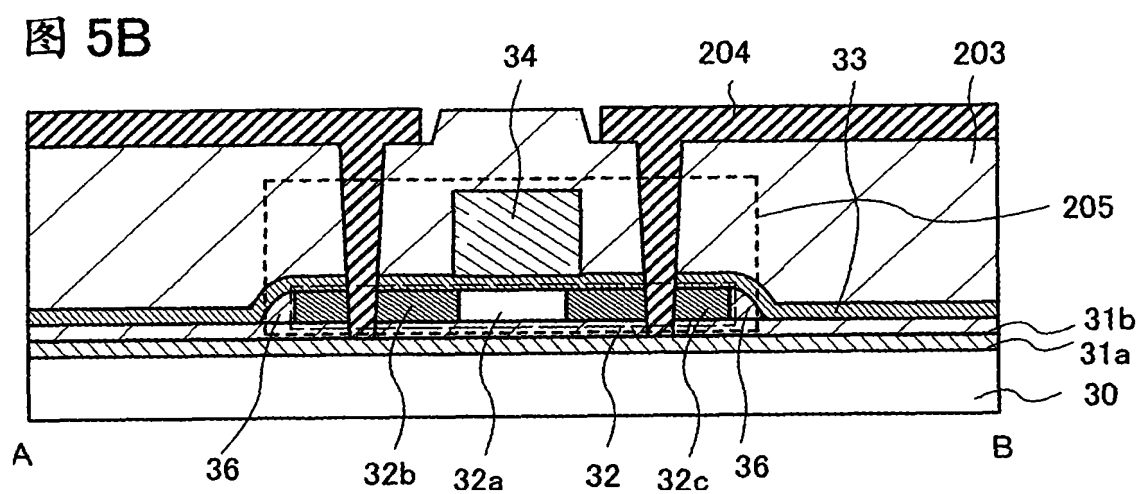


图 5B

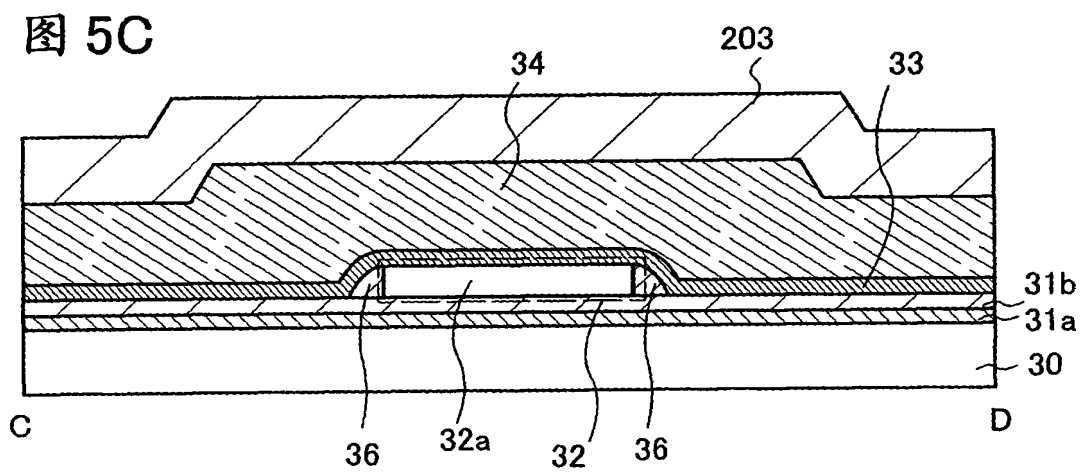


图 6A

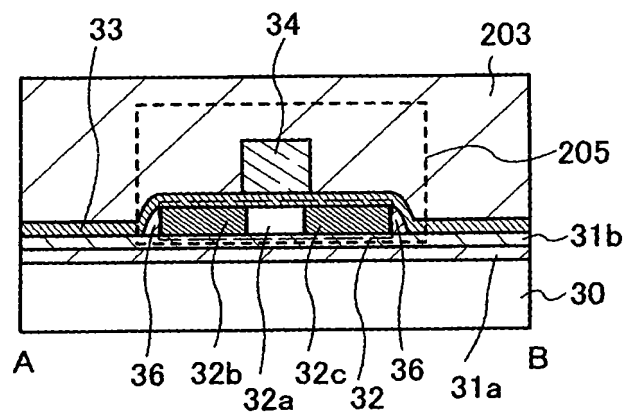


图 6C

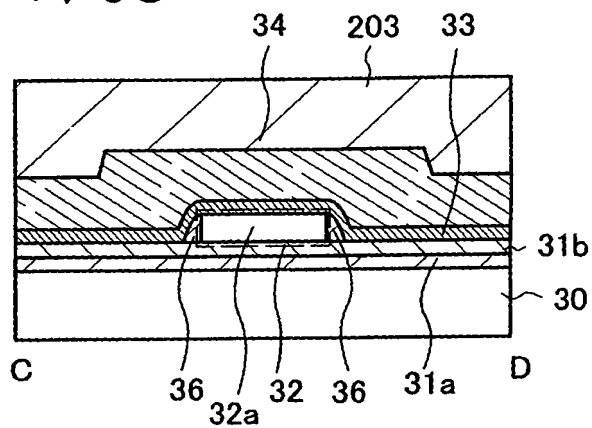


图 6B

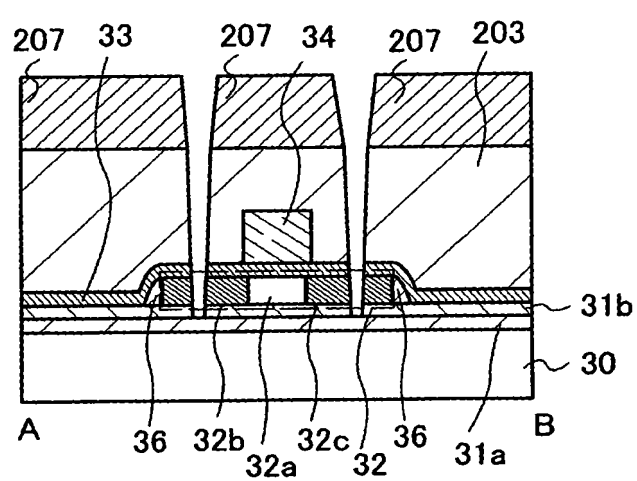


图 6D

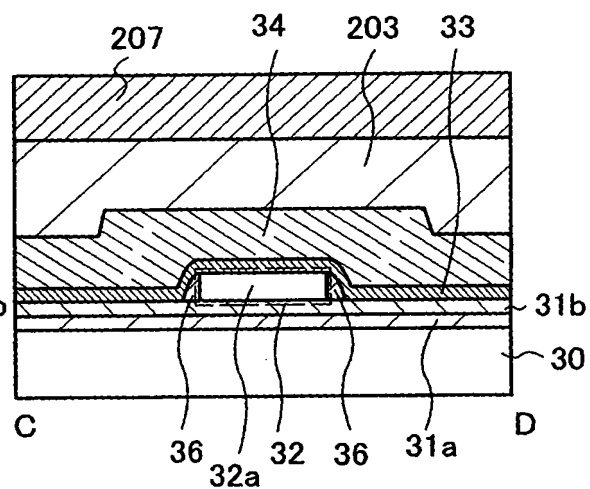


图 7A

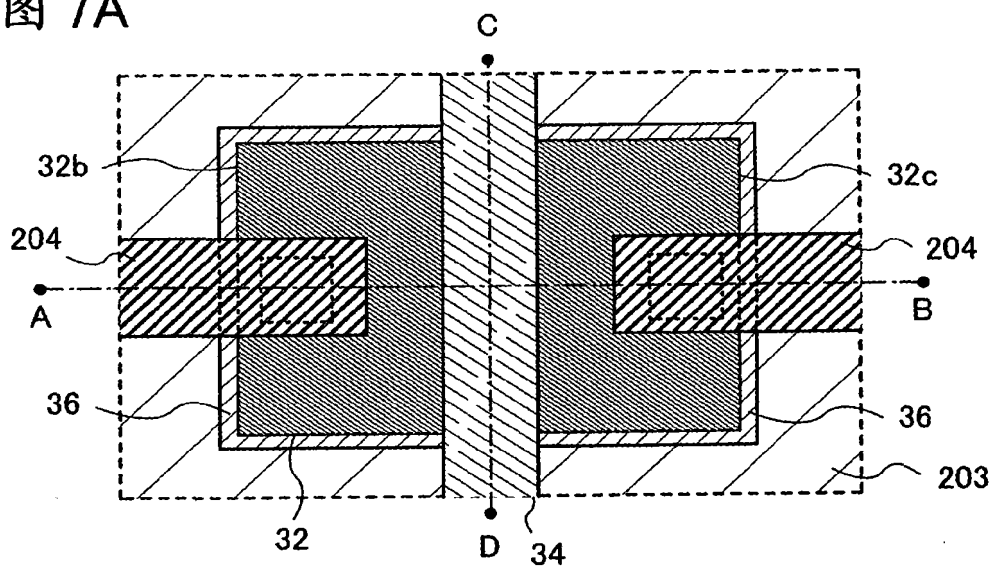


图 7B

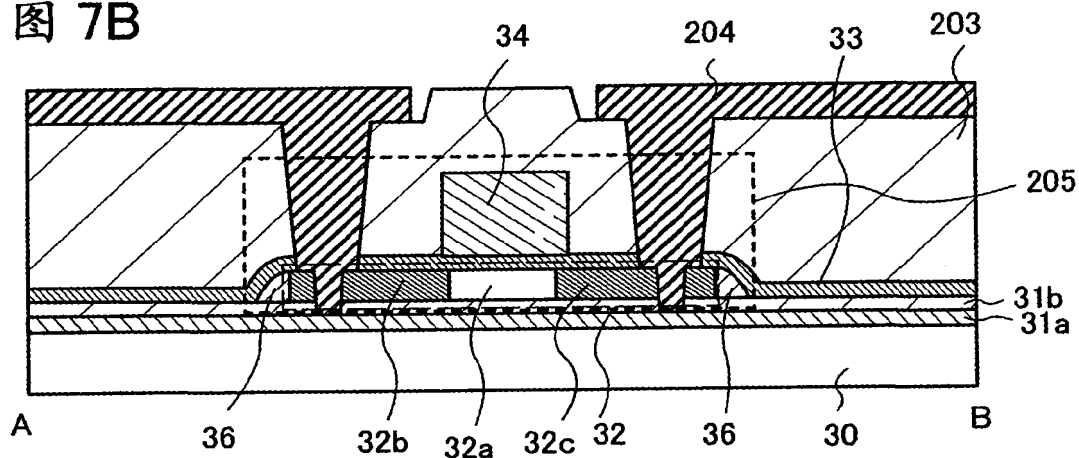


图 7C

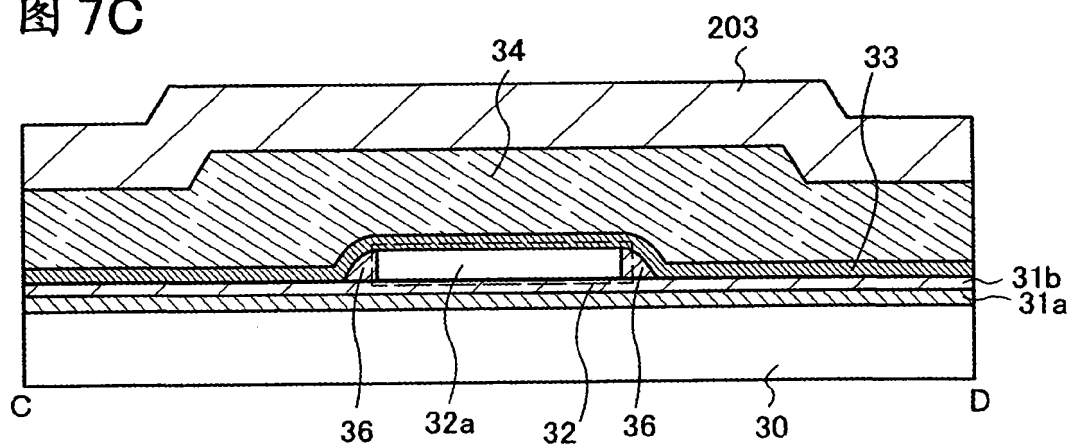


图 8A

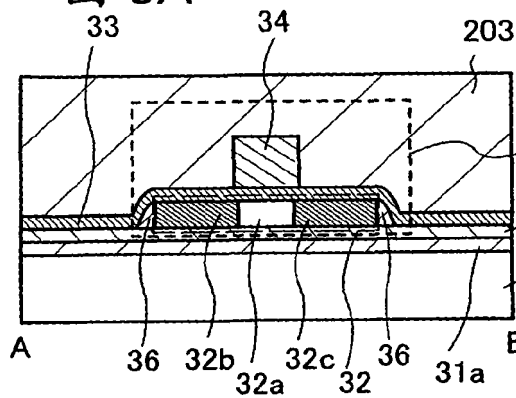


图 8D

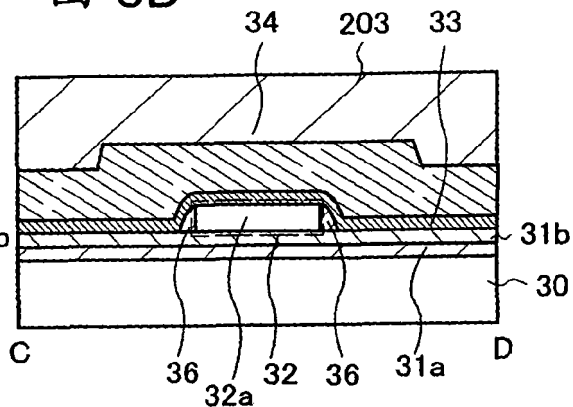


图 8B

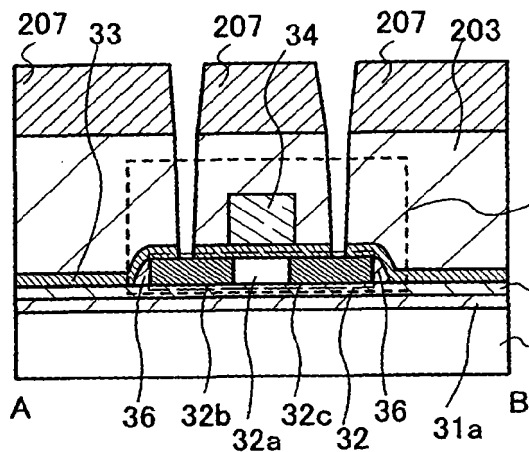


图 8E

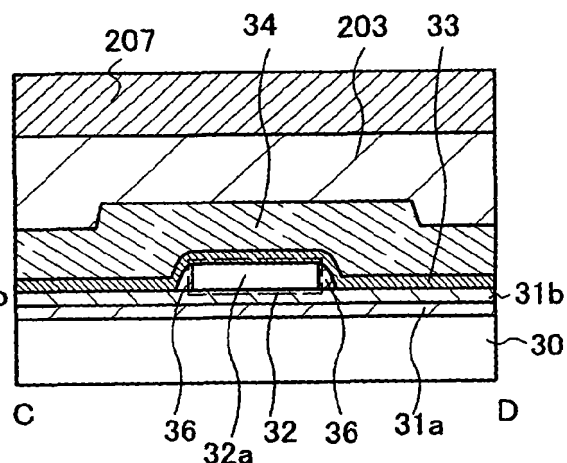


图 8C

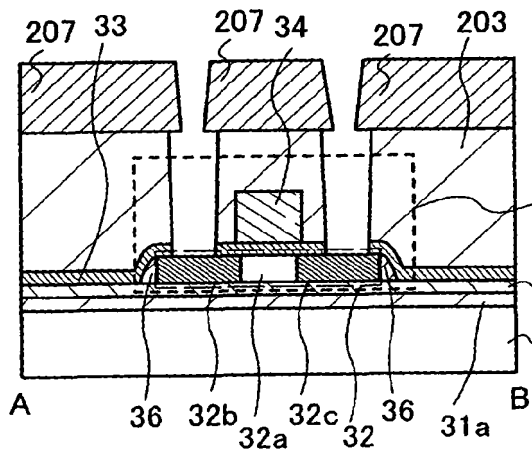


图 8F

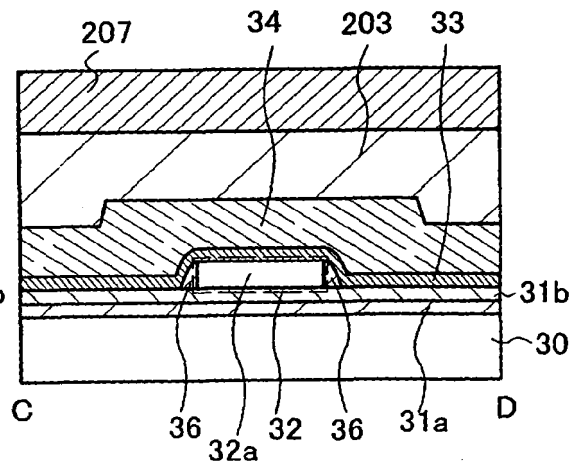


图 9A

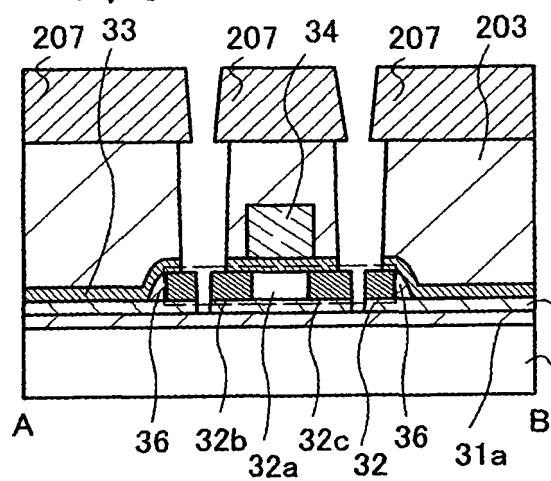


图 9C

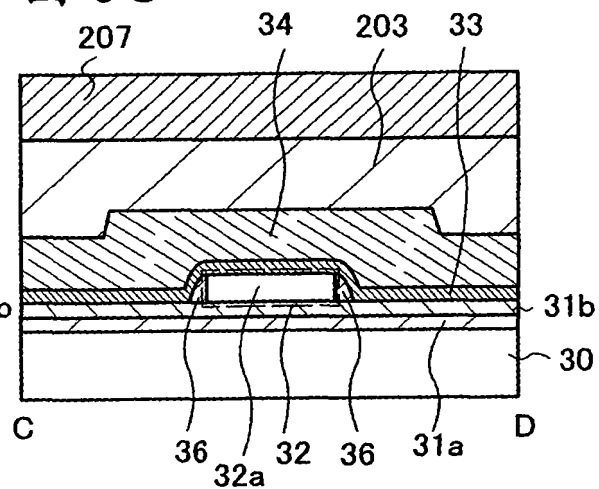


图 9B

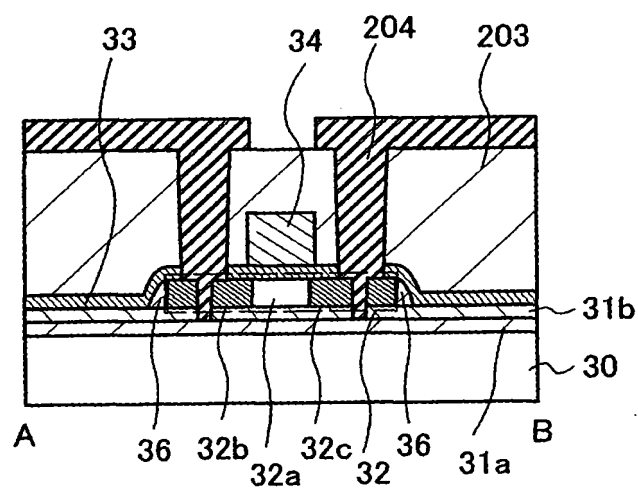


图 9D

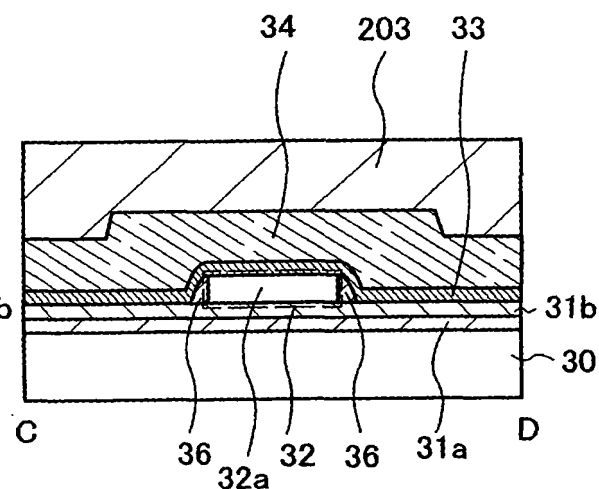


图 10A

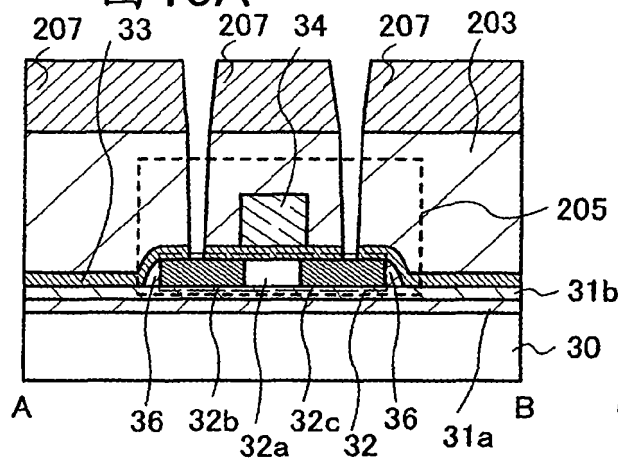


图 10D

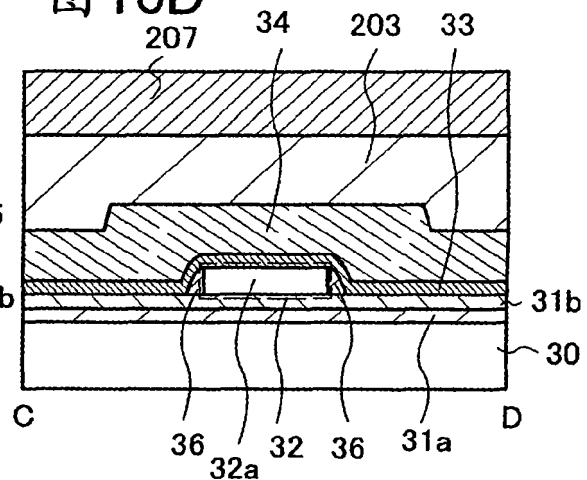


图 10B

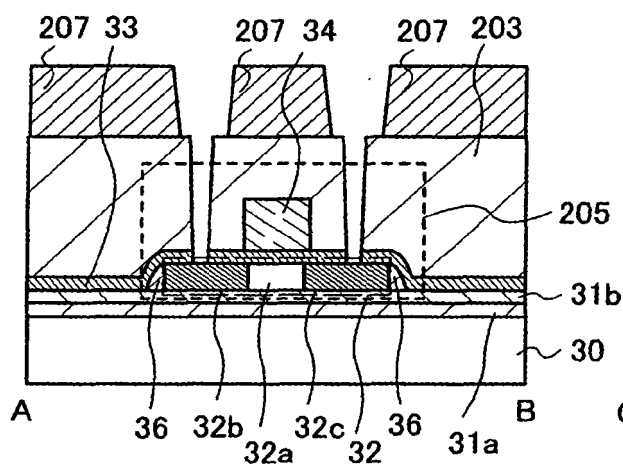


图 10E

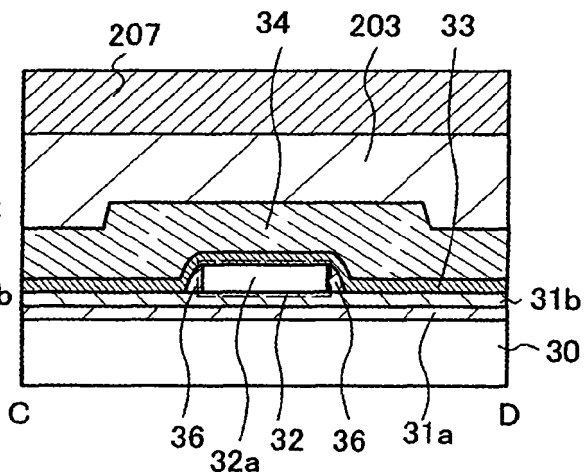


图 10C

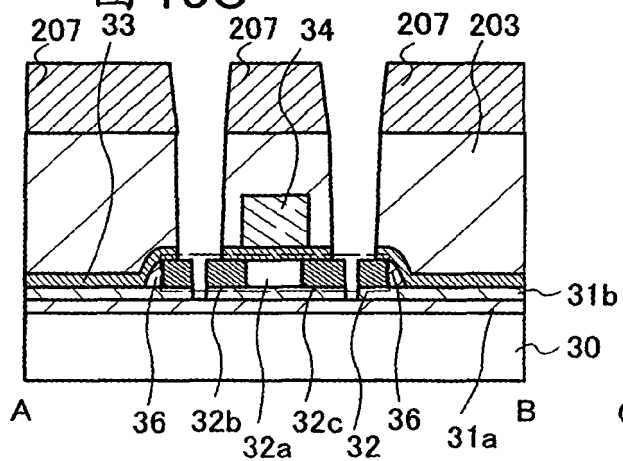


图 10F

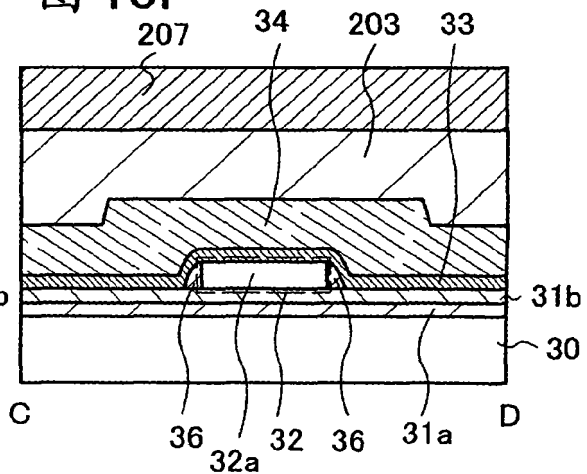


图 11A

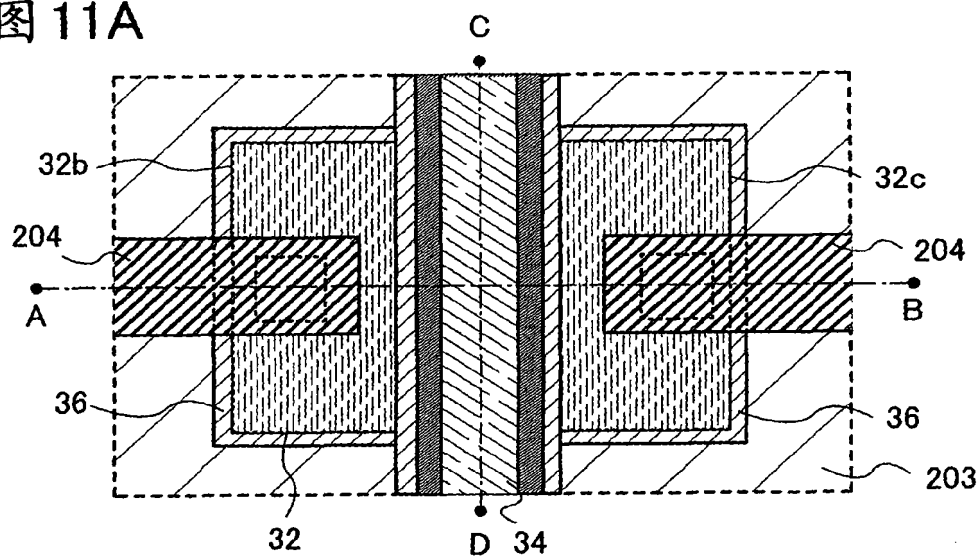


图 11B

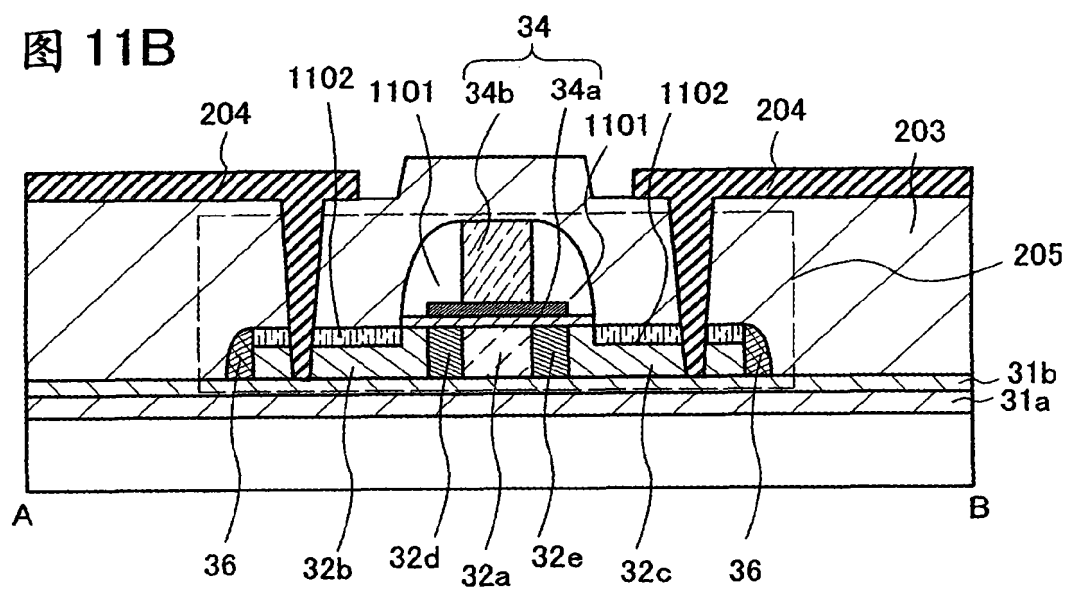


图 11C

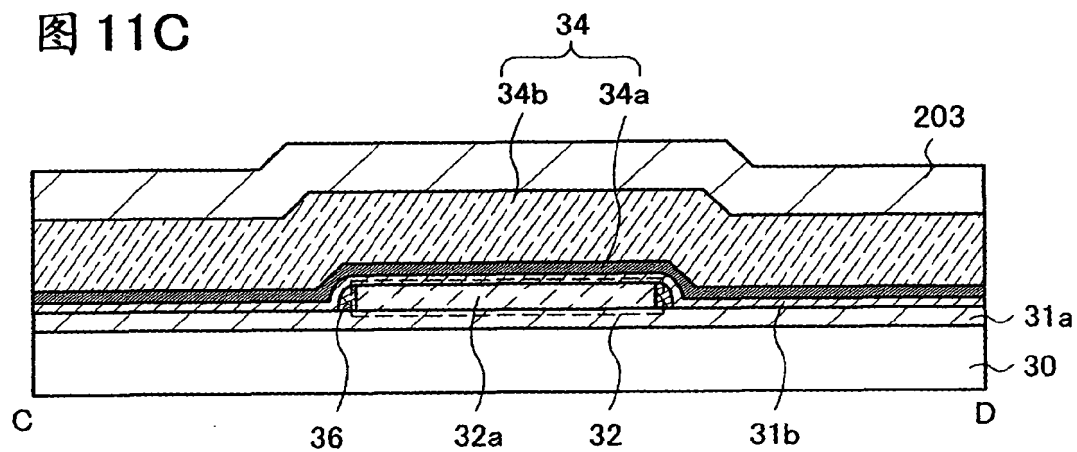


图 12A

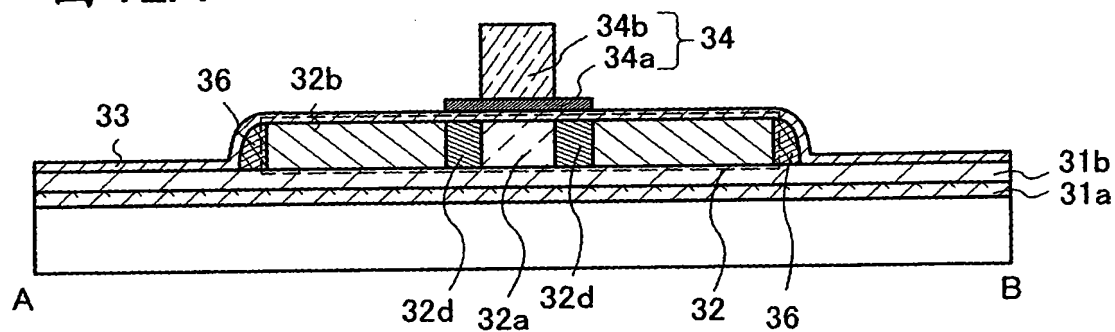


图 12B

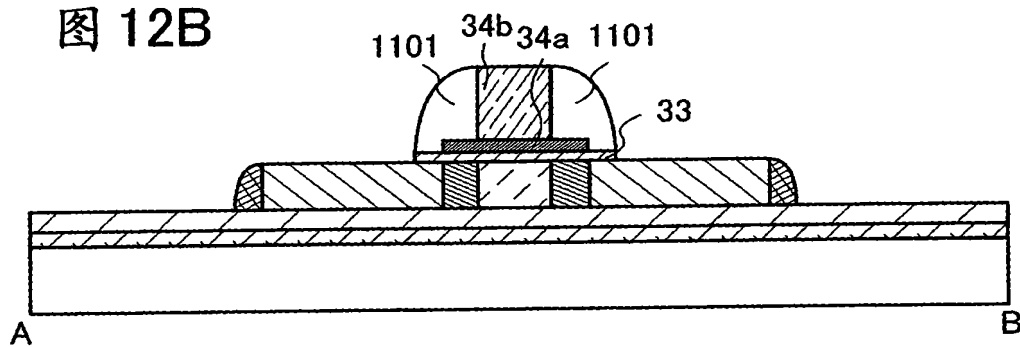


图 12C

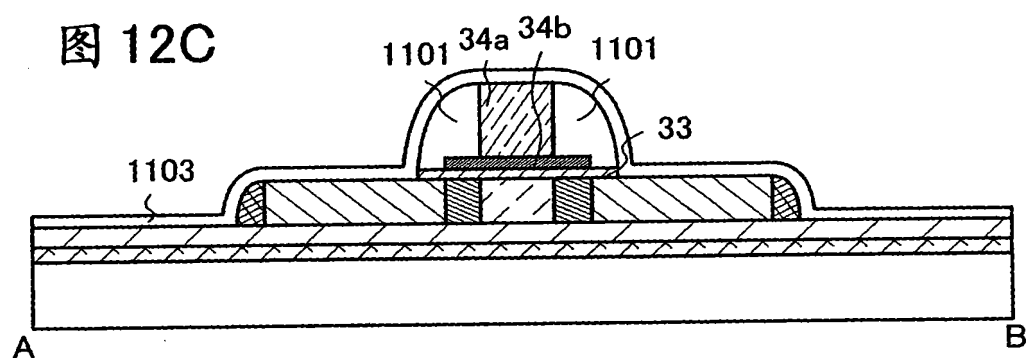


图 12D

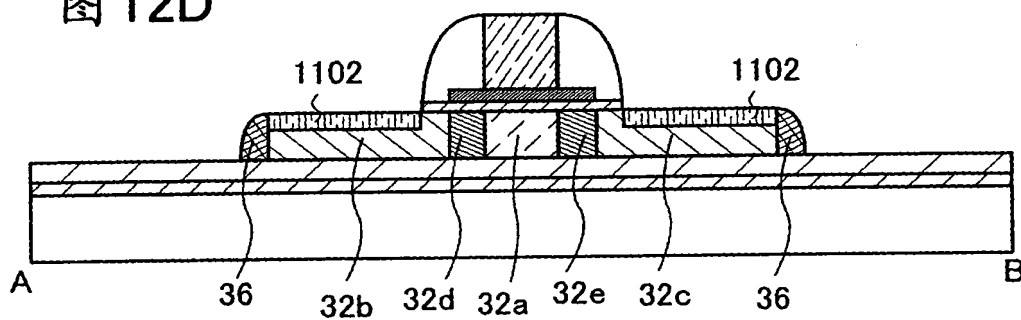


图 13A

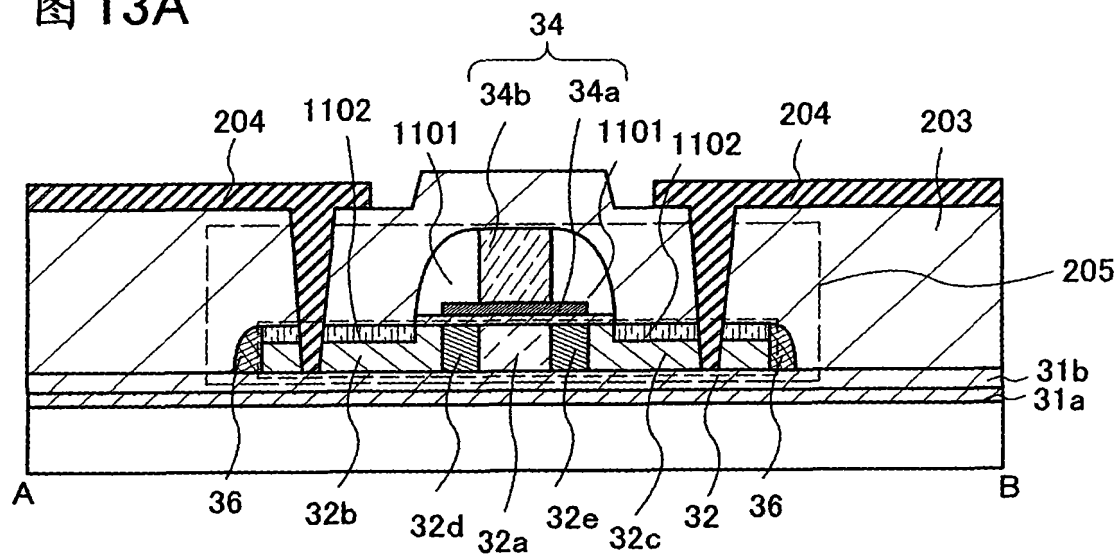


图 13B

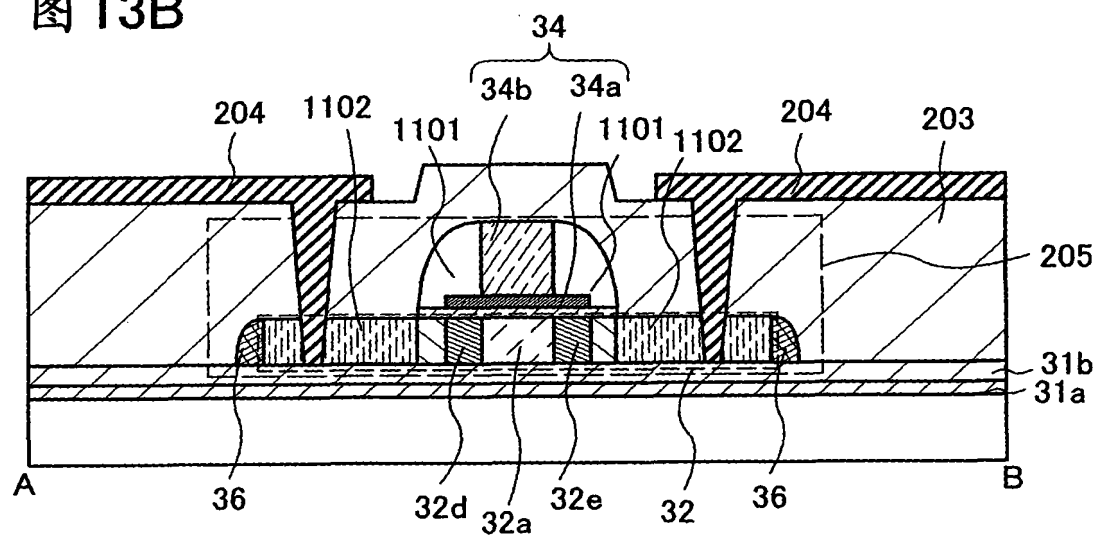


图 14A

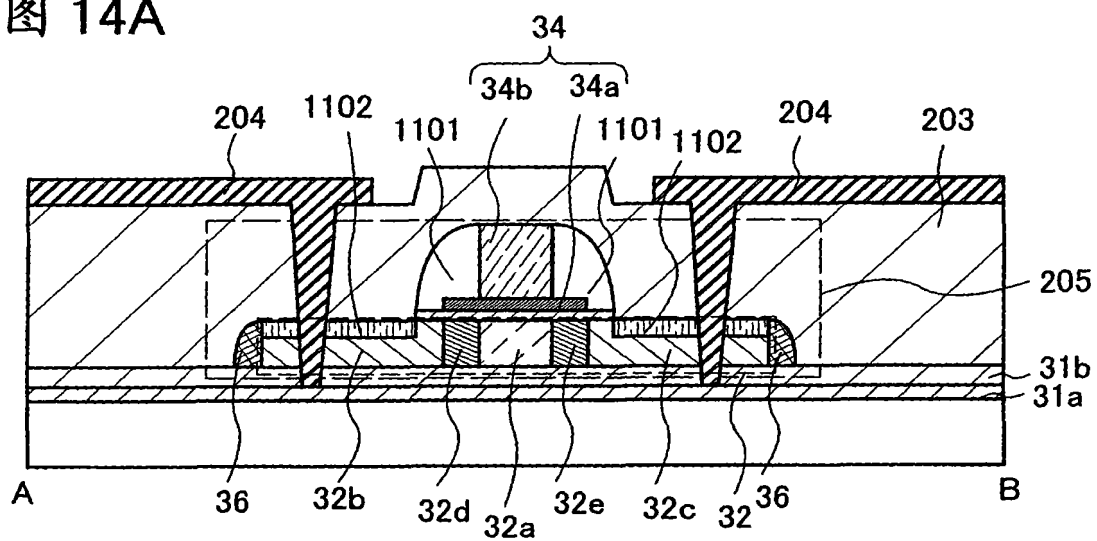
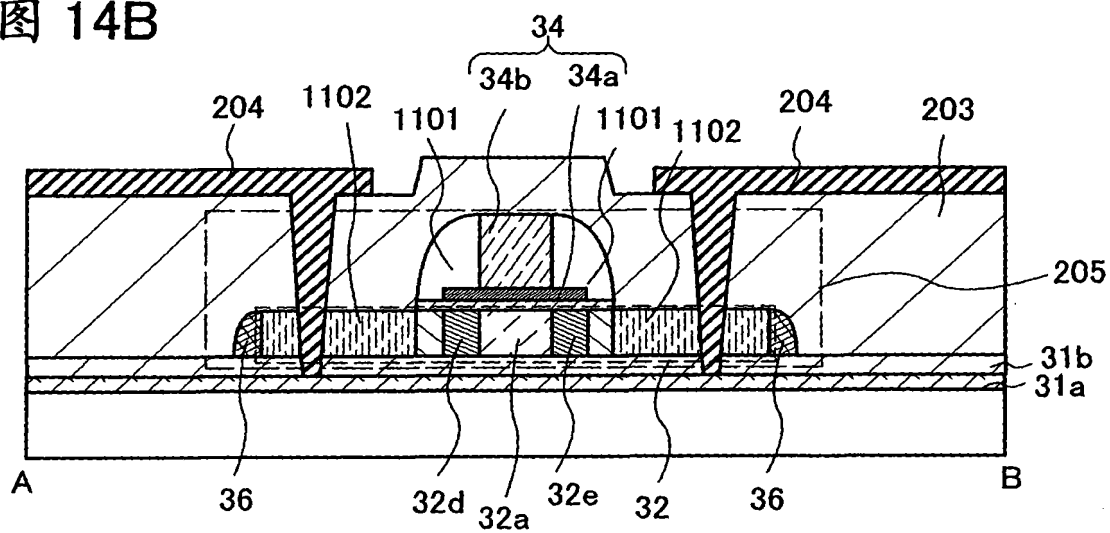


图 14B



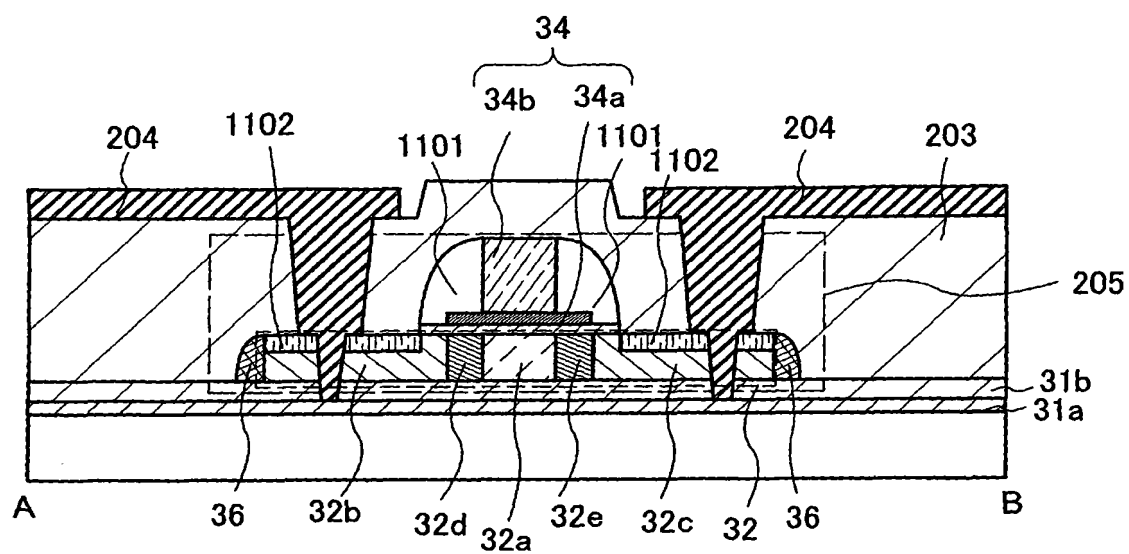


图 15A

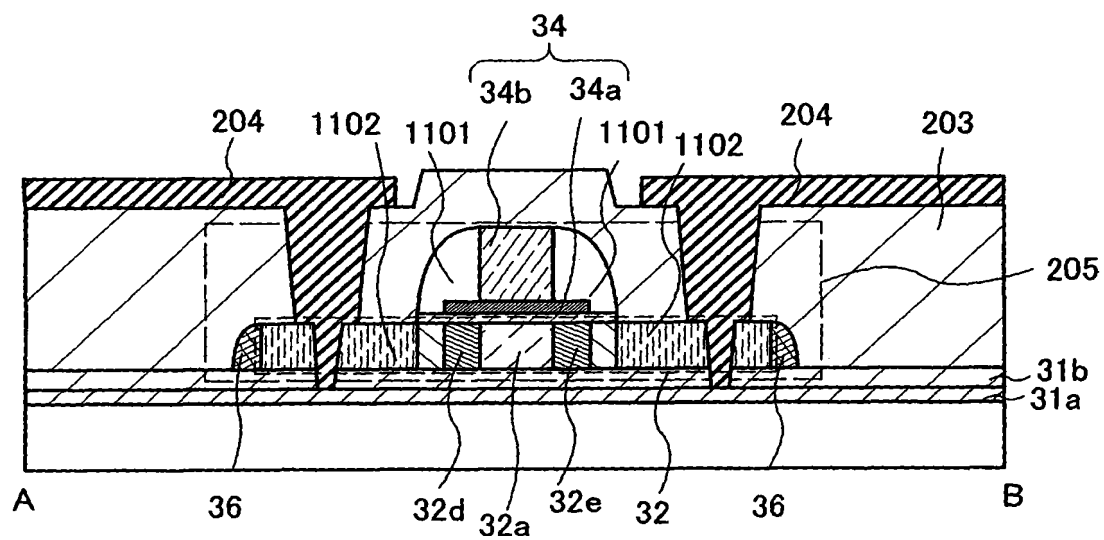


图 15B

图 16A

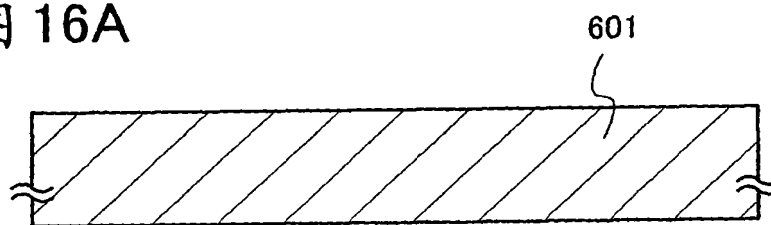


图 16B

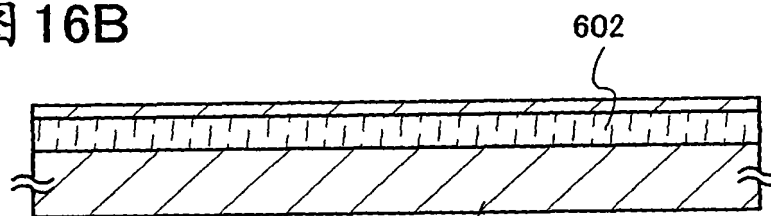


图 16C

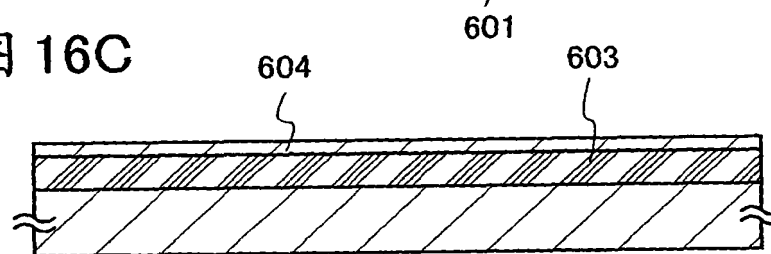


图 16D

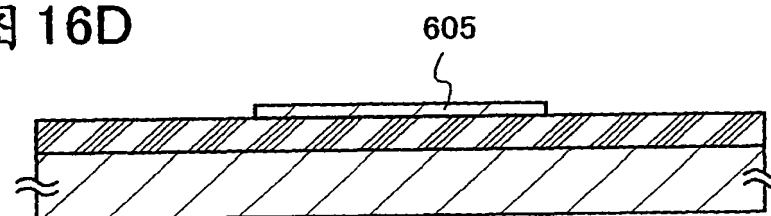


图 17A

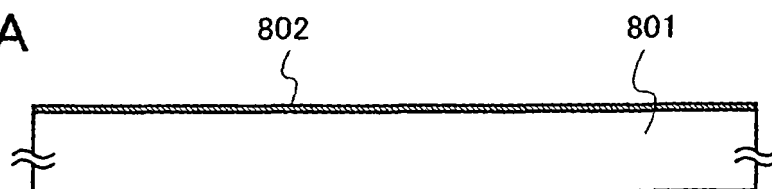


图 17B

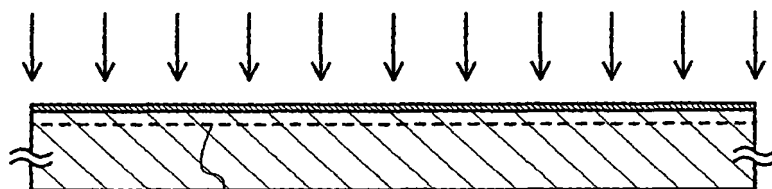


图 17C

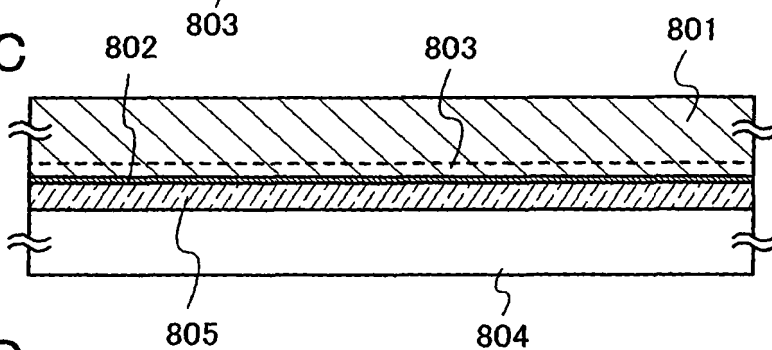


图 17D

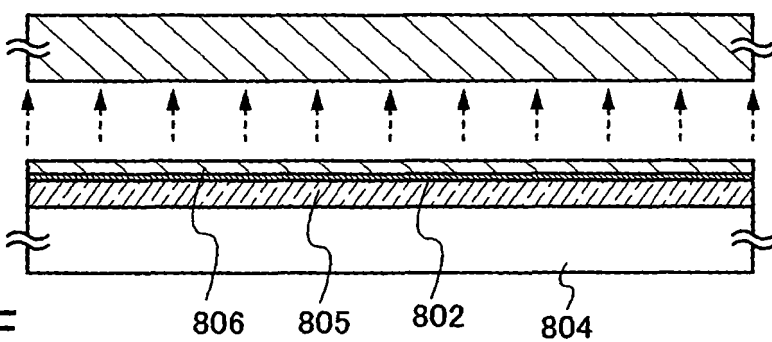


图 17E

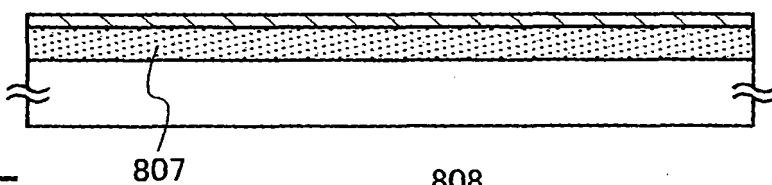
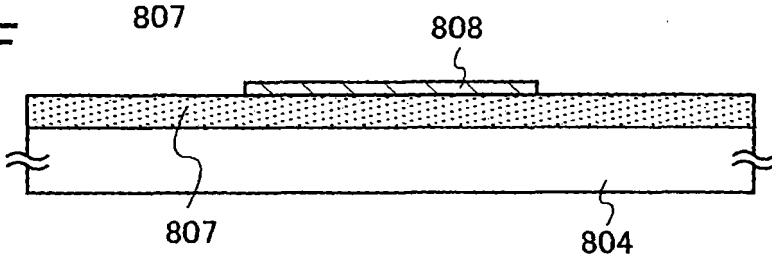


图 17F



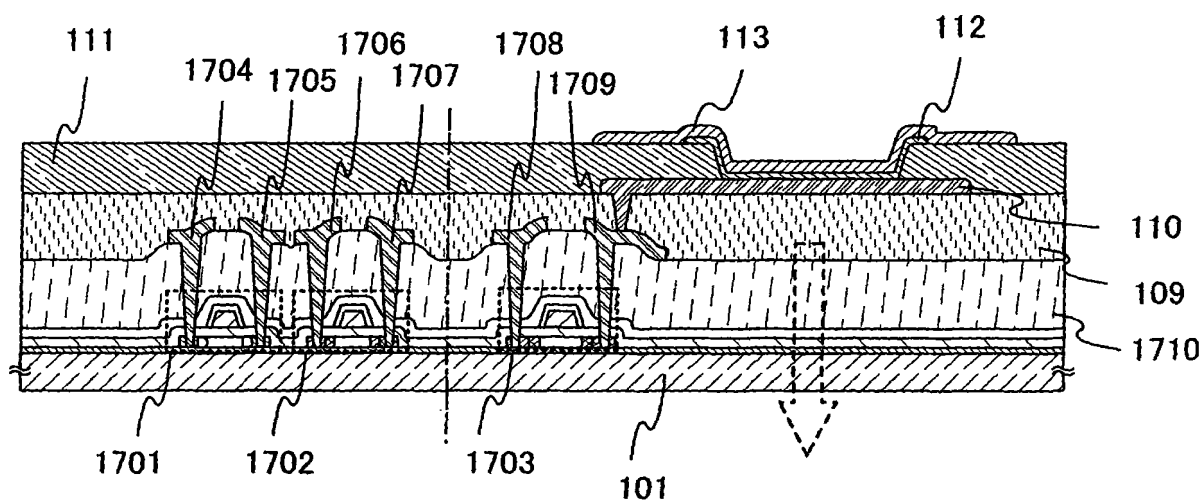


图 18

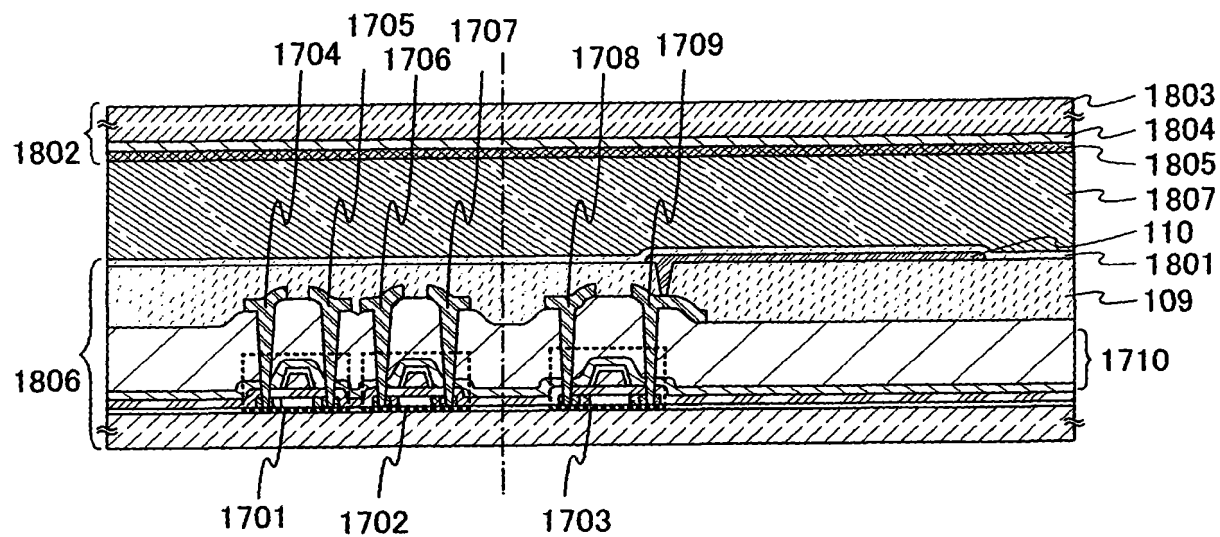


图 19

图 20A

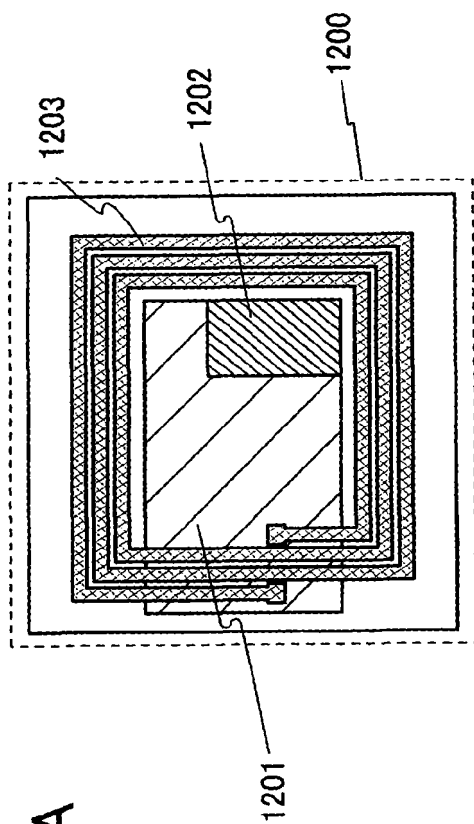
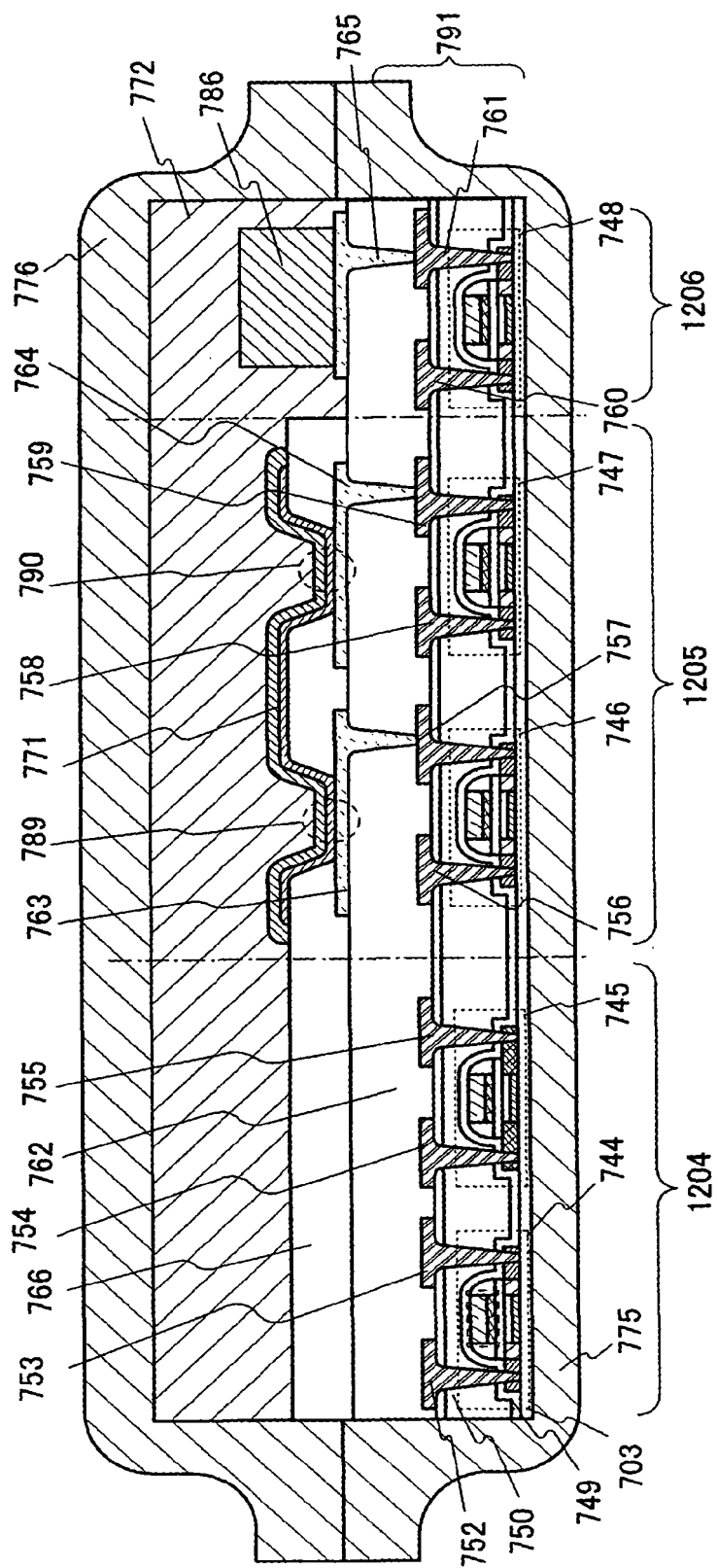


图 20B



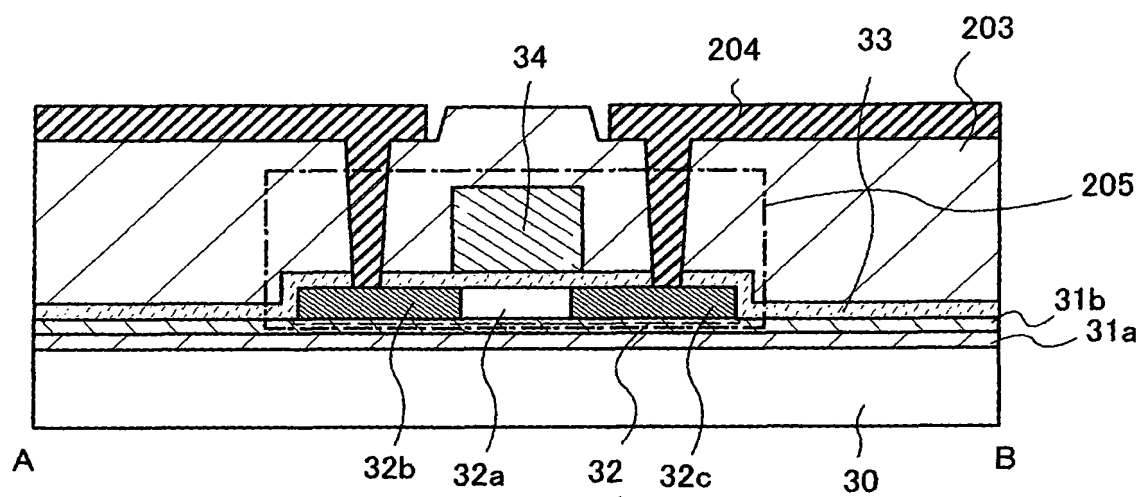


图 21