

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6377317号
(P6377317)

(45) 発行日 平成30年8月22日 (2018. 8. 22)

(24) 登録日 平成30年8月3日 (2018. 8. 3)

(51) Int. Cl.

F I

H O 3 K 19/173 (2006. 01)

H O 3 K 19/173 1 3 O

H O 1 L 21/82 (2006. 01)

H O 1 L 21/82 Z N M A

H O 1 L 29/78 (2006. 01)

H O 1 L 29/78 6 1 3 B

H O 1 L 29/78 6 1 8 B

H O 1 L 29/78 6 1 3 A

請求項の数 4 (全 54 頁)

(21) 出願番号 特願2013-106757 (P2013-106757)

(22) 出願日 平成25年5月21日 (2013. 5. 21)

(65) 公開番号 特開2014-7737 (P2014-7737A)

(43) 公開日 平成26年1月16日 (2014. 1. 16)

審査請求日 平成28年4月20日 (2016. 4. 20)

(31) 優先権主張番号 特願2012-123061 (P2012-123061)

(32) 優先日 平成24年5月30日 (2012. 5. 30)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷 3 9 8 番地

(72) 発明者 黒川 義元

神奈川県厚木市長谷 3 9 8 番地 株式会社

半導体エネルギー研究所内

(72) 発明者 池田 隆之

神奈川県厚木市長谷 3 9 8 番地 株式会社

半導体エネルギー研究所内

審査官 及川 尚人

最終頁に続く

(54) 【発明の名称】 プログラマブルロジックデバイス

(57) 【特許請求の範囲】

【請求項 1】

第 1 の記憶素子と、第 2 の記憶素子と、セレクトと、出力部と、を有し、

前記第 1 の記憶素子は、第 1 のトランジスタと、第 2 のトランジスタと、第 1 の保持容量と、第 1 のインバータと、を有し、

前記第 2 の記憶素子は、第 3 のトランジスタと、第 4 のトランジスタと、第 2 の保持容量と、第 2 のインバータと、を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の書き込みデータ線に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 1 の容量素子と、前記第 1 のインバータの入力端子とに接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 1 のインバータの出力端子に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、配線に直接接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、第 2 の書き込みデータ線に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 の容量素子と、前記第 2 のインバータの入力端子とに接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 2 のインバータの出力端子に接続され、

10

20

前記第４のトランジスタのソース又はドレインの他方は、前記配線に直接接続され、
前記セレクトは、前記セレクトの入力端子に入力された信号に従って、前記配線と前記出力部との間の導通状態を制御する機能を有し、
前記第１のトランジスタ及び前記第３のトランジスタは、チャンネルが酸化物半導体膜に形成されることを特徴とするプログラマブルロジックデバイス。

【請求項２】

請求項１において、
前記第２のトランジスタのゲートは、第１の読み出し制御線に接続され、
前記第４のトランジスタのゲートは、第２の読み出し制御線に接続されることを特徴とするプログラマブルロジックデバイス。

10

【請求項３】

請求項１または請求項２において、
前記第１のトランジスタのゲートは、第１の書き込み制御線に接続され、
前記第３のトランジスタのゲートは、第２の書き込み制御線に接続されることを特徴とするプログラマブルロジックデバイス。

【請求項４】

請求項１乃至請求項３のいずれかーにおいて、
前記第１の記憶素子は、第１のコンフィギュレーションデータを保持する機能を有し、
前記第２の記憶素子は、第２のコンフィギュレーションデータを保持する機能を有することを特徴とするプログラマブルロジックデバイス。

20

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、ハードウェアの構成を変更することができるプログラマブルロジックデバイスに関する。

【背景技術】

【０００２】

プログラマブルロジックデバイス（Programmable Logic Device：PLD）は、製造時に全ての回路が固定される通常の集積回路に対し、出荷後にユーザが現場で所望の回路構成を設定して機能させることができるデバイスである。このようにユーザがプログラム可能なデバイスとして、小規模なPAL（Programmable Array Logic）やGAL（Generic Array Logic）、規模の大きなCPLD（Complex Programmable Logic Device）、FPGA（Field Programmable Gate Array）が挙げられるが、本明細書においてはこれらを含めてプログラマブルロジックデバイス（以下、PLDという。）とよぶ。

30

【０００３】

PLDは、従来のASIC（Application Specific Integrated Circuit）やゲートアレイなどに比べて、開発期間の短縮や設計仕様の変更に対する柔軟性などの利点を有している。そのため、近年、半導体装置への利用が進んでいる。

40

【０００４】

PLDは、例えば、アレイ状の複数のロジックエレメント（Logic Element。論理ブロックともいう。以下、LEという。）と、LE間の配線と、で構成される。各LEの機能を変更することで、PLDの機能を変更することができる。また、LE間の配線の接続を変更することで、PLDの機能を変更することができる。

【０００５】

LEは、例えば、マルチプレクサやルックアップテーブルなどで構成されている。LEの機能は、当該マルチプレクサの入力信号の選択情報を記憶する記憶素子に、特定の値を設定することで特定できる。また、LEの機能は、ルックアップテーブルのデータを記憶す

50

る記憶素子に、特定の値を設定することで特定できる。

【0006】

LE間の配線は、例えば複数のLE対複数のLE間の接続スイッチなどで構成されている。LE間の配線の接続は、当該接続スイッチの導通又は非導通のデータを記憶する記憶素子に、特定の値を設定することで特定できる。

【0007】

上記のマルチプレクサの入力信号の選択情報、ルックアップテーブルのデータ、接続スイッチの導通又は非導通のデータなどをコンフィギュレーションデータ、当該コンフィギュレーションデータを記憶する記憶素子をコンフィギュレーションメモリ、コンフィギュレーションデータをコンフィギュレーションメモリに設定することをコンフィギュレーションと呼ぶ。特に、コンフィギュレーションデータをコンフィギュレーションメモリに新たに設定（更新）することをリコンフィギュレーション（再構成）と呼ぶ。PLDをユーザの目的に応じた回路構成に変更することは、所望のコンフィギュレーションデータを作成（プログラム）し、当該コンフィギュレーションデータを用いてコンフィギュレーションを行うことで実現できる。

10

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開平10-285014号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0009】

コンフィギュレーションメモリにSRAM(Static Random Access Memory)を用いる場合には、SRAMの形成には多くのトランジスタが必要となることから、コンフィギュレーションメモリが占める面積は膨大となる。特に、PLDの動作中にコンフィギュレーションデータを書き換える、所謂ダイナミックリコンフィギュレーション（動的再構成）において、PLDに複数の組のコンフィギュレーションデータを格納することのできるコンフィギュレーションメモリを搭載し、PLDの動作中にコンフィギュレーションデータを別の組に切り替える、所謂マルチコンテキスト方式の動的再構成の機能を有するPLDでは、極めて膨大な面積をコンフィギュレーションメモリが占めることになる。

30

【0010】

動的再構成の機能を有するPLDで、コンフィギュレーションメモリの占める面積を削減する方法として、特許文献1では、DRAM(Dynamic Random Access Memory)に複数の回路構成に対応した各々のコンフィギュレーションデータを各々異なるアドレスに格納しておき、所望の回路構成のコンフィギュレーションデータをDRAMの当該アドレスから読み出すことで、短時間でリコンフィギュレーションを行う方法を提案している。

【0011】

ところが、上記特許文献1の構成では、コンフィギュレーションデータをDRAMに格納するため、定期的なリフレッシュ動作が必要になり、消費電力の増大を招く。また、DRAMは揮発性メモリのため、PLDに電力を供給するたびに、DRAMへのデータ格納が必要になる。したがって、コンフィギュレーションデータを保存するため、更に別の不揮発性メモリが必要になる。また、電力供給の度に、不揮発性メモリからDRAMへの大規模なデータ転送などの処理が必要になるため、起動時間の遅れが生じる。

40

【0012】

そこで本発明の一態様は、コンフィギュレーションメモリを少ないトランジスタ数で構成する不揮発性メモリにより形成し、コンフィギュレーションメモリの配置面積を削減したPLDを提供することを課題の一とする。

【0013】

50

また本発明の一態様は、動的再構成への対応が容易で、起動時間が高速な P L D を提供することを課題の一とする。

【課題を解決するための手段】

【 0 0 1 4 】

上記課題に鑑み本発明の一態様は、1ビット当たりのトランジスタ数を削減した不揮発性メモリをコンフィギュレーションメモリとして用いることによってコンフィギュレーションメモリの配置面積を削減し、さらに複数のコンフィギュレーションデータを容易に格納することができ、マルチコンテキスト方式の動的再構成が可能な P L D を形成することができる。

【 0 0 1 5 】

また、本発明の一態様は、L E 内に2相クロック方式のフリップフロップを備え、一方のクロック信号をマルチプレクサの制御に用いることで、複数のマルチプレクサを用いた組み合わせ回路を構成することができる。それにより、回路構成の自由度をより高めた P L D を提供することができる。

【 0 0 1 6 】

上記不揮発性メモリは、オフ電流の極めて小さいトランジスタを介してメモリに保持する電荷量を制御することで、データの記憶を行う。このような構成とすることで、電荷を長期間保持することが可能となり、不揮発性メモリを少ないトランジスタ数で形成することができる。

【 0 0 1 7 】

具体的には、不揮発性メモリを構成するトランジスタは、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料を、チャネル形成領域に含むことを特徴とする。このような物性を有する半導体材料をチャネル形成領域に含むことで、オフ電流が極めて低いトランジスタを実現することができる。このような半導体材料としては、例えば、シリコンの約3倍程度の大きなバンドギャップを有する酸化物半導体、炭化シリコン及び窒化ガリウムなどが挙げられる。このような半導体材料を有するトランジスタは、シリコンやゲルマニウムなどの半導体材料で形成されたトランジスタに比べて、オフ電流を極めて低くすることができる。

【 0 0 1 8 】

本発明の一態様は、記憶素子と、セレクトと、出力部と、を有するプログラマブルロジックデバイスであって、記憶素子は、チャネルが酸化物半導体膜に形成されるトランジスタと、トランジスタのソース及びドレインの一方と接続する保持容量及びインバータと、を有し、インバータはセレクトと接続され、セレクトは、出力部と接続されているプログラマブルロジックデバイスである。

【 0 0 1 9 】

本発明の一態様は、トランジスタのゲートは書き込み制御線と接続され、トランジスタのソース及びドレインの他方は書き込みデータ線と接続されているプログラマブルロジックデバイスである。

【 0 0 2 0 】

本発明の一態様は、アレイ状の複数の記憶素子と、セレクトと、出力部と、を有するプログラマブルロジックデバイスであって、アレイ状の複数の記憶素子は、チャネルが酸化物半導体膜に形成される第1のトランジスタと、第1のトランジスタのソース及びドレインの一方と接続する保持容量及びインバータと、インバータとソース及びドレインの一方が接続する第2のトランジスタと、を有し、第2のトランジスタのソース及びドレインの他方はセレクトと接続され、第2のトランジスタのゲートは読み出し制御線と接続され、セレクトは、出力部と接続されているプログラマブルロジックデバイスである。

【 0 0 2 1 】

本発明の一態様は、上記第1のトランジスタのゲートは書き込み制御線と接続され、上記第1のトランジスタのソース及びドレインの他方は書き込みデータ線と接続されているプログラマブルロジックデバイスである。

10

20

30

40

50

【 0 0 2 2 】

本発明の一態様は、記憶素子と、セレクトアと、プリチャージ回路と、出力部と、を有するプログラマブルロジックデバイスであって、記憶素子は、チャンネルが酸化物半導体膜に形成される第1のトランジスタと、第1のトランジスタのソース及びドレインの一方とゲートが接続することによりノードを形成する第2のトランジスタと、を有し、第2のトランジスタのソース及びドレインの一方はセレクトアと接続され、セレクトアは、プリチャージ回路及び出力部と接続されているプログラマブルロジックデバイスである。

【 0 0 2 3 】

本発明の一態様は、セレクトア及び出力部の間に、ラッチ回路が設けられているプログラマブルロジックデバイスである。

10

【 0 0 2 4 】

本発明の一態様は、第1のトランジスタのゲートは書き込み制御線と接続され、第1のトランジスタのソース及びドレインの他方は書き込みデータ線と接続されているプログラマブルロジックデバイスである。

【 0 0 2 5 】

本発明の一態様は、ノードと接続する保持容量を備え、保持容量を介して、ノードと接続する読み出し制御線を有するプログラマブルロジックデバイスである。

【 0 0 2 6 】

本発明の一態様は、アレイ状の複数の記憶素子と、セレクトアと、プリチャージ回路と、出力部と、を有するプログラマブルロジックデバイスであって、アレイ状の複数の記憶素子は、チャンネルが酸化物半導体膜に形成される第1のトランジスタと、第1のトランジスタのソース及びドレインの一方とゲートが接続することによりノードを形成する第2のトランジスタと、第2のトランジスタのソース及びドレインの一方とソース及びドレインの一方が接続する第3のトランジスタと、を有し、第3のトランジスタのソース及びドレインの他方はセレクトアと接続され、第3のトランジスタのゲートは読み出し制御線と接続され、セレクトアは、プリチャージ回路及び出力部と接続されているプログラマブルロジックデバイスである。

20

【 0 0 2 7 】

本発明の一態様は、セレクトア及び出力部の間に、ラッチ回路が設けられているプログラマブルロジックデバイスである。

30

【 0 0 2 8 】

本発明の一態様は、第1のトランジスタのゲートは書き込み制御線と接続され、第1のトランジスタのソース及びドレインの他方は書き込みデータ線と接続されているプログラマブルロジックデバイスである。

【 0 0 2 9 】

本発明の一態様は、セレクトアは、入力端子と、インバータと、トランジスタとを有する1ビットのセレクトアを複数備え、それぞれの入力端子から入力された信号によってトランジスタの導通状態を決定することで、記憶素子と出力部との導通が決定されるプログラマブルロジックデバイスである。

【 0 0 3 0 】

本発明の一態様は、アレイ状の複数のロジックエレメントを有するプログラマブルロジックデバイスであって、ロジックエレメントは、チャンネルが酸化物半導体膜に形成される第1のトランジスタと、第1のトランジスタがオフ状態となることで電氣的にフローティングとなるノードと、ノードに格納されたコンフィギュレーションデータに基づいてソースとドレイン間の導通状態が決定される第2のトランジスタと、を有する複数の記憶素子と、複数の記憶素子のそれぞれと電氣的に接続されたセレクトアと、を有し、第2のトランジスタの導通状態と、セレクトアにより複数の記憶素子のいずれかーが選択されることと、によって、ロジックエレメントにおいて所定の論理回路が設定されるプログラマブルロジックデバイスである。

40

【 発明の効果 】

50

【 0 0 3 1 】

本発明の一態様により、コンフィギュレーションメモリを少ないトランジスタ数で構成する不揮発性メモリにより形成し、コンフィギュレーションメモリの配置面積を削減した P L D を提供することができる。

【 0 0 3 2 】

また本発明の一態様により、動的再構成への対応が容易で、起動時間が高速な P L D を提供することができる。

【 図面の簡単な説明 】

【 0 0 3 3 】

【 図 1 】 本発明の一態様に係る P L D の一例を示す回路図。

10

【 図 2 】 本発明の一態様に係る P L D のタイミングチャート図。

【 図 3 】 本発明の一態様に係る P L D の一例を示す回路図。

【 図 4 】 本発明の一態様に係る P L D のタイミングチャート図。

【 図 5 】 本発明の一態様に係る P L D の一例を示す回路図。

【 図 6 】 本発明の一態様に係る P L D のタイミングチャート図。

【 図 7 】 本発明の一態様に係る P L D の一例を示す回路図。

【 図 8 】 本発明の一態様に係る P L D のタイミングチャート図。

【 図 9 】 本発明の一態様に係る P L D の一例を示す回路図。

【 図 1 0 】 本発明の一態様に係る P L D のタイミングチャート図。

【 図 1 1 】 本発明の一態様に係る P L D の一例を示す回路図。

20

【 図 1 2 】 本発明の一態様に係る P L D のタイミングチャート図。

【 図 1 3 】 本発明の一態様に係る P L D の一例を示す回路図及びタイミングチャート図。

【 図 1 4 】 半導体装置の一形態を示す断面図。

【 図 1 5 】 電子機器を説明する図。

【 図 1 6 】 本発明の一態様に係る P L D における、クロック信号生成回路の一例を示す回路図。

【 発明を実施するための形態 】

【 0 0 3 4 】

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分または同様な機能を有する部分には、同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

30

【 0 0 3 5 】

なお、本明細書で説明する各図において、各構成の大きさ、膜の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【 0 0 3 6 】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

40

【 0 0 3 7 】

(実施の形態 1)

本実施の形態では、本発明の一態様に係る P L D について、図 1 及び図 2 を用いて説明する。

【 0 0 3 8 】

(構成)

図 1 は、P L D の L E におけるマルチプレクサの構成を示す。マルチプレクサは、記憶素

50

子100、110、120、130、トランジスタ104、105、114、115、124、125、134、135、インバータ107、118、119、から構成される。トランジスタ104、105、114、115、124、125、134、135は、スイッチとして機能し、これらと入力端子とインバータ118、119とによって、セレクトが構成される。図1においては、セレクトは、S0の信号が入力される入力端子と、インバータ118と、トランジスタ104、114、124、134とからなる1ビットのセレクトと、S1の信号が入力される入力端子と、インバータ119と、トランジスタ105、115、125、135とからなる1ビットのセレクトとから構成される。

【0039】

図1において、記憶素子100、110、120、130は、各々トランジスタ1個とインバータ1個と保持容量1個とで構成される。すなわち、記憶素子100はチャンネルが酸化物半導体膜に形成されるトランジスタ1とインバータ3と保持容量2とで構成され、記憶素子110はチャンネルが酸化物半導体膜に形成されるトランジスタ11とインバータ13と保持容量12とで構成され、記憶素子120はチャンネルが酸化物半導体膜に形成されるトランジスタ21とインバータ23と保持容量22とで構成され、記憶素子130はチャンネルが酸化物半導体膜に形成されるトランジスタ31とインバータ33と保持容量32とで構成される。記憶素子100、110、120、130は、書き込み制御線WLを「H(High)」とすることで、書き込みデータ線DL0乃至DL3の信号に対応した電位を保持容量FD0乃至FD3に保持することができ、保持容量FD0乃至FD3に保持した電位に応じて、配線103、113、123、133の電位を制御することができる。

【0040】

また、信号S0、S1の電位が「L(Low)」、「L」のとき、配線103と配線106が導通し、信号S0、S1の電位が「H」、「L」のとき、配線113と配線106が導通し、信号S0、S1の電位が「L」、「H」のとき、配線123と配線106が導通し、信号S0、S1の電位が「H」、「H」のとき、配線133と配線106が導通する。

【0041】

図1において、信号S0、S1の電位が「L」、「L」、且つ、保持容量FD0に「H」に対応する電位が保持されている場合、信号S0、S1の電位が「H」、「L」、且つ、保持容量FD1に「H」に対応する電位が保持されている場合、信号S0、S1の電位が「L」、「H」、且つ、保持容量FD2に「H」に対応する電位が保持されている場合、信号S0、S1の電位が「H」、「H」、且つ、保持容量FD3に「H」に対応する電位が保持されている場合の出力信号OUTは「H」となり、その他の場合の出力信号OUTは「L」となる。

【0042】

一例として、保持容量FD0、FD1、FD2、FD3に各々「H」、「L」、「L」、「L」に対応する電位を保持している場合、S0、S1の電位が「L」、「L」の時に出力信号OUTは「H」、その他の場合に出力信号OUTは「L」となる。すなわち、図1におけるマルチプレクサは、S0、S1を入力、OUTを出力とする否定論理和と等価な回路となる。また、別の一例として、保持容量FD0、FD1、FD2、FD3に各々「H」、「H」、「H」、「L」に対応する電位を保持している場合、S0、S1の電位が「H」、「H」の時に出力信号OUTは「L」、その他の場合に出力信号OUTは「H」となる。すなわち、図1におけるマルチプレクサは、S0、S1を入力、OUTを出力とする否定論理積と等価な回路となる。

【0043】

このように、図1におけるマルチプレクサは、記憶素子100、110、120、130に格納する電位を変更することで、機能を変更することができる。また、当該マルチプレクサを有するLEの機能を変更することができる。

【0044】

なお、ここでは2入力S0、S1に対して1出力を得るマルチプレクサについて説明したが、3以上の入力に対して1出力を得るマルチプレクサとする構成も可能である。このような構成とすることで、1ビット当たりのトランジスタ数を削減したコンフィギュレーションメモリを構成することができる。また、記憶素子を、オフ電流の極めて低いトランジスタで構成することで、電荷を長期間保持することが可能となり、不揮発性メモリを容易に実現できる。

【0045】

(動作)

図2は、図1に示したマルチプレクサの動作方法を示すタイミングチャートである。

【0046】

ここで、一例として、書き込み制御線WLが「H」、「L」の場合の電位を+V、0、書き込みデータ線DL0乃至DL3が「H」、「L」の場合の電位を+V、0、出力信号OUTが「H」、「L」の場合の電位を+V、0、とする。

【0047】

まず、第1のコンフィギュレーションデータの書き込み(時刻T1~T2)について説明する。

【0048】

時刻T1~T2に、WLを「H」、DL0を「H」、DL1を「L」、DL2を「L」、DL3を「L」、とする。このとき、FD0の電位は+V、となる。すなわち、コンフィギュレーションデータとして、「H」を格納したことに相当し、配線103に「L」を出力する。また、FD1の電位は0、FD2の電位は0、FD3の電位は0、となる。これは、コンフィギュレーションデータとして、「L」を格納したことに相当し、配線113、123、133に「H」を出力する。

【0049】

時刻T3~T4でS0、S1を「L」、「L」とすると、トランジスタ104、105は導通するため、配線103と配線106とは導通する。すなわち、配線106は「L」となる。したがって、出力信号OUTは「H」となる。

【0050】

時刻T4~T5でS0、S1を「H」、「L」とすると、トランジスタ114、115は導通するため、配線113と配線106とは導通する。すなわち、配線106は「H」となる。したがって、出力信号OUTは「L」となる。

【0051】

時刻T5~T6でS0、S1を「L」、「H」とすると、トランジスタ124、125は導通するため、配線123と配線106とは導通する。すなわち、配線106は「H」となる。したがって、出力信号OUTは「L」となる。

【0052】

時刻T6~T7でS0、S1を「H」、「H」とすると、トランジスタ134、135は導通するため、配線133と配線106とは導通する。すなわち、配線106は「H」となる。したがって、出力信号OUTは「L」となる。

【0053】

すなわち、図2に示すようなタイミングチャートで駆動させることによって、図1に示すマルチプレクサは、S0、S1を入力、OUTを出力とする否定論理和と等価な回路となる。

【0054】

次に、第2のコンフィギュレーションデータの書き込み(時刻T8~T9)について説明する。

【0055】

時刻T8~T9に、WLを「H」、DL0を「H」、DL1を「H」、DL2を「H」、DL3を「L」、とする。このとき、FD0の電位は+V、FD1の電位は+V、FD2の電位は+V、となる。すなわち、コンフィギュレーションデータとして、「H」を格納

10

20

30

40

50

したことに相当し、配線 1 0 3、配線 1 1 3、配線 1 2 3、に「L」を出力する。また、F D 3 の電位は 0、となる。これは、コンフィギュレーションデータとして、「L」を格納したことに相当し、配線 1 3 3 に「H」を出力する。

【 0 0 5 6 】

時刻 T 1 0 ~ T 1 1 で S 0、S 1 を「L」、「L」とすると、トランジスタ 1 0 4、1 0 5 は導通するため、配線 1 0 3 と配線 1 0 6 とは導通する。すなわち、配線 1 0 6 は「L」となる。したがって、出力信号 O U T は「H」となる。

【 0 0 5 7 】

時刻 T 1 1 ~ T 1 2 で S 0、S 1 を「H」、「L」とすると、トランジスタ 1 1 4、1 1 5 は導通するため、配線 1 1 3 と配線 1 0 6 とは導通する。すなわち、配線 1 0 6 は「L」となる。したがって、出力信号 O U T は「H」となる。

10

【 0 0 5 8 】

時刻 T 1 2 ~ T 1 3 で S 0、S 1 を「L」、「H」とすると、トランジスタ 1 2 4、1 2 5 は導通するため、配線 1 2 3 と配線 1 0 6 とは導通する。すなわち、配線 1 0 6 は「L」となる。したがって、出力信号 O U T は「H」となる。

【 0 0 5 9 】

時刻 T 1 3 ~ T 1 4 で S 0、S 1 を「H」、「H」とすると、トランジスタ 1 3 4、1 3 5 は導通するため、配線 1 3 3 と配線 1 0 6 とは導通する。すなわち、配線 1 0 6 は「H」となる。したがって、出力信号 O U T は「L」となる。

【 0 0 6 0 】

20

すなわち、図 2 に示す駆動方法を用いることで、図 1 に示すマルチプレクサは、S 0、S 1 を入力、O U T を出力とする否定論理積と等価な回路となる。

【 0 0 6 1 】

なお、ここでは 2 入力 S 0、S 1 に対して 1 出力を得るマルチプレクサについて説明したが、3 以上の入力に対して 1 出力を得るマルチプレクサとする構成も可能である。

【 0 0 6 2 】

このような構成とすることで、1 ビット当たりのトランジスタ数を削減したコンフィギュレーションメモリを構成した P L D を動作させることができる。また、記憶素子を、オフ電流の極めて低いトランジスタで構成することで、不揮発性メモリを容易に実現した P L D を動作させることができる。

30

【 0 0 6 3 】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することができる。

【 0 0 6 4 】

(実施の形態 2)

次に、実施の形態 1 とは異なる構成の記憶素子を有する、本発明の一態様に係る P L D について、図 3 及び図 4 を用いて説明する。

(構成)

図 3 は、P L D の L E におけるマルチプレクサの構成で、図 1 とは異なる構成を示す。マルチプレクサは、記憶素子 2 0 0、2 0 1、2 1 0、2 1 1、2 2 0 (図示せず)、2 2 1 (図示せず)、2 3 0、2 3 1、トランジスタ 2 0 4、2 0 5、2 1 4、2 1 5、2 2 4 (図示せず)、2 2 5 (図示せず)、2 3 4、2 3 5、インバータ 2 0 7、2 1 8、2 1 9 から構成される。トランジスタ 2 0 4、2 0 5、2 1 4、2 1 5、2 2 4、2 2 5、2 3 4、2 3 5 は、スイッチとして機能し、これらと入力端子とインバータ 2 1 8、2 1 9 とによって、セレクトが構成される。図 3 においては、セレクトは、S 0 の信号が入力される入力端子と、インバータ 2 1 8 と、トランジスタ 2 0 4、2 1 4、2 2 4、2 3 4 とからなる 1 ビットのセレクトと、S 1 の信号が入力される入力端子と、インバータ 2 1 9 と、トランジスタ 2 0 5、2 1 5、2 2 5、2 3 5 とからなる 1 ビットのセレクトとから構成される。

40

【 0 0 6 5 】

図 3 において、記憶素子 2 0 0、2 0 1、2 1 0、2 1 1、2 2 0、2 2 1、2 3 0、2

50

3 1 は、各々トランジスタ 2 個とインバータ 1 個と保持容量 1 個とで構成される。すなわち、記憶素子 2 0 0 はチャネルが酸化物半導体膜に形成されるトランジスタ 1 a とインバータ 3 a と保持容量 2 a とトランジスタ 4 a とで構成され、記憶素子 2 0 1 はチャネルが酸化物半導体膜に形成されるトランジスタ 1 b とインバータ 3 b と保持容量 2 b とトランジスタ 4 b とで構成され、記憶素子 2 1 0 はチャネルが酸化物半導体膜に形成されるトランジスタ 1 1 a とインバータ 1 3 a と保持容量 1 2 a とトランジスタ 1 4 a とで構成され、記憶素子 2 1 1 はチャネルが酸化物半導体膜に形成されるトランジスタ 1 1 b とインバータ 1 3 b と保持容量 1 2 b とトランジスタ 1 4 b とで構成され、記憶素子 2 3 0 はチャネルが酸化物半導体膜に形成されるトランジスタ 3 1 a とインバータ 3 3 a と保持容量 3 2 a とトランジスタ 3 4 a とで構成され、記憶素子 2 3 1 はチャネルが酸化物半導体膜に形成されるトランジスタ 3 1 b とインバータ 3 3 b と保持容量 3 2 b とトランジスタ 3 4 b とで構成される。記憶素子 2 0 0 (2 0 1)、2 1 0 (2 1 1)、2 2 0 (2 2 1)、2 3 0 (2 3 1) は、書き込み制御線 W L 0 (W L 1) を「H」とすることで、書き込みデータ線 D L 1 0 (D L 0)、D L 1 1 (D L 1)、D L 1 2 (D L 2)、D L 1 3 (D L 3) の信号に対応した電位を保持容量 F D 1 0 (F D 1 1)、F D 1 2 (F D 1 3)、F D 1 4 (F D 1 5)、F D 1 6 (F D 1 7) に保持することができる。また、読み出し制御線 R L 0 (R L 1) を「H」とすることで、保持容量 F D 1 0 (F D 1 1)、F D 1 2 (F D 1 3)、F D 1 4 (F D 1 5)、F D 1 6 (F D 1 7) に保持した電位に応じて、配線 2 0 3、2 1 3、2 2 3 (図示せず)、2 3 3 の電位を制御することができる。

【 0 0 6 6 】

また、信号 S 0、S 1 の電位が「L」、「L」のとき、配線 2 0 3 と配線 2 0 6 が導通し、信号 S 0、S 1 の電位が「H」、「L」のとき、配線 2 1 3 と配線 2 0 6 が導通し、信号 S 0、S 1 の電位が「L」、「H」のとき、配線 2 2 3 と配線 2 0 6 が導通し、信号 S 0、S 1 の電位が「H」、「H」のとき、配線 2 3 3 と配線 2 0 6 が導通する。

【 0 0 6 7 】

図 3 において、読み出し制御線 R L 0 を「H」とすると、信号 S 0、S 1 の電位が「L」、「L」、且つ、保持容量 F D 1 0 に「H」に対応する電位が保持されている場合、信号 S 0、S 1 の電位が「H」、「L」、且つ、保持容量 F D 1 2 に「H」に対応する電位が保持されている場合、信号 S 0、S 1 の電位が「L」、「H」、且つ、保持容量 F D 1 4 に「H」に対応する電位が保持されている場合、信号 S 0、S 1 の電位が「H」、「H」、且つ、保持容量 F D 1 6 に「H」に対応する電位が保持されている場合の出力信号 O U T は「H」となり、その他の場合の出力信号 O U T は「L」となる。

【 0 0 6 8 】

同様に、図 3 において、読み出し制御線 R L 1 を「H」とすると、信号 S 0、S 1 の電位が「L」、「L」、且つ、保持容量 F D 1 1 に「H」に対応する電位が保持されている場合、信号 S 0、S 1 の電位が「H」、「L」、且つ、保持容量 F D 1 3 に「H」に対応する電位が保持されている場合、信号 S 0、S 1 の電位が「L」、「H」、且つ、保持容量 F D 1 5 に「H」に対応する電位が保持されている場合、信号 S 0、S 1 の電位が「H」、「H」、且つ、保持容量 F D 1 7 に「H」に対応する電位が保持されている場合の出力信号 O U T は「H」となり、その他の場合の出力信号 O U T は「L」となる。

【 0 0 6 9 】

一例として、保持容量 F D 1 0、F D 1 2、F D 1 4、F D 1 6 に各々「H」、「L」、「L」、「L」に対応する電位を保持し、保持容量 F D 1 1、F D 1 3、F D 1 5、F D 1 7 に各々「H」、「H」、「H」、「L」に対応する電位を保持している場合を考える。

【 0 0 7 0 】

読み出し制御線 R L 0 を「H」とすると、S 0、S 1 の電位が「L」、「L」の時に出力信号 O U T は「H」、その他の場合に出力信号 O U T は「L」となる。すなわち、図 3 におけるマルチプレクサは、S 0、S 1 を入力、O U T を出力とする否定論理和と等価な回路となる。

10

20

30

40

50

【 0 0 7 1 】

また、読み出し制御線 R L 1 を「 H 」とすると、 S 0、 S 1 の電位が「 H 」、「 H 」の時に出力信号 O U T は「 L 」、その他の場合に出力信号 O U T は「 H 」となる。すなわち、図 3 におけるマルチプレクサは、 S 0、 S 1 を入力、 O U T を出力とする否定論理積と等価な回路となる。

【 0 0 7 2 】

このように、図 3 におけるマルチプレクサは、記憶素子 2 0 0、 2 0 1、 2 1 0、 2 1 1、 2 2 0、 2 2 1、 2 3 0、 2 3 1 に格納する電位を変更することで、機能を変更することができる。また、当該マルチプレクサを有する L E の機能を変更することができる。特に、読み出し制御線 R L 0、 R L 1 を制御することで、即座にマルチプレクサの機能を変更することができる。

10

【 0 0 7 3 】

なお、ここでは 2 入力 S 0、 S 1 に対して 1 出力を得るマルチプレクサについて説明したが、 3 以上の入力に対して 1 出力を得るマルチプレクサとする構成も可能である。

【 0 0 7 4 】

このような構成とすることで、 1 ビット当たりのトランジスタ数を削減したコンフィギュレーションメモリを構成することができる。また、記憶素子において、少なくとも保持容量に電位を与えるトランジスタを、オフ電流の極めて低いトランジスタで構成することで、不揮発性メモリを容易に実現できる。さらに、複数のコンフィギュレーションデータを格納でき、読み出し制御線 R L 0、 R L 1 のいずれかを選択することで、コンフィギュレーションデータの切り替えを行うことができるので、読み出しに要する時間を削減し、したがって、短時間でのコンフィギュレーションデータの切り替えを行うことができる。なお、ここではコンフィギュレーションデータを 2 組格納する構成を示したが、 3 組以上のコンフィギュレーションデータを格納する構成とすることも可能である。

20

【 0 0 7 5 】

また、このような構成とすることで、コンフィギュレーションメモリの配置面積を削減することができる。複数の組のコンフィギュレーションデータを格納することができ、したがって、動的再構成を容易に行うことのできる P L D を提供することができる。

【 0 0 7 6 】

(動作)

30

図 4 は、図 3 に示したマルチプレクサの動作方法を示すタイミングチャートである。

【 0 0 7 7 】

まず、第 1 のコンフィギュレーションデータの書き込み (時刻 T 1 ~ T 2) について説明する。

【 0 0 7 8 】

時刻 T 1 ~ T 2 に、 W L 0 を「 H 」、 W L 1 を「 L 」、 R L 0 を「 L 」、 R L 1 を「 L 」、 D L 1 0 を「 H 」、 D L 1 1 を「 L 」、 D L 1 2 を「 L 」、 D L 1 3 を「 L 」、とする。また、 D L 0 乃至 D L 3 は「 L 」である (図示しない。)。このとき、 F D 1 0 の電位は + V、となる。すなわち、コンフィギュレーションデータとして、「 H 」を格納したことに相当する。また、 F D 1 2 の電位は 0、 F D 1 4 の電位は 0、 F D 1 6 の電位は 0、となる。すなわち、コンフィギュレーションデータとして、「 L 」を格納したことに相当する。

40

【 0 0 7 9 】

次に、第 2 のコンフィギュレーションデータの書き込み (時刻 T 2 ~ T 3) について説明する。

【 0 0 8 0 】

時刻 T 2 ~ T 3 に、 W L 0 を「 L 」、 W L 1 を「 H 」、 R L 0 を「 L 」、 R L 1 を「 L 」、 D L 1 0 を「 H 」、 D L 1 1 を「 H 」、 D L 1 2 を「 H 」、 D L 1 3 を「 L 」、とする。このとき、 F D 1 1 の電位は + V、 F D 1 3 の電位は + V、 F D 1 5 の電位は + V、となる。すなわち、コンフィギュレーションデータとして、「 H 」を格納したことに相当す

50

る。また、FD17の電位は0、となる。すなわち、コンフィギュレーションデータとして、「L」を格納したことに相当する。

【0081】

次に、コンフィギュレーションデータの第1の切り替え(時刻T3~T7)について説明する。

【0082】

時刻T3にRL0を「H」、RL1を「L」とする。この時、配線203は「L」、配線213、223、233は「H」となる。

【0083】

時刻T3でS0、S1を「L」、「L」とすると、トランジスタ204、205は導通するため、配線203と配線206とは導通する。すなわち、配線206は「L」となる。したがって、出力信号OUTは「H」となる。

10

【0084】

時刻T4でS0、S1を「H」、「L」とすると、トランジスタ214、215は導通するため、配線213と配線206とは導通する。すなわち、配線206は「H」となる。したがって、出力信号OUTは「L」となる。

【0085】

時刻T5でS0、S1を「L」、「H」とすると、トランジスタ224、225は導通するため、配線223と配線206とは導通する。すなわち、配線206は「H」となる。したがって、出力信号OUTは「L」となる。

20

【0086】

時刻T6でS0、S1を「H」、「H」とすると、トランジスタ234、235は導通するため、配線233と配線206とは導通する。すなわち、配線206は「H」となる。したがって、出力信号OUTは「L」となる。

【0087】

すなわち、図4に示す駆動方法を用いることで、図3に示すマルチプレクサは、S0、S1を入力、OUTを出力とする否定論理和と等価な回路となる。

【0088】

次に、コンフィギュレーションデータの第2の切り替え(時刻T7~T11)について説明する。

30

【0089】

時刻T7にRL0を「L」、RL1を「H」とする。この時、配線203、213、223は「L」、配線233は「H」となる。

【0090】

時刻T7でS0、S1を「L」、「L」とすると、トランジスタ204、205は導通するため、配線203と配線206とは導通する。すなわち、配線206は「L」となる。したがって、出力信号OUTは「H」となる。

【0091】

時刻T8でS0、S1を「H」、「L」とすると、トランジスタ214、215は導通するため、配線213と配線206とは導通する。すなわち、配線206は「L」となる。したがって、出力信号OUTは「H」となる。

40

【0092】

時刻T9でS0、S1を「L」、「H」とすると、トランジスタ224、225は導通するため、配線223と配線206とは導通する。すなわち、配線206は「L」となる。したがって、出力信号OUTは「H」となる。

【0093】

時刻T10でS0、S1を「H」、「H」とすると、トランジスタ234、235は導通するため、配線233と配線206とは導通する。すなわち、配線206は「H」となる。したがって、出力信号OUTは「L」となる。

【0094】

50

すなわち、図 4 に示す駆動方法を用いることで、図 3 に示すマルチプレクサは、S 0、S 1 を入力、O U T を出力とする否定論理積と等価な回路となる。

【 0 0 9 5 】

なお、ここでは 2 入力 S 0、S 1 に対して 1 出力を得るマルチプレクサについて説明したが、3 以上の入力に対して 1 出力を得るマルチプレクサとする構成も可能である。

【 0 0 9 6 】

また、ここでは、コンフィギュレーションデータを変更する際には、R L 0、R L 1 を共に「L」とする構成、すなわち、P L D の動作を停止中にコンフィギュレーションデータを変更する構成を示したが、1 組のコンフィギュレーションデータにしたがって動作中に、他の組のコンフィギュレーションデータを変更する構成も可能である。すなわち、R L 0 を「H」、R L 1 を「L」とし、F D 1 0、F D 1 2、F D 1 4、F D 1 6 に格納したコンフィギュレーションデータにしたがって P L D が動作している際に、W L 0 を「L」、W L 1 を「H」とし、F D 1 1、F D 1 3、F D 1 5、F D 1 7 に格納されているコンフィギュレーションデータを変更する構成も可能である。

【 0 0 9 7 】

また、ここでは記憶素子にコンフィギュレーションデータを 2 組格納し、切り替える構成を示したが、3 組以上のコンフィギュレーションデータを記憶素子に格納し、切り替える構成とすることも可能である。また、3 組以上のコンフィギュレーションデータのうちの 1 組にしたがって動作中に、他の組のコンフィギュレーションデータを変更することができる。

【 0 0 9 8 】

このような構成とすることで、1 ビット当たりのトランジスタ数を削減したコンフィギュレーションメモリを有する P L D を動作させることができる。また、記憶素子において、少なくとも保持容量に電位を与えるトランジスタを、オフ電流の極めて低いトランジスタで構成することで、不揮発性メモリを容易に実現し、当該不揮発性メモリをコンフィギュレーションメモリとする P L D を動作させることができる。また、コンフィギュレーションメモリの配置面積を削減することも容易となり、したがって、複数のコンフィギュレーションデータを格納することができ、P L D の動的再構成を短時間で行うことができる。

【 0 0 9 9 】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することができる。

【 0 1 0 0 】

(実施の形態 3)

次に、実施の形態 1 及び 2 とは異なる構成の記憶素子を有する、本発明の一態様に係る P L D について、図 5 及び図 6 を用いて説明する。すなわち、実施の形態 1 及び 2 では、記憶素子にインバータ (C M O S 回路) を用いたスタティックな記憶素子であるのに対し、本実施の形態においては、容量素子及び読み出し制御線を有するダイナミックな記憶素子を用いる点で異なる。

【 0 1 0 1 】

(構成)

図 5 は、P L D の L E におけるマルチプレクサの構成を示す。マルチプレクサは、記憶素子 3 4 0、3 5 0、3 6 0、3 7 0、トランジスタ 3 0 4、3 0 5、3 1 4、3 1 5、3 2 4、3 2 5、3 3 4、3 3 5、ラッチ回路 3 0 6、トランジスタ 3 0 7、インバータ 3 0 8、3 1 8、3 1 9、トランジスタ 3 0 9、から構成される。トランジスタ 3 0 4、3 0 5、3 1 4、3 1 5、3 2 4、3 2 5、3 3 4、3 3 5 は、スイッチとして機能し、これらと入力端子とインバータ 3 1 8、3 1 9 とによって、セレクトが構成される。図 5 においては、セレクトは、S 0 の信号が入力される入力端子と、インバータ 3 1 8 と、トランジスタ 3 0 4、3 1 4、3 2 4、3 3 4 とからなる 1 ビットのセレクトと、S 1 の信号が入力される入力端子と、インバータ 3 1 9 と、トランジスタ 3 0 5、3 1 5、3 2 5、3 3 5 とからなる 1 ビットのセレクトとから構成される。

【 0 1 0 2 】

なお、本実施の形態に示すマルチプレクサにおいては、ラッチ回路 306 を有する構成としているが、ラッチ回路 306 が無い構成としても構わない。

【0103】

図5において、記憶素子 340、350、360、370 は、各々トランジスタ 2 個と保持容量 1 個で構成される。すなわち、記憶素子 340 はチャネルが酸化物半導体膜に形成されるトランジスタ 41 と保持容量 43 とトランジスタ 42 とで構成され、記憶素子 350 はチャネルが酸化物半導体膜に形成されるトランジスタ 51 と保持容量 53 とトランジスタ 52 とで構成され、記憶素子 360 はチャネルが酸化物半導体膜に形成されるトランジスタ 61 と保持容量 63 とトランジスタ 62 とで構成され、記憶素子 370 はチャネルが酸化物半導体膜に形成されるトランジスタ 71 と保持容量 73 とトランジスタ 72 とで構成される。記憶素子 340、350、360、370 は、書き込み制御線 WL を「H」とすることで、書き込みデータ線 DL20 乃至 DL23 の信号に対応した電位を保持容量 FD20 乃至 FD23 に保持することができ、読み出し制御線 RL を「H」とすることで、保持容量 FD20 乃至 FD23 に保持した電位に応じて、配線 316 と配線 303、313、323、333 との導通を制御することができる。

10

【0104】

また、信号 S0、S1 の電位が「L」、「L」のとき、配線 303 と配線 317 が導通し、信号 S0、S1 の電位が「H」、「L」のとき、配線 313 と配線 317 が導通し、信号 S0、S1 の電位が「L」、「H」のとき、配線 323 と配線 317 が導通し、信号 S0、S1 の電位が「H」、「H」のとき、配線 333 と配線 317 が導通する。

20

【0105】

図5において、PC (Pre-Charge) を一旦「L」とした後に「H」とし、読み出し制御線 RL を「H」とすると、信号 S0、S1 の電位が「L」、「L」、且つ、保持容量 FD20 に「H」に対応する電位が保持されている場合、信号 S0、S1 の電位が「H」、「L」、且つ、保持容量 FD21 に「H」に対応する電位が保持されている場合、信号 S0、S1 の電位が「L」、「H」、且つ、保持容量 FD22 に「H」に対応する電位が保持されている場合、信号 S0、S1 の電位が「H」、「H」、且つ、保持容量 FD23 に「H」に対応する電位が保持されている場合の出力信号 OUT は「H」、その他の場合の出力信号 OUT は「L」となる。

30

【0106】

一例として、保持容量 FD20、FD21、FD22、FD23 に各々「H」、「L」、「L」、「L」に対応する電位を保持している場合、S0、S1 の電位が「L」、「L」の時に出力信号 OUT は「H」、その他の場合に出力信号 OUT は「L」となる。すなわち、図5におけるマルチプレクサは、S0、S1 を入力、OUT を出力とする否定論理和と等価な回路となる。また、別の一例として、保持容量 FD20、FD21、FD22、FD23 に各々「H」、「H」、「H」、「L」に対応する電位を保持している場合、S0、S1 の電位が「H」、「H」の時に出力信号 OUT は「L」、その他の場合に出力信号 OUT は「H」となる。すなわち、図5におけるマルチプレクサは、S0、S1 を入力、OUT を出力とする否定論理積と等価な回路となる。

40

【0107】

このように、図5におけるマルチプレクサは、記憶素子 340、350、360、370 に格納する電位を変更することで、機能を変更することができる。また、当該マルチプレクサを有する LE の機能を変更することができる。

【0108】

なお、ここでは 2 入力 S0、S1 に対して 1 出力を得るマルチプレクサについて説明したが、3 以上の入力に対して 1 出力を得るマルチプレクサとする構成も可能である。

【0109】

このような構成とすることで、1 ビット当たりのトランジスタ数を削減したコンフィギュレーションメモリを構成することができる。また、記憶素子において、少なくとも保持容量に電位を与えるトランジスタを、オフ電流の極めて低いトランジスタで構成することで

50

、不揮発性メモリを容易に実現できる。

【 0 1 1 0 】

(動作)

図 6 は、図 5 に示したマルチプレクサの動作方法を示すタイミングチャートである。

【 0 1 1 1 】

ここで、一例として、書き込み制御線 W L が「 H 」、 「 L 」 の場合の電位を + V 、 - V 、読み出し制御線 R L が「 H 」、 「 L 」 の場合の電位を + V 、 0 、書き込みデータ線 D L 2 0 乃至 D L 2 3 が「 H 」、 「 L 」 の場合の電位を 0 、 - V 、配線 3 1 6 、 3 1 7 、出力信号 O U T が「 H 」、 「 L 」 の場合の電位を + V 、 0 、とする。

【 0 1 1 2 】

まず、コンフィギュレーションデータの第 1 の書き込み (時刻 T 1 ~ T 2) について説明する。

【 0 1 1 3 】

時刻 T 1 ~ T 2 に、 W L を「 H 」、 R L を「 L 」、 D L 2 0 を「 H 」、 D L 2 1 を「 L 」、 D L 2 2 を「 L 」、 D L 2 3 を「 L 」、とする。このとき、 F D 2 0 の電位は 0 、となる。これは、スイッチを導通とする電位に相当する。すなわち、コンフィギュレーションデータとして、「 H 」を格納したことに相当する。また、 F D 2 1 の電位は - V 、 F D 2 2 の電位は - V 、 F D 2 3 の電位は - V 、となる。これは、スイッチを非導通とする電位に相当する。すなわち、コンフィギュレーションデータとして、「 L 」を格納したことに相当する。

【 0 1 1 4 】

なお、コンフィギュレーションデータの第 1 の書き込みに際して、 P C を常に「 L 」として、配線 3 1 7 の電位を「 H 」に一定とすることが好ましい。このような構成とすることで、コンフィギュレーションデータの書き込み中の消費電力を削減することができる。また、配線 3 1 7 にラッチ回路 3 0 6 を設けることが好ましい。このような構成とすることで、 P C を常に「 H 」としても、配線 3 1 7 の電位が浮遊電位となることを防止でき、配線 3 1 7 の電位を入力電位とするインバータ 3 0 8 で過大な電流が生じることを防止できる。

【 0 1 1 5 】

次に、コンフィギュレーションデータの第 1 の切り替え (時刻 T 3 ~ T 7) について説明する。

【 0 1 1 6 】

時刻 T 3 に R L を「 H 」とする。この時、記憶素子 3 4 0 は導通、記憶素子 3 5 0 、 3 6 0 、 3 7 0 は非導通となる。したがって、配線 3 1 6 と配線 3 0 3 とは導通し、配線 3 1 6 と配線 3 1 3 、 3 2 3 、 3 3 3 とは非導通となる。

【 0 1 1 7 】

時刻 T 3 で S 0 、 S 1 を「 L 」、 「 L 」 とし、時刻 T 3 後の短時間のみ P C を「 L 」とし、その後 P C を「 H 」とする。 P C を「 H 」とすると、トランジスタ 3 0 4 、 3 0 5 は導通するため、配線 3 0 3 と配線 3 1 7 とは導通する。すなわち、配線 3 1 6 と配線 3 1 7 とは導通し、配線 3 1 7 は「 L 」となる。したがって、出力信号 O U T は「 H 」となる。

【 0 1 1 8 】

時刻 T 4 で S 0 、 S 1 を「 H 」、 「 L 」 とし、時刻 T 4 後の短時間のみ P C を「 L 」とし、その後 P C を「 H 」とする。 P C を「 H 」とすると、トランジスタ 3 1 4 、 3 1 5 は導通するため、配線 3 1 3 と配線 3 1 7 とは導通する。しかし、配線 3 1 6 と配線 3 1 3 とは非導通のため、配線 3 1 7 は「 H 」のままとなる。したがって、出力信号 O U T は「 L 」となる。

【 0 1 1 9 】

時刻 T 5 で S 0 、 S 1 を「 L 」、 「 H 」 とし、時刻 T 5 後の短時間のみ P C を「 L 」とし、その後 P C を「 H 」とする。 P C を「 H 」とすると、トランジスタ 3 2 4 、 3 2 5 は導通するため、配線 3 2 3 と配線 3 1 7 とは導通する。しかし、配線 3 1 6 と配線 3 2 3 と

10

20

30

40

50

は非導通のため、配線 3 1 7 は「H」のままとなる。したがって、出力信号 O U T は「L」となる。

【 0 1 2 0 】

時刻 T 6 で S 0、S 1 を「H」、「H」とし、時刻 T 6 後の短時間のみ P C を「L」とし、その後 P C を「H」とする。P C を「H」とすると、トランジスタ 3 3 4、3 3 5 は導通するため、配線 3 3 3 と配線 3 1 7 とは導通する。しかし、配線 3 1 6 と配線 3 3 3 とは非導通のため、配線 3 1 7 は「H」のままとなる。したがって、出力信号 O U T は「L」となる。

【 0 1 2 1 】

すなわち、図 6 に示す駆動方法を用いることで、図 5 に示すマルチプレクサは、S 0、S 1 を入力、O U T を出力とする否定論理和と等価な回路となる。

10

【 0 1 2 2 】

次に、コンフィギュレーションデータの第 2 の書き込み（時刻 T 8 ~ T 9）について説明する。

【 0 1 2 3 】

時刻 T 8 ~ T 9 に、W L を「H」、R L を「L」、D L 2 0 を「H」、D L 2 1 を「H」、D L 2 2 を「H」、D L 2 3 を「L」、とする。このとき、F D 2 0 の電位は 0、F D 2 1 の電位は 0、F D 2 2 の電位は 0、となる。これは、スイッチを導通とする電位に相当する。すなわち、コンフィギュレーションデータとして、「H」を格納したことに相当する。また、F D 2 3 の電位は - V、となる。これは、スイッチを非導通とする電位に相当する。すなわち、コンフィギュレーションデータとして、「L」を格納したことに相当する。

20

【 0 1 2 4 】

なお、コンフィギュレーションデータの第 2 の書き込みに際して、P C を常に「L」として、配線 3 1 7 の電位を「H」に一定とすることが好ましい。このような構成とすることで、コンフィギュレーションデータの書き込み中の消費電力を削減することができる。また、配線 3 1 7 にラッチ回路 3 0 6 を設けることが好ましい。このような構成とすることで、P C を常に「H」としても、配線 3 1 7 の電位が浮遊電位となることを防止でき、配線 3 1 7 の電位を入力電位とするインバータ 3 0 8 で過大な電流が生じることを防止できる。

30

【 0 1 2 5 】

次に、コンフィギュレーションデータの第 2 の切り替え（時刻 T 1 0 ~ T 1 4）について説明する。

【 0 1 2 6 】

時刻 T 1 0 に R L を「H」とする。この時、記憶素子 3 4 0、3 5 0、3 6 0 は導通、記憶素子 3 7 0 は非導通となる。したがって、配線 3 1 6 と配線 3 0 3、3 1 3、3 2 3 とは導通し、配線 3 1 6 と配線 3 3 3 とは非導通となる。

【 0 1 2 7 】

時刻 T 1 0 で S 0、S 1 を「L」、「L」とし、時刻 T 1 0 後の短時間のみ P C を「L」とし、その後 P C を「H」とする。P C を「H」とすると、トランジスタ 3 0 4、3 0 5 は導通するため、配線 3 0 3 と配線 3 1 7 とは導通する。すなわち、配線 3 1 6 と配線 3 1 7 とは導通し、配線 3 1 7 は「L」となる。したがって、出力信号 O U T は「H」となる。

40

【 0 1 2 8 】

時刻 T 1 1 で S 0、S 1 を「H」、「L」とし、時刻 T 1 1 後の短時間のみ P C を「L」とし、その後 P C を「H」とする。P C を「H」とすると、トランジスタ 3 1 4、3 1 5 は導通するため、配線 3 1 3 と配線 3 1 7 とは導通する。すなわち、配線 3 1 6 と配線 3 1 7 とは導通し、配線 3 1 7 は「L」となる。したがって、出力信号 O U T は「H」となる。

【 0 1 2 9 】

50

時刻 T 1 2 で S 0、S 1 を「L」、「H」とし、時刻 T 1 2 後の短時間のみ P C を「L」とし、その後 P C を「H」とする。P C を「H」とすると、トランジスタ 3 2 4、3 2 5 は導通するため、配線 3 2 3 と配線 3 1 7 とは導通する。すなわち、配線 3 1 6 と配線 3 1 7 とは導通し、配線 3 1 7 は「L」となる。したがって、出力信号 O U T は「H」となる。

【0130】

時刻 T 1 3 で S 0、S 1 を「H」、「H」とし、時刻 T 1 3 後の短時間のみ P C を「L」とし、その後 P C を「H」とする。P C を「H」とすると、トランジスタ 3 3 4、3 3 5 は導通するため、配線 3 3 3 と配線 3 1 7 とは導通する。しかし、配線 3 1 6 と配線 3 3 3 とは非導通のため、配線 3 1 7 は「H」のままとなる。したがって、出力信号 O U T は「L」となる。

10

【0131】

すなわち、図 6 に示す駆動方法を用いることで、図 5 に示すマルチプレクサは、S 0、S 1 を入力、O U T を出力とする否定論理積と等価な回路となる。

【0132】

なお、ここでは 2 入力 S 0、S 1 に対して 1 出力を得るマルチプレクサについて説明したが、3 以上の入力に対して 1 出力を得るマルチプレクサとする構成も可能である。

【0133】

このような構成とすることで、1 ビット当たりのトランジスタ数を削減したコンフィギュレーションメモリを構成した P L D を動作させることができる。また、記憶素子において、少なくとも保持容量に電位を与えるトランジスタを、オフ電流の極めて低いトランジスタで構成することで、不揮発性メモリを容易に実現した P L D を動作させることができる。

20

【0134】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0135】

(実施の形態 4)

次に、実施の形態 1 乃至 3 とは異なる構成の記憶素子を有する、本発明の一態様に係る P L D について、図 7 及び図 8 を用いて説明する。本実施の形態に示す記憶素子は、実施の形態 3 で説明した記憶素子の保持容量の代わりに、トランジスタ数を増加させた構成である。

30

【0136】

(構成)

図 7 に示すマルチプレクサは、記憶素子 4 0 0 乃至 4 0 2、4 1 0 乃至 4 1 2、4 2 0 (図示せず) 乃至 4 2 2 (図示せず)、4 3 0 乃至 4 3 2、トランジスタ 4 0 4、4 0 5、4 1 4、4 1 5、4 2 4 (図示せず)、4 2 5 (図示せず)、4 3 4、4 3 5、ラッチ回路 4 0 6、トランジスタ 4 0 7、インバータ 4 0 8、4 1 8、4 1 9、トランジスタ 4 0 9、から構成される。トランジスタ 4 0 4、4 0 5、4 1 4、4 1 5、4 2 4、4 2 5、4 3 4、4 3 5 は、スイッチとして機能し、これらと入力端子とインバータ 4 1 8、4 1 9 とによって、セレクトが構成される。図 7 においては、セレクトは、S 0 の信号が入力される入力端子と、インバータ 4 1 8 と、トランジスタ 4 0 4、4 1 4、4 2 4、4 3 4 とからなる 1 ビットのセレクトと、S 1 の信号が入力される入力端子と、インバータ 4 1 9 と、トランジスタ 4 0 5、4 1 5、4 2 5、4 3 5 とからなる 1 ビットのセレクトとから構成される。

40

【0137】

図 7 において、記憶素子 4 0 0 乃至 4 0 2、4 1 0 乃至 4 1 2、4 2 0 乃至 4 2 2、4 3 0 乃至 4 3 2 は、各々トランジスタ 3 個で構成される。すなわち、記憶素子 4 0 0 はチャネルが酸化物半導体膜に形成されるトランジスタ 4 5 a と、トランジスタ 4 6 a とトランジスタ 4 7 a とで構成され、記憶素子 4 0 1 はチャネルが酸化物半導体膜に形成されるトランジスタ 4 5 b と、トランジスタ 4 6 b とトランジスタ 4 7 b とで構成され、記憶素子

50

402はチャネルが酸化物半導体膜に形成されるトランジスタ45cと、トランジスタ46cとトランジスタ47cとで構成され、記憶素子410はチャネルが酸化物半導体膜に形成されるトランジスタ55aと、トランジスタ56aとトランジスタ57aとで構成され、記憶素子411はチャネルが酸化物半導体膜に形成されるトランジスタ55bと、トランジスタ56bとトランジスタ57bとで構成され、記憶素子412はチャネルが酸化物半導体膜に形成されるトランジスタ55cと、トランジスタ56cとトランジスタ57cとで構成され、記憶素子430はチャネルが酸化物半導体膜に形成されるトランジスタ65aと、トランジスタ66aとトランジスタ67aとで構成され、記憶素子431はチャネルが酸化物半導体膜に形成されるトランジスタ65bと、トランジスタ66bとトランジスタ67bとで構成され、記憶素子432はチャネルが酸化物半導体膜に形成されるトランジスタ65cと、トランジスタ66cとトランジスタ67cとで構成される。記憶素子400乃至402、410乃至412、420乃至422、430乃至432は、書き込み制御線WL0乃至WL2のいずれかを「H」とすることで、書き込みデータ線DL30乃至DL33の信号に対応した電位を保持容量FD30乃至FD32、FD33乃至FD35、FD36乃至FD38、FD39乃至FD41に保持することができ、読み出し制御線RL0乃至RL2のいずれかを「H」とすることで、FD30乃至FD32、FD33乃至FD35、FD36乃至FD38、FD39乃至FD41に保持した電位に応じて、配線416と配線403、413、423（図示せず）、433との導通を制御することができる。

10

【0138】

20

また、信号S0、S1の電位が「L」、「L」のとき、配線403と配線417が導通し、信号S0、S1の電位が「H」、「L」のとき、配線413と配線417が導通し、信号S0、S1の電位が「L」、「H」のとき、配線423と配線417が導通し、信号S0、S1の電位が「H」、「H」のとき、配線433と配線417が導通する。

【0139】

図7において、PCを一旦「L」とした後に「H」とし、読み出し制御線RL0を「H」とすると、信号S0、S1の電位が「L」、「L」、且つ、保持容量FD30に「H」に対応する電位が保持されている場合、信号S0、S1の電位が「H」、「L」、且つ、保持容量FD33に「H」に対応する電位が保持されている場合、信号S0、S1の電位が「L」、「H」、且つ、保持容量FD36に「H」に対応する電位が保持されている場合、信号S0、S1の電位が「H」、「H」、且つ、保持容量FD39に「H」に対応する電位が保持されている場合の出力信号OUTは「H」、その他の場合の出力信号OUTは「L」となる。

30

【0140】

同様に、図7において、PCを一旦「L」とした後に「H」とし、読み出し制御線RL1を「H」とすると、信号S0、S1の電位が「L」、「L」、且つ、保持容量FD31に「H」に対応する電位が保持されている場合、信号S0、S1の電位が「H」、「L」、且つ、保持容量FD34に「H」に対応する電位が保持されている場合、信号S0、S1の電位が「L」、「H」、且つ、保持容量FD37に「H」に対応する電位が保持されている場合、信号S0、S1の電位が「H」、「H」、且つ、保持容量FD40に「H」に対応する電位が保持されている場合の出力信号OUTは「H」、その他の場合の出力信号OUTは「L」となる。

40

【0141】

同様に、図7において、PCを一旦「L」とした後に「H」とし、読み出し制御線RL2を「H」とすると、信号S0、S1の電位が「L」、「L」、且つ、保持容量FD32に「H」に対応する電位が保持されている場合、信号S0、S1の電位が「H」、「L」、且つ、保持容量FD35に「H」に対応する電位が保持されている場合、信号S0、S1の電位が「L」、「H」、且つ、保持容量FD38に「H」に対応する電位が保持されている場合、信号S0、S1の電位が「H」、「H」、且つ、保持容量FD41に「H」に対応する電位が保持されている場合の出力信号OUTは「H」、その他の場合の出力信号

50

OUTは「L」となる。

【0142】

一例として、保持容量FD30、FD33、FD36、FD39に各々「H」、「L」、「L」、「L」に対応する電位を保持し、保持容量FD31、FD34、FD37、FD40に各々「H」、「H」、「H」、「L」に対応する電位を保持し、保持容量FD32、FD35、FD38、FD41に各々「L」、「H」、「H」、「L」に対応する電位を保持している場合を考える。

【0143】

読み出し制御線RL0を「H」とすると、S0、S1の電位が「L」、「L」の時に出力信号OUTは「H」、その他の場合に出力信号OUTは「L」となる。すなわち、図7におけるマルチプレクサは、S0、S1を入力、OUTを出力とする否定論理和と等価な回路となる。

10

【0144】

また、読み出し制御線RL1を「H」とすると、S0、S1の電位が「H」、「H」の時に出力信号OUTは「L」、その他の場合に出力信号OUTは「H」となる。すなわち、図7におけるマルチプレクサは、S0、S1を入力、OUTを出力とする否定論理積と等価な回路となる。

【0145】

また、読み出し制御線RL2を「H」とすると、S0、S1の電位が「H」、「L」及び「L」、「H」の時に出力信号OUTは「H」、その他の場合に出力信号OUTは「L」となる。すなわち、図7におけるマルチプレクサは、S0、S1を入力、OUTを出力とする排他的論理和と等価な回路となる。

20

【0146】

このように、図7におけるマルチプレクサは、記憶素子400乃至402、410乃至412、420乃至422、430乃至432に格納する電位を変更することで、機能を変更することができる。また、当該マルチプレクサを有するLEの機能を変更することができる。特に、読み出し制御線RL0乃至RL2を制御することで、即座にマルチプレクサの機能を変更することができる。

【0147】

なお、ここでは2入力S0、S1に対して1出力を得るマルチプレクサについて説明したが、3以上の入力に対して1出力を得るマルチプレクサとする構成も可能である。

30

【0148】

このような構成とすることで、1ビット当たりのトランジスタ数を削減したコンフィギュレーションメモリを構成することができる。また、記憶素子を、オフ電流の極めて低いトランジスタで構成することで、不揮発性メモリを容易に実現できる。さらに、複数のコンフィギュレーションデータを格納でき、読み出し制御線RL0、RL1、RL2のいずれかを選択することで、コンフィギュレーションデータの切り替えを行うことができるので、読み出しに要する時間を削減し、したがって、短時間でのコンフィギュレーションデータの切り替えを行うことができる。なお、ここではコンフィギュレーションデータを3組格納する構成を示したが、3組以上のコンフィギュレーションデータを格納する構成とすることも可能である。

40

【0149】

また、このような構成とすることで、コンフィギュレーションメモリの配置面積を削減することができる。複数の組のコンフィギュレーションデータを格納することができ、したがって、動的再構成を容易に行うことのできるPLDを提供することができる。

【0150】

(動作)

図8は、図7に示したマルチプレクサの動作方法を示すタイミングチャートである。

【0151】

まず、第1のコンフィギュレーションデータの書き込み(時刻T1~T2)について説明

50

する。

【 0 1 5 2 】

時刻 T 1 ~ T 2 に、W L 0 を「 H 」、W L 1 を「 L 」、R L 0 を「 L 」、R L 1 を「 L 」、D L 3 0 を「 H 」、D L 3 1 を「 L 」、D L 3 2 を「 L 」、D L 3 3 を「 L 」、とする。このとき、F D 3 0 の電位は V 、となる。これは、スイッチを導通とする電位に相当する。すなわち、コンフィギュレーションデータとして、「 H 」を格納したことに相当する。また、F D 3 3 の電位は 0 、F D 3 6 の電位は 0 、F D 3 9 の電位は 0 、となる。これは、スイッチを非導通とする電位に相当する。すなわち、コンフィギュレーションデータとして、「 L 」を格納したことに相当する。

【 0 1 5 3 】

次に、第 2 のコンフィギュレーションデータの書き込み（時刻 T 2 ~ T 3 ）について説明する。

【 0 1 5 4 】

時刻 T 2 ~ T 3 に、W L 0 を「 H 」、W L 1 を「 H 」、R L 0 を「 L 」、R L 1 を「 L 」、D L 3 0 を「 H 」、D L 3 1 を「 H 」、D L 3 2 を「 H 」、D L 3 3 を「 L 」、とする。このとき、F D 3 0 の電位は + V 、F D 3 3 の電位は + V 、F D 3 6 の電位は + V 、となる。これは、スイッチを導通とする電位に相当する。すなわち、コンフィギュレーションデータとして、「 H 」を格納したことに相当する。また、F D 3 9 の電位は 0 、となる。これは、スイッチを非導通とする電位に相当する。すなわち、コンフィギュレーションデータとして、「 L 」を格納したことに相当する。

【 0 1 5 5 】

なお、第 1 及び第 2 のコンフィギュレーションデータの書き込みに際して、P C を常に「 L 」として、配線 4 1 7 の電位を「 H 」に一定とすることが好ましい。このような構成とすることで、コンフィギュレーションデータの書き込み中の消費電力を削減することができる。また、配線 4 1 7 にラッチ回路 4 0 6 を設けることが好ましい。このような構成とすることで、P C を常に「 H 」としても、配線 4 1 7 の電位が浮遊電位となることを防止でき、配線 4 1 7 の電位を入力電位とするインバータ 4 0 8 で過大な電流が生じることを防止できる。

【 0 1 5 6 】

次に、コンフィギュレーションデータの第 1 の切り替え（時刻 T 3 ~ T 7 ）について説明する。

【 0 1 5 7 】

時刻 T 3 に R L 0 を「 H 」、R L 1 を「 L 」とする。この時、記憶素子 4 0 0 は導通、記憶素子 4 1 0 、4 2 0 、4 3 0 、4 0 1 、4 1 1 、4 2 1 、4 3 1 、4 0 2 、4 1 2 、4 2 2 、4 3 2 は非導通となる。したがって、配線 4 1 6 と配線 4 0 3 とは導通し、配線 4 1 6 と配線 4 1 3 、4 2 3 、4 3 3 とは非導通となる。

【 0 1 5 8 】

時刻 T 3 で S 0 、S 1 を「 L 」、「 L 」とし、時刻 T 3 後の短時間のみ P C を「 L 」とし、その後 P C を「 H 」とする。P C を「 H 」とすると、トランジスタ 4 0 4 、4 0 5 は導通するため、配線 4 0 3 と配線 4 1 7 とは導通する。すなわち、配線 4 1 6 と配線 4 1 7 とは導通し、配線 4 1 7 は「 L 」となる。したがって、出力信号 O U T は「 H 」となる。

【 0 1 5 9 】

時刻 T 4 で S 0 、S 1 を「 H 」、「 L 」とし、時刻 T 4 後の短時間のみ P C を「 L 」とし、その後 P C を「 H 」とする。P C を「 H 」とすると、トランジスタ 4 1 4 、4 1 5 は導通するため、配線 4 1 3 と配線 4 1 7 とは導通する。しかし、配線 4 1 6 と配線 4 1 3 とは非導通のため、配線 4 1 7 は「 H 」のままとなる。したがって、出力信号 O U T は「 L 」となる。

【 0 1 6 0 】

時刻 T 5 で S 0 、S 1 を「 L 」、「 H 」とし、時刻 T 5 後の短時間のみ P C を「 L 」とし、その後 P C を「 H 」とする。P C を「 H 」とすると、トランジスタ 4 2 4 、4 2 5 は導

10

20

30

40

50

通するため、配線 4 2 3 と配線 4 1 7 とは導通する。しかし、配線 4 1 6 と配線 4 2 3 とは非導通のため、配線 4 1 7 は「H」のままとなる。したがって、出力信号 O U T は「L」となる。

【 0 1 6 1 】

時刻 T 6 で S 0、S 1 を「H」、「H」とし、時刻 T 6 後の短時間のみ P C を「L」とし、その後 P C を「H」とする。P C を「H」とすると、トランジスタ 4 3 4、4 3 5 は導通するため、配線 4 3 3 と配線 4 1 7 とは導通する。しかし、配線 4 1 6 と配線 4 3 3 とは非導通のため、配線 4 1 7 は「H」のままとなる。したがって、出力信号 O U T は「L」となる。

【 0 1 6 2 】

すなわち、図 8 に示す駆動方法を用いることで、図 7 に示すマルチプレクサは、S 0、S 1 を入力、O U T を出力とする否定論理和と等価な回路となる。

【 0 1 6 3 】

次に、コンフィギュレーションデータの第 2 の切り替え（時刻 T 7 ~ T 1 1）について説明する。

【 0 1 6 4 】

時刻 T 7 に R L 0 を「L」、R L 1 を「H」とする。この時、記憶素子 4 0 0、4 1 0、4 2 0 は導通、記憶素子 4 3 0、4 0 1、4 1 1、4 2 1、4 3 1、4 0 2、4 1 2、4 2 2、4 3 2 は非導通となる。したがって、配線 4 1 6 と配線 4 0 3、4 1 3、4 2 3 とは導通し、配線 4 1 6 と配線 4 3 3 とは非導通となる。

【 0 1 6 5 】

時刻 T 7 で S 0、S 1 を「L」、「L」とし、時刻 T 7 後の短時間のみ P C を「L」とし、その後 P C を「H」とする。P C を「H」とすると、トランジスタ 4 0 4、4 0 5 は導通するため、配線 4 0 3 と配線 4 1 7 とは導通する。すなわち、配線 4 1 6 と配線 4 1 7 とは導通し、配線 4 1 7 は「L」となる。したがって、出力信号 O U T は「H」となる。

【 0 1 6 6 】

時刻 T 8 で S 0、S 1 を「H」、「L」とし、時刻 T 8 後の短時間のみ P C を「L」とし、その後 P C を「H」とする。P C を「H」とすると、トランジスタ 4 1 4、4 1 5 は導通するため、配線 4 1 3 と配線 4 1 7 とは導通する。すなわち、配線 4 1 6 と配線 4 1 7 とは導通し、配線 4 1 7 は「L」となる。したがって、出力信号 O U T は「H」となる。

【 0 1 6 7 】

時刻 T 9 で S 0、S 1 を「L」、「H」とし、時刻 T 9 後の短時間のみ P C を「L」とし、その後 P C を「H」とする。P C を「H」とすると、トランジスタ 4 2 4、4 2 5 は導通するため、配線 4 2 3 と配線 4 1 7 とは導通する。すなわち、配線 4 1 6 と配線 4 1 7 とは導通し、配線 4 1 7 は「L」となる。したがって、出力信号 O U T は「H」となる。

【 0 1 6 8 】

時刻 T 1 0 で S 0、S 1 を「H」、「H」とし、時刻 T 1 0 後の短時間のみ P C を「L」とし、その後 P C を「H」とする。P C を「H」とすると、トランジスタ 4 3 4、4 3 5 は導通するため、配線 4 3 3 と配線 4 1 7 とは導通する。しかし、配線 4 1 6 と配線 4 3 3 とは非導通のため、配線 4 1 7 は「H」のままとなる。したがって、出力信号 O U T は「L」となる。

【 0 1 6 9 】

すなわち、図 8 に示す駆動方法を用いることで、図 7 に示すマルチプレクサは、S 0、S 1 を入力、O U T を出力とする否定論理積と等価な回路となる。

【 0 1 7 0 】

なお、ここでは 2 入力 S 0、S 1 に対して 1 出力を得るマルチプレクサについて説明したが、3 以上の入力に対して 1 出力を得るマルチプレクサとする構成も可能である。

【 0 1 7 1 】

また、ここでは記憶素子にコンフィギュレーションデータを 2 組格納し、切り替える構成を示したが、3 組以上のコンフィギュレーションデータを記憶素子に格納し、切り替える

10

20

30

40

50

構成とすることも可能である。また、３組以上のコンフィギュレーションデータのうちの１組にしたがって動作中に、他の組のコンフィギュレーションデータを変更することができる。

【０１７２】

このような構成とすることで、１ビット当たりのトランジスタ数を削減したコンフィギュレーションメモリを有するＰＬＤを動作させることができる。また、記憶素子を、オフ電流の極めて低いトランジスタで構成することで、不揮発性メモリを容易に実現し、当該不揮発性メモリをコンフィギュレーションメモリとするＰＬＤを動作させることができる。また、コンフィギュレーションメモリの配置面積を削減することも容易となり、したがって、複数のコンフィギュレーションデータを格納することができ、ＰＬＤの動的再構成を短時間で行うことができる。

10

【０１７３】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【０１７４】

（実施の形態５）

次に、実施の形態１乃至４とは異なる構成の記憶素子を有する、本発明の一態様に係るＰＬＤについて、図９及び図１０を用いて説明する。本実施の形態に示す記憶素子は、実施の形態３で説明した記憶素子における保持容量が無い構成である。

【０１７５】

（構成）

20

図９は、ＰＬＤのＬＥにおけるマルチプレクサの構成を示す。マルチプレクサは、記憶素子３００、３１０、３２０、３３０、トランジスタ３０４、３０５、３１４、３１５、３２４、３２５、３３４、３３５、ラッチ回路３０６、トランジスタ３０７、インバータ３０８、３１８、３１９、トランジスタ３０９、から構成される。トランジスタ３０４、３０５、３１４、３１５、３２４、３２５、３３４、３３５は、スイッチとして機能し、これらと入力端子とインバータ３１８、３１９とによって、セレクトが構成される。図９においては、セレクトは、Ｓ０の信号が入力される入力端子と、インバータ３１８と、トランジスタ３０４、３１４、３２４、３３４とからなる１ビットのセレクトと、Ｓ１の信号が入力される入力端子と、インバータ３１９と、トランジスタ３０５、３１５、３２５、３３５とからなる１ビットのセレクトとから構成される。

30

【０１７６】

なお、本実施の形態に示すマルチプレクサにおいては、ラッチ回路３０６を有する構成としているが、ラッチ回路３０６が無い構成としても構わない。

【０１７７】

図９において、記憶素子３００、３１０、３２０、３３０は、各々トランジスタ２個で構成される。すなわち、記憶素子３００はチャネルが酸化物半導体膜に形成されるトランジスタ４１と、トランジスタ４２で構成され、記憶素子３１０はチャネルが酸化物半導体膜に形成されるトランジスタ５１と、トランジスタ５２で構成され、記憶素子３２０はチャネルが酸化物半導体膜に形成されるトランジスタ６１と、トランジスタ６２で構成され、記憶素子３３０はチャネルが酸化物半導体膜に形成されるトランジスタ７１と、トランジスタ７２で構成される。記憶素子３００、３１０、３２０、３３０は、書き込み制御線ＷＬを「Ｈ」とすることで、書き込みデータ線ＤＬ２０乃至ＤＬ２３の信号に対応した電位をノードＦＮ２０乃至ＦＮ２３に保持することができ、ノードＦＮ２０乃至ＦＮ２３に保持した電位に応じて、配線３１６と配線３０３、３１３、３２３、３３３との導通を制御することができる。

40

【０１７８】

また、信号Ｓ０、Ｓ１の電位が「Ｌ」、「Ｌ」のとき、配線３０３と配線３１７が導通し、信号Ｓ０、Ｓ１の電位が「Ｈ」、「Ｌ」のとき、配線３１３と配線３１７が導通し、信号Ｓ０、Ｓ１の電位が「Ｌ」、「Ｈ」のとき、配線３２３と配線３１７が導通し、信号Ｓ０、Ｓ１の電位が「Ｈ」、「Ｈ」のとき、配線３３３と配線３１７が導通する。

50

【 0 1 7 9 】

図 9 において、P C (P r e - C h a r g e) を一旦「 L 」とした後に「 H 」とすると、信号 S 0、S 1 の電位が「 L 」、「 L 」、且つ、ノード F N 2 0 に「 H 」に対応する電位が保持されている場合、信号 S 0、S 1 の電位が「 H 」、「 L 」、且つ、ノード F N 2 1 に「 H 」に対応する電位が保持されている場合、信号 S 0、S 1 の電位が「 L 」、「 H 」、且つ、ノード F N 2 2 に「 H 」に対応する電位が保持されている場合、信号 S 0、S 1 の電位が「 H 」、「 H 」、且つ、ノード F N 2 3 に「 H 」に対応する電位が保持されている場合の出力信号 O U T は「 H 」、その他の場合の出力信号 O U T は「 L 」となる。

【 0 1 8 0 】

一例として、ノード F N 2 0、2 1、2 2、2 3 に各々「 H 」、「 L 」、「 L 」、「 L 」に対応する電位を保持している場合、S 0、S 1 の電位が「 L 」、「 L 」の時に出力信号 O U T は「 H 」、その他の場合に出力信号 O U T は「 L 」となる。すなわち、図 9 におけるマルチプレクサは、S 0、S 1 を入力、O U T を出力とする否定論理和と等価な回路となる。また、別の一例として、ノード F N 2 0、2 1、2 2、2 3 に各々「 H 」、「 H 」、「 H 」、「 L 」に対応する電位を保持している場合、S 0、S 1 の電位が「 H 」、「 H 」の時に出力信号 O U T は「 L 」、その他の場合に出力信号 O U T は「 H 」となる。すなわち、図 9 におけるマルチプレクサは、S 0、S 1 を入力、O U T を出力とする否定論理積と等価な回路となる。

【 0 1 8 1 】

このように、図 9 におけるマルチプレクサは、記憶素子 3 0 0、3 1 0、3 2 0、3 3 0 に格納する電位を変更することで、機能を変更することができる。また、当該マルチプレクサを有する L E の機能を変更することができる。

【 0 1 8 2 】

なお、ここでは 2 入力 S 0、S 1 に対して 1 出力を得るマルチプレクサについて説明したが、3 以上の入力に対して 1 出力を得るマルチプレクサとする構成も可能である。

【 0 1 8 3 】

このような構成とすることで、1 ビット当たりのトランジスタ数を削減したコンフィギュレーションメモリを構成することができる。また、記憶素子を、オフ電流の極めて低いトランジスタで構成することで、不揮発性メモリを容易に実現できる。

【 0 1 8 4 】

(動作)

図 1 0 は、図 9 に示したマルチプレクサの動作方法を示すタイミングチャートである。

【 0 1 8 5 】

ここで、一例として、書き込み制御線 W L が「 H 」、「 L 」の場合の電位を + V、- V、書き込みデータ線 D L 2 0 乃至 D L 2 3 が「 H 」、「 L 」の場合の電位を 0、- V、配線 3 1 6、3 1 7、出力信号 O U T が「 H 」、「 L 」の場合の電位を + V、0、とする。

【 0 1 8 6 】

まず、コンフィギュレーションデータの第 1 の書き込み (時刻 T 1 ~ T 2) について説明する。

【 0 1 8 7 】

時刻 T 1 ~ T 2 に、W L を「 H 」、D L 2 0 を「 H 」、D L 2 1 を「 L 」、D L 2 2 を「 L 」、D L 2 3 を「 L 」、とする。このとき、F N 2 0 の電位は 0、となる。これは、スイッチを導通とする電位に相当する。すなわち、コンフィギュレーションデータとして、「 H 」を格納したことに相当する。また、F N 2 1 の電位は - V、F N 2 2 の電位は - V、F N 2 3 の電位は - V、となる。これは、スイッチを非導通とする電位に相当する。すなわち、コンフィギュレーションデータとして、「 L 」を格納したことに相当する。

【 0 1 8 8 】

なお、コンフィギュレーションデータの第 1 の書き込みの際に、P C を常に「 L 」として、配線 3 1 7 の電位を「 H 」に一定とすることが好ましい。このような構成とすることで、コンフィギュレーションデータの書き込み中の消費電力を削減することができる。ま

10

20

30

40

50

た、配線 3 1 7 にラッチ回路 3 0 6 を設けることが好ましい。このような構成とすることで、P C を常に「H」としても、配線 3 1 7 の電位が浮遊電位となることを防止でき、配線 3 1 7 の電位を入力電位とするインバータ 3 0 8 で過大な電流が生じることを防止できる。

【0189】

次に、コンフィギュレーションデータの第 1 の切り替え（時刻 T 3 ～ T 7）について説明する。

【0190】

時刻 T 3 で S 0、S 1 を「L」、「L」とし、時刻 T 3 後の短時間のみ P C を「L」とし、その後 P C を「H」とする。P C を「H」とすると、トランジスタ 3 0 4、3 0 5 は導通するため、配線 3 0 3 と配線 3 1 7 とは導通する。すなわち、配線 3 1 6 と配線 3 1 7 とは導通し、配線 3 1 7 は「L」となる。したがって、出力信号 O U T は「H」となる。

10

【0191】

時刻 T 4 で S 0、S 1 を「H」、「L」とし、時刻 T 4 後の短時間のみ P C を「L」とし、その後 P C を「H」とする。P C を「H」とすると、トランジスタ 3 1 4、3 1 5 は導通するため、配線 3 1 3 と配線 3 1 7 とは導通する。しかし、配線 3 1 6 と配線 3 1 3 とは非導通のため、配線 3 1 7 は「H」のままとなる。したがって、出力信号 O U T は「L」となる。

【0192】

時刻 T 5 で S 0、S 1 を「L」、「H」とし、時刻 T 5 後の短時間のみ P C を「L」とし、その後 P C を「H」とする。P C を「H」とすると、トランジスタ 3 2 4、3 2 5 は導通するため、配線 3 2 3 と配線 3 1 7 とは導通する。しかし、配線 3 1 6 と配線 3 2 3 とは非導通のため、配線 3 1 7 は「H」のままとなる。したがって、出力信号 O U T は「L」となる。

20

【0193】

時刻 T 6 で S 0、S 1 を「H」、「H」とし、時刻 T 6 後の短時間のみ P C を「L」とし、その後 P C を「H」とする。P C を「H」とすると、トランジスタ 3 3 4、3 3 5 は導通するため、配線 3 3 3 と配線 3 1 7 とは導通する。しかし、配線 3 1 6 と配線 3 3 3 とは非導通のため、配線 3 1 7 は「H」のままとなる。したがって、出力信号 O U T は「L」となる。

30

【0194】

すなわち、図 1 0 に示す駆動方法を用いることで、図 9 に示すマルチプレクサは、S 0、S 1 を入力、O U T を出力とする否定論理和と等価な回路となる。

【0195】

次に、コンフィギュレーションデータの第 2 の書き込み（時刻 T 8 ～ T 9）について説明する。

【0196】

時刻 T 8 ～ T 9 に、W L を「H」、D L 2 0 を「H」、D L 2 1 を「H」、D L 2 2 を「H」、D L 2 3 を「L」、とする。このとき、F N 2 0 の電位は 0、F N 2 1 の電位は 0、F N 2 2 の電位は 0、となる。これは、スイッチを導通とする電位に相当する。すなわち、コンフィギュレーションデータとして、「H」を格納したことに相当する。また、F N 2 3 の電位は - V、となる。これは、スイッチを非導通とする電位に相当する。すなわち、コンフィギュレーションデータとして、「L」を格納したことに相当する。

40

【0197】

なお、コンフィギュレーションデータの第 2 の書き込みに際して、P C を常に「L」として、配線 3 1 7 の電位を「H」に一定とすることが好ましい。このような構成とすることで、コンフィギュレーションデータの書き込み中の消費電力を削減することができる。また、配線 3 1 7 にラッチ回路 3 0 6 を設けることが好ましい。このような構成とすることで、P C を常に「H」としても、配線 3 1 7 の電位が浮遊電位となることを防止でき、配線 3 1 7 の電位を入力電位とするインバータ 3 0 8 で過大な電流が生じることを防止でき

50

る。

【 0 1 9 8 】

次に、コンフィギュレーションデータの第 2 の切り替え（時刻 T 1 0 ～ T 1 4 ）について説明する。

【 0 1 9 9 】

時刻 T 1 0 で S 0、S 1 を「 L 」、「 L 」とし、時刻 T 1 0 後の短時間のみ P C を「 L 」とし、その後 P C を「 H 」とする。P C を「 H 」とすると、トランジスタ 3 0 4、3 0 5 は導通するため、配線 3 0 3 と配線 3 1 7 とは導通する。すなわち、配線 3 1 6 と配線 3 1 7 とは導通し、配線 3 1 7 は「 L 」となる。したがって、出力信号 O U T は「 H 」となる。

10

【 0 2 0 0 】

時刻 T 1 1 で S 0、S 1 を「 H 」、「 L 」とし、時刻 T 1 1 後の短時間のみ P C を「 L 」とし、その後 P C を「 H 」とする。P C を「 H 」とすると、トランジスタ 3 1 4、3 1 5 は導通するため、配線 3 1 3 と配線 3 1 7 とは導通する。すなわち、配線 3 1 6 と配線 3 1 7 とは導通し、配線 3 1 7 は「 L 」となる。したがって、出力信号 O U T は「 H 」となる。

【 0 2 0 1 】

時刻 T 1 2 で S 0、S 1 を「 L 」、「 H 」とし、時刻 T 1 2 後の短時間のみ P C を「 L 」とし、その後 P C を「 H 」とする。P C を「 H 」とすると、トランジスタ 3 2 4、3 2 5 は導通するため、配線 3 2 3 と配線 3 1 7 とは導通する。すなわち、配線 3 1 6 と配線 3 1 7 とは導通し、配線 3 1 7 は「 L 」となる。したがって、出力信号 O U T は「 H 」となる。

20

【 0 2 0 2 】

時刻 T 1 3 で S 0、S 1 を「 H 」、「 H 」とし、時刻 T 1 3 後の短時間のみ P C を「 L 」とし、その後 P C を「 H 」とする。P C を「 H 」とすると、トランジスタ 3 3 4、3 3 5 は導通するため、配線 3 3 3 と配線 3 1 7 とは導通する。しかし、配線 3 1 6 と配線 3 3 3 とは非導通のため、配線 3 1 7 は「 H 」のままとなる。したがって、出力信号 O U T は「 L 」となる。

【 0 2 0 3 】

すなわち、図 1 0 に示す駆動方法を用いることで、図 9 に示すマルチプレクサは、S 0、S 1 を入力、O U T を出力とする否定論理積と等価な回路となる。

30

【 0 2 0 4 】

なお、ここでは 2 入力 S 0、S 1 に対して 1 出力を得るマルチプレクサについて説明したが、3 以上の入力に対して 1 出力を得るマルチプレクサとする構成も可能である。

【 0 2 0 5 】

このような構成とすることで、1 ビット当たりのトランジスタ数を削減したコンフィギュレーションメモリを構成した P L D を動作させることができる。また、記憶素子を、オフ電流の極めて低いトランジスタで構成することで、不揮発性メモリを容易に実現した P L D を動作させることができる。

【 0 2 0 6 】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することができる。

40

【 0 2 0 7 】

（実施の形態 6 ）

次に、実施の形態 1 乃至 5 とは異なる構成の L E を有する、本発明の一態様に係る P L D について、図 1 1 乃至図 1 2 を用いて説明する。

【 0 2 0 8 】

（構成）

図 1 1 は、P L D の L E の構成を示す。本実施の形態で示す L E は、実施の形態 3 で説明した L E の構成に 2 つのラッチ回路を加えたものである。具体的には、実施の形態 3 において図 5 により示した L E の出力端子（O U T）を分岐させ、一方にラッチ 3 8 1 及び 3

50

8 2を直列に電氣的接続し、その出力をS O U Tとした構成である。従って、マルチプレクサの構成は、実施の形態3で示したものと同一である。当該マルチプレクサの出力は、上記した分岐の他方であるA O U Tに出力する。また、当該マルチプレクサの出力は、ラッチ3 8 1でクロック信号P H 2、及び、ラッチ3 8 2でクロック信号P H 1により、順にラッチされる。

【0209】

ここで、ラッチ3 8 1、3 8 2はレベルセンシティブラッチであり、Gに「H」が入力されるとDの電位をQに出力し、Gに「L」が入力されるとQの電位を保持する。クロック信号P H 1、P H 2は同時に「H」となることのない信号である。このような構成とすることで、ラッチ3 8 1、3 8 2は、クロック信号P H 1をクロック信号とするエッジセンシティブラッチ（フリップフロップとも言う）を構成する。なお、クロック信号P H 1、P H 2が共に「L」となる期間を設けた場合、クロック信号P H 1、P H 2をノンオーバーラップクロック信号と呼ぶ。ノンオーバーラップクロックを用いることで、データレーシングなどの問題を起こしにくく、したがって、大規模なP L Dでもクロック信号の供給が容易になる利点がある。

10

【0210】

上記マルチプレクサの出力を、ラッチ3 8 1、3 8 2から構成されるフリップフロップに取り込むことで、クロック信号P H 1の立ち上がりエッジに同期した出力信号S O U Tを得ることができる。当該出力信号S O U Tは、他のL Eの入力信号として用いることができる。

20

【0211】

このような構成とすることで、1ビット当たりのトランジスタ数を削減したコンフィギュレーションメモリを構成することができる。また、記憶素子において、少なくとも保持容量に電位を与えるトランジスタを、オフ電流の極めて低いトランジスタで構成することで、不揮発性メモリを容易に実現できる。

【0212】

また、このような構成とすることで、コンフィギュレーションメモリの配置面積を削減することができるので、複数の組のコンフィギュレーションメモリを設け、複数の組のコンフィギュレーションデータを格納することが容易になり、したがって、動的再構成を容易に行うことのできるP L Dを提供することができる。

30

【0213】

（動作）

図1 2は、図1 1に示したマルチプレクサの動作方法を示すタイミングチャートである。本実施の形態におけるマルチプレクサの動作方法は、実施の形態3で説明した動作方法と同じである。

【0214】

ここで、クロック信号P H 1、P H 2として図1 2のような信号を与えると、出力信号S O U Tは、時刻T 4に「H」、時刻T 5に「L」、時刻T 6に「L」、時刻T 7に「L」となる。なお、信号S 0、S 1を変化させる場合、P Cを「L」とし、その後P Cを「H」とする必要があるが、P Cとして、P H 1の反転信号を用いる構成とすることで、信号線の本数を減らすことができる。

40

【0215】

なお、コンフィギュレーションデータの書き込みに際して、P H 1、P H 2、P Cを一定として、配線3 1 7の電位を一定とすることが好ましい。このような構成とすることで、コンフィギュレーションデータの書き込み中の消費電力を削減することができる。また、配線3 1 7にラッチ回路3 0 6を設けることが好ましい。このような構成とすることで、P Cを常に「H」としても、配線3 1 7の電位が浮遊電位となることを防止でき、配線3 1 7の電位を入力電位とするインバータ3 0 8で過大な電流が生じることを防止できる。

【0216】

図1 2に示す駆動方法を用いることで、図1 1に示すマルチプレクサは、S 0、S 1を入

50

力、A O U T、S O U Tを出力とする否定論理和と等価な回路となる。

【 0 2 1 7 】

なお、ここでは2入力S 0、S 1に対して1出力を得るマルチプレクサについて説明したが、3以上の入力に対して1出力を得るマルチプレクサとする構成も可能である。さらに、ここでは1組のコンフィギュレーションデータを格納する構成について説明したが、2組以上の複数のコンフィギュレーションデータを格納する構成とすることも可能である。具体的には、複数の書き込み制御線、複数の読み出し制御線、により各々制御される記憶素子の組を複数用意し、複数の書き込み制御線のいずれかを選択することでコンフィギュレーションデータの書き込みが可能となり、複数の読み出し制御線のいずれかを選択することでコンフィギュレーションデータの切り替えを行うことができるので、読み出しに要する時間を削減し、したがって、短時間でのコンフィギュレーションデータの切り替えを行うことができる。

10

【 0 2 1 8 】

このような構成とすることで、1ビット当たりのトランジスタ数を削減したコンフィギュレーションメモリを構成したP L Dを動作させることができる。また、記憶素子を、オフ電流の極めて低いトランジスタで構成することで、不揮発性メモリを容易に実現したP L Dを動作させることができる。

【 0 2 1 9 】

また、上記クロック信号P H 1、P H 2は、2相ノンオーバーラップクロック信号とすることが好ましい。特に、デューティ比を変更することが可能な構成が好ましい。また、不揮発性レジスタへのデータ退避及び復帰の際は、2相クロック信号を停止する構成が好ましい。このような構成とすることで、回路動作の信頼性を向上し、小規模で、ノーマリオフ動作に用いることができるクロック信号生成回路を提供することができる。

20

【 0 2 2 0 】

図16は本実施の形態のP L Dにおけるクロック信号生成回路を示す。ここで、外部から入力される単相クロック信号1601は、バッファ回路1602を介して、インバータチェーンブロック1603と組み合わせ回路1604とに入力される。インバータチェーンブロック1603の出力信号は、バッファ回路1605を介して組み合わせ回路1604に入力される。また、制御信号1606、制御信号1607、組み合わせ回路1604の出力信号は、組み合わせ回路1608に入力される。組み合わせ回路1608の出力信号は、バッファ回路1609に入力される。バッファ回路1609は、クロック信号P H 1、P H 2を出力する。

30

【 0 2 2 1 】

バッファ回路1602は、単相クロック信号1601の駆動能力を増強する機能を有する。図16ではバッファ回路1602をインバータ回路1つで構成した例を示しているが、インバータチェーンブロック1603や組み合わせ回路1604の入力容量などに応じて、インバータ回路の段数、駆動能力などは適宜変更することが可能である。

【 0 2 2 2 】

インバータチェーンブロック1603は、3つの並列に接続されたインバータ回路を各段とする5段のインバータチェーンを有する。また、各段のインバータ回路の出力信号線には、2つの並列に接続された容量素子が接続されている。ここで、各段におけるインバータ回路の出力信号線をレーザーカットによって適宜切断することで、インバータチェーンの各段を1つ、2つ、または3つの並列に接続されたインバータ回路とすることが出来る。即ち、インバータチェーンの各段の駆動能力をインバータ1つの駆動能力の1倍、2倍または3倍にすることが出来る。また、各段のインバータ回路の出力信号線と2つの並列した容量素子との接続をレーザーカットによって適宜切断することで、インバータチェーンの各段の正味の負荷容量を、容量素子1つの0倍、1倍、または2倍にすることが出来る。即ちインバータチェーンの各段の駆動能力と負荷容量を適宜変更することで、インバータチェーンの遅延時間を変更することが出来る。なお、インバータチェーンの段数、各段を構成するインバータ回路の数、各段のインバータ回路の出力信号線に接続される容量

40

50

素子の数などは、要求される仕様に応じて適宜変更することが可能である。

【 0 2 2 3 】

バッファ回路 1 6 0 5 は、インバータチェンブロック 1 6 0 3 の出力信号を波形整形した信号を出力し、当該信号は組み合わせ回路 1 6 0 4 に入力される。図 1 6 ではバッファ回路 1 6 0 5 をインバータ回路 1 つで構成した例を示しているが、組み合わせ回路 1 6 0 4 の入力容量などに応じて、インバータ回路の段数、駆動能力などは適宜変更することが可能である。

【 0 2 2 4 】

組み合わせ回路 1 6 0 4 は、単相クロック信号 1 6 0 1 がインバータチェンブロック 1 6 0 3 およびバッファ回路 1 6 0 5 を経由した信号と、インバータチェンブロック 1 6 0 3 およびバッファ回路 1 6 0 5 を経由しない信号と、の時間差に相当したパルス幅を有する信号を生成する。すなわち、前述のようにレーザーカットによって、インバータチェンブロックの遅延時間を変更することで、当該信号のパルス幅を変更することができる。組み合わせ回路 1 6 0 4 で生成される信号のうち一方の信号は単相クロック信号 1 6 0 1 の立ち上がりエッジに対して生成され、他方の信号は立ち下がりエッジに対して生成される。

【 0 2 2 5 】

組み合わせ回路 1 6 0 8 は、不揮発性レジスタへのデータ退避及び復帰の際にクロック信号 P H 1、P H 2 を停止するために、2 つの制御信号 1 6 0 6 および制御信号 1 6 0 7 と、組み合わせ回路 1 6 0 4 の出力信号と、に応じて生成される。より具体的には、不揮発性レジスタへのデータ退避、復帰の際に制御信号 1 6 0 6、1 6 0 7 を各々 " H " とする。この時、クロック信号 P H 1、P H 2 は " L " となる。

【 0 2 2 6 】

バッファ回路 1 6 0 9 は、組み合わせ回路 1 6 0 8 の出力信号の駆動能力を増強し、クロック信号 P H 1、クロック信号 P H 2 とし、P L D 内の各 L E に当該クロック信号を出力する。

【 0 2 2 7 】

なお、本クロック信号生成回路が生成する 2 相のクロック信号 (P H 1、P H 2) のデューティ比は、インバータチェンブロック 1 6 0 3 におけるインバータ回路の動作特性により変化する。すなわち、プロセスばらつきにより変化する。しかしながら、当該 2 相のクロック信号を用いるレジスタの応答速度も変化するため、トランジスタ特性を決めるプロセスばらつきの影響を受け難く、したがって、歩留まりを向上することができる。具体的には、プロセスばらつきによりトランジスタ特性が良好の場合、遅延回路における遅延量が減少するため、2 相のクロック信号のデューティ比は減少する。一方、レジスタの応答速度は短時間になるため、2 相のクロック信号を当該レジスタのクロック信号として用いることができる。

【 0 2 2 8 】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することができる。

【 0 2 2 9 】

(実施の形態 7)

次に、実施の形態 1 乃至 6 とは異なる構成の記憶素子を有する、本発明の一態様に係る P L D について、図 1 3 を用いて説明する。

【 0 2 3 0 】

コンフィギュレーションデータによりマルチプレクサの回路構成を変更する際に、複数のマルチプレクサの出力を別のマルチプレクサの入力とすることで、複数のマルチプレクサを用いたより複雑な回路機能を実現することができる。例えば、各々 2 入力を持つ第 1 乃至第 3 のマルチプレクサを用い、第 1 のマルチプレクサの出力と第 2 のマルチプレクサの出力とを第 3 のマルチプレクサの入力とする構成とすることで、4 入力のマルチプレクサを構成することができる。

【 0 2 3 1 】

本発明におけるＬＥに含まれるマルチプレクサを複数用い、より複雑な回路構成を実現する方法について、図１３を用いて説明する。図１３（Ａ）において、ＬＥ５０１、５０２、５０３は、図１１のロジックエレメントを簡略化して示したものである。ＬＥ５０１のマルチプレクサは信号５０４を入力、信号５０５を出力とする。ＬＥ５０２のマルチプレクサは信号５０５を入力、信号５０６を出力とする。ＬＥ５０３のマルチプレクサは信号５０６を入力、信号５０７を出力とする。

【０２３２】

ここで、ＬＥ５０１、５０２、５０３におけるマルチプレクサの出力が確定するには、ＰＣを「Ｌ」から「Ｈ」にした後、所望の時間が経過した後となる。したがって、ＬＥ５０１、５０２、５０３において、ＰＣを共通の信号とした場合には、ＬＥ５０３のマルチプレクサの出力が本来の値とならない場合があり得る。すなわち、ＬＥ５０１におけるマルチプレクサの出力が確定する前に、当該出力を用いてＬＥ５０２におけるマルチプレクサの出力が確定する場合があり得る。また、ＬＥ５０２におけるマルチプレクサの出力が確定する前に、当該出力を用いてＬＥ５０３におけるマルチプレクサの出力が確定する場合があり得る。

10

【０２３３】

そこで、ＬＥ５０１、５０２、５０３に供給するＰＣとして、ＰＨＤ１、ＰＨＤ２、ＰＨＤ３を図１３（Ｂ）に示すタイミングチャートにしたがって供給する。なお、ＬＥ５０１、５０２、５０３には共通にクロック信号ＰＨ１、ＰＨ２を供給する。

【０２３４】

20

ここで、ＰＨＤ１、ＰＨＤ２、ＰＨＤ３の制約条件として、次の３つの条件を満たす必要がある。すなわち、第１の条件として、ＰＨＤ１、ＰＨＤ２、ＰＨＤ３の順に「Ｌ」から「Ｈ」とする。第２の条件として、ＰＨＤ１、ＰＨＤ２、ＰＨＤ３はＰＨ１の立ち上がりエッジ以後に「Ｈ」から「Ｌ」とする。第３の条件として、ＰＨＤ３はＰＨ２が「Ｈ」から「Ｌ」となる前に「Ｌ」から「Ｈ」とする。

【０２３５】

第１の条件については、上述の通り、前段のマルチプレクサの出力が確定する前に次段のマルチプレクサの出力が確定することを抑制する目的がある。より具体的には、ＰＨＤ１を「Ｌ」から「Ｈ」とした後、ＬＥ５０１のマルチプレクサの出力が確定するに要する時間が経過した後に、ＰＨＤ２を「Ｌ」から「Ｈ」とする。また、ＰＨＤ２を「Ｌ」から「Ｈ」とした後、ＬＥ５０２のマルチプレクサの出力が確定するに要する時間が経過した後に、ＰＨＤ３を「Ｌ」から「Ｈ」とする。

30

【０２３６】

第２の条件については、各々のＬＥにおけるフリップフロップの入力データをＰＨ１のポジティブエッジの時点で確定しておく目的がある。

【０２３７】

第３の条件については、マルチプレクサの最終段となるＬＥ５０３におけるマルチプレクサの出力がＬＥ５０３におけるフリップフロップに確実に取り込む目的がある。より具体的には、ＰＨＤ３を「Ｈ」から「Ｌ」とした後ＬＥ５０３のマルチプレクサの出力が確定するに要する時間以上、ＰＨ２が「Ｈ」から「Ｌ」となる前に、ＰＨＤ３を「Ｌ」から「Ｈ」とする。

40

【０２３８】

なお、ＰＨＤ１はＰＨ１の反転信号を用いる構成とすることで、信号線の数減らすことができる。

【０２３９】

また、ＰＨＤ１、ＰＨＤ２、ＰＨＤ３は、所望のカウンタ回路を用いて上述の条件を満たす信号を生成することもできるし、遅延回路を用いて生成することもできる。遅延回路としては、抵抗素子と容量素子を用いて構成することもできる。また、各ＬＥにＰＨＤ１、ＰＨＤ２、ＰＨＤ３を供給し、各ＬＥでいずれかを選択する構成が可能である。なお、選択するスイッチとして、図１１に示した記憶素子と同様の構成を用いることができる。さ

50

らに、各 L E に P H D 1 に相当する信号を供給し、各 L E に遅延回路と記憶素子を設け、遅延回路における遅延量を記憶素子に格納されたデータにしたがって変更することで、P H D 1、P H D 2、P H D 3 に相当する信号を各 L E で生成する構成も可能である。

【 0 2 4 0 】

なお、ここでは、マルチプレクサを 3 段のマルチプレクサを用いて構成する例について説明したが、他の段数のマルチプレクサを用いて構成することも可能である。

【 0 2 4 1 】

このような構成とすることで、1 ビット当たりのトランジスタ数を削減したコンフィギュレーションメモリを有する P L D を動作させることができる。また、記憶素子を、オフ電流の極めて低いトランジスタで構成することで、不揮発性メモリを容易に実現し、当該不揮発性メモリをコンフィギュレーションメモリとする P L D を動作させることができる。また、コンフィギュレーションメモリの配置面積を削減することも容易となり、したがって、複数のコンフィギュレーションデータを格納することができ、P L D の動的再構成を短時間で行うことができる。

【 0 2 4 2 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【 0 2 4 3 】

(実施の形態 8)

本実施の形態では、一例として実施の形態 3 で説明した P L D の記憶素子に、チャネルが酸化物半導体に形成されるトランジスタと、チャネルが単結晶シリコンウェハに形成されるトランジスタとを用いた場合の断面構造の例、及びその作製方法の例について、図 1 4 を用いて説明する。ここで、便宜上、チャネルが酸化物半導体に形成されるトランジスタを第 1 のトランジスタ 9 0 2 とよび、チャネルが単結晶シリコンウェハに形成されるトランジスタを第 2 のトランジスタ 9 0 1 とよぶ。

【 0 2 4 4 】

ただし、記憶素子が有する第 2 のトランジスタ 9 0 1 は、シリコンの他、ゲルマニウム、シリコンゲルマニウム、単結晶炭化シリコンなどの半導体材料を用いていても良い。また、例えば、シリコンを用いたトランジスタは、S O I 基板におけるシリコン薄膜、気相成長法により作製されたシリコン薄膜などを用いて形成することができる。この場合、基板にはフュージョン法やフロート法で作製されるガラス基板、石英基板、半導体基板、セラミック基板等を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が 7 3 0 以上のものを用いると良い。

【 0 2 4 5 】

図 1 4 は、記憶素子において一のコンフィギュレーションデータを記憶させる回路構成を断面構造として具現したものを示す図である。この場合、単結晶シリコンウェハを用いて形成された第 2 のトランジスタ 9 0 1 と、その上階層に酸化物半導体を用いて形成された第 1 のトランジスタ 9 0 2、及び容量素子 9 0 3 が形成されている。すなわち、本実施の形態で示す記憶素子は、シリコンウェハを基板として、その上層に第 1 のトランジスタ 9 0 2 の層が設けられた三次元の積層構造を有する半導体装置である。また、シリコンをチャネル形成領域に用いたトランジスタと酸化物半導体をチャネル形成領域に用いたトランジスタとを有するハイブリッド型の半導体装置である。

【 0 2 4 6 】

なお、本実施の形態においては、記憶素子の一部の構造についてのみ断面を示すが、この積層構造を用いてロジックエレメント等その他の回路構成を作製することができる。したがって、P L D 全体を一つの積層構造体として作製することができる。

【 0 2 4 7 】

半導体材料を含む基板 9 0 0 を用いて作製された第 2 のトランジスタ 9 0 1 は、n チャネル型トランジスタ (N M O S F E T)、p チャネル型トランジスタ (P M O S F E T) のいずれも用いることができる。図 1 4 に示す例においては、第 2 のトランジスタ 9 0 1 は、S T I (S h a l l o w T r e n c h I s o l a t i o n) 9 0 5 によって他の素

10

20

30

40

50

子と絶縁分離されている。STI905を用いることにより、LOCOS(Local Oxidation of Silicon)による素子分離法で発生した素子分離部のバズピークを抑制することができ、素子分離部の縮小等が可能となる。一方で、構造の微細化小型化が要求されない半導体装置においてはSTI905の形成は必ずしも必要ではなく、LOCOS等の素子分離手段を用いることもできる。第2のトランジスタ901が形成される基板900には、ボロンやリン、ヒ素等の導電性を付与する不純物が添加されたウェル904が形成されている。

【0248】

図14における第2のトランジスタ901は、基板900中に設けられたチャネル形成領域と、チャネル形成領域を挟むように設けられた不純物領域906（ソース領域及びドレイン領域ともいう）と、チャネル形成領域上に設けられたゲート絶縁膜907と、ゲート絶縁膜907上にチャネル形成領域と重畳するように設けられたゲート電極層908とを有する。ゲート電極層908は、加工精度を高めるための第1の材料からなるゲート電極層と、配線として低抵抗化を目的とした第2の材料からなるゲート電極層を積層した構造とすることができる。例えば導電性を付与するリン等の不純物を添加した結晶性シリコンとニッケルシリサイドとの積層構造などが挙げられる。しかし、この構造に限らず、適宜要求される仕様に応じて材料、積層数、形状等を調整することができる。

10

【0249】

なお、図14に示す第2のトランジスタ901を、フィン型構造のトランジスタとしてもよい。フィン型構造とは、半導体基板の一部を板状の突起形状に加工し、突起形状の長尺方向を交差するようにゲート電極層を設けた構造である。ゲート電極層は、ゲート絶縁膜を介して突起構造の上面及び側面を覆う。第2のトランジスタをフィン型構造のトランジスタとすることで、チャネル幅を縮小してトランジスタの集積化を図ることができる。また、電流を多く流すことができ、加えて制御効率を向上させることができるため、トランジスタのオフ時の電流及び閾値電圧を低減することができる。

20

【0250】

また、基板900中に設けられた不純物領域906には、コンタクトプラグ913、915が接続されている。ここでコンタクトプラグ913、915は、第2のトランジスタ901のソース電極やドレイン電極としても機能する。また、不純物領域906とチャネル形成領域の間には、不純物領域906と異なる不純物領域が設けられている。該不純物領域は、導入された不純物の濃度によって、LDD領域やエクステンション領域としてチャネル形成領域近傍の電界分布を制御する機能を果たす。ゲート電極層908の側壁には絶縁膜を介してサイドウォール絶縁膜909を有する。この絶縁膜やサイドウォール絶縁膜909を用いることで、LDD領域やエクステンション領域を形成することができる。

30

【0251】

また、第2のトランジスタ901は、絶縁膜910により被覆されている。絶縁膜910には保護膜としての機能を持たせることができ、外部からチャネル形成領域への不純物の侵入を防止することができる。また、絶縁膜910をCVD法による窒化シリコン等の材料とすることで、チャネル形成領域に単結晶シリコンを用いた場合には加熱処理によって水素化を行うことができる。また、絶縁膜910に引張応力又は圧縮応力を有する絶縁膜を用いることで、チャネル形成領域を構成する半導体材料に歪みを与えることができる。nチャネル型のトランジスタの場合にはチャネル形成領域となるシリコン材料に引張応力を、pチャネル型のトランジスタの場合にはチャネル形成領域となるシリコン材料に圧縮応力を付加することで、各トランジスタの電界効果移動度を向上させることができる。

40

【0252】

さらに、絶縁膜910上に絶縁膜911が設けられ、その表面はCMPによる平坦化処理が施されている。これにより、第2のトランジスタ901を含む階層よりも上の階層に高い精度で素子層を積層していくことができる。

【0253】

第2のトランジスタ901を含む階層よりも上層に、チャネルが酸化物半導体膜に形成さ

50

れる第1のトランジスタ902及び容量素子903を含む階層を形成する。第1のトランジスタ902はトップゲート構造のトランジスタであり、酸化物半導体膜926の側面及び上面に接してソース電極層927及びドレイン電極層928を有し、これらの上のゲート絶縁膜929上にゲート電極層930を有している。また、第1のトランジスタ902を覆うように絶縁膜932が形成されている。ここで第1のトランジスタ902の作製方法について、以下に説明する。

【0254】

絶縁膜924上に酸化物半導体膜926を形成する。絶縁膜924は、酸化珪素、窒化珪素、窒化酸化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、窒化酸化アルミニウムなどの無機の絶縁膜を用いることができる。特に、誘電率の低い(low-k)材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁膜924に上記材料を用いた多孔性の絶縁膜を適用しても良い。多孔性の絶縁膜では、密度の高い絶縁膜と比較して誘電率が低下するため、電極や配線に起因する寄生容量を更に低減することが可能である。本実施の形態では、膜厚50nmの酸化アルミニウム膜上に膜厚300nm程度の酸化珪素膜を積層させて、絶縁膜924として用いる。

【0255】

酸化物半導体膜926は、絶縁膜924上に形成した酸化物半導体膜を所望の形状に加工することで、形成することができる。上記酸化物半導体膜の膜厚は、2nm以上200nm以下、好ましくは3nm以上50nm以下、更に好ましくは3nm以上20nm以下とする。酸化物半導体膜は、酸化物半導体をターゲットとして用い、スパッタ法により成膜する。また、酸化物半導体膜は、希ガス(例えばアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(例えばアルゴン)及び酸素混合雰囲気下においてスパッタ法により形成することができる。

【0256】

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁膜924の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【0257】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。また、上記酸化物半導体は、珪素を含んでもよい。

【0258】

本実施の形態では、In(インジウム)、Ga(ガリウム)、及びZn(亜鉛)を含むターゲットを用いたスパッタ法により得られる膜厚30nmのIn-Ga-Zn系酸化物半

10

20

30

40

50

導体の薄膜を、酸化物半導体膜として用いる。上記ターゲットとして、好ましくは、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、 $4 : 2 : 3$ 、 $3 : 1 : 2$ 、 $1 : 1 : 2$ 、 $2 : 1 : 3$ 、または $3 : 1 : 4$ で示されるターゲットを用いる。また、 In 、 Ga 、及び Zn を含むターゲットの充填率は 90% 以上 100% 以下、好ましくは 95% 以上 100% 未満である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【0259】

なお、酸化物半導体膜として $\text{In} - \text{Zn}$ 系の材料を用いる場合、用いるターゲットの組成は、原子数比で、 $\text{In} : \text{Zn} = 50 : 1 \sim 1 : 2$ (モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1 \sim 1 : 4$)、好ましくは $\text{In} : \text{Zn} = 20 : 1 \sim 1 : 1$ (モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1 \sim 1 : 2$)、さらに好ましくは $\text{In} : \text{Zn} = 15 : 1 \sim 1 : 5$ (モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2 \sim 3 : 4$) とする。例えば、 $\text{In} - \text{Zn}$ 系酸化物半導体の形成に用いるターゲットは、原子数比が $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。 Zn の比率を上記範囲に収めることで、移動度の向上を実現することができる。

【0260】

また、酸化物半導体膜として $\text{In} - \text{Sn} - \text{Zn}$ 系酸化物半導体膜をスパッタリング法で成膜する場合、好ましくは、原子数比が $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ 、 $2 : 1 : 3$ 、 $1 : 2 : 2$ 、または $20 : 45 : 35$ で示される $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ ターゲットを用いる。

【0261】

本実施の形態では、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体膜を成膜する。成膜時に、基板温度を 100 以上 600 以下、好ましくは 200 以上 400 以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水 (H_2O) など水素原子を含む化合物等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0262】

成膜条件の一例としては、基板とターゲットの間との距離を 100mm 、圧力 0.6Pa 、直流 (DC) 電源 0.5kW 、酸素 (酸素流量比率 100%) 雰囲気下の条件が適用される。なお、パルス直流 (DC) 電源を用いると、成膜時に発生する塵埃が軽減でき、膜厚分布も均一となるために好ましい。

【0263】

また、スパッタリング装置の処理室のリークレートを $1 \times 10^{-10}\text{Pa} \cdot \text{m}^3 / \text{秒}$ 以下とすることで、スパッタリング法による成膜途中における酸化物半導体膜への、アルカリ金属、水素化物等の不純物の混入を低減することができる。また、排気系として上述した吸着型の真空ポンプを用いることで、排気系からのアルカリ金属、水素原子、水素分子、水、または水素化物等の不純物の逆流を低減することができる。

【0264】

また、ターゲットの純度を、 99.99% 以上とすることで、酸化物半導体膜に混入するアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等を低減することができる。また、当該ターゲットを用いることで、酸化物半導体膜において、リチウム、ナトリウム、カリウム等のアルカリ金属の濃度を低減することができる。

【0265】

なお、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で絶縁膜 924 までが形成された

10

20

30

40

50

基板 900 を予備加熱し、基板 900 に吸着した水分又は水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、100 以上 400 以下、好ましくは 150 以上 300 以下である。また、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。

【0266】

なお、酸化物半導体膜 926 を形成するためのエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素 (Cl_2)、三塩化硼素 (BCl_3)、四塩化珪素 (SiCl_4)、四塩化炭素 (CCl_4) など) が好ましい。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素 (CF_4)、六弗化硫黄 (SF_6)、三弗化窒素 (NF_3)、トリフルオロメタン (CHF_3) など)、臭化水素 (HBr)、酸素 (O_2)、これらのガスにヘリウム (He) やアルゴン (Ar) などの希ガスを添加したガス、などを用いることができる。

10

【0267】

ドライエッチング法としては、平行平板型 RIE (Reactive Ion Etching) 法や、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

20

【0268】

ウェットエッチングに用いるエッチング液として、リン酸と酢酸と硝酸を混ぜた溶液、クエン酸やシュウ酸などの有機酸を用いることができる。本実施の形態では、ITO-07N（関東化学社製）を用いる。

【0269】

酸化物半導体膜 926 を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0270】

なお、次工程の導電膜を形成する前に逆スパッタを行い、酸化物半導体膜 926 及び絶縁膜 924 の表面に付着しているレジスト残渣などを除去することが好ましい。

30

【0271】

なお、スパッタ等で成膜された酸化物半導体膜中には、不純物としての水分又は水素（水酸基を含む）が多量に含まれていることがある。水分又は水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分又は水素などの不純物を低減（脱水化または脱水素化）するために、酸化物半導体膜 926 に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア（CRDS（キャピティリングダウンレーザ分光法）方式の露点計を用いて測定した場合の水分量が 20 ppm（露点換算で -55）以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下の空気）雰囲気下で、酸化物半導体膜 926 に加熱処理を施す。

40

【0272】

酸化物半導体膜 926 に加熱処理を施すことで、酸化物半導体膜 926 中の水分又は水素を脱離させることができる。具体的には、250 以上 750 以下、好ましくは 400 以上基板の歪み点未満の温度で加熱処理を行えば良い。例えば、500、3 分間以上 6 分間以下程度で行えばよい。加熱処理に RTA 法を用いれば、短時間に脱水化又は脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。

【0273】

本実施の形態では、加熱処理装置の一つである電気炉を用いる。

【0274】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻

50

射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA (Gas Rapid Thermal Annealing) 装置、LRTA (Lamp Rapid Thermal Annealing) 装置等のRTA (Rapid Thermal Annealing) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

【0275】

10

加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水分又は水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N (99.9999%) 以上、好ましくは7N (99.99999%) 以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下) とすることが好ましい。

【0276】

以上の工程により、酸化物半導体膜926中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体膜の安定化を図ることができる。また、当該水素濃度が低減され高純度化された酸化物半導体膜を用いることで、耐圧性が高く、オフ電流の著しく低いトランジスタを作製することができる。上記加熱処理は、酸化物半導体膜の成膜以降であれば、いつでも行うことができる。

20

【0277】

以下では、酸化物半導体膜の構造について説明する。

【0278】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

【0279】

まずは、CAAC-OS膜について説明する。

30

【0280】

CAAC-OS膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、CAAC-OS膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。

【0281】

CAAC-OS膜を透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって観察すると、明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

40

【0282】

CAAC-OS膜を、試料面と概略平行な方向からTEMによって観察 (断面TEM観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

【0283】

一方、CAAC-OS膜を、試料面と概略垂直な方向からTEMによって観察 (平面TEM観察) すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

50

【0284】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

【0285】

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

10

【0286】

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2θが56°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(110)面に帰属される。InGaZnO₄の単結晶酸化物半導体膜であれば、2θを56°近傍に固定し、試料面の法線ベクトルを軸(φ軸)として試料を回転させながら分析(φスキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、2θを56°近傍に固定してφスキャンした場合でも、明瞭なピークが現れない。

【0287】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

20

【0288】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0289】

また、CAAC-OS膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

30

【0290】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

40

【0291】

CAAC-OS膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

50

【 0 2 9 2 】

また、C A A C - O S 膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【 0 2 9 3 】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

10

【 0 2 9 4 】

また、C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【 0 2 9 5 】

次いで、フォトリソグラフィ工程を用いて、ソース電極層 9 2 7 及びドレイン電極層 9 2 8 を形成する。具体的には、ソース電極層 9 2 7 及びドレイン電極層 9 2 8 は、スパッタ法や真空蒸着法で絶縁膜 9 2 4 上に導電膜を形成した後、当該導電膜を所定の形状に加工（パターニング）することで、形成することができる。

20

【 0 2 9 6 】

ソース電極層 9 2 7 及びドレイン電極層 9 2 8 は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素、又は上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、アルミニウム、銅などの金属膜の下側もしくは上側にクロム、タンタル、チタン、モリブデン、タングステンなどの高融点金属膜を積層させた構成としても良い。また、アルミニウム又は銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム、イットリウム等を用いることができる。

30

【 0 2 9 7 】

また、ソース電極層 9 2 7 及びドレイン電極層 9 2 8 となる導電膜は、単層構造でも、2 層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する 2 層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、更にその上にチタン膜を成膜する 3 層構造などが挙げられる。また、C u - M g - A l 合金、M o - T i 合金、T i、M o、は、酸化膜との密着性が高い。よって、下層に C u - M g - A l 合金、M o - T i 合金、T i、あるいは M o で構成される導電膜、上層に C u で構成される導電膜を積層し、上記積層された導電膜をソース電極層 9 2 7 及びドレイン電極層 9 2 8 に用いることで、絶縁膜 9 2 4 と、ソース電極層 9 2 7 及びドレイン電極層 9 2 8 との密着性を高めることができる。

40

【 0 2 9 8 】

また、ソース電極層 9 2 7 及びドレイン電極層 9 2 8 となる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ混合物、酸化インジウム酸化亜鉛混合物又は前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

【 0 2 9 9 】

導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせ

50

ることが好ましい。

【0300】

本実施の形態では、ソース電極層927及びドレイン電極層928として、膜厚100nmのタンゲステン膜を用いる。

【0301】

なお、導電膜のエッチングの際に、酸化物半導体膜926がなるべく除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。エッチング条件によっては、酸化物半導体膜926の露出した部分が一部エッチングされることで、溝部（凹部）が形成されることもある。

【0302】

本実施の形態では、ソース電極層927及びドレイン電極層928となる導電膜に、タンゲステン膜を用いる。そのため、アンモニアと過酸化水素水を含む溶液（アンモニア過水）を用いて、選択的に上記導電膜をウェットエッチングすることができる。具体的には、31重量%の過酸化水素水と、28重量%のアンモニア水と、水とを、体積比5：2：2で混合したアンモニア過水を用いる。あるいは、四弗化炭素（ CF_4 ）、塩素（ Cl_2 ）、酸素を含むガスを用いて、上記導電膜をドライエッチングしても良い。

【0303】

なお、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことで更に形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0304】

また、酸化物半導体膜926と、ソース電極層927及びドレイン電極層928との間に、ソース領域及びドレイン領域として機能する酸化物導電膜を設けるようにしても良い。酸化物導電膜の材料としては、酸化亜鉛を成分として含むものが好ましく、酸化インジウムを含まないものであることが好ましい。そのような酸化物導電膜として、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。

【0305】

例えば、酸化物導電膜を形成する場合、酸化物導電膜を形成するためのパターニングと、ソース電極層927及びドレイン電極層928を形成するためのパターニングとを一括で行うようにしても良い。

【0306】

ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、酸化物半導体膜926とソース電極層927及びドレイン電極層928の間の抵抗を下げるできるので、トランジスタの高速動作を実現させることができる。また、ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、トランジスタの耐圧を高めることができる。

【0307】

次いで、 N_2O 、 N_2 、又はArなどのガスを用いたプラズマ処理を行うようにしても良い。このプラズマ処理によって露出している酸化物半導体膜の表面に付着した水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0308】

なお、プラズマ処理を行った後、ソース電極層927及びドレイン電極層928と、酸化物半導体膜926とを覆うように、ゲート絶縁膜929を形成する。そして、ゲート絶縁膜929上において、酸化物半導体膜926と重なる位置にゲート電極層930を形成し

10

20

30

40

50

、あわせて容量素子の上部電極層 9 3 1 となる導電膜を形成する。

【 0 3 0 9 】

ゲート絶縁膜 9 2 9 は、例えば酸化窒化珪素膜を用いて形成することができる。なお、ゲート絶縁膜 9 2 9 は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。ゲート絶縁膜 9 2 9 に水素が含まれると、その水素が酸化物半導体膜 9 2 6 へ侵入し、又は水素が酸化物半導体膜 9 2 6 中の酸素を引き抜き、酸化物半導体膜 9 2 6 が低抵抗化（*n*型化）してしまい、寄生チャネルが形成されるおそれがある。よって、ゲート絶縁膜 9 2 9 はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。上記ゲート絶縁膜 9 2 9 には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、上記バリア性の高い絶縁膜よりも、酸化物半導体膜 9 2 6 に近い側に形成する。そして、窒素の含有比率が低い絶縁膜を間に挟んで、ソース電極層 9 2 7、ドレイン電極層 9 2 8 及び酸化物半導体膜 9 2 6 と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、酸化物半導体膜 9 2 6 内、ゲート絶縁膜 9 2 9 内、あるいは、酸化物半導体膜 9 2 6 と他の絶縁膜の界面とその近傍に、水分又は水素などの不純物が入り込むのを防ぐことができる。また、酸化物半導体膜 9 2 6 に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接、酸化物半導体膜 9 2 6 に接するのを防ぐことができる。

【 0 3 1 0 】

本実施の形態では、スパッタ法で形成された膜厚 2 0 n m の酸化窒化珪素膜をゲート絶縁膜 9 2 9 として用いる。成膜時の基板温度は、室温以上 4 0 0 以下とすればよく、本実施の形態では 3 0 0 とする。

【 0 3 1 1 】

なお、ゲート絶縁膜 9 2 9 を形成した後に、加熱処理を施しても良い。加熱処理は、窒素、超乾燥空気、又は希ガス（アルゴン、ヘリウムなど）の雰囲気下において、好ましくは 2 0 0 以上 4 0 0 以下、例えば 2 5 0 以上 3 5 0 以下で行う。上記ガスは、水の含有量が 2 0 p p m 以下、好ましくは 1 p p m 以下、より好ましくは 1 0 p p b 以下であることが望ましい。本実施の形態では、例えば、窒素雰囲気下で 2 5 0 、1 時間の加熱処理を行う。あるいは、ソース電極層 9 2 7 及びドレイン電極層 9 2 8 を形成する前に、水分又は水素を低減させるための酸化物半導体膜に対して行った先の加熱処理と同様に、高温短時間の R T A 処理を行っても良い。酸素を含むゲート絶縁膜 9 2 9 が設けられた後に、加熱処理が施されることによって、酸化物半導体膜 9 2 6 に対して行った先の加熱処理により、酸化物半導体膜 9 2 6 に酸素欠損が発生していたとしても、ゲート絶縁膜 9 2 9 から酸化物半導体膜 9 2 6 に酸素が供与される。そして、酸化物半導体膜 9 2 6 に酸素が供与されることで、酸化物半導体膜 9 2 6 において、ドナーとなる酸素欠損を低減し、化学量論的組成を満たすことが可能である。その結果、酸化物半導体膜 9 2 6 を *i* 型に近づけることができ、酸素欠損によるトランジスタの電気特性のばらつきを軽減し、電気特性の向上を実現することができる。この加熱処理を行うタイミングは、ゲート絶縁膜 9 2 9 の形成後であれば特に限定されず、他の工程と兼ねることで、工程数を増やすことなく酸化物半導体膜 9 2 6 を *i* 型に近づけることができる。

【 0 3 1 2 】

また、酸素雰囲気下で酸化物半導体膜 9 2 6 に加熱処理を施すことで、酸化物半導体に酸素を添加し、酸化物半導体膜 9 2 6 中においてドナーとなる酸素欠損を低減させても良い。加熱処理の温度は、例えば 1 0 0 以上 3 5 0 未満、好ましくは 1 5 0 以上 2 5 0 未満で行う。上記酸素雰囲気下の加熱処理に用いられる酸素ガスには、水、水素などが含まれないことが好ましい。又は、加熱処理装置に導入する酸素ガスの純度を、6 N（9 9 . 9 9 9 9 %）以上、好ましくは 7 N（9 9 . 9 9 9 9 9 %）以上、（即ち酸素中の不

純物濃度を 1 p p m 以下、好ましくは 0 . 1 p p m 以下) とすることが好ましい。

【 0 3 1 3 】

あるいは、イオン注入法又はイオンドーピング法などを用いて、酸化物半導体膜 9 2 6 に酸素を添加することで、ドナーとなる酸素欠損を低減させても良い。例えば、2 . 4 5 G H z のマイクロ波でプラズマ化した酸素を酸化物半導体膜 9 2 6 に添加すれば良い。

【 0 3 1 4 】

ゲート電極層 9 3 0 及び上部電極層 9 3 1 は、ゲート絶縁膜 9 2 9 上に導電膜を形成した後、該導電膜をパターニングすることで形成することができる。

【 0 3 1 5 】

ゲート電極層 9 3 0 及び上部電極層 9 3 1 は、1 0 n m ~ 4 0 0 n m、好ましくは 1 0 0 n m ~ 3 0 0 n m とする。本実施の形態では、スパッタ法により膜厚 3 0 n m の窒化タンタル上に膜厚 1 3 5 n m のタングステンを積層させてゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工 (パターニング) することで、ゲート電極層 9 3 0 及び上部電極層 9 3 1 を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【 0 3 1 6 】

以上の工程により、第 1 のトランジスタ 9 0 2 が形成される。

【 0 3 1 7 】

なお、第 1 のトランジスタ 9 0 2 はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、電氣的に接続された複数のゲート電極を有することで、チャンネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

【 0 3 1 8 】

また、上記作製方法では、ソース電極層 9 2 7 及びドレイン電極層 9 2 8 が、酸化物半導体膜 9 2 6 の後に形成されている。よって、図 1 4 に示すように、上記作製方法によって得られる第 1 のトランジスタ 9 0 2 は、ソース電極層 9 2 7 及びドレイン電極層 9 2 8 が、酸化物半導体膜 9 2 6 の上に形成されている。しかし、第 1 のトランジスタ 9 0 2 は、ソース電極層及びドレイン電極層が、酸化物半導体膜 9 2 6 の下、すなわち、酸化物半導体膜 9 2 6 と絶縁膜 9 2 4 の間に設けられていても良い。

【 0 3 1 9 】

また、酸化物半導体膜 9 2 6 に接する絶縁膜は、第 1 3 族元素及び酸素を含む絶縁材料を用いるようにしても良い。酸化物半導体材料には第 1 3 族元素を含むものが多く、第 1 3 族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体膜に接する絶縁膜に用いることで、酸化物半導体膜との界面の状態を良好に保つことができる。

【 0 3 2 0 】

第 1 3 族元素を含む絶縁材料とは、絶縁材料に一又は複数の第 1 3 族元素を含むことを意味する。第 1 3 族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量 (原子 %) よりアルミニウムの含有量 (原子 %) が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量 (原子 %) がアルミニウムの含有量 (原子 %) 以上のものを示す。

【 0 3 2 1 】

例えば、ガリウムを含有する酸化物半導体膜に接して絶縁膜を形成する場合に、絶縁膜に酸化ガリウムを含む材料を用いることで酸化物半導体膜と絶縁膜の界面特性を良好に保つことができる。例えば、酸化物半導体膜と酸化ガリウムを含む絶縁膜とを接して設けることにより、酸化物半導体膜と絶縁膜の界面における水素のパイルアップを低減することができる。なお、絶縁膜に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁膜を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体膜への水の侵入防止という点

10

20

30

40

50

においても好ましい。

【0322】

また、酸化物半導体膜926に接する絶縁膜は、酸素雰囲気下による熱処理や、酸素ドーピングなどにより、絶縁材料を化学量論的組成より酸素が多い状態とすることが好ましい。酸素ドーピングとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドーピングには、プラズマ化した酸素をバルクに添加する酸素プラズマドーピングが含まれる。また、酸素ドーピングは、イオン注入法又はイオンドーピング法を用いて行ってもよい。

【0323】

酸素ドーピング処理を行うことにより、化学量論的組成より酸素が多い領域を有する絶縁膜を形成することができる。このような領域を備える絶縁膜と酸化物半導体膜が接することにより、絶縁膜中の過剰な酸素が酸化物半導体膜に供給され、酸化物半導体膜中、又は酸化物半導体膜と絶縁膜の界面における酸素欠陥を低減し、酸化物半導体膜をi型化又はi型に限りなく近くすることができる。

10

【0324】

なお、化学量論的組成より酸素が多い領域を有する絶縁膜は、酸化物半導体膜926に接する絶縁膜のうち、上層に位置する絶縁膜又は下層に位置する絶縁膜のうち、どちらか一方のみに用いても良いが、両方の絶縁膜に用いる方が好ましい。化学量論的組成より酸素が多い領域を有する絶縁膜を、酸化物半導体膜926に接する絶縁膜の、上層及び下層に位置する絶縁膜に用い、酸化物半導体膜926を挟む構成とすることで、上記効果をより高めることができる。

20

【0325】

また、酸化物半導体膜926の上層又は下層に用いる絶縁膜は、上層と下層で同じ構成元素を有する絶縁膜としても良いし、異なる構成元素を有する絶縁膜としても良い。また、酸化物半導体膜926に接する絶縁膜は、化学量論的組成より酸素が多い領域を有する絶縁膜の積層としても良い。

【0326】

なお、本実施の形態においては、第1のトランジスタ902はトップゲート構造としている。また、第1のトランジスタ902にはバックゲート電極層923が設けられている。バックゲート電極層を設けた場合、さらに第1のトランジスタ902のノーマリオフ化を実現することができる。例えば、バックゲート電極層923の電位をGNDや固定電位とすることで第1のトランジスタ902の閾値電圧をよりプラスとし、さらにノーマリオフのトランジスタとすることができる。

30

【0327】

このような第2のトランジスタ901、第1のトランジスタ902及び容量素子903を電氣的に接続して電気回路を形成するために、各階層間及び上層に接続のための配線層を単層又は多層積層する。

【0328】

図14においては、例えば実施の形態3の一つの記憶素子を形成するために、第2のトランジスタ901のソース又はドレインの一方は、コンタクトプラグ913を介して配線層914と電氣的に接続している。配線層914は、低電位を供給する機能を有する配線と電氣的に接続する。一方、第2のトランジスタ901のソース又はドレインの他方はコンタクトプラグ915を介して配線層916と電氣的に接続している。配線層916は、複数のトランジスタからなるセレクトに電氣的に接続する。また、第2のトランジスタ901のゲートは、コンタクトプラグ917、配線層918、コンタクトプラグ921、配線層922、コンタクトプラグ925を介して第1のトランジスタ902のドレイン電極層928と電氣的に接続する。また、図示しないが、第1のトランジスタ902のゲート電極層930は、書き込み制御線と電氣的に接続する。ドレイン電極層928は、図14において右方向に延び、容量素子903の下部電極層として機能する。ドレイン電極層928上には第1のトランジスタ902のゲート絶縁膜929が設けられている。このゲート

40

50

絶縁膜 929 が、容量素子 903 が形成される領域においては容量素子 903 の電極間誘電体膜として機能する。この電極間誘電体膜上に上部電極層 931 が設けられ、上部電極層 931 は、コンタクトプラグ 935 を介して配線層 936 と電氣的に接続している。配線層 936 は、記憶素子における読み出し制御線である。

【0329】

配線層 914、918、916、922、936、及びバックゲート電極層 923 は、絶縁膜中に埋め込まれている。これらの配線層等は、例えば銅、アルミニウム等の低抵抗な導電性材料を用いることが好ましい。また、CVD法により形成したグラフェンを導電性材料として用いて配線層を形成することもできる。グラフェンとは、 sp^2 結合を有する 1 原子層の炭素分子のシートのこと、または 2 乃至 100 層の炭素分子のシートが積み重なっているものをいう。このようなグラフェンを作製する方法として、金属触媒の上にグラフェンを形成する熱 CVD 法や、紫外光を照射して局所的にプラズマを発生させることで触媒を用いずにメタンからグラフェンを形成するプラズマ CVD 法などがある。

10

【0330】

このような低抵抗な導電性材料を用いることで、配線層を伝播する信号の RC 遅延を低減することができる。配線層に銅を用いる場合には、銅のチャネル形成領域への拡散を防止するため、バリア膜を形成する。バリア膜として、例えば窒化タンタル、窒化タンタルとタンタルとの積層、窒化チタン、窒化チタンとチタンとの積層等による膜を用いることができるが、配線材料の拡散防止機能、及び配線材料や下地膜等との密着性が確保される程度においてこれらの材料からなる膜に限られない。バリア膜は配線層とは別個の層として形成してもよく、バリア膜となる材料を配線材料中に含有させ、加熱処理によって絶縁膜に設けられた開口の内壁に析出させて形成しても良い。

20

【0331】

絶縁膜 911、912、919、920、933、934 には、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、BPSG (Boron Phosphorus Silicate Glass)、PSG (Phosphorus Silicate Glass)、炭素を添加した酸化シリコン ($SiOC$)、フッ素を添加した酸化シリコン ($SiOF$)、 $Si(OC_2H_5)_4$ を原料とした酸化シリコンである TEOS (Tetraethyl orthosilicate)、HSQ (Hydrogen Silsesquioxane)、MSQ (Methyl Silsesquioxane)、OSG (Organosilicate Glass)、有機ポリマー系の材料等の絶縁体を用いることができる。特に半導体装置の微細化を進める場合には、配線間の寄生容量が顕著になり信号遅延が増大するため酸化シリコンの比誘電率 ($k = 4.0 \sim 4.5$) では高く、 k が 3.0 以下の材料を用いることが好ましい。また該絶縁膜に配線を埋め込んだ後に CMP 処理を行うため、絶縁膜には機械的強度が要求される。この機械的強度が確保できる限りにおいて、これらを多孔質 (ポーラス) 化させて低誘電率化することができる。絶縁膜は、スパッタリング法、CVD 法、スピンコート法 (Spin On Glass: SOG ともいう) を含む塗布法等により形成する。

30

【0332】

絶縁膜 911、912、919、920、933、934 には、配線材料をこれら絶縁膜中に埋め込んだ後、CMP 等による平坦化処理を行う際のエッチングストップとして機能させるための絶縁膜を別途設けてもよい。

40

【0333】

配線層 914、918、916、922、936、及びバックゲート電極層 923 上には、バリア膜が設けられており、バリア膜上に保護膜が設けられている。バリア膜は銅等の配線材料の拡散を防止することを目的とした膜である。バリア膜は、窒化シリコンや SiC 、 $SiBON$ 等の絶縁性材料で形成することができる。但し、バリア膜の膜厚が厚い場合には配線間容量を増加させる要因となるため、バリア性を有し、かつ低誘電率の材料を選択することが好ましい。

【0334】

50

コンタクトプラグ 913、915、917、921、925、935 は、絶縁膜に高アスペクト比の開口（ビアホール）を形成し、タングステン等の導電材料で埋め込むことで作製する。開口は、異方性の高いドライエッチングを行うことが好ましい。特に、反応性イオンエッチング法（RIE法）を用いることが好ましい。開口の内壁にはチタン膜、窒化チタン膜又はこれらの積層膜等からなるバリア膜（拡散防止膜）が設けられ、バリア膜の内部にタングステンやリン等をドーブしたポリシリコン等の材料が充填される。例えばブランケットCVD法により、ビアホール内にタングステンを埋め込むことができ、CMPによりコンタクトプラグの上面は平坦化されている。

【0335】

また最上層には保護絶縁膜 937 が設けられ、外部から水分や汚染物が半導体装置へ侵入するのを防止する。保護絶縁膜 937 は、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の材料を用いて形成することができ、単層でも積層でもよい。

【0336】

PLDを以上のような構成とすることで、高速動作性能を有する第1の半導体材料を用いたトランジスタと、オフ電流が極めて小さい第2の半導体材料を用いたトランジスタとを組み合わせ、低消費電力化が可能な高速動作の論理回路を有するPLDを作製することができる。

【0337】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0338】

（実施の形態9）

本発明の一態様に係るPLDは、デジタル信号処理、ソフトウェア無線、アビオニクス（通信機器、航法システム、自動操縦装置、飛行管理システム等の航空に関する電子機器）、ASICのプロトタイピング、医療用画像処理、音声認識、暗号、バイオインフォマティクス（生物情報科学）、機械装置のエミュレータ、電波天文学における電波望遠鏡等、幅広い分野の電子機器に用いることができる。

【0339】

その他の電子機器の例として、例えば民生機器としては、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（DVD等の記録媒体を再生し、その画像を表示するディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置又はPLDを用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレーヤ等）、複写機、ファクシミリ、プリンタ、プリンタ複合機等が挙げられる。これら電子機器の具体例を図15に示す。

【0340】

図15（A）は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカ5006、操作キー5007、スタイラス5008等を有する。なお、図15（A）に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0341】

図15（B）は携帯情報端末であり、第1の筐体5601、第2の筐体5602、第1の表示部5603、第2の表示部5604、接続部5605、操作キー5606等を有する。第1の表示部5603は第1の筐体5601に設けられており、第2の表示部5604は第2の筐体5602に設けられている。そして、第1の筐体5601と第2の筐体5602とは、接続部5605により接続されており、第1の筐体5601と第2の筐体5602の間の角度は、接続部5605により可動である。第1の表示部5603における映像の切り替えを、接続部5605における第1の筐体5601と第2の筐体5602との間の角度に従って、切り替える構成としても良い。また、第1の表示部5603及び第2

10

20

30

40

50

表示部 5 6 0 4 の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。あるいは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

【 0 3 4 2 】

図 1 5 (C) はノート型パーソナルコンピュータであり、筐体 5 4 0 1、表示部 5 4 0 2、キーボード 5 4 0 3、ポインティングデバイス 5 4 0 4 等を有する。

【 0 3 4 3 】

図 1 5 (D) は電気冷凍冷蔵庫であり、筐体 5 3 0 1、冷蔵室用扉 5 3 0 2、冷凍室用扉 5 3 0 3 等を有する。

10

【 0 3 4 4 】

図 1 5 (E) はビデオカメラであり、第 1 の筐体 5 8 0 1、第 2 の筐体 5 8 0 2、表示部 5 8 0 3、操作キー 5 8 0 4、レンズ 5 8 0 5、接続部 5 8 0 6 等を有する。操作キー 5 8 0 4 及びレンズ 5 8 0 5 は第 1 の筐体 5 8 0 1 に設けられており、表示部 5 8 0 3 は第 2 の筐体 5 8 0 2 に設けられている。そして、第 1 の筐体 5 8 0 1 と第 2 筐体 5 8 0 2 とは、接続部 5 8 0 6 により接続されており、第 1 の筐体 5 8 0 1 と第 2 筐体 5 8 0 2 の間の角度は、接続部 5 8 0 6 により可動である。表示部 5 8 0 3 における映像の切り替えを、接続部 5 8 0 6 における第 1 の筐体 5 8 0 1 と第 2 の筐体 5 8 0 2 との間の角度に従って行う構成としても良い。

20

【 0 3 4 5 】

図 1 5 (F) は普通自動車であり、車体 5 1 0 1、車輪 5 1 0 2、ダッシュボード 5 1 0 3、ライト 5 1 0 4 等を有する。

【 0 3 4 6 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【 符号の説明 】

【 0 3 4 7 】

- 1 a トランジスタ
- 1 b トランジスタ
- 2 a 保持容量
- 2 b 保持容量
- 3 a インバータ
- 3 b インバータ
- 4 a トランジスタ
- 4 b トランジスタ
- 1 1 a トランジスタ
- 1 1 b トランジスタ
- 1 2 a 保持容量
- 1 2 b 保持容量
- 1 3 a インバータ
- 1 3 b インバータ
- 1 4 a トランジスタ
- 1 4 b トランジスタ
- 2 1 トランジスタ
- 2 2 保持容量
- 2 3 インバータ
- 3 1 a トランジスタ
- 3 1 b トランジスタ
- 3 2 a 保持容量
- 3 2 b 保持容量

30

40

50

3 3 a	インバータ	
3 3 b	インバータ	
3 4 a	トランジスタ	
3 4 b	トランジスタ	
4 1	トランジスタ	
4 2	トランジスタ	
4 3	保持容量	
4 5 a	トランジスタ	
4 5 b	トランジスタ	
4 5 c	トランジスタ	10
4 6 a	トランジスタ	
4 6 b	トランジスタ	
4 6 c	トランジスタ	
4 7 a	トランジスタ	
4 7 b	トランジスタ	
4 7 c	トランジスタ	
5 1	トランジスタ	
5 2	トランジスタ	
5 3	保持容量	
5 5 a	トランジスタ	20
5 5 b	トランジスタ	
5 5 c	トランジスタ	
5 6 a	トランジスタ	
5 6 b	トランジスタ	
5 6 c	トランジスタ	
5 7 a	トランジスタ	
5 7 b	トランジスタ	
5 7 c	トランジスタ	
6 1	トランジスタ	
6 2	トランジスタ	30
6 3	保持容量	
6 5 a	トランジスタ	
6 5 b	トランジスタ	
6 5 c	トランジスタ	
6 6 a	トランジスタ	
6 6 b	トランジスタ	
6 6 c	トランジスタ	
6 7 a	トランジスタ	
6 7 b	トランジスタ	
6 7 c	トランジスタ	40
7 1	トランジスタ	
7 2	トランジスタ	
7 3	保持容量	
1 0 0	記憶素子	
1 0 3	配線	
1 0 4	トランジスタ	
1 0 5	トランジスタ	
1 0 6	配線	
1 0 7	インバータ	
1 1 0	記憶素子	50

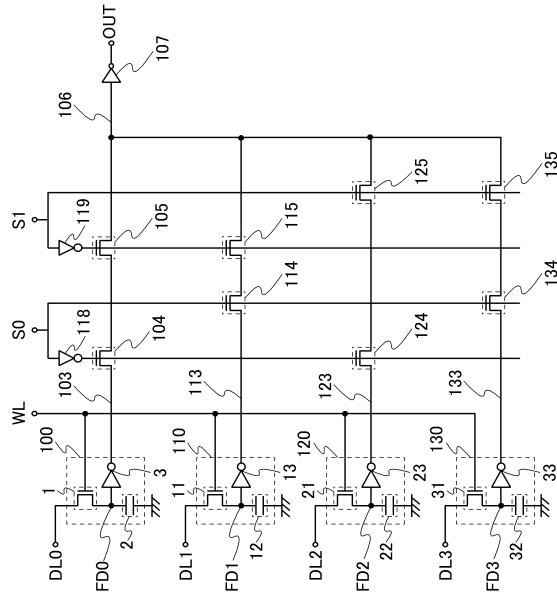
1 1 3	配線	
1 1 4	トランジスタ	
1 1 5	トランジスタ	
1 1 8	インバータ	
1 1 9	インバータ	
1 2 0	記憶素子	
1 2 3	配線	
1 2 4	トランジスタ	
1 2 5	トランジスタ	
1 3 0	記憶素子	10
1 3 3	配線	
1 3 4	トランジスタ	
1 3 5	トランジスタ	
2 0 0	記憶素子	
2 0 1	記憶素子	
2 0 3	配線	
2 0 4	トランジスタ	
2 0 5	トランジスタ	
2 0 6	配線	
2 0 7	インバータ	20
2 1 0	記憶素子	
2 1 1	記憶素子	
2 1 3	配線	
2 1 4	トランジスタ	
2 1 5	トランジスタ	
2 1 8	インバータ	
2 1 9	インバータ	
2 2 0	記憶素子	
2 2 1	記憶素子	
2 2 3	配線	30
2 2 4	トランジスタ	
2 2 5	トランジスタ	
2 3 0	記憶素子	
2 3 1	記憶素子	
2 3 3	配線	
2 3 4	トランジスタ	
2 3 5	トランジスタ	
3 0 0	記憶素子	
3 0 3	配線	
3 0 4	トランジスタ	40
3 0 5	トランジスタ	
3 0 6	ラッチ回路	
3 0 7	トランジスタ	
3 0 8	インバータ	
3 0 9	トランジスタ	
3 1 0	記憶素子	
3 1 3	配線	
3 1 4	トランジスタ	
3 1 5	トランジスタ	
3 1 6	配線	50

3 1 7	配線	
3 1 8	インバータ	
3 1 9	インバータ	
3 2 0	記憶素子	
3 2 3	配線	
3 2 4	トランジスタ	
3 2 5	トランジスタ	
3 3 0	記憶素子	
3 3 3	配線	
3 3 4	トランジスタ	10
3 3 5	トランジスタ	
3 4 0	記憶素子	
3 5 0	記憶素子	
3 6 0	記憶素子	
3 7 0	記憶素子	
3 8 1	ラッチ	
3 8 2	ラッチ	
4 0 0	記憶素子	
4 0 1	記憶素子	
4 0 2	記憶素子	20
4 0 3	配線	
4 0 4	トランジスタ	
4 0 5	トランジスタ	
4 0 6	ラッチ回路	
4 0 7	トランジスタ	
4 0 8	インバータ	
4 0 9	トランジスタ	
4 1 0	記憶素子	
4 1 1	記憶素子	
4 1 2	記憶素子	30
4 1 3	配線	
4 1 4	トランジスタ	
4 1 5	トランジスタ	
4 1 6	配線	
4 1 7	配線	
4 1 8	インバータ	
4 1 9	インバータ	
4 2 0	記憶素子	
4 2 1	記憶素子	
4 2 2	記憶素子	40
4 2 3	配線	
4 2 4	トランジスタ	
4 2 5	トランジスタ	
4 3 0	記憶素子	
4 3 1	記憶素子	
4 3 2	記憶素子	
4 3 3	配線	
4 3 4	トランジスタ	
4 3 5	トランジスタ	
5 0 1	L E	50

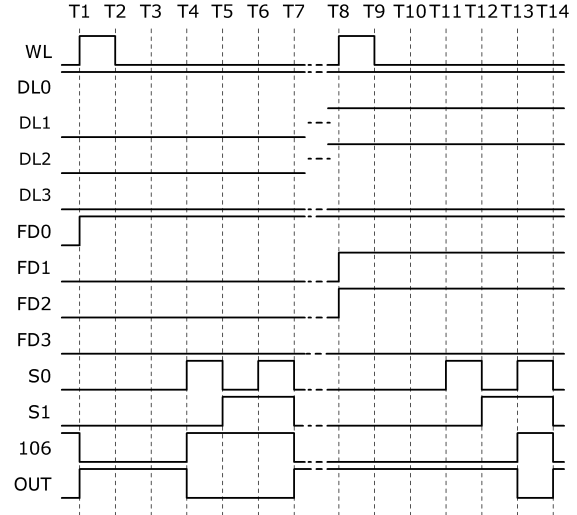
5 0 2	L E	
5 0 3	L E	
5 0 4	信号	
5 0 5	信号	
5 0 6	信号	
5 0 7	信号	
9 0 0	基板	
9 0 1	トランジスタ	
9 0 2	トランジスタ	
9 0 3	容量素子	10
9 0 4	ウェル	
9 0 5	S T I	
9 0 6	不純物領域	
9 0 7	ゲート絶縁膜	
9 0 8	ゲート電極層	
9 0 9	サイドウォール絶縁膜	
9 1 0	絶縁膜	
9 1 1	絶縁膜	
9 1 2	絶縁膜	
9 1 3	コンタクトプラグ	20
9 1 4	配線層	
9 1 5	コンタクトプラグ	
9 1 6	配線層	
9 1 7	コンタクトプラグ	
9 1 8	配線層	
9 1 9	絶縁膜	
9 2 0	絶縁膜	
9 2 1	コンタクトプラグ	
9 2 2	配線層	
9 2 3	バックゲート電極層	30
9 2 4	絶縁膜	
9 2 5	コンタクトプラグ	
9 2 6	酸化物半導体膜	
9 2 7	ソース電極層	
9 2 8	ドレイン電極層	
9 2 9	ゲート絶縁膜	
9 3 0	ゲート電極層	
9 3 1	上部電極層	
9 3 2	絶縁膜	
9 3 3	絶縁膜	40
9 3 4	絶縁膜	
9 3 5	コンタクトプラグ	
9 3 6	配線層	
9 3 7	保護絶縁膜	
1 6 0 1	単相クロック信号	
1 6 0 2	バッファ回路	
1 6 0 3	インバータチェーンブロック	
1 6 0 4	組み合わせ回路	
1 6 0 5	バッファ回路	
1 6 0 6	制御信号	50

1 6 0 7	制御信号	
1 6 0 8	組み合わせ回路	
1 6 0 9	バッファ回路	
5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカ	
5 0 0 7	操作キー	10
5 0 0 8	スタイラス	
5 1 0 1	車体	
5 1 0 2	車輪	
5 1 0 3	ダッシュボード	
5 1 0 4	ライト	
5 3 0 1	筐体	
5 3 0 2	冷蔵室用扉	
5 3 0 3	冷凍室用扉	
5 4 0 1	筐体	
5 4 0 2	表示部	20
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	
5 6 0 3	表示部	
5 6 0 4	表示部	
5 6 0 5	接続部	
5 6 0 6	操作キー	
5 8 0 1	筐体	
5 8 0 2	筐体	30
5 8 0 3	表示部	
5 8 0 4	操作キー	
5 8 0 5	レンズ	
5 8 0 6	接続部	

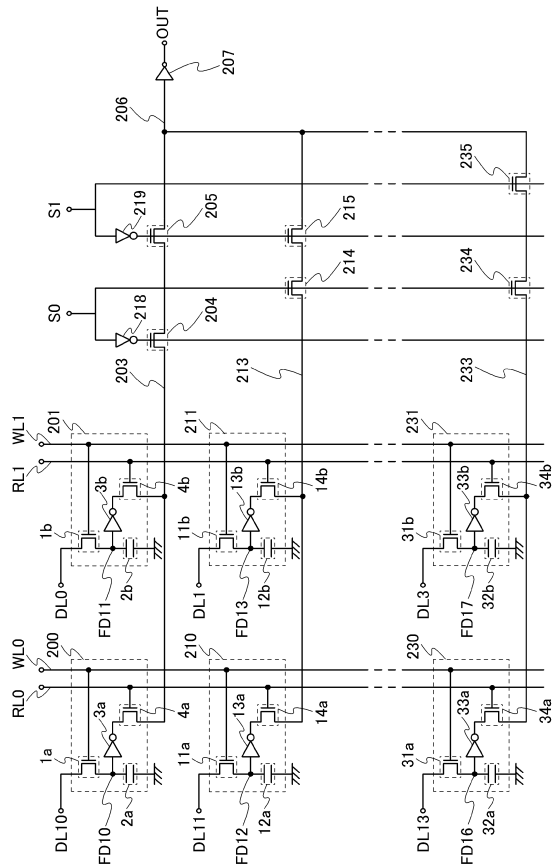
【図 1】



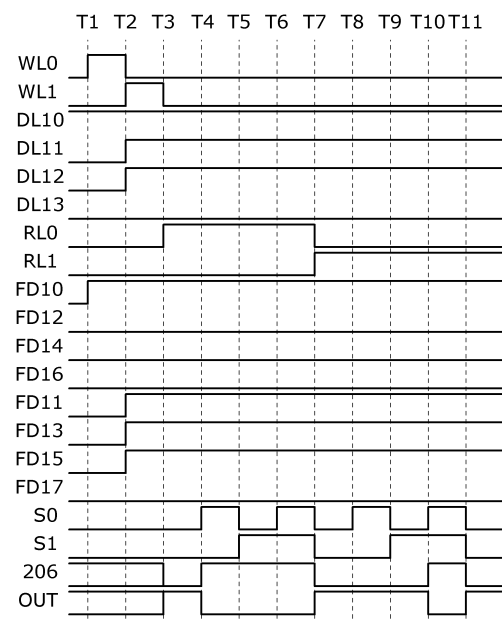
【図 2】



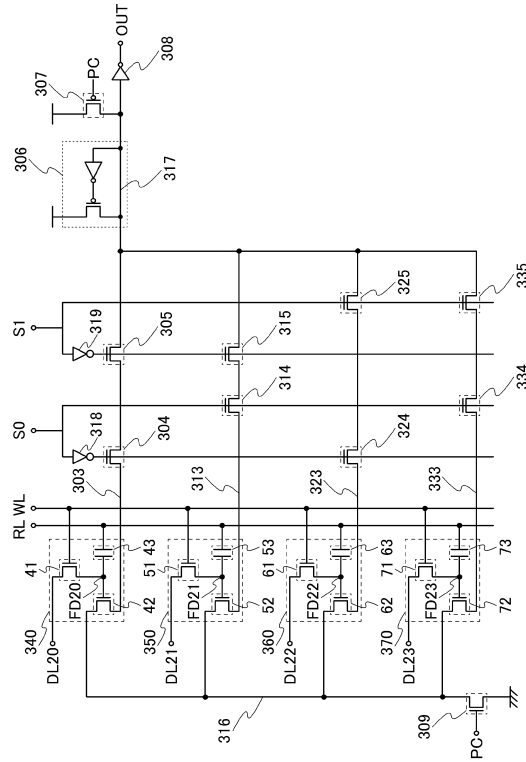
【図 3】



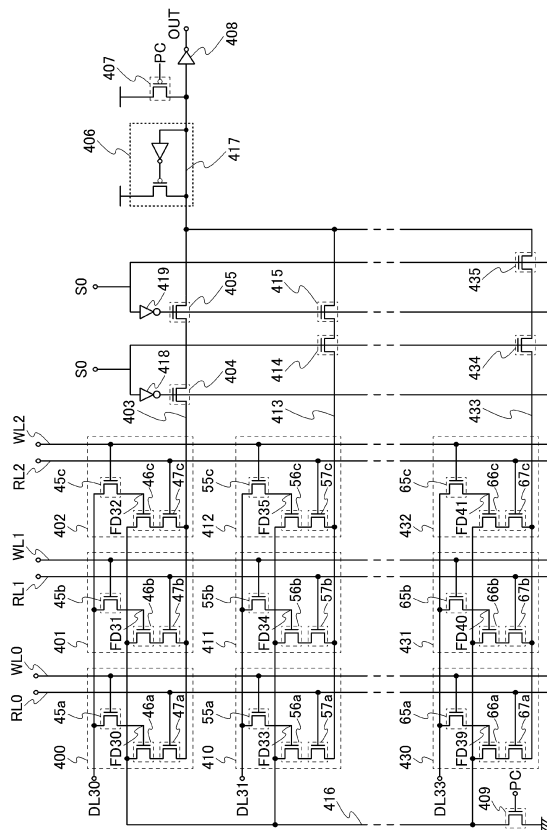
【図 4】



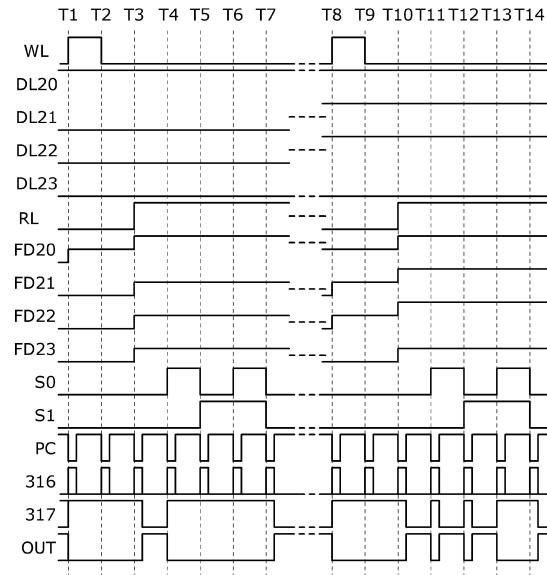
【図 5】



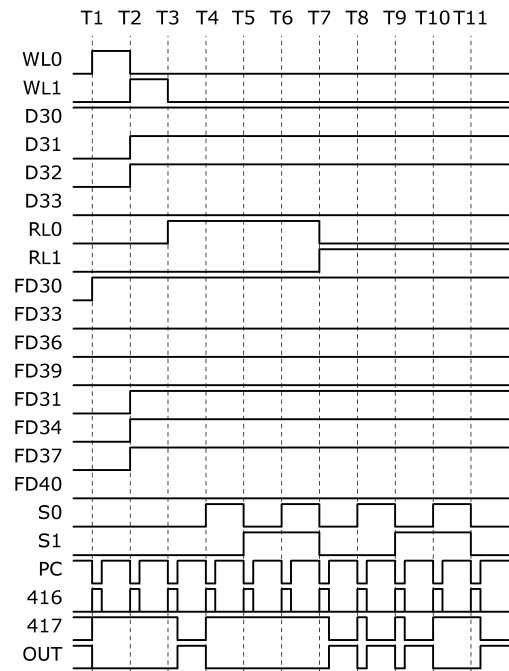
【図 7】



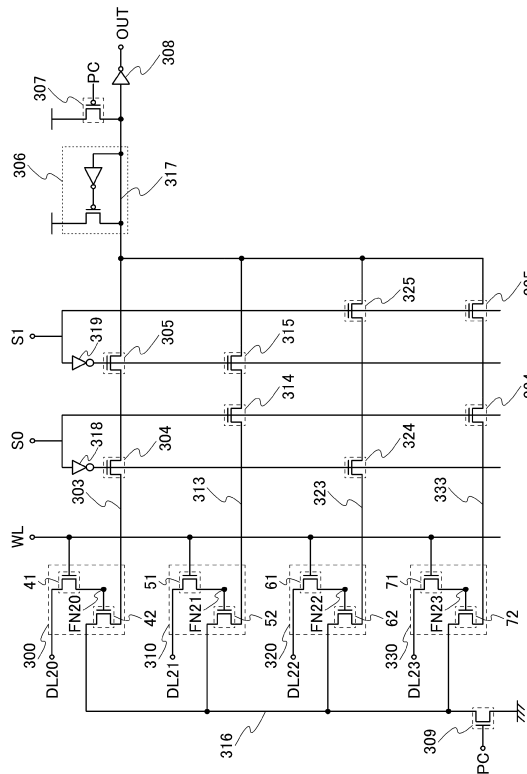
【図 6】



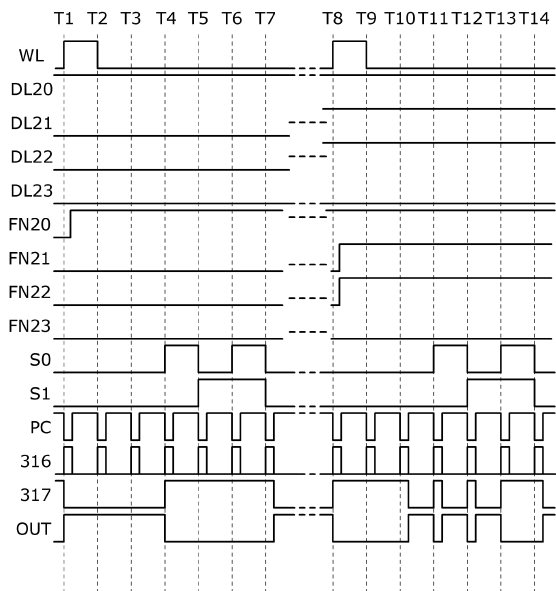
【図 8】



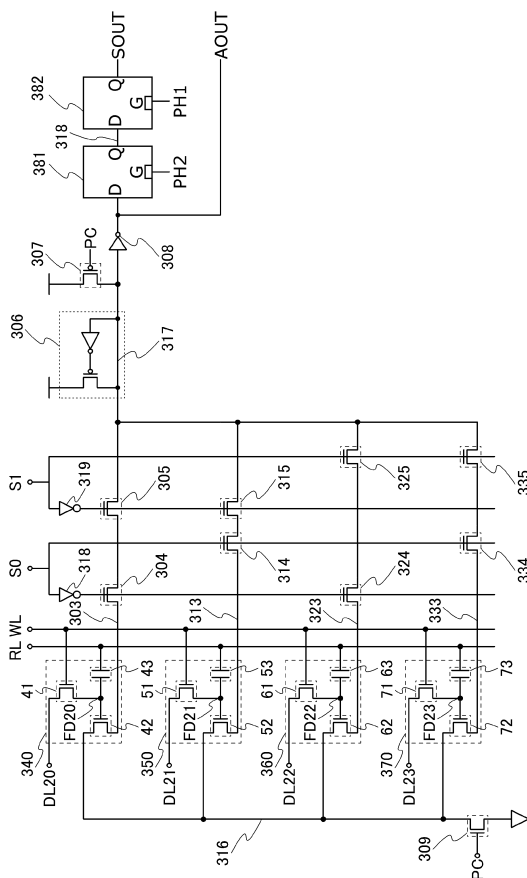
【図 9】



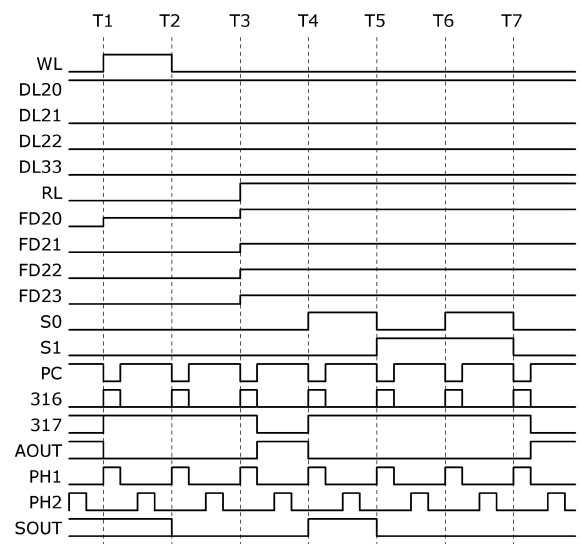
【図 10】



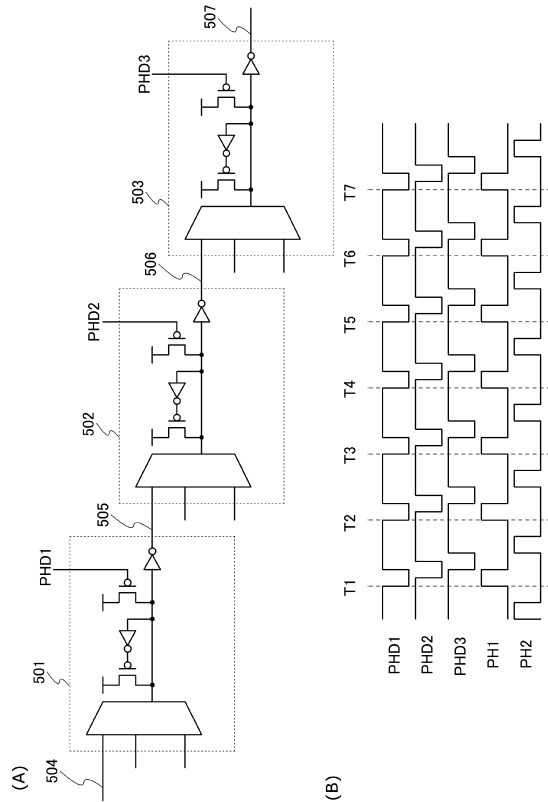
【図 11】



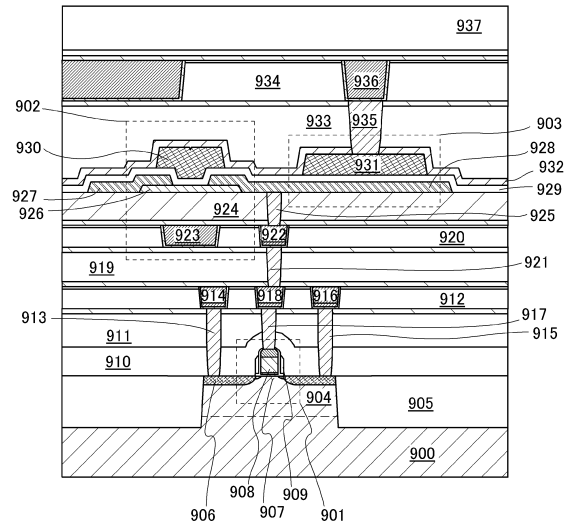
【図 12】



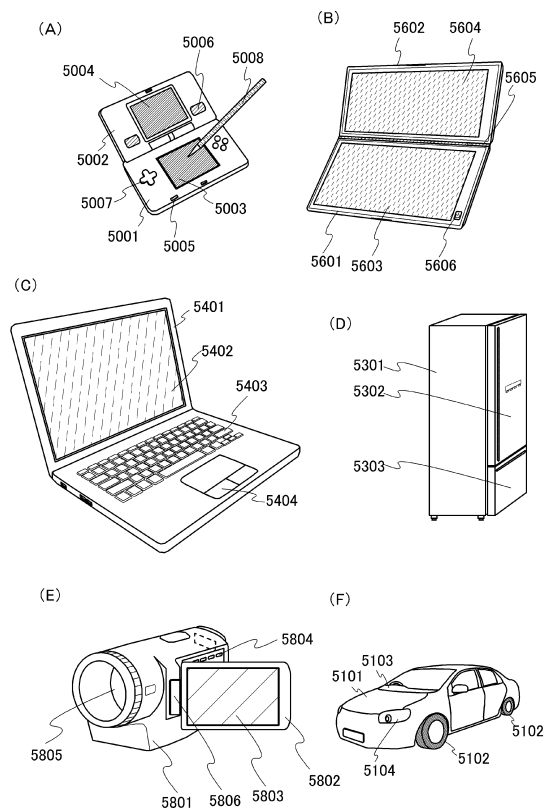
【図 13】



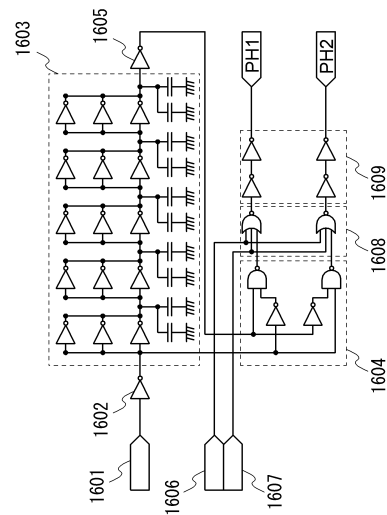
【図 14】



【図 15】



【図 16】



フロントページの続き

(56)参考文献 特開2011-129900(JP,A)
特表2002-538652(JP,A)
特開平11-154857(JP,A)
特開2012-069231(JP,A)
米国特許出願公開第2012/0099360(US,A1)
特開平06-140904(JP,A)
特開2010-225194(JP,A)
特開2009-124175(JP,A)
特開2011-119672(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 19/173
H01L 21/82
H01L 29/786