



# [12] 发明专利说明书

专利号 ZL 02828188.8

[45] 授权公告日 2008年8月27日

[11] 授权公告号 CN 100414646C

[22] 申请日 2002.12.5 [21] 申请号 02828188.8

[30] 优先权

[32] 2001.12.28 [33] US [31] 60/342,750

[32] 2002.4.30 [33] CA [31] 2,384,039

[86] 国际申请 PCT/CA2002/001865 2002.12.5

[87] 国际公布 WO2003/056564 英 2003.7.10

[85] 进入国家阶段日期 2004.8.18

[73] 专利权人 莫塞德技术公司

地址 加拿大安大略省

[72] 发明人 金俊齐 P·弗拉森科 D·佩里

P·B·吉林哈姆

[56] 参考文献

US6191970B1 2001.2.20

US6243280B1 2001.6.5

CN1220468A 1999.6.23

RESPONSE PIPELINED CAM CHIPS; THE FIRSTGENERATION AND BEYOND. GHOSE K ET AL. PROCEEDINGS OF THE 7th INTERNATIONAL CONFERENCE ON VLSI DESIGN. 1994

审查员 邓晓蓓

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 杨生平 王忠忠

权利要求书2页 说明书25页 附图13页

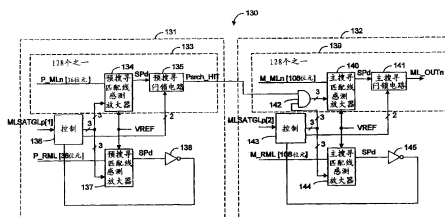
[54] 发明名称

低功耗内容可定址记忆体架构

[57] 摘要

兹揭示一种低功耗内容可定址记忆体(CAM)架构。其中, CAM阵列之匹配线被分段成预搜寻部与主搜寻部。发出搜寻命令後, 即在匹配线之预搜寻部上进行预搜寻作业。若预搜寻结果为匹配, 则在匹配线之主搜寻部上接著进行主搜寻。若预搜寻结果为失配, 则使主搜寻失效, 因此匹配线之主搜寻部上没有功耗散。预搜寻与主搜寻作业可为管线式处理, 以维持高产出量与最低潜候期。其中亦使用一匹配线感测电路侦测匹配线预搜寻及主搜寻部上的电流, 以进一步降低功耗。匹配线系与感测电路之感测节点解耦, 以便达成更高的感测速度与改进的感测裕度, 同时使用模拟匹配线产生定时控制信号, 以封锁匹配线感测电路之输出。各匹配线最初先预充电至一以接地电势代表的落空状况, 然後再加速预充电至一低於VDD的预设电压电势位准,

以克服收尾之寄生电流, 并使匹配线之电压摆幅减至最小, 以节省电力。



1. 一种内容可定址记忆体阵列，其包括：

一匹配线，分段成多数区段，所述多数区段之每一区段在一预充电阶段中同时预充电至一预充电电压电平；以及

与每一区段关联之匹配线感测放大器，用于在一感测阶段中感测来自其关联区段之电流；当一匹配线感测放大器侦测到一匹配状况时，该一匹配线感测放大器启动另一匹配线感测放大器。

2. 如权利要求第1项的内容可定址记忆体阵列，其中由定时电路控制各匹配线感测放大器的预充电及感测作业。

3. 如权利要求第2项的内容可定址记忆体阵列，其中该定时电路包括参考匹配线。

4. 如权利要求第1项的内容可定址记忆体阵列，其中该预充电电压电平对应一落空状况。

5. 如权利要求第1项的内容可定址记忆体阵列，其中该预充电电压电平为接地。

6. 如权利要求第1项的内容可定址记忆体阵列，其中该匹配线包括第一及第二匹配线区段。

7. 如权利要求第6项的内容可定址记忆体阵列，其中与该第一匹配线区段关联的匹配线感测放大器启动与该第二匹配线区段关联的匹配线感测放大器。

8. 如权利要求第7项的内容可定址记忆体阵列，其中该第一匹配线区段耦接之内容可定址记忆体储存格数目，少于第二匹配线区段耦接之内容可定址记忆体储存格数目。

9. 如权利要求第1项的内容可定址记忆体阵列，其中每一匹配线感测放大器之输出系储存在一门锁电路中。

10. 一种搜寻内容可定址记忆体的方法，该内容可定址记忆体具有多列CAM储存格，每列具有第一及第二匹配线区段，此方法包括：

(a) 於一预充电阶段中，预充电该第一及第二匹配线区段至对应一落空状况之电势位准；

(b) 於一感测阶段中，在每列CAM储存格内的第一匹配线区段上建立一偏压电势；

(c) 於该感测阶段中，感测该第一匹配线区段内的电流；以及

(d) 若在该第一匹配线区段内感测到的电流对应搜寻数据与储存数据间的匹配状况，则选择性地启动该第二匹配线区段内的电流感测。

11. 如权利要求第 10 项的方法，其中该选择性启动感测之步骤，包括将感测到的电流转换成一感测节点输出电压。

12. 如权利要求第 11 项的方法，其中该选择性启动感测之步骤，包括门锁该感测节点输出电压，以使用管线处理方式感测该第一及第二匹配线区内的电流。

## 低功耗内容可定址记忆体架构

### 技术领域

本发明有关内容可定址记忆体 (CAM)，尤其有关可降低功耗之 CAM 架构。

### 背景技术

在许多习用之记忆体系统中，诸如随机存取记忆体，系将二进位数字 (位元) 储存在记忆体储存格内，并由一处理器指定一个与既定储存格关联之线性位址而存取之。此种系统提供快速存取记忆体系统的任一部份，但有某些限制。为了方便处理器控制，每一存取记忆体的运算，都必须陈述所需记忆体储存格的位址，作为指令的一部份。标准记忆体系统并无根据内容搜寻的妥善设计。标准记忆体系统中根据内容的搜寻，需要在微处理器控制下，以软体为基础作演算法的搜寻。执行搜寻时，需要许多记忆体运算。这类搜寻既不迅速，也无法有效率地使用处理器资源。

为了克服这些缺点，曾发展出一种称为内容可定址记忆体 (CAM) 之联想记忆体系统。CAM 允许使用储存格内容来参照储存格，所以其最早是用在数据检查表之类的工具，诸如快取记忆体系统；目前则已迅速运用在网路系统中。CAM 最有价值的特点是其可用单一运算执行搜寻与比较多重位置的能力，其中可比较搜寻数据与 CAM 中储存的数据。通常，搜寻数据系载入搜寻线并与 CAM 内的储存字组比较。在搜寻与比较运算期间，会在一匹配线上产生与每一储存字组关联的匹配或失配信号，指示搜寻字组是否与某一储存字组匹配。储存数据的典型字组包括实际数据及附有数字的档头位元，诸如一个 "E" 位元或空位元，但在搜寻与比较运算时，并不特定搜寻档头位元。

CAM 将数据储存在一储存格矩阵中。储存格通常是以静态随机存取记忆体 (SRAM) 为基础的储存格，或以动态随机存取记忆体 (DRAM) 为基础的储存格。迄今为止，以 SRAM 为基础的 CAM 储存格由于实施简单，所以最为普遍。然而，为了提供三进制状态的 CAM [亦即每一 CAM 储存格可储存以下三种数值之一：逻辑 "0"，"1" 或 "don't care" (不理睬) 结果]，以三进制 SRAM 为基础的储存格通常比三进制 DRAM 为基础的储

存格需要更多电晶体。结果，以三进制 SRAM 为基础的 CAM 与以三进制 DRAM 为基础的 CAM 比较时，其封装密度低得多。

图 1 显示一典型 CAM 的方块图。CAM 10 包括以 DRAM 为基础的 CAM 储存格(图中未示)成横列与直行安排而形成的矩阵或阵列 25。以 DRAM 为基础的三进制 CAM 储存格所形成的阵列，其优点在於其占用的矽面积显著少於以 SRAM 为基础的对应该结构。位於一列中预定数目之 CAM 储存格内储存某一数据字组。使用一位址编码器 17 可选择 CAM 阵列 25 内的任一列，以允许将数据写入所选的列，或从该列读取数据。位於阵列 25 内，设有数据存取电路组件，诸如位元线与直行选择装置，用以将数据转入与转出阵列 25。位於 CAM 阵列 25 之每一列 CAM 储存格内，设有匹配线感测电路(图中未示)，可於搜寻与比较运算期间用於输出结果，以指示搜寻字组与该列中之储存字组是否匹配成功。所有各列之结果经优先顺序编码器 22 处理后输出与匹配字组位置对应之位址(匹配位址)。匹配位址系储存在匹配位址暂存器 18 之后，再由匹配位址输出区块 19 输出。数据系经由数据输入/输出(I/O)区块 11 及各个不同的暂存器 15 写入阵列 25。从阵列 25 读取数据时，则经过数据输出暂存器 23 与数据 I/O 区块 11。CAM 的其他组件包括控制电路区块 12、旗标逻辑区块 13、电源电压产生区块 14、各种控制与位址暂存器 16、更新计数器 20、及 JTAG 区块 21。

图 2 为典型 CAM 阵列 25 之阶层图。CAM 阵列 25 包括一 CAM 储存格 30 之矩阵，与一匹配线感测电路区块 26。CAM 阵列 25 之 CAM 储存格 30 系安排成众多横列与直行。位於一列中的 CAM 储存格 30 系与一共用匹配线  $ML_i$ 、字组线  $WL_i$ 、及尾线  $TL_i$  连接；位於一行中的 CAM 储存格 30 则与一共用搜寻线对  $SL_{j^*}/SL_j$  及一共用位元线对  $BL_j/BL_{j^*}$  连接；其中  $i$  是一介於 0 与  $n$  之间的整数， $j$  是一介於 0 与  $m$  之间的整数。位於 CAM 阵列 25 每一列旁边，是一匹配线感测电路区块 26。匹配线感测电路区块 26 包括分别与各个匹配线  $ML_i$  连接之匹配线感测电路 27，并於搜寻与比较运算期间用来输出匹配信号  $ML\_OUT_0 \sim ML\_OUT_n$ ，以指示一搜寻字组与储存字组是否成功匹配。匹配线  $ML_i$  与尾线  $TL_i$  系分别与其各自之匹配线感测电路 27 连接，同时，尾线  $TL_i$  可选择性地与接地电势连接。图 2 之简化概要图中虽未显示，但匹配线感测电路 27 亦接收控制信号以控制其操作。熟悉此类技术之人士可以理解，此种

控制信号是让电路适当操作所必需的。

图 3 显示美国专利 6,320,777B1 号揭示之典型三进制 DRAM 型 CAM 储存格 30。储存格 30 有一比较电路，此电路包括在匹配线 ML 与尾线 TL 间与一 n 通道比较电晶体 32 串联之 n 通道搜寻电晶体 31。搜寻线 SL\* 与搜寻电晶体 31 之栅极连接。储存电路包括一 n 通道存取电晶体 33，其栅极与一字组线 WL 连接，并在位元线 BL 与储存格板极电压势 VCP 间与电容器 34 串联。电荷储存节点 CELL1 於电容器 34 上有电荷储存时，亦即，若电荷储存节点 CELL1 为逻辑"1"时，系与比较电晶体 32 之栅极连接，以接通电晶体 32。用於三进制数据位元另一半的其余电晶体与电容器，系重复电晶体 31、32、33 及电容器 34，并与对应的搜寻线 SL 及位元线 BL\* 连接，其设置目的系支援三进制数据储存。它们一起可以储存一个代表逻辑"1"、逻辑"0"或"don't care" (不理睬) 之三进制值。

三进制值	CELL1	CELL2
0	0	1
1	1	0
"Don't Care"	0	0

尾线 TL 通常系与接地线连接，而且所有电晶体都是 n 通道电晶体。前述专利 6,320,777B1 中有三进制 DRAM 储存格操作之详细说明。

匹配线随记忆体密度增加而变得较长，较长匹配线之寄生电容也增加。匹配线因寄生电容增加而产生额外负载，造成若干与匹配线感测相关联的设计问题。第一，在匹配线与 VSS 间，由非匹配 CAM 储存格所产生的单一传导路径电流大约是 10uA。因此，匹配线感测放大器的敏感度必须足以侦测此一小电流。第二，CAM 晶片之操作频率必须相当高；换言之，匹配线感测放大器的工作周期须尽量短，以获得高 CAM 效能。第三，在搜寻与比较运算期间，由於 CAM 晶片的所有匹配线都同时作用，所以匹配线应尽量保持低电压摆幅，以使功率耗散最小化。第四，感测必须稳定，并有良好的感测裕度以达可靠的感测。第五，匹配线感测放大器电路须简单，且具小尺寸，以便可配合紧密间距的 CAM 核心配置，使区域功耗及因此产生的成本减至最低。但是，即使匹配线上保持低电压摆幅，由於 CAM 执行完全平行的搜寻，所以其功耗仍然很高。對於高容量 CAM 而言，其基本挑战之一是使匹配线在搜寻

与比较运算期间反覆充电与放电所发生的功耗减至最低。当记忆体容量增加时，CAM的功耗亦按比例增加。

CAM内进行搜寻运算时，有二个主要的实质功耗源。亦即匹配线消耗的功率，与搜寻线消耗的功率。以往，所有匹配线都预先充电至一逻辑"H"（高）状态（匹配状况），然後允许与搜寻数据比较，将匹配线推至一逻辑"L"（低）状态（落空状况）。

在大部份CAM应用中，"落空"发生的频率高於"命中"。将匹配线预先充电至逻辑"H"以及将匹配线放电至逻辑"L"以代表落空时，由於每次搜寻作业时所有匹配线充电与放电时相关的电流极高，所以易於产生高功耗。此外，在较广字组的CAM应用中，由於与每一匹配线连接的储存格数目增加，匹配线的电容也随之增加，并进而增加匹配线充电与放电所需的电流。迄今已有各种建议的解决方案，用以降低搜寻作业期间的功耗，诸如将匹配线区隔成多个区段，并根据前一区段的匹配或落空结果，顺序作动各区段。

例如，授予Wong等人之美国专利6,243,280号说明一种分段式匹配线架构，其中，CAM的横列系间隔成多数区段。每一匹配线中，预充电多数匹配线区段中的第一个区段，并在该第一区段上执行搜寻作业。若第一区段内有匹配时，再选择性地预充电第二匹配线区段并开始第二区段的搜寻。若第二区段内有匹配时，再预充电第三匹配线区段并以类似方式进行搜寻，直到一匹配线所有区段都已搜寻过。因此，仅在前一区段内产生匹配时，才预充电後续区段。若所有区段内都有匹配，选择性地预充电每一区段至逻辑"H"仍需要高电流。此外，由於必须等待一区段内发生选择性的预充电後才能进行该区段内的实际比较，所以造成搜寻时间上显著的延迟。

授予Pereira的美国专利6,191,970号中，将一匹配线分成多个区段，这些区段全部同时预充电至逻辑"H"状态後，再开始搜寻作业。此外，每一CAM储存格有一关联的放电电路，用以响应来自前一匹配线区段的失效(disable)信号，再选择性地将其对应的匹配线区段放电。因此，唯当紧接一区段前方的区段产生落空而所有後续区段仍保持预充电至逻辑"H"时，才将该区段放电。结果，一区段的落空状况会沿该列其余区段传播而未沿该列将所有其他区段放电。此种方法虽然减轻选择性预充电各区段造成的延迟问题，但由於所有匹配线区段必

须先预充电至逻辑"H"状态，所以高电流消耗的潜在问题仍旧存在。此外每一区段的匹配侦测，必须依一时脉信号同步化，自匹配线预充电至"命中"时开始计时。结果，或是必须产生许多内部时脉，或是必须使用系统时脉，而後者会增加系统潜候期。最後，为了防止在区段启动(enabled)前放电，每一CAM储存格要增设一串联耦合的装置，因而增加晶片面积并减缓整个作业。

Zukowski 等人於 1997 年在 IEEE 发表一篇文章，标题为"利用选择性预充电达成内容可定址记忆体匹配线上之低功耗"。在其说明的方法中，系首先预充电整体匹配线的一小区段，并使用该小区段执行局部比较；而且，唯当该第一小区段内发生匹配时，才预充电匹配线的其余区段，最後才进行搜寻。此篇文章亦表示，就理论上而言，选择性预充电技术可扩充为包括一个阶段以上，但额外的经常开支、额外的时脉相位、及额外的缓冲，并不会使其提供的额外增益大於文中建议的单一阶段选择性预充电。此方法未考虑到，如果有相当快速的处理技术可实现必要的电路设计时，让多重匹配线区段顺序工作但不受时脉周期影响的可能性。此外，Zukowski 等人论述的方法仍依赖预充电至逻辑"H"状态，如此会使用大量电流，其原因如前所述。

因此，目前的 CAM 装置并不适於亟需保持电池电力的低功耗应用。所以，仍然需要一种在搜寻作业中消耗功率可低於习式搜寻技术的 CAM。

#### 发明内容

本发明之目的在於消除或减少先前 CAM 阵列中至少一项的缺点。本发明之目的尤其在於提供一种内容可定址记忆体架构，及一种功耗降低且可高速作业之操作方法。

本发明第一层面中提供一种内容可定址记忆体阵列。此种内容可定址记忆体阵列包括一分成多数区段之匹配线，每一区段在一预充电阶段中，同时预充电至一预充电电压电平。此内容可定址记忆体阵列亦包括分别与每一区段关联之匹配线感测放大器，可在一感测阶段中感测来自其关联区段的电流；其中，当一匹配线感测放大器侦测到一匹配状况时，会启动另一匹配线感测放大器。

在本层面之一实施例，系由多数定时电路控制匹配线感测放大器之预充电与感测作业。该等定时电路包括多数参考匹配线。在本层面

之另一实施例中，预充电电压电平系对应一落空状况，而该落空状况对应一接地电压电平。

在本层面再一实施例中，该匹配线包括第一及第二匹配线区段，而与第一匹配线区段关联之匹配线感测放大器会启动与第二匹配线区段关联之匹配线感测放大器。在此实施例之一层面中，该第一匹配线区段耦接的内容可定址记忆体储存格，少于第二匹配线区段耦接的内容可定址记忆体储存格。

在本层面另一实施例中，每一匹配线感测放大器的输出系储存在一闩锁电路中。

本发明第二层面中提供一种搜寻内容可定址记忆体的方法；该内容可定址记忆体具有多列 CAM 储存格，每列又包括第一及第二匹配线区段。此方法包括的步骤有：於预充电阶段中，将第一及第二匹配线区段预充电至对应一落空状况的电势位准；於感测阶段中，在每列 CAM 储存格中的第一匹配线区段上，建立一偏压电势；於感测阶段中感测第一匹配线区段内的电流；以及，若第一匹配线区段中感测的电流对应搜寻数据与储存数据间的匹配状况时，则选择性地启动每列 CAM 储存格中第二匹配线区段内的电流感测。

在本层面之一实施例中，该选择性启动感测之步骤包括：将感测的电流转换成一感测节点输出电压。在本层面另一实施例中，该选择性启动感测之步骤包括：闩锁感测节点输出电压，以使用管线方式感测第一及第二匹配线区段内的电流。

熟悉此类技术之人士从以下参照附图所作的本发明特定实施例说明，即可了解本发明其他层面与特点。

#### 附图说明

现在参照附图以举例方式说明本发明各实施例，附图包括：

图 1 为一习式 CAM 装置之方块图；

图 2 为图 1 所示 CAM 阵列之部份方块图；

图 3 为一以 DRAM 为基础的 CAM 储存格电路概要图；

图 4 为根据本发明一实施例之分段匹配线 CAM 阵列之简化方块图；

图 5 为根据本发明一实施例之分段匹配线及关联感测放大器之概要图；

图 6 为一流程图，显示在图 4、图 5 所示分段匹配线 CAM 阵列实施例中执行搜寻之方法；

图 7 为一方块图，显示根据本发明一实施例之低功耗 CAM 架构；

图 8 为图 7 所示匹配线感测放大器之电路概要图；

图 9 为图 7 所示门锁电路之电路概要图；

图 10 为一定时表，显示采用本发明一分段匹配线实施例之 CAM 中实施的管线式搜寻作业；

图 11 为一控制区块之电路概要图，用以产生信号控制图 8 所示的匹配线感测放大器电路；

图 12 为直接耦合配线的落空及命中匹配线区块之电路概要图；以及

图 13 显示一参考电源之电路概要图，用以提供图 8 所示匹配线感测放大器电路的参考电流。

#### 具体实施方式

兹揭示一种低功耗 CAM 架构。此种 CAM 阵列之匹配线分段成二个搜寻部：预搜寻部与主搜寻部。搜寻命令发出后，即在匹配线之预搜寻部进行第一搜寻作业，亦即，进行预搜寻。若预搜寻之结果为匹配，接著再於匹配线之主搜寻部上进行第二搜寻，亦即，接续进行主搜寻。若预搜寻之结果为失配，则使主搜寻部失效且不进行主搜寻，因此，匹配线之主搜寻部上并无功率耗散。预搜寻及主搜寻作业皆可用管线式处理，以维持高产出量与最低潜候期。藉由使用匹配线感测电路侦测匹配线预搜寻部与主搜寻部上的电流，可进一步降低功耗。匹配线系与感测电路之感测节点解耦以便达到较高的感测速度与改进的感测裕度，并且使用模拟匹配线产生定时控制信号，以门锁匹配线感测电路之输出。所有匹配线区段最初都预充电至一落空状况，然後再於感测前设定至一偏压。文中虽然只说明二个匹配线区段，但熟悉此类技术之人士可以理解，实际上可以形成多重区段。

图 4 显示根据本发明一实施例的一般低功耗 CAM 储存格阵列架构。熟悉此类技术之人士可以发现，图 4 仅为一 CAM 储存格阵列之概念(示意)图，因为其实体实施时，须将整体 CAM 分成多数象限与次区块。图 4 之概念性 CAM 储存格阵列 100 包括 N 行与 K 列。每一字组(亦即每一列)包括 N 个位元。因此，其记忆体容量为 N 个位元 x K 个字组。

根据本发明一实施例，此 CAM 储存格阵列系分成二部份：预搜寻储存格阵列 102 与主搜寻储存格阵列 103。预搜寻储存格阵列 102 的预搜寻匹配线与主搜寻储存格阵列 103 的主搜寻匹配线间具有实质上的差异。图 4 中虽未显示，但此 CAM 阵列亦包括多数模拟列与逻辑电路，用以控制匹配线感测放大器。稍后将参照图 7 讨论其中显示之模拟列与逻辑电路。

图 5 显示图 4 所示 CAM 阵列中分段列之一及其关联分段匹配线的简化概要图。其中有 M 个 CAM 储存格 105 与一标示为 P-ML 之预搜寻匹配线 109 连接，并由预搜寻匹配线感测放大器 112 感测此预搜寻匹配线。另有 N-(减)M 个 CAM 储存格 105 与一标示为 M-ML 之主搜寻匹配线 110 连接，并由主搜寻感测放大器 113 感测此主搜寻匹配线。预搜寻感测放大器 112 的输出 111 可使主搜寻感测放大器 113 启动或失效，视预搜寻区段中究竟发生匹配或失配而定。CAM 储存格 105 可为任一类型之 CAM 储存格，诸如 SRAM、DRAM、或三进制 SRAM 与 DRAM CAM 储存格。熟悉此类技术之人士可以理解，图 5 之匹配线列已经简化，且搜寻线、字组线及电源都与 CAM 储存格 105 耦接。

图 6 之流程图显示根据本发明一实施例中，每一分段匹配线列的操作方式。步骤 114 中，CAM 装置接收一外部搜寻命令。步骤 115 中，CAM 接著从内部起始在匹配线 M 个位元区段上的预搜寻作业。步骤 116 中，预搜寻的结果经过评估；如果在预搜寻部中侦测到"命中"，则进行步骤 117。反之，若在预搜寻部中侦测到"失配"，则进行步骤 118。步骤 118 中使主搜寻部的感测放大器失效，并使 CAM 装置进入接收新搜寻命令之状态。步骤 117 则接著进行主搜寻区段之主搜寻作业。步骤 119 中，将主搜寻匹配线之感测结果提供给一多重匹配解算器与优先顺序编码器。步骤 120 提供由优先顺序编码器输出的最高优先匹配结果，作为 CAM 装置之输出，并使 CAM 装置返回预备接收新搜寻命令的状态。须注意的是，此程序的说明中，并未实施任何管线处理功能。藉由使用管线式处理，当主搜寻作业完成其在步骤 117-120 中的各步骤时，可在步骤 114 开始新的预搜寻作业。稍后将参照图 10 更详细地讨论此种管线式处理方法。使用此种方法将可允许以较高的系统时脉速度执行更多搜寻。因此，藉由匹配线分段可以节省电力，因为任何匹配线中显示失配时，由於整个匹配线会产生失配，所以预搜寻部不

会使其主搜寻部充电与放电。

图 4 与图 5 都显示根据本发明一实施例中，匹配线感测放大器相对于其匹配线之一般配置。在其他可行实施例中，主匹配线感测放大器 113 可放在主匹配线 110 之另一端，以降低输出 111 之输送线长度。在另一可行实施例中，预搜寻匹配线感测放大器 112 与主搜寻匹配线感测放大器 113 二者可毗邻放置，以使输出 111 之输送线长度减至最低。

因此，以上说明的分段匹配线架构与先前技术中没有分段匹配线的 CAM 装置比较时，可以减少功耗。迄目前为止所显示的本发明实施例，可适用于采用任何感测设计类型的 CAM 装置。更明确地说，习式 CAM 装置采用的感测设计中，匹配线须预充电至一"命中"状况，诸如高电势位准(例如 VDD)。由於本发明之分段匹配线实施例可抑制主搜寻匹配线的预充电及主匹配线感测放大器的作动，造成仅作动一阵列子集进行主搜寻，因此有助於节省电力。

根据本发明另一实施例，在采用的感测设计中将匹配线预充电至"落空"(失配)状况时，可达到最佳省电的程度。通常，预充电至"落空"之感测设计，包括将匹配线预充电至"落空"状况(可为接地或逻辑高状态，视 CAM 储存格中使用的比较电晶体类型而定)；明确陈述搜寻数据；以及使用匹配线感测放大器感测匹配线上的任何变化。若为匹配状况时，则无任何接地电流路径，且匹配线之电势位准快速上升达一指示匹配状况之预定阈。若为落空状况时，则有至少一个接地电流路径，且匹配线之电势位准较缓慢地上升至该预定阈电平。因此，匹配线之电势位准上升速率视所产生的接地通路数目而定。藉由预充电匹配线至接地，匹配线电压摆幅被限制在介於接地与预定阈电平之间的电势位准。例如，此预定阈电平可为一变流器之切换点，并小於 VDD。将此种"预充电至落空"的感测设计与图 5 所述之分段匹配线结构结合时，可节省更多电力，因为预充电至落空状态的匹配线区段，只要其对应的前位匹配线区段遭遇落空时，该匹配线区段即会继续保留在落空状态。因此，在本发明一实施例中，CAM 阵列中的每一列匹配线都分段成预搜寻匹配线与主搜寻匹配线，如图 4、5 所示，且其使用的感测设计中，系将预搜寻匹配线与主搜寻匹配线预充电至落空状态。

图 7 显示根据本发明低功耗 CAM 架构之一实施例。此低功耗 CAM 架构使用分段匹配线，且其使用的感测设计中系将匹配线预充电至落

空状态。此外，其感测设计使用参考匹配线提供控制信号之自动定时产生，用以控制与每一匹配线耦接之匹配线感测放大器与门锁电路。在周边电路(诸如搜寻线驱动程式)作对应修改後，图7之CAM阵列130可置换图1CAM装置中所示的阵列25。

图7之CAM阵列130包括一预搜寻阵列131与一主搜寻阵列132。虽然图7中未显示记忆体阵列，但熟悉此类技术之人士可以理解，本说明书中使用阵列一词时，系指记忆体阵列及其关联的控制电路组件。预搜寻阵列131包括多数预搜寻匹配线与关联的电路组件133，并包括一参考预搜寻匹配线电路137。在本实施例此一特定范例中，系显示128个预搜寻匹配线列133其中之一及该参考匹配线电路。每一预搜寻匹配线列133包括一预搜寻匹配线P-MLn、一预搜寻匹配线感测放大器(MLSA)134、及一预搜寻门锁电路135。在本实施例此一特定范例中，有36个三进制CAM储存格(图中未示)与预搜寻匹配线P-MLn连接。预搜寻匹配线感测放大器134感测P-MLn的电势位准，并对预搜寻门锁电路135提供对应"命中"或"落空"状况的区域输出信号SPd。预搜寻门锁电路135保持区域输出信号SPd的状态，并产生信号Psrch-HIT。预搜寻MLSA134与预搜寻门锁电路135都经由一定时控制电路136接收来自参考预搜寻匹配线电路137的定时控制信号，预搜寻MLSA134并接收参考电压产生器(图7中未示)产生的参考电压VREF。

参考预搜寻匹配线电路包括一定时控制电路136、一参考预搜寻匹配线P-RML、一预搜寻匹配线感测放大器(MLSA)137、及一变流器138。在本实施例此一特定范例中，预搜寻阵列131有一个参考预搜寻匹配线电路。参考预搜寻匹配线P-RML之架构与预搜寻匹配线P-MLn完全相同，以与预搜寻匹配线P-MLn的寄生电阻及电容匹配，但其CAM储存格的所有搜寻与比较电晶体永久断电，只有一对搜寻与比较电晶体例外它们是永久通电的。因此，参考预搜寻匹配线为直接耦合配线，以模拟单一落空状况。预搜寻匹配线感测放大器(MLSA)137系与预搜寻匹配线感测放大器(MLSA)134完全相同，用以感测P-RML的电势位准。预搜寻MLSA137亦接收VREF。预搜寻匹配线感测放大器(MLSA)134之输出端为一门锁电路，但是预搜寻匹配线感测放大器137之输出端没有门锁电路，而由一变流器138接收预搜寻MLSA137的参考预搜寻

输出 SPd。定时控制电路 136 接收变流器 138 之输出作为一反馈信号，及接收一匹配线感测放大器拨转信号 MLSATGLp[1]，并产生三个供所有预搜寻 MLSA 134、137 使用的信号，与二个供所有预搜寻门锁电路 135 使用的信号。MLSATGLp[1] 启动预搜寻阵列 131 内的感测。虽然图中未示，但定时控制电路 136 亦接收一时脉信号，以使搜寻作业与系统时脉同步化。供所有预搜寻 MLSA 134、137 使用的三个信号包括供 NMOS 装置使用的预搜寻匹配线感测启动信号 PMLSAENp、供 PMOS 装置使用的预搜寻匹配线感测启动信号 PMLSAENn、以及供预充电装置使用的 PMLSAPRMLSAPRp。以下将会参照图 8 更详细地说明 MLSA 134、137 的匹配线感测放大器电路。供所有预搜寻门锁电路 135 使用的二个信号是 PLTCHn 与 PLTCHp。

现在说明预搜寻阵列 131 之感测设计中，关于一个搜寻与比较周期的一般操作（稍后会更详细说明匹配线感测放大器电路的操作方式）。预搜寻匹配线 P\_MLn 与 P\_RML 都预充电至落空状态。在本实施例中，落空状态系指预充电阶段时的接地电压。将搜寻数据明确陈述在搜寻线（图中未示）上后，即作动匹配线感测放大器拨转信号 MLSATGLp[1] 以经由信号 PMLSAENp、PMLSAENn 及 PMLSAPRp 起始感测阶段。在感测阶段中（以下将会参照匹配线感测放大器电路一较佳实施例之特定操作方式更详尽地说明），预搜寻 MLSA 137 之输出 SPd 最后从高电势位准降至一低电势位准，足以使变流器 138 切换并反馈一高逻辑电平输出至定时控制电路 136。定时控制电路 136 於是关闭预搜寻 MLSA 134、137 的电源以节省电力，并作动匹配线门锁信号 PLTCHn 与 PLTCHp，以启动门锁各个预搜寻 MLSA 134 的区域 SPd 输出。一旦门锁 SPd 输出后，定时控制电路 136 接著使所有预搜寻匹配线感测放大器电路 MLSA 134、137 预充电所有预搜寻匹配线至接地之落空状态，以准备下一个搜寻与比较周期。

预搜寻 MLSA 137 驱动其 SPd 输出至某一电势位准以切换变流器 138 状态时，其所需时间是由参考预搜寻匹配线 P\_RML 的架构决定的。更明确地说，参考预搜寻匹配线列经常模拟最糟的落空状况，亦即，单一位元落空。此乃因为 P\_RML 仅有一个搜寻与比较电晶体对为通电，而其他所有搜寻与比较电晶体对都未通电。当任一匹配线中发生单一落空时，唯一通电的搜寻与比较电晶体对会产生一极小量的电流，大

约 10uA，关联之匹配线感测放大器需要相当长的时间才能侦测出，然後驱动其 SPd 输出至一低电势位准。若在搜寻线上明确陈述搜寻数据後同时导通预搜寻 MLSA 134、137，待参考预搜寻 MLSA 137 已改变其 SPd 电势位准时，任何与一 P\_MLn 连接而有一匹配的 MLSA 134 将早已驱动其个别 SPd 输出至表示命中的逻辑电平。此乃因为有匹配状况之匹配线，其电势位准的上升速率快於落空匹配线的电势位准上升速率。以此方式，藉由利用参考预搜寻匹配线来设定所有匹配线感测放大器的失效时间，系统可确保由匹配线门锁电路门锁适当的匹配线搜寻结果数据。

现在进一步详细说明 CAM 阵列 130 中主搜寻阵列 132 的组件。主搜寻阵列 132 包括多数主搜寻匹配线与关联的电路组件 139，及一参考主搜寻匹配线电路。在本实施例此一特定范例中，128 个主搜寻匹配线列 139 分别对应 128 个预搜寻匹配线列 133。每一主搜寻匹配线列 139 包括一主搜寻匹配线 M\_MLn、一主搜寻匹配线感测放大器 140、一主搜寻门锁电路 141、与一"及"(AND)门 142。在本实施例此一特定范例中，共有 108 个三进制 CAM 储存格(图中未示)与主搜寻匹配线 M\_MLn 连接。主搜寻匹配线感测放大器 140 感测 M\_MLn 的电势位准，并对主搜寻门锁电路 141 提供对应命中或落空状况之区域输出信号 SPd。主搜寻门锁电路 141 保持区域输出信号 SPd 的状态，并产生信号 ML\_OUTn。如图 7 所示，主搜寻阵列 132 之组件架构与预搜寻阵列 131 的组件架构完全相同，但是每一主搜寻匹配线与关联的电路组件 139 包括一"及"门 142。虽然主搜寻门锁电路 141 与参考主搜寻 MLSA 144 接收来自定时控制电路 143 的控制信号，但是主搜寻 MLSA 140 并不直接接收来自定时控制电路 143 的信号。"及"门 142 接收来自定时控制电路 143 的三个信号，并将它们与预搜寻阵列 133 之预搜寻门锁电路 135 输出的 Psrch-HIT 信号所表示的预搜寻结果结合。熟悉此类技术之人士可以理解，"及"门 142 表示三个"及"门，每一"及"门接收由控制区块 143 输出的三个控制信号之一与 Psrch-HIT 信号，且每一"及"门 142 产生一控制信号提供给主搜寻感测放大器 140。当 Psrch-HIT 指示在预搜寻匹配线部已侦测到命中状况时，亦即在高逻辑电平时，"及"门 142 会启动传送该等三个控制信号。换言之，若信号 Psrch-HIT 在表示落空状况的低逻辑电平时，会阻止主搜寻感测放大器 MLSA 140 接收三个

控制信号。因此，与主搜寻阵列 132 对应的预搜寻匹配线列 133 若报告落空状况，则会制止主搜寻 MLSA 140 感测主搜寻阵列 132 主匹配线中的变化。熟悉此类技术之人士可以理解，目前说明的"及"闸 142 虽然是将控制区块 143 产生的每一控制信号与 Psrch-HIT 信号结合，但其亦可仅将一或二个控制信号与 Psrch-HIT 信号结合。例如，在本发明一实施例中，控制区块 143 提供的三个控制信号中，仅有一个与 Psrch-HIT 信号结合以产生一个控制信号提供给 Msrch MLSA，而控制区块 143 产生的另外二个控制信号则直接提供给 Msrch MLSA。以下将参照图 8 更详细说明此一实施例。

参考主搜寻匹配线电路包括一定时控制电路 143、一参考主搜寻匹配线 M-RML、一主搜寻 MLSA 144、及一变流器 145。在本实施例此一特定范例中，主搜寻阵列 132 有一个参考主搜寻匹配线电路。参考主搜寻匹配线 M-RML 之架构与主搜寻匹配线 M-MLn 完全相同，以与主搜寻匹配线 M-MLn 的寄生电阻及电容匹配，但其 CAM 储存格的所有搜寻与比较电晶体永久断电，只有一对搜寻与比较电晶体例外，它们是永久通电的。因此，参考主搜寻匹配线为直接耦合配线，以模拟单一落空状况。主搜寻匹配线感测放大器 (MLSA) 144 系与主搜寻匹配线感测放大器 (MLSA) 140 完全相同，用以感测 M-RML 的电势位准。主搜寻 MLSA 144 亦接收参考电压 VREF。变流器 145 接收主搜寻 MLSA 144 的 SPd 输出。定时控制电路 143 接收变流器 145 之输出及一匹配线拨转信号 MLSATGLp[2]，并产生三个控制主搜寻感测放大器 MLSA 140、144 的控制信号，与二个控制所有主搜寻门锁电路 141 的控制信号。虽然图中未示，但定时控制电路 143 亦接收一时脉信号，以使搜寻作业与系统时脉同步化，藉此允许管线式预搜寻与主搜寻作业。用於控制所有主搜寻 MLSA 140、144 的三个控制信号是 MLSAENp、MLSAENn、及 MLSAPRp。控制所有主搜寻门锁电路 141 的二个控制信号是 LTCHn 与 LTCHp。

由於主搜寻阵列 132 之电路的一般操作方式，与先前说明的预搜寻阵列 131 相同，所以不再重复主搜寻阵列 132 的电路一般操作方式。然而，须注意的是，拨转信号 MLSATGLp[2] 是在 MLSATGLp[1] 之後起动的，通常是在 MLSATGLp[1] 起动之周期後的时脉周期内。同时须注意的是，信号 MLSAENp、MLSAENn、MLSAPRp、LTCHn、及 LTCHp 在其

各自之阵列中，以功能而言是分别与信号 PMLSAEN<sub>p</sub>、PMLSAEN<sub>n</sub>、PMLSAPR<sub>p</sub>、PLTCH<sub>n</sub>、及 PLTCH<sub>p</sub> 同等的。

图 8 显示根据本发明另一实施例之匹配线感测放大器电路之电路概要图。此一匹配线感测放大器电路之用途，与本发明低功耗 CAM 阵列架构较佳实施例中显示於图 7 的 MLSA 电路 134、137、140、及 144 相同。

图 8 之匹配线感测放大器电路包括一电源、一偏压电路、及一限压电路。该电源包括在电源电压 VDD 与感测输出节点 SP<sub>d</sub> 之间串联的 p 通道电晶体 224、226。p 通道电晶体 224 之栅极端子与第一参考电压 V<sub>ref</sub> 连接，而 p 通道电晶体 226 之栅极端子与第二参考电压 V<sub>mr</sub> 连接。该偏压电路包括 p 通道电晶体 212、220 及 n 通道电晶体 214、216、218。p 通道电晶体 212 及 n 通道电晶体 214 系在电源电压 VDD 与 n 通道电晶体 216 之漏极端子间串联。p 通道电晶体 220 及 n 通道电晶体 222 系在电源电压 VDD 与 n 通道电晶体 216 之漏极端子间串联，其中，电晶体 220 与 222 之共用源极/漏极端子系与感测输出节点 SP<sub>d</sub> 连接。p 通道电晶体 212、220 之栅极端子系与匹配线感测放大器启动信号 MLSAEN<sub>n</sub> 连接，而 n 通道电晶体 214、222 之栅极端子系与限制电压 V<sub>r</sub> 连接。N 通道电晶体 216、218 系在 n 通道电晶体 214、222 之源极端子与接地间串联，其中电晶体 216、218 之共用源极/漏极端子系与一关联匹配线 ML<sub>p</sub> 连接。必须注意的是，ML<sub>p</sub> 与 P-ML<sub>n</sub>、P-RML、M-ML<sub>n</sub> 及 M-RML 中的任一者均同等，因为它们全都是由匹配线感测放大器电路感测的匹配线。电晶体 216、218 之栅极端子系分别与匹配线感测启动信号 MLSAEN<sub>p</sub> 及匹配线感测预充电信号 MLSAPR<sub>p</sub> 连接。限压电路包括 n 通道电晶体 222，其架构与前述相同。主搜寻阵列控制信号 MLSAEN<sub>n</sub>、MLSAEN<sub>p</sub>、及 MLSAPR<sub>p</sub> 分别与先前参照图 7 讨论的预搜寻阵列控制信号 PMLSAEN<sub>n</sub>、PMLSAEN<sub>p</sub>、及 PMLSAPR<sub>p</sub> 同等。电压 V<sub>ref</sub>、V<sub>r</sub>、及 V<sub>mr</sub> 是由 CAM 装置中其他电路产生的，它们在图 7 中系以标示 VREF 的单线显示，以简化方块图。

接著说明图 8 中匹配线感测电路的一般操作方式。通常，由於搜寻与比较运算的结果，匹配线 ML<sub>p</sub> 会载送一电压信号与一关联电流，以於搜寻数据引至搜寻线上後，指示匹配或失配状况。当至少一对搜寻与比较电晶体被导通而耦接 ML<sub>p</sub> 与接地时，关联的匹配线电流会流动。

为了根据本发明感测一匹配线上的匹配或失配状况，须在搜寻数据引至搜寻线上前，先在匹配线  $ML_p$  上建立一正偏压点电势，以便让匹配线电流感测放大器侦测匹配线电流中因搜寻作业产生的任何变化。

在预充电阶段中，当匹配线预充电信号  $MLSAPR_p$  为逻辑高时，匹配线被预充电至一预充电电压，例如接地电势。同时，匹配线感测信号  $MLSAEN_p$  及  $MLSAEN_n$  分别为逻辑低与高，使匹配线  $ML_p$  与感测节点  $SP_d$  隔离。

在感测阶段中，匹配线的预充电停止， $MLSAEN_p$  被拉至逻辑低电平；电流提供至匹配线  $ML_p$ ， $MLSAEN_n$  被拉至低逻辑电平，而  $MLSAEN_p$  则被拉至高逻辑电平。 $V_r$  是在一预定的电势位准，通常为 0.5 伏特。在此情况下，电晶体 212、214、216 被导通，电晶体 218 被关闭，而匹配线与感测节点  $SP_d$  上则建立偏压电势。须注意的是，电晶体 214、222 接收限制电压  $V_r$  (可为 0.5 伏特左右) 以限制匹配线  $ML_p$  的最大电势在 0.5 伏特左右。随后， $MLSAEN_n$  被驱动至高逻辑电平，以关闭电晶体 212、220。电源之 P 通道电晶体 224、226 仍旧保持导通，以供应一小量的偏压电流，但其足以使  $SP_d$  维持在  $VDD$ 。在本实施例中，由电源供应的偏压电流是导通一对搜寻与比较电晶体时所产生的电流的一小部份。稍后会讨论本实施例的此项特点。将搜寻数据引至搜寻线后，至少有一或零个搜寻与比较电晶体对被导通。若是至少导通一对搜寻与比较电晶体时，那么会有匹配线电流从  $ML_p$  流至接地。此匹配线电流大於电源供应的偏压电流，并经由电晶体 222、216 压低感测节点  $SP_d$ 。若未导通任何搜寻与比较电晶体对以指示一匹配状况时，由於限压电晶体 222 的存在，所以  $ML_p$  的电势位准保持在  $V_r$  的预充电电势。 $SP_d$  也对应地继续维持在  $VDD$ 。诸如图 9 所示的闩锁电路，要等到互补的闩锁信号  $LTCH_p$  与  $LTCH_n$  於搜寻数据导入搜寻线后再经一预定期间生效时，才会闩锁  $SP_d$  上的电势。在此预定期间后， $SP_d$  的电势位准或是高於或是低於三态变流器 150 的触发点，且互补的闩锁信号  $LTCH_p$  与  $LTCH_n$  由图 11 所示的控制电路产生脉冲而达其生效状态。依照  $SP_d$  相对三态变流器 150 触发点的电势而定，三态变流器 150 会在其输出端驱动高或低逻辑电平。当  $LTCH_p$  与  $LTCH_n$  脉冲结束时，三态变流器 150 即切断电源。一旦完成搜寻作业时，信号  $MLSAEN_p$  即被驱动为低逻辑电势位准以关闭电晶体 216，而信号  $MLSAPR_p$  则被驱动为

高逻辑电势位准以导通电晶体 218,藉此将关联匹配线 MLp 再度带入其预充电电平。

须注意的是,在图 4 所示匹配线感测电路的另一可行实施例中,省略了电晶体 212、214,且电晶体 220、222 的宽度经过调整以补偿由电晶体 212、214 提供但被除去的电流路径。

图 9 显示一闩锁电路概要图,此闩锁电路可用作图 7 中的闩锁电路 135、141。此闩锁电路是一标准的触发型闩锁电路,并包括一对交叉耦接变流器。图 9 之闩锁电路包括一三态变流器 150,此变流器之输入端与一匹配线感测放大器电路之 SPd 输出端耦接,其输出端则与第一交叉耦接变流器对连接。第一交叉耦接变流器对包括变流器 151 与三态变流器 152。变流器 151 之输出端与三态变流器 153 连接,然後三态变流器 153 之输出端与第二交叉耦接变流器对连接。第二交叉耦接变流器对包括变流器 154 与三态变流器 155。若将此闩锁电路作为主搜寻闩锁电路 141 时,那么变流器 154 之输出端即驱动输出 ML\_OUT。若将此闩锁电路作为预搜寻闩锁电路 135 时,那么变流器 154 之输出端会驱动输出 Psrch\_HIT。互补闩锁信号 LTCHp 与 LTCHn 系与各个三态变流器连接,其连接架构允许感测 SPd 之电势位准;然後,当 LTCHp 在高、低逻辑电平间拨转时,它们从第一交叉耦接变流器对移位至第二交叉耦接变流器对。此型闩锁电路为已知的先前技术,所以不需进一步讨论其操作方法。

根据本发明另一实施例,预搜寻及主搜寻作业均采管线式处理,以维持高产出量但只有一个周期潜候期。图 10 为一定时表,显示连续搜寻作业的管线式处理操作。兹参照图 8 至图 10 来讨论图 10 之定时表。第一搜寻字组的预搜寻在周期 3 内开始,而预搜寻 MLSA 134 的结果最後被闩锁并从预搜寻闩锁电路 135 驱动为信号 Psrch\_HIT。更明确地说,数据被闩锁在预搜寻闩锁电路 135 之第一交叉耦接变流器对之内。与第一搜寻字组之主搜寻对应的 Psrch\_HIT,若其逻辑电平在高逻辑电平,则在周期 4 内开始第一搜寻字组之主搜寻。当第一搜寻字组之主搜寻开始时,第二搜寻字组之预搜寻亦在周期 4 内开始。可以执行第二预搜寻作业乃因为互补闩锁信号 PLTCHp 与 PLTCHn 分别在低、高逻辑电平时被作动以感测第二搜寻字组之新 SPd 数据时,图 9 所示闩锁电路的三态变流器 153 会关闭。此外,先前的 SPd 数据被闩锁在第

二交叉耦接变流器对，以便为第一搜寻字组之主搜寻维持 Psrch-HIT 的先前逻辑电平。在周期 5 内，进行第二搜寻字组的主搜寻并开始第三搜寻之预搜寻。第三字组的主搜寻在周期 6 内开始，而且没有进行进一步的预搜寻。因此，由於上述的管线式处理设计，所以预搜寻作业的每一搜寻与比较运算间不需要额外的周期。因此，由於预搜寻与主搜寻作业是并行执行的，所以相对於无匹配线分段的结构，整个 CAM 的操作速度可以加快。

图 8 所示的匹配线感测放大器实施例可以用在无分段及分段式匹配线二种架构中以节省电力。

图 11 显示一控制区块的电路概要图。此控制区块产生的信号可适时控制图 8 的感测放大器。一触发电路 372 在其输入端 D 接收匹配线感测放大器拨转信号 MLSATGLp，并在其时脉输入端接收时脉信号 CLKp。触发电路 372 之 Q 输出端连接 NOR (非或) 闸 376 及 NAND (反及) 闸 378 各自之第一输入端及一同相延迟区块 374 之输入端。延迟区块 374 之输出端连接 NOR 闸 376 及 NAND 闸 378 各自之第二输入端。NOR 闸 376 之输出端连接一对串联之变流器 380、382，用以驱动信号 MLSAPRp。NAND 闸 378 之输出端连接三个串联之变流器 384、386、388，用以驱动信号 MLSAENp。触发电路 372 之 Q 输出端亦连接一对串联的变流器 390、392，後者之输出端连接反相延迟区块 394 之输入端及 NAND 闸 396 之输入端。反相延迟区块 394 之输出端连接 NAND 闸 396 之另一输入端。NAND 闸 396 之输出端连接四个串联的变流器 398、400、402、404，用以驱动信号 MLSAENn。信号 FB1Mp 经由变流器 406 耦接於 NOR 闸 408 之一输入端。信号 FBAHp 则连接 NOR 闸 408 之另一输入端。NOR 闸 408 之输出端连接反相延迟区块 410 之输入端及 NAND 闸 412 之一输入端，而反相延迟区块 410 之输出端连接 NAND 闸 412 之另一输入端。NAND 闸 412 之输出端连接三个串联的变流器 414、416、418，用以驱动信号 LTCHn，并连接一对串联的变流器 420、422，用以驱动信号 LTCHp。NAND 闸 412 之输出端亦与触发电路 372 之重设输入端连接。延迟区块 374、394、410 可延迟高、低逻辑电平信号之传播。反相延迟区块 394、410 可包括任何奇数个反相元件，诸如变流器、NOR 闸或 NAND 闸，或包括奇数个反相元件与电容器及电阻器的组合。同相延迟区块 374 可包括任何偶数个反相元件或包括偶数个反相元件与电容器

及电阻器的组合。经由例如修整制造後，延迟区块 374、394、410 提供的延迟是可程式化的。

控制区块 370 的操作方式大致如下。首先应假设触发电路 372 的 Q 输出端在最初之不活动(失效)状态时，是在低逻辑电平，MLSAEN<sub>n</sub>、MLSAPR<sub>p</sub>、及 LTCH<sub>p</sub> 都在高逻辑电平，而 MLSAEN<sub>p</sub> 及 LTCH<sub>n</sub> 都在低逻辑电平。触发电路 372 接收的高逻辑电平 MLSATGL<sub>p</sub> 脉冲起始控制信号的产生。触发电路 372 响应时脉信号 CLK<sub>p</sub> 上升边缘上的高逻辑电平 MLSATGL<sub>p</sub>，驱动其 Q 输出端至高逻辑电平。NOR 闸 376 之输出端隨後被变流器 382 驱动至低逻辑电平，MLSAPR<sub>p</sub> 则接著被驱动至低逻辑电平。在同相延迟区块 374 提供的延迟後，NAND 闸 378 的二个输入端都在高逻辑电平以驱动其输出端至低逻辑电平。变流器 388 接著驱动 MLSAEN<sub>p</sub> 至高逻辑电平。触发电路 372 之高逻辑电平 Q 输出端亦驱动变流器 390 之输入端，使变流器 392 输出一高逻辑电平。变流器 392 的高逻辑电平输出由反相延迟区块 394 及 NAND 闸 396 之一输入端接收。由於反相延迟区块 394 之输出端目前在高逻辑电平，所以 NAND 闸 396 的二个输入端都在高逻辑电平，将 MLSAEN<sub>n</sub> 从高逻辑电平驱动至低逻辑电平。最後，反相延迟区块 394 於输入端接收的高逻辑电平在其输出端倒转，迫使 NAND 闸 396 输出一高逻辑电平信号。因此，MLSAEN<sub>n</sub> 响应触发电路 372 的高逻辑电平 Q 输出端而为低脉冲。

以上说明的各电路系有关控制信号 MLSAEN<sub>n</sub>、MLSAPR<sub>p</sub>、MLSAEN<sub>p</sub> 之产生，用以允许图 8 之 MLSA 电路预充电并感测其各自之匹配线电势位准。以下有关控制区块 370 其余电路之说明，系关于图 8 所示 MLSA 电路的关闭。反馈信号 FBAH<sub>p</sub> 於正常操作期间保持在低逻辑电平，但反馈信号 FB1M<sub>p</sub> 最後从初期的低逻辑电平变成高逻辑电平，以指示其各自之匹配线上出现单一落空状况。NOR 闸 408 於其二输入端都在低逻辑电平时，提供一高逻辑电平输出。NOR 闸 408 的高逻辑电平输出由 NAND 闸 412 之一输入端及反相延迟区块 410 之输入端接收。由於反相延迟区块 410 之输出端目前为高逻辑电平，所以 NAND 闸 412 的二个输入端都在高逻辑电平，以驱动 LTCH<sub>n</sub> 从低逻辑电平变成高逻辑电平，并驱动 LTCH<sub>p</sub> 从高逻辑电平变成低逻辑电平。最後，反相延迟区块 410 於输出端接收的高逻辑电平在其输出端倒转，迫使 NAND 闸 412 输出一高逻辑电平信号。因此，LTCH<sub>n</sub> 脉冲高而 LTCH<sub>p</sub> 脉冲低，以响应低逻辑

辑电平 FB1Mp 信号。从 NAND 门 412 输出端输出的低逻辑电平脉冲重设触发电路 372，以驱动控制信号 MLSAENn、MLSApRp、及 MLSAENp 至其初始的不活动(失效)状态。

前段说明控制区块 370 响应接收低逻辑电平反馈信号 FB1Mp 时的工作情况。反馈信号的发生时间是设定在搜寻数据被明确陈述於 CAM 阵列搜寻线上後的一预定期间。此一预设时间或延迟，系由直接耦合配线的单一落空匹配线区块 310 决定的。以下参照图 12 进一步详细说明直接耦合配线的单一落空匹配线区块 310。

图 12 显示直接耦合配线的单一落空匹配线列 310 之概要图。单一落空参考匹配线列 310 之电气特徵设计为与正常匹配线列 240 相同。匹配线列 310 包括一参考匹配线 RML1，在其与一尾线(在此特定实施例中，系一接地)间有多数串联的 n 通道搜寻与比较电晶体 312、316 及 314、318。RML1 之大小与图 8 所示的 MLp 完全相同，搜寻与比较电晶体 312、316 及 314、318 则与图 8 中将与 MLp 连接之对应搜寻与比较电晶体完全相同。RML1 的搜寻与比较电晶体对之数目，亦与 MLp 的相同，以确保其电气特徵与匹配线列 240 精确匹配。在匹配线区块 310 中，只有电晶体 312、314 的栅极与 VDD 连接，所有其他电晶体 316、318 之栅极则为接地。此一架构之理由是为了模仿只有一个落空状况的正常匹配线。图 12 亦显示直接耦合配线的命中匹配线列 340。命中匹配线列 340 的电气特徵设计为与正常匹配线列 240 相同，并与单一落空匹配线列 310 完全相同。搜寻与比较电晶体 342、344 系与单一落空匹配线列 310 中的对应搜寻与比较电晶体完全相同，但是所有电晶体 342、344 的栅极都是接地，以使它们保持关闭。

现在进一步详细说明图 8 实施例的电源电路。如前所述，具有 p 通道电晶体 224、226 的电源提供一小量电流，其大小足以在其对应匹配线上无落空状况电流时，维持 SPd 上的 VDD 电势位准。根据本实施例之一特徵，此一小量电流是一对导通状态的搜寻与比较电晶体所产生的电流中的一小部份。在 p 通道电晶体 224 之栅极上施以一预定参考电压 Vref 时，可以达到此目的。与 p 通道电晶体 226 之栅极连接的电压 Vmr 是一固定电压，用作串联电流反射镜架构之补偿电压。以下参照图 13 进一步详细讨论 Vref 的产生。

图 13 为一电路概要图，显示可提供 Vref 的电压参考电路实施例。

参考电压  $V_{ref}$  及  $V_{mr}$  系提供给所有 MLSA (匹配线感测放大器) 电路与参考 MLSA 电路。电压参考电路 250 包括一接设 p 通道二极体的负载电晶体 252, 及一参考限压 n 通道电晶体 254, 二者在 VDD 与一模拟储存格 255 间串联。  $V_{ref}$  经由电容器 253 耦接於 VDD。模拟储存格 255 包括二个在电晶体 254 源极端子与接地间串联的 n 通道电晶体 256、258。电晶体 256、258 之结构与正常搜寻与比较电晶体对 (诸如图 13 所示的搜寻与比较电晶体 241、242) 完全相同。参考限压 n 通道电晶体 254 之栅极端子连接一预电压  $V_r$ , 而电晶体 256、258 之栅极端子连接 VDD。由於模拟搜寻与比较电晶体 256、258 系与正常搜寻与比较电晶体相同, 所以它们产生的电流也会相同。此外, 操作条件中的改变会以相同方式影响正常及模拟搜寻与比较电晶体。在设计阶段时依比例订定电晶体 224、252 的 W/L 比, 可增加或减少电晶体 224 的电流。在本实施例中, 藉由依比例订定电晶体 224 的 W/L 比, 作为电晶体 252 之 W/L 比的因数, 可以改变通过电晶体 224 的电流。例如, 电晶体 224 之 W/L 比可在电晶体 252 之 W/L 比的 0.1 至 0.5 间。  $V_r$  系由一独立的电压产生器 (图中未示) 提供的, 其为 (i) 一对搜寻与比较电晶体发展足以感测之反偏电流时的电压电平与 (ii) 图 13 中的电晶体 216 之阈电压之间的差。  $V_r$  通常约为 0.4 至 0.5 伏特。

现在说明本实施例之省电特徵。感测周期通常始於一计时脉冲, 但在後续计时脉冲前结束, 感测周期之末尾与下一计时脉冲起点间则为闲置时间。因此, 若图 8 之电晶体 216 继续在导通状态或未出现在电路中时, 由於匹配线  $ML_p$  中有接地路径, 所以有落空状况的各匹配线中继续消耗静态功率。在感测周期结束後立即关闭电晶体 216, 可切断落空状况匹配线中至接地路径的电源。限压电晶体 222 (电晶体 214 也一样) 之栅极端子与  $V_r$  连接, 使  $SP_d$  的全部 VDD 电势与  $ML_p$  隔离, 并限制  $ML_p$  在  $V_r$  左右。因此, 在整个感测周期中,  $ML_p$  之电压摆幅经常限於  $V_r$ , 因  $ML_p$  重复充电与放电而造成的功耗也减至最低。

本发明之匹配线感测放大器实施例为一聚缩电路, 其所包括的电晶体不超过 8 个, 用以配入节距紧密之 CAM 核心配置。此电路可在一短时期内感测约 10uA 的小量电流, 并限制匹配线电压电平至一低位准, 以减少功率耗散。

因此, 如本发明各实施例所示, 将匹配线分段为预搜寻阵列与主搜

寻阵列，并在实施的感测设计中先将预搜寻及主搜寻阵列预充电至一预充电电平，再於匹配线感测电路组件感测到匹配线数据前，将其偏压至一操作点，则可达成低功耗 CAM 阵列。此外，将匹配线分段成二个较短的匹配线时，可以降低每一匹配线感测放大器遭遇的寄生电容与电阻。因此，功耗较少且可以改进匹配线的感测速度。

当然，本发明上述各特定实施例可作多种变化与修改而不脱离本发明精神及其在各请求项中定义的范围。

虽然本发明之匹配线感测电路系使用有关矽的互补金属氧化物半导体 (CMOS) 技术来实施及模拟，但是亦可用其他技术，诸如 BiCMOS，来实现其他可行实施例。在其他可行实施例中，可将匹配线分段成三或多个区段与关联的管线处理门级阶段，而其匹配线感测放大器输出正向馈入下一匹配线感测放大器，以启动进一步的感测。

本发明上述各实施例仅供作为本发明之范例。熟悉此类技术之人士可在此等特定实施例上进行改变、修改及变化而不脱离本发明范围；本发明之范围完全依所附申请专利范围定义之。

#### 组件列表

- 10 内容可定址记忆体 (CAM)
- 11 数据输入/输出 (I/O) 区块
- 12 控制电路区块
- 13 旗标逻辑区块
- 14 电源电压产生区块
- 15 数据暂存器
- 16 控制及位址暂存器
- 17 位址解码器
- 18 匹配位址暂存器
- 19 匹配位址输出区块
- 20 更新计数器
- 21 JTAG 区块
- 22 优先顺序编码器
- 23 数据输出暂存器
- 25 阵列
- 26 匹配线感测电路区块

- 27 匹配线感测电路
- 30 CAM 储存格
- 31 N 通道搜寻电晶体
- 32 N 通道比较电晶体
- 33 N 通道存取电晶体
- 34 电容器
- 100 CAM 储存格阵列
- 101 预搜寻匹配线感测放大器区块
- 102 预搜寻储存格阵列
- 103 主搜寻储存格阵列
- 104 主搜寻匹配线感测放大器区块
- 105 CAM 储存格
- 109 预搜寻匹配线
- 110 主搜寻匹配线
- 111 输出
- 112 预搜寻匹配线感测放大器
- 113 主搜寻感测放大器
- 114 步骤
- 115 步骤
- 116 步骤
- 117 步骤
- 118 步骤
- 119 步骤
- 120 步骤
- 130 CAM 阵列
- 131 预搜寻阵列
- 132 主搜寻阵列
- 133 预搜寻匹配线及关联电路组件/预搜寻匹配线列
- 134 预搜寻匹配线感测放大器
- 135 预搜寻门锁电路
- 136 定时控制电路
- 137 参考预搜寻匹配线电路/预搜寻匹配线感测放大器

- 138 变流器
- 139 主搜寻匹配线及关联电路组件/主搜寻匹配线列
- 140 主搜寻匹配线感测放大器
- 141 主搜寻门锁电路
- 142 AND(及)闸
- 143 定时控制电路
- 144 参考预搜寻匹配线感测放大器
- 145 变流器
- 150 三态变流器
- 151 变流器
- 152 三态变流器
- 153 三态变流器
- 154 变流器
- 155 三态变流器
- 212 P通道电晶体
- 214 N通道电晶体
- 216 N通道电晶体
- 218 N通道电晶体
- 220 P通道电晶体
- 222 N通道电晶体
- 224 P通道电晶体
- 226 P通道电晶体
- 240 正常匹配线列
- 241 搜寻电晶体
- 242 比较电晶体
- 250 电压参考电路
- 252 负载电晶体
- 253 电容器
- 254 参考限压 n 通道电晶体
- 255 模拟储存格
- 256 n 通道电晶体
- 258 n 通道电晶体

- 
- 310 直接耦合配线之单一落空匹配线区块/单一落空参考匹配线列
  - 312 N通道搜寻电晶体
  - 314 N通道比较电晶体
  - 316 N通道搜寻电晶体
  - 318 N通道比较电晶体
  - 340 直接耦合配线之命中匹配线列
  - 342 搜寻电晶体
  - 344 比较电晶体
  - 370 控制区块
  - 372 触发电路
  - 374 延迟区块
  - 376 NOR(非或)闸
  - 378 NAND(反及)闸
  - 380 变流器
  - 382 变流器
  - 384 变流器
  - 386 变流器
  - 388 变流器
  - 390 变流器
  - 392 变流器
  - 394 反相延迟区块
  - 396 NAND(反及)闸
  - 398 变流器
  - 400 变流器
  - 402 变流器
  - 404 变流器
  - 406 变流器
  - 408 NOR(非或)闸
  - 410 反相延迟区块
  - 412 NAND(反及)闸
  - 414 变流器

416 变流器

418 变流器

420 变流器

422 变流器

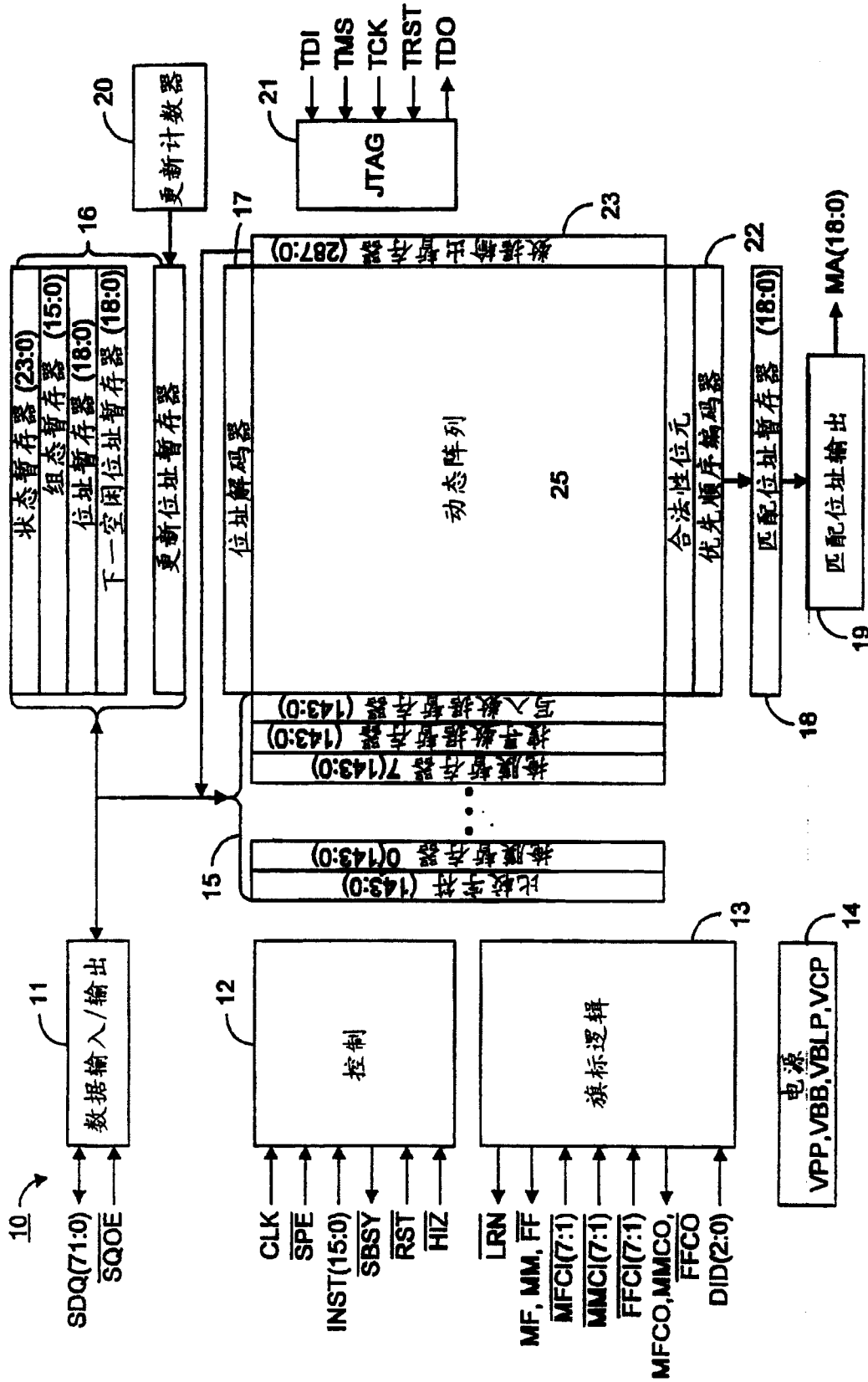


图 1 (现有技术)

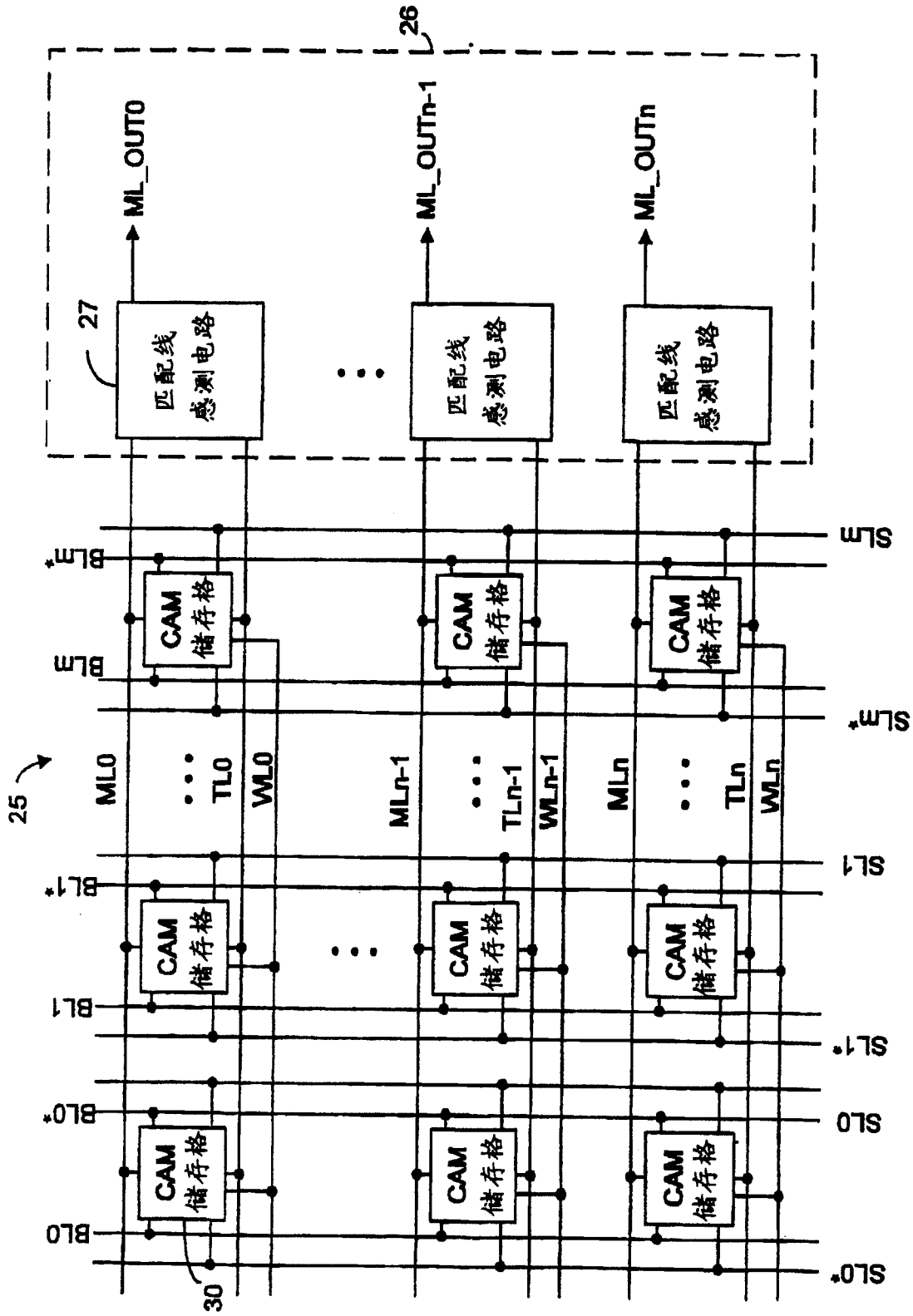


图 2

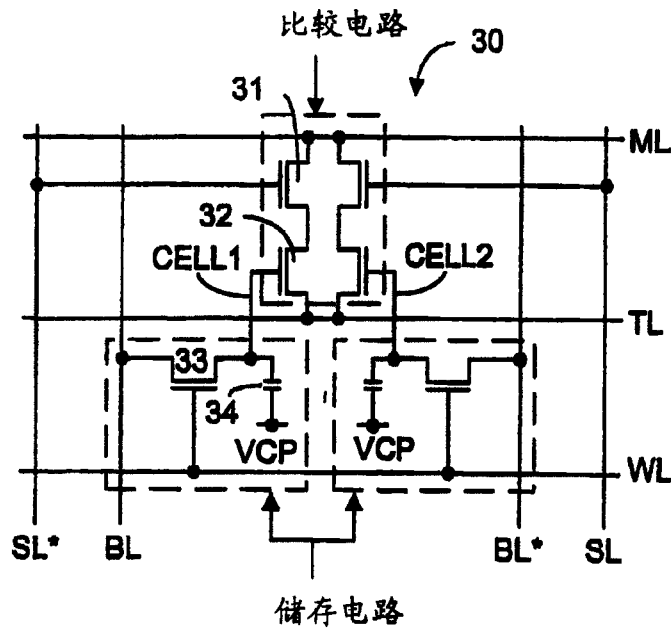


图 3

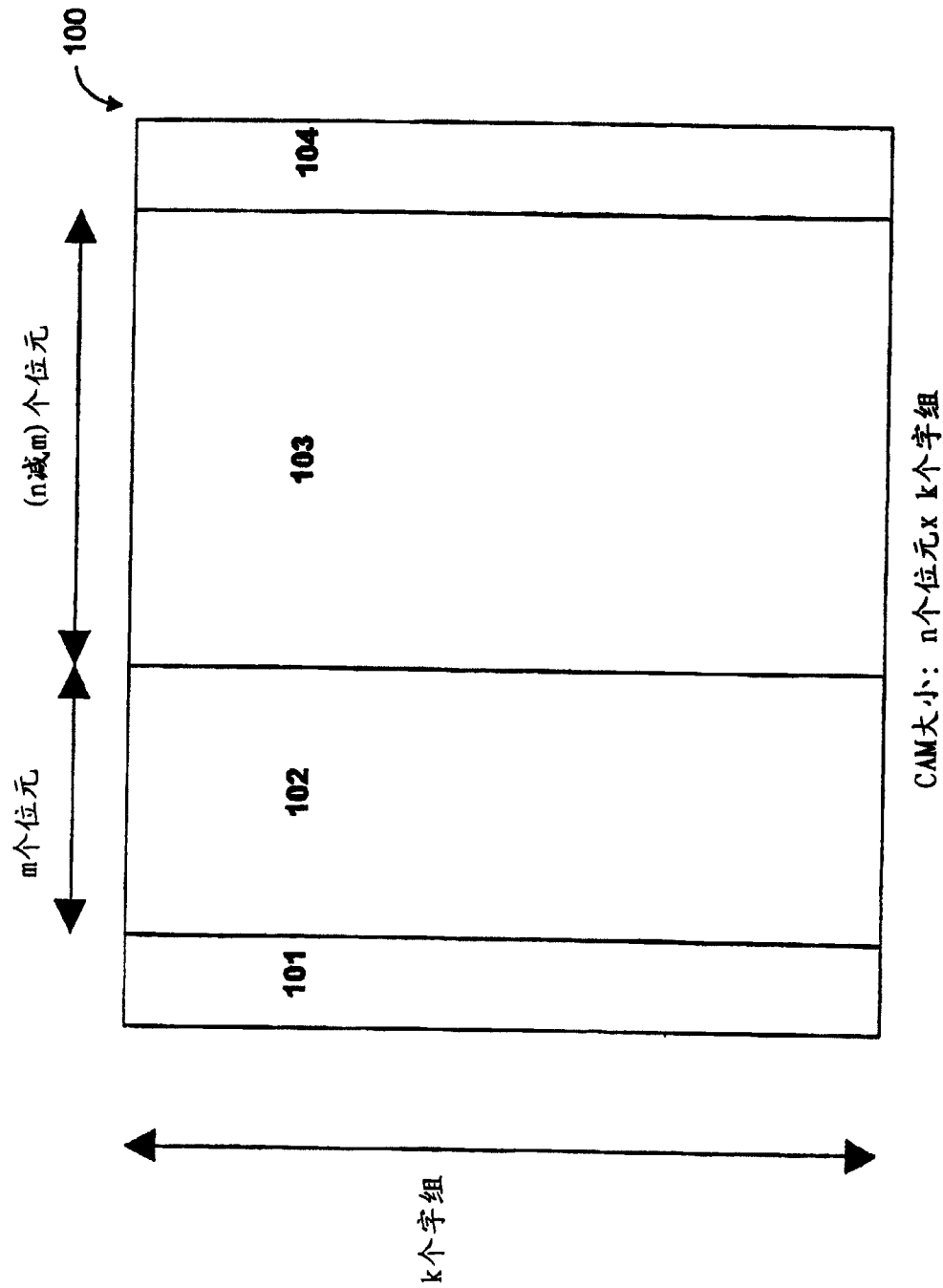


图 4

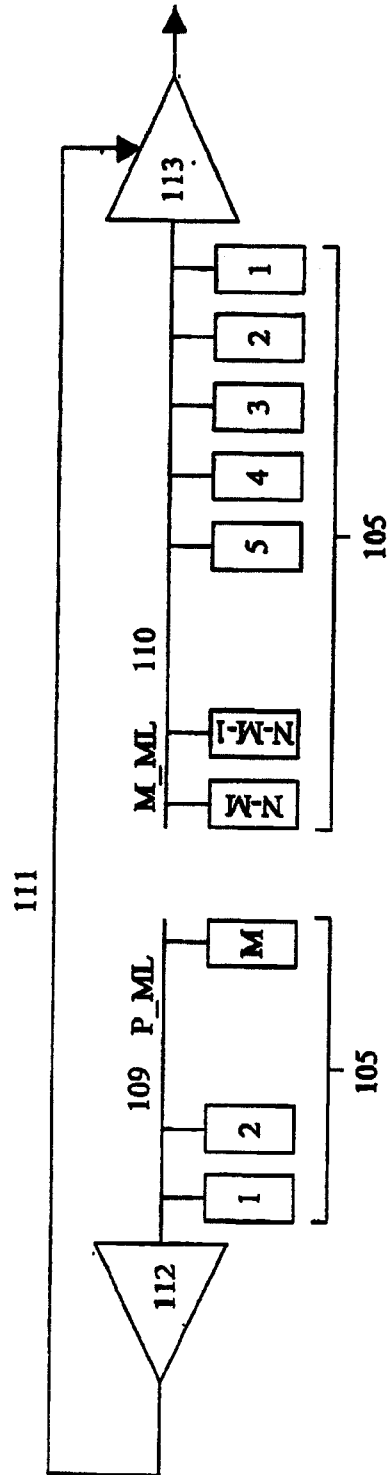


图 5

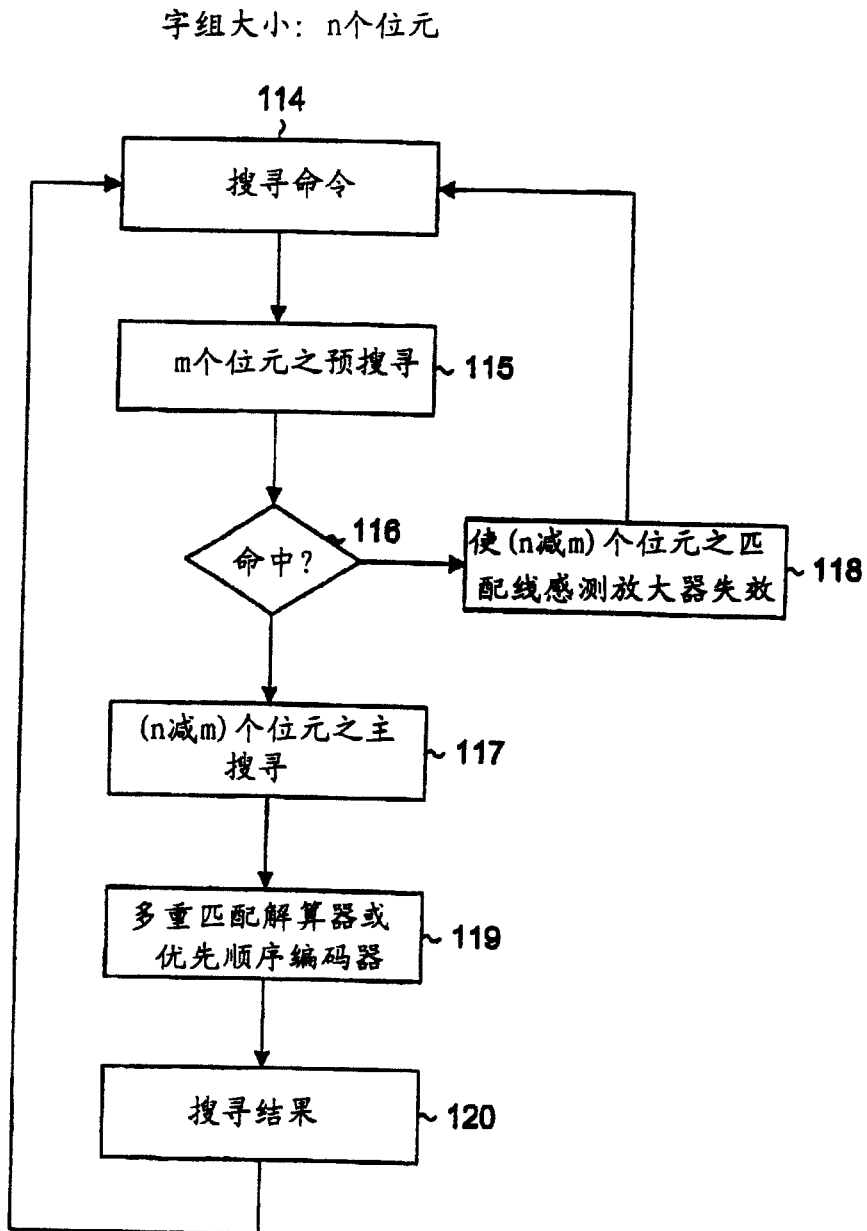


图 6

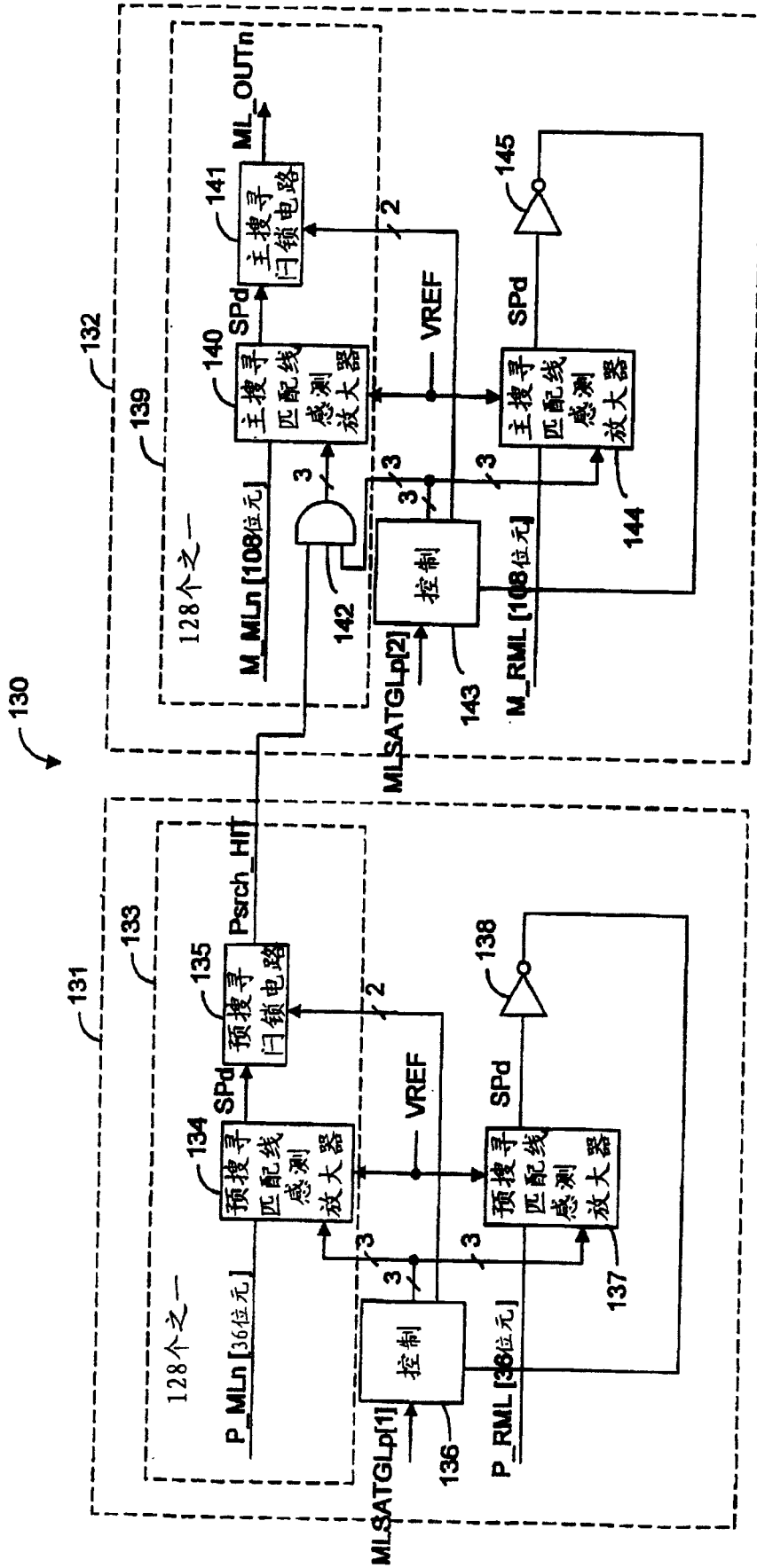


图 7

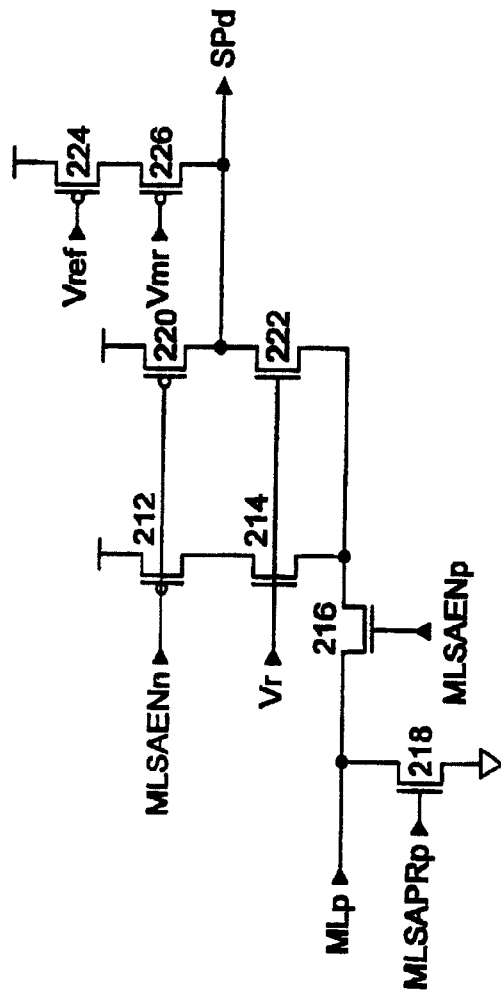


图 8

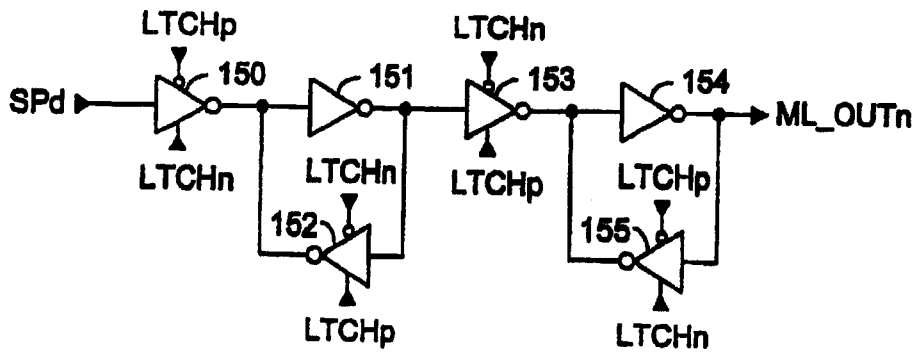


图 9

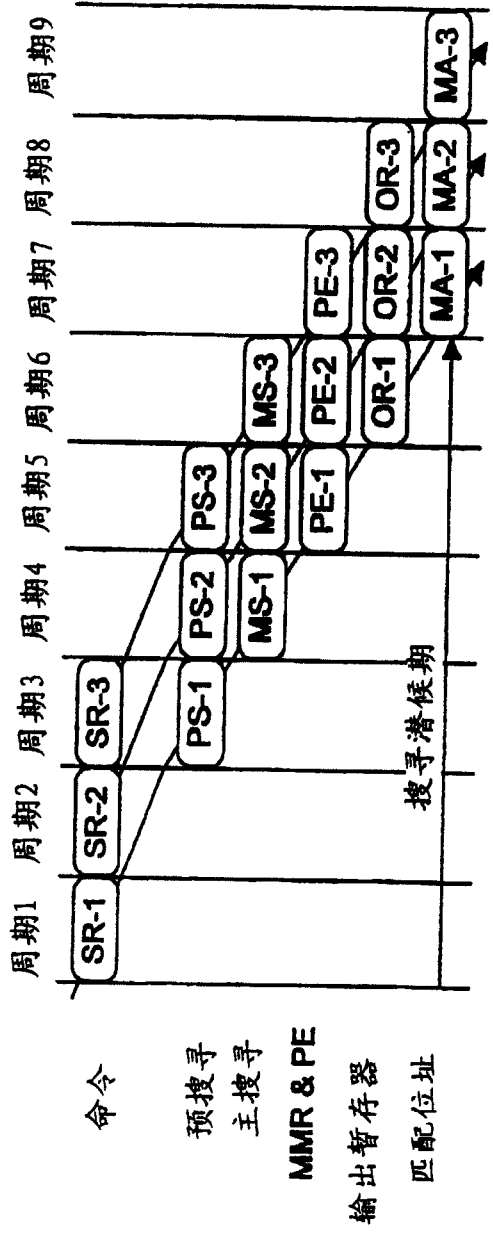


图 10

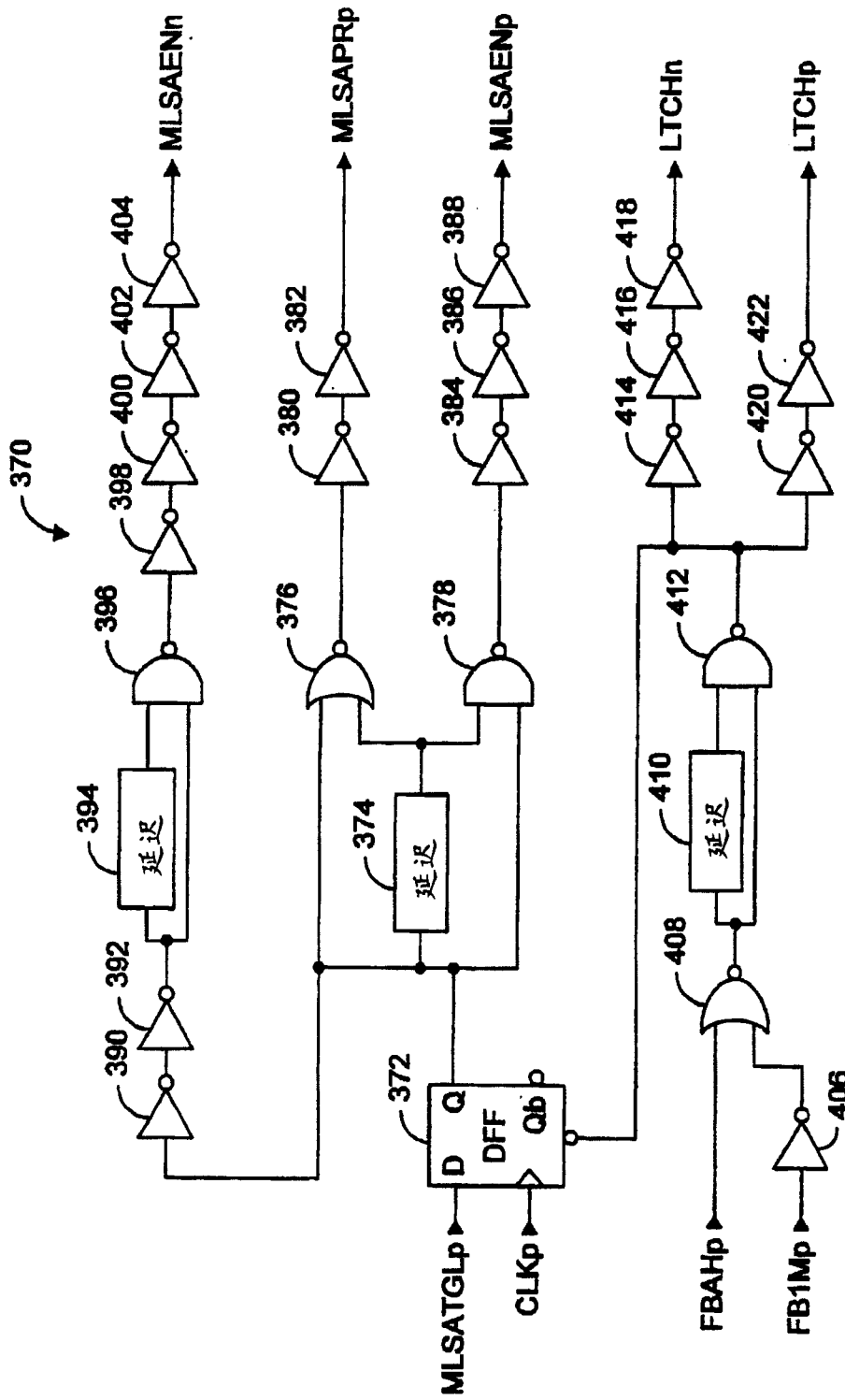


图 11

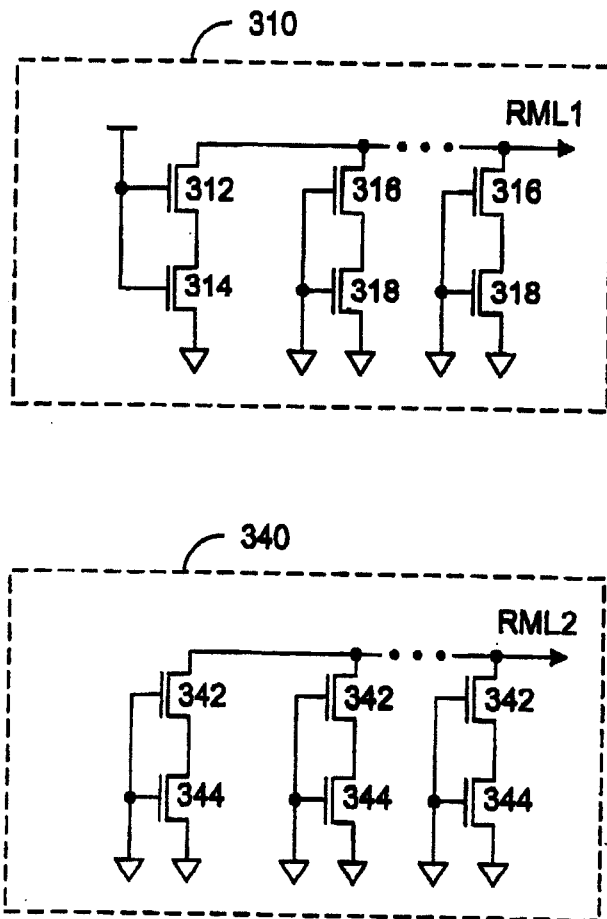


图 12

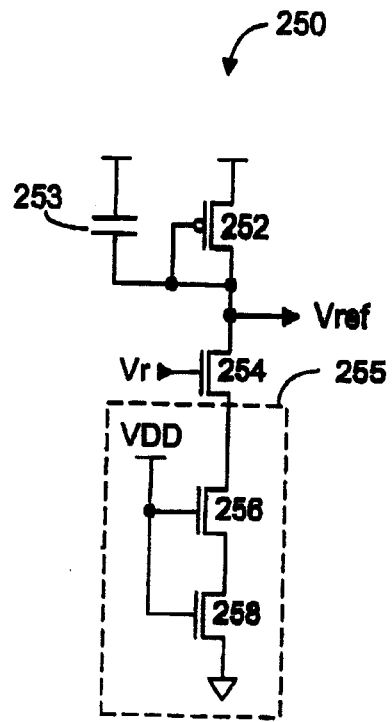


图 13