



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0000205
(43) 공개일자 2008년01월02일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0057802

(22) 출원일자 2006년06월27일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

안준일

충남 천안시 봉명동 청솔3차아파트 304동 1309호
김동규

경기 용인시 수지구 풍덕천2동 삼성5차아파트 52
3동 1305호

(뒷면에 계속)

(74) 대리인

박영우

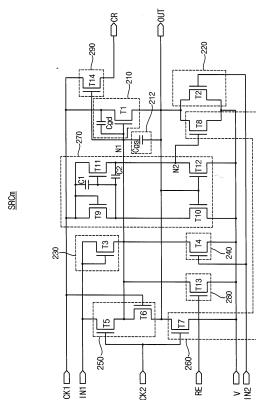
전체 청구항 수 : 총 9 항

(54) 게이트 구동회로 및 이를 포함하는 표시 장치

(57) 요 약

구동 불량을 개선하기 위한 게이트 구동회로 및 이를 포함하는 표시 장치가 개시된다. 게이트 구동회로는 복수의 스테이지들이 종속적으로 연결된 쉬프트 레지스터로 이루어지며, 제m 스테이지는 풀업부, 풀다운부 및 충전부를 포함한다. 풀업부는 드레인 전극으로 제1 클럭 신호를 입력받고, 게이트 전극으로 입력되는 제1 입력 신호에 의해 하이 레벨로 전환되는 제1 노드의 신호에 응답하여 상기 제1 클럭 신호를 게이트 신호로 출력하는 제1 트랜지스터를 포함한다. 풀다운부는 게이트 전극으로 입력되는 제2 입력 신호에 응답하여 게이트 신호를 오프 전압으로 방전시키는 제2 트랜지스터를 포함한다. 충전부는 제1 트랜지스터의 게이트 전극과 소스 전극 사이에 형성된 충전 커패시터를 포함하며, 충전 커패시터의 용량은 제1 트랜지스터의 드레인 전극과 게이트 전극 사이의 기생 커패시터 용량의 10배 이상인 것을 특징으로 한다. 이에 따라, 게이트 오프 신호 구간에 비정상적인 게이트 온 신호의 발생을 방지하여 표시 장치의 구동 불량을 개선한다.

대표도 - 도3



(72) 발명자

이원희

서울특별시 중구 중림동 200 삼성사이버빌리지 10
3동 702호

권호균

서울특별시 성북구 하월곡1동 70-159

나병선

경기 수원시 장안구 율전동 밤꽃마을뜨란채아파트
108동 301호

기동현

충남 천안시 쌍용3동 주공9단지아파트 410동 1105
호

권지현

충남 아산시 탕정면 삼성크리스탈기숙사 비취동
406호

특허청구의 범위

청구항 1

복수의 스테이지들이 종속적으로 연결된 쉬프트 레지스터로 이루어지며,

제1 스테이지는

드레인 전극으로 제1 클럭 신호를 입력받고, 게이트 전극으로 입력되는 제1 입력 신호에 의해 하이 레벨로 전환되는 제1 노드의 신호에 응답하여 상기 제1 클럭 신호를 게이트 신호로 출력하는 제1 트랜지스터를 포함하는 풀업부;

게이트 전극으로 입력되는 제2 입력 신호에 응답하여 상기 게이트 신호를 오프 전압으로 방전시키는 제2 트랜지스터를 포함하는 풀다운부;

상기 제1 트랜지스터의 게이트 전극과 소스 전극 사이에 형성된 충전 커패시터를 포함하는 충전부를 포함하며,

상기 충전 커패시터의 용량은 상기 제1 트랜지스터의 드레인 전극과 게이트 전극 사이의 기생 커패시터 용량의 10배 이상인 것을 특징으로 하는 게이트 구동회로.

청구항 2

제1항에 있어서, 상기 제1 트랜지스터의 폭/길이 비(W/L)는 다음의 식으로 정의되는 것을 특징으로 하는 게이트 구동회로:

$$0.09 \leq \frac{W/L \times 1024}{GLm_cap \times L \times Hz} \leq 0.15$$

여기서, GLm_cap은 제1 게이트 배선에 연결된 캡들의 용량의 합이고, L은 게이트 배선의 수이고, Hz는 구동 주파수이다.

청구항 3

제2항에 있어서, 상기 제1 입력 신호에 응답하여 상기 제1 노드를 하이 레벨로 전환시키는 제3 트랜지스터를 포함하는 버퍼부;

상기 제2 입력 신호에 응답하여 상기 제1 노드를 오프 전압으로 방전시키는 제4 트랜지스터를 포함하는 방전부;

제2 클럭 신호에 응답하여 상기 제1 노드의 신호를 오프 전압으로 유지시키는 제5 트랜지스터와, 상기 제1 클럭 신호에 응답하여 상기 제1 노드의 신호를 오프 전압으로 유지시키는 제6 트랜지스터를 포함하는 제1 훌딩부;

상기 제2 클럭 신호에 응답하여 상기 게이트 신호를 오프 전압으로 유지시키는 제7 트랜지스터와, 상기 제7 트랜지스터와 교대로 상기 게이트 신호를 오프 전압으로 유지시키는 제8 트랜지스터를 포함하는 제2 훌딩부; 및

상기 제8 트랜지스터의 온/오프를 스위칭하는 스위칭부를 더 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 4

제3항에 있어서, 상기 스위칭부는

드레인 전극과 게이트 전극이 공통으로 상기 제1 클럭 신호를 제공받는 제9 트랜지스터;

드레인 전극은 상기 제9 트랜지스터의 소스 전극과 연결되고, 게이트 전극에는 상기 게이트 신호가 제공되며, 소스 전극에는 오프 전압이 제공되는 제10 트랜지스터;

드레인 전극은 제1 클럭 신호를 제공받고, 게이트 전극은 상기 제9 트랜지스터의 소스 전극과 연결되는 제11 트랜지스터;

드레인 전극은 상기 제11 트랜지스터의 소스 전극과 연결되어 제2 노드를 이루고, 게이트 전극에는 상기 제10 트랜지스터의 게이트 전극과 공통으로 상기 게이트 신호가 제공되며, 소스 전극에는 오프 전압이 제공되는 제12 트랜지스터;

상기 제11 트랜지스터의 드레인 전극과 게이트 전극 사이를 연결하는 제1 커패시터; 및
 상기 제3 트랜지스터의 게이트 전극과 소스 전극 사이를 연결하는 제2 커패시터를 포함하며,
 상기 제2 노드의 신호에 의해 상기 제8 트랜지스터가 온/오프 되는 것을 특징으로 하는 게이트 구동회로.

청구항 5

제4항에 있어서, 상기 제1 입력 신호는 수직 개시신호 또는 제m-1 스테이지의 캐리 신호이며,
 상기 제2 입력 신호는 제m+1 스테이지의 게이트 신호 또는 수직 개시신호인 것을 특징으로 하는 게이트 구동회로.

청구항 6

제4항에 있어서, 상기 제1 클럭 신호와 제2 클럭 신호는 서로 위상이 반대인 것을 특징으로 하는 게이트 구동회로.

청구항 7

게이트 배선들 및 상기 게이트 배선들과 교차하는 데이터 배선들에 의해 복수의 화소부가 형성되어 영상을 디스플레이 하는 표시 영역과, 상기 표시 영역을 둘러싸는 주변 영역을 포함하는 표시 패널;

상기 데이터 배선들에 데이터 신호를 출력하는 데이터 구동부; 및

종속적으로 연결된 복수의 스테이지들로 이루어져 상기 주변 영역에 직접회로 형태로 형성되고, 상기 각 스테이지들은 상기 게이트 배선들에 게이트 신호들을 출력하는 게이트 구동회로를 포함하며,

제m 스테이지는

드레인 전극으로 제1 클럭 신호를 입력받고, 게이트 전극으로 입력되는 제1 입력 신호에 의해 하이 레벨로 전환되는 제1 노드의 신호에 응답하여 상기 제1 클럭 신호를 게이트 신호로 출력하는 제1 트랜지스터를 포함하는 풀업부;

게이트 전극으로 입력되는 제2 입력 신호에 응답하여 상기 게이트 신호를 오프 전압으로 방전시키는 제2 트랜지스터를 포함하는 풀다운부;

상기 제1 트랜지스터의 게이트 전극과 소스 전극 사이에 형성된 충전 커패시터를 포함하는 충전부를 포함하고, 상기 충전 커패시터의 용량은 상기 제1 트랜지스터의 드레인 전극과 게이트 전극 사이의 기생 커패시터 용량의 10배 이상인 것을 특징으로 하는 표시 장치.

청구항 8

제7항에 있어서, 상기 제1 트랜지스터의 폭/길이 비(W/L)는 다음의 식으로 정의되는 것을 특징으로 하는 게이트 구동회로:

$$0.09 \leq \frac{W/L \times 1024}{GLm_cap \times L \times Hz} \leq 0.15$$

여기서, GLm_cap은 제m 게이트 배선에 연결된 캡들의 용량의 합이고, L은 게이트 배선의 수이고, Hz는 구동 주파수이다.

청구항 9

제8항에 있어서, 상기 제1 입력 신호는 수직 개시신호 또는 제m-1 스테이지의 캐리 신호이며,
 상기 제2 입력 신호는 제m+1 스테이지의 게이트 신호 또는 수직 개시신호인 것을 특징으로 하는 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <17> 본 발명은 게이트 구동회로 및 이를 포함하는 표시 장치에 관한 것으로, 보다 상세하게는 구동 불량을 개선하기 위한 게이트 구동회로 및 이를 포함하는 표시 장치에 관한 것이다.
- <18> 일반적으로 액정표시장치는 어레이 기판 및 대향 기판 사이에 주입되어 있는 이방성 유전율을 갖는 액정에 전계를 인가하고, 전계의 세기에 따른 광투과율을 조절함으로써, 원하는 화상 신호를 얻는 표시 장치이다.
- <19> 액정표시장치는 게이트 배선들 및 게이트 배선들과 교차하는 데이터 배선들에 의해 복수의 화소부가 형성된 표시 패널, 게이트 배선들을 구동하는 게이트 구동부 및 데이터 배선들을 구동하는 데이터 구동부를 포함한다. 이러한 게이트 구동부 및 데이터 구동부는 칩(chip) 형태로 표시 패널에 실장되는 것이 일반적이다.
- <20> 최근에는 전체적인 사이즈를 감소시키면서 생산성을 증대시키기 위하여 게이트 구동부를 표시 기판상에 집적회로 형태로 집적하는 방식이 주목받고 있다. 이런 경우 구동 마진 향상을 위해 저저항 메탈의 사용을 필요로 한다.
- <21> 하지만, 이럴 경우 박막트랜지스터의 I-V(전류-전압) 특성이 향상되어 저온 구동 마진은 향상되나, 고온에서는 게이트 오프 신호 구간에 비정상적인 게이트 온 신호가 나타나는 노이즈(Noise) 불량이 발생된다.
- <22> 구체적으로 풀업 소자의 기생 용량(Cgd)에 의한 클럭 신호와의 커플링이 게이트 전극의 오프 전압을 증가시키고, 동시에 고온으로 가면서 누설전류량이 상승되어 풀업 소자를 턴-온 시킨다. 이로 인해서 게이트 오프 신호 구간에 간헐적으로 게이트 온 신호가 발생함으로써 화질 불량이 발생하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <23> 이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 표시 장치의 구동 불량을 개선하기 위한 게이트 구동회로 및 이를 포함하는 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

- <24> 상기한 본 발명의 목적을 실현하기 위한 실시예에 따른 게이트 구동회로는 복수의 스테이지들이 종속적으로 연결된 쉬프트 레지스터로 이루어지며, 제m 스테이지는 풀업부, 풀다운부 및 충전부를 포함한다. 상기 풀업부는 드레인 전극으로 제1 클럭 신호를 입력받고, 게이트 전극으로 입력되는 제1 입력 신호에 의해 하이 레벨로 전환되는 제1 노드의 신호에 응답하여 상기 제1 클럭 신호를 게이트 신호로 출력하는 제1 트랜지스터를 포함한다. 상기 풀다운부는 게이트 전극으로 입력되는 제2 입력 신호에 응답하여 상기 게이트 신호를 오프 전압으로 방전시키는 제2 트랜지스터를 포함한다. 상기 충전부는 상기 제1 트랜지스터의 게이트 전극과 소스 전극 사이에 형성된 충전 커패시터를 포함하며, 상기 충전 커패시터의 용량은 상기 제1 트랜지스터의 드레인 전극과 게이트 전극 사이의 기생 커패시터 용량의 10배 이상인 것을 특징으로 한다.
- <25> 상기한 본 발명의 목적을 실현하기 위한 실시예에 따른 표시 장치는 게이트 배선들 및 상기 게이트 배선들과 교차하는 데이터 배선들에 의해 복수의 화소부가 형성되어 영상을 디스플레이 하는 표시 영역과, 상기 표시 영역을 둘러싸는 주변 영역을 포함하는 표시 패널, 상기 데이터 배선들에 데이터 신호를 출력하는 데이터 구동부; 및 종속적으로 연결된 복수의 스테이지들로 이루어져 상기 주변 영역에 직접회로 형태로 형성되고, 상기 각 스테이지들은 상기 게이트 배선들에 게이트 신호들을 출력하는 게이트 구동회로를 포함한다. 여기서, 제m 스테이지는 풀업부, 풀다운부 및 충전부를 포함한다. 상기 풀업부는 드레인 전극으로 제1 클럭 신호를 입력받고, 게이트 전극으로 입력되는 제1 입력 신호에 의해 하이 레벨로 전환되는 제1 노드의 신호에 응답하여 상기 제1 클럭 신호를 게이트 신호로 출력하는 제1 트랜지스터를 포함한다. 상기 풀다운부는 게이트 전극으로 입력되는 제2 입력 신호에 응답하여 상기 게이트 신호를 오프 전압으로 방전시키는 제2 트랜지스터를 포함한다. 상기 충전부는 상기 제1 트랜지스터의 게이트 전극과 소스 전극 사이에 형성된 충전 커패시터를 포함하는 충전부를 포함하고, 상기 충전 커패시터의 용량은 상기 제1 트랜지스터의 드레인 전극과 게이트 전극 사이의 기생 커패시터 용량의 10배 이상인 것을 특징으로 한다.
- <26> 이러한 게이트 구동회로 및 이를 포함하는 표시 장치에 의하면, 클럭 신호와의 리플을 감소시켜 게이트 오프 신호 구간에 비정상적인 게이트 온 신호의 발생을 방지함으로써, 표시 장치의 구동 불량을 개선할 수 있다.

- <27> 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.
- <28> 도 1은 본 발명의 실시예에 따른 표시 장치를 도시한 평면도이다.
- <29> 도 1을 참조하면, 본 발명의 실시예에 따른 표시 장치는 표시 패널(100)과 표시 패널(100)을 구동하기 위한 게이트 구동부(200, 이하 게이트 구동회로라 함) 및 데이터 구동부(130)를 포함한다.
- <30> 표시 패널(100)은 어레이 기판(110)과, 어레이 기판(110)과 소정간격 이격하여 대향 결합되는 대향 기판(120, 예컨대 컬러필터 기판) 및 어레이 기판(110)과 대향 기판(120) 사이에 개재된 액정층(미도시)을 포함하며, 표시 영역(DA)과 표시 영역(DA)을 둘러싸는 주변 영역(PA)으로 구분된다.
- <31> 표시 영역(DA)에는 일방향으로 형성된 게이트 배선(GL)들 및 게이트 배선(GL)들과 교차하는 방향으로 형성된 데이터 배선(DL)들에 의해 복수의 화소부가 형성되어 영상을 디스플레이 한다. 각 화소부에는 스위칭 소자인 박막 트랜지스터(TFT)와, 박막트랜지스터(TFT)와 전기적으로 연결된 액정 커패시터(CLC) 및 스토리지 커패시터(CST)가 형성된다. 구체적으로 박막트랜지스터(TFT)의 게이트 전극 및 소스 전극은 각각 게이트 배선(GL) 및 데이터 배선(DL)과 전기적으로 연결되고, 드레인 전극에는 액정 커패시터(CLC) 및 스토리지 커패시터(CST)가 전기적으로 연결된다.
- <32> 한편, 주변 영역(PA)은 데이터 배선(DL)들의 일단부에 위치하는 제1 주변 영역(PA1)과 게이트 배선(GL)들의 일단부에 위치하는 제2 주변 영역(PA2)을 포함한다.
- <33> 데이터 구동부(130)는 게이트 배선(GL)으로 인가되는 게이트 신호에 동기하여 데이터 배선(DL)들에 데이터 신호를 출력하며, 적어도 하나 이상의 데이터 구동칩(132)으로 이루어진다. 데이터 구동칩(132)은 일단부가 표시 패널(100)의 제1 주변 영역(PA1)에 연결되고, 타단부가 인쇄회로기판(140)에 연결된 연성회로기판(134) 상에 실장되며, 연성회로기판(134)을 통해 인쇄회로기판(134) 및 표시 패널(100)과 전기적으로 연결된다.
- <34> 게이트 구동회로(200)는 복수의 스테이지들이 종속적으로 연결된 쉬프트 레지스터를 포함하며, 게이트 배선(GL)들에 순차적으로 게이트 신호를 출력한다. 이러한 게이트 구동회로(200)는 표시 패널(100)의 제2 주변 영역(PA2)에 집적되는 집적회로 형태로 형성된다.
- <35> 도 2는 도 1에 도시된 게이트 구동회로의 제1 실시예에 따른 상세 블록도이다.
- <36> 도 2를 참조하면, 본 발명의 실시예에 따른 게이트 구동회로(200)는 서로 종속적으로 연결된 제1 내지 제n+1 스테이지(SRC1~SRCn+1)로 이루어져 게이트 신호(GOUT)를 순차적으로 출력하는 회로부(CS)와, 회로부(CS)에 각종 제어신호를 제공하는 배선부(LS)를 포함한다.
- <37> 제1 내지 제n+1 스테이지(SRC1~SRCn+1)는 n 개의 구동 스테이지(SRC1~SRCn)와 하나의 더미(dummy) 스테이지(SRCn+1)로 이루어진다.
- <38> 각 스테이지(SRC)는 제1 클럭 단자(CK1), 제2 클럭 단자(CK2), 제1 입력 단자(IN1), 제2 입력 단자(IN2), 전압 단자(V), 리셋 단자(RE), 캐리 단자(CR) 및 출력 단자(OUT)를 포함한다.
- <39> 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 서로 반대 위상의 클럭 신호가 제공된다. 구체적으로, 제1 내지 제n+1 스테이지(SRC1~SRCn+1) 중에서 홀수 번째 스테이지(SRC1, SRC3...)의 제1 클럭 단자(CK1)에는 제1 클럭 신호(CK)가 제공되고, 제2 클럭 단자(CK2)에는 제1 클럭 신호(CK)와 위상이 반대인 제2 클럭 신호(CKB)가 제공된다. 반면에 제1 내지 제n+1 스테이지(SRC1~SRCn+1) 중에서 짝수 번째 스테이지(SRC2, SRC4...)의 제1 클럭 단자(CK1)에는 제2 클럭 신호(CKB)가 제공되고, 제2 클럭 단자(CK2)에는 제2 클럭 신호(CKB)와 위상이 반대인 제1 클럭 신호(CK)가 제공된다.
- <40> 다시 말해, 홀수 번째 스테이지(SRC1, SRC3...)의 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 반대 위상의 제1 클럭 신호(CK) 및 제2 클럭 신호(CKB)가 각각 제공되고, 이와 반대로 짝수 번째 스테이지(SRC2, SRC4...)의 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 각각 제2 클럭 신호(CKB) 및 제1 클럭 신호(CK)가 제공된다.
- <41> 제1 입력 단자(IN1)에는 수직 개시신호(STV) 또는 이전 스테이지의 캐리 신호가 제공된다. 즉, 첫 번째 스테이지인 제1 스테이지(SRC1)의 제1 입력 단자(IN1)에는 수직 개시신호(STV)가 제공되고, 제2 내지 제n+1 스테이지(SRC2~SRCn+1)의 제1 입력 단자(IN1)에는 이전 스테이지(SRC1~SRCn)의 캐리 신호가 제공된다.
- <42> 제2 입력 단자(IN2)에는 다음 스테이지의 게이트 신호 또는 수직 개시신호(STV)가 제공된다. 즉, 제1 내지 제n 스테이지(SRC1~SRCn)의 제2 입력 단자(IN2)에는 다음 스테이지(SRC2~SRCn+1)의 게이트 신호가 제공되고, 마지막

스테이지(SRC $n+1$)인 제 $n+1$ 스테이지(SRC $n+1$)의 제2 입력 단자(IN2)에는 수직 개시신호(STV)가 제공된다.

<43> 전압 단자(V)에는 오프 전압(VOFF)이 제공되며, 일 예로 오프 전압(VOFF)은 -5 ~ -7V의 전압 레벨을 갖는다.

<44> 리셋 단자(RE)에는 마지막 스테이지인 제 $n+1$ 스테이지(SRC $n+1$)의 캐리 신호가 공통으로 제공된다.

<45> 출력 단자(OUT)는 제1 클럭 단자(CK1)로 제공되는 클럭 신호의 하이 구간이 출력된다. 즉, 제1 내지 제 $n+1$ 스테이지(SRC1~SRC $n+1$) 중에서 홀수 번째 스테이지(SRC1, SRC3...)의 출력 단자(OUT)는 제1 클럭 신호(CK)의 하이 구간이 출력되고, 짝수 번째 스테이지(SRC2, SRC4...)의 출력 단자(OUT)는 제2 클럭 신호(CKB)의 하이 구간이 출력된다. 따라서, 제1 내지 제 $n+1$ 스테이지(SRC1~SRC $n+1$)는 순차적으로 게이트 신호(GOUT)를 출력할 수 있다.

<46> 한편, 게이트 구동회로(200)는 회로부(CS)의 일측에 형성되어 제1 내지 제 $n+1$ 스테이지(SRC1~SRC $n+1$)에 동기신호 및 구동전압을 제공하기 위한 복수의 배선들로 이루어진 배선부(LS)를 포함한다.

<47> 배선부(LS)는 개시신호 배선(SL1), 제1 클럭 배선(SL2), 제2 클럭 배선(SL3), 전압 배선(SL4) 및 리셋 배선(SL5)을 포함한다.

<48> 개시신호 배선(SL1)은 외부로부터 수직 개시신호(STV)를 제공받으며, 제공받은 수직 개시신호(STV)를 첫 번째 스테이지의 제1 입력 단자(IN1) 및 마지막 스테이지의 제2 입력 단자(IN2)에 제공한다. 즉, 수직 개시신호(STV)를 제1 스테이지(SRC1)의 제1 입력 단자(IN1) 및 제 $n+1$ 스테이지(SRC $n+1$)의 제2 입력 단자(IN2)에 제공한다.

<49> 제1 클럭 배선(SL2)은 외부로부터 제1 클럭 신호(CK)를 제공받으며, 제공받은 제1 클럭 신호(CK)를 홀수 번째 스테이지(SRC1, SRC3...)의 제1 클럭 단자(CK1) 및 짝수 번째 스테이지(SRC2, SRC4...)의 제2 클럭 단자(CK2)에 제공한다.

<50> 제2 클럭 배선(SL3)은 외부로부터 제1 클럭 신호(CK)와 위상이 반대인 제2 클럭 신호(CKB)를 제공받으며, 제공받은 제2 클럭 신호(CKB)를 홀수 번째 스테이지(SRC1, SRC3...)의 제2 클럭 단자(CK2) 및 짝수 번째 스테이지(SRC2, SRC4...)의 제1 클럭 단자(CK1)에 제공한다.

<51> 전압 배선(SL4)은 외부로부터 오프 전압(VOFF)을 제공받아 제1 내지 제 $n+1$ 스테이지(SRC1~SRC $n+1$)의 전압 단자(V)에 제공하며, 리셋 배선은(SL5)은 마지막 스테이지(SRC $n+1$)의 캐리 신호를 제공받아 제1 내지 제 $n+1$ 스테이지(SRC1~SRC $n+1$)의 리셋 단자(RE)에 제공한다.

<52> 한편, 기술한 게이트 구동회로(200)는 제 m 스테이지(SRC m)에서 제 $m-1$ 스테이지(SRC $m-1$)의 캐리 신호를 제1 입력 신호로 제공받고, 제 $m+1$ 스테이지(SRC $m+1$)의 게이트 신호를 제2 입력 신호로 제공받아 구동하는 경우를 설명하였다. 하지만, 게이트 신호(GOUT)의 특성(예컨대 신호 구간의 길이 등)에 따라서 제 $m-2$, 제 $m-3$, 제 $m-4$ … 스테이지 등의 캐리 신호를 제1 입력 신호로 제공받고, 제 $m+2$, 제 $m+3$, 제 $m+4$ … 스테이지 등의 게이트 신호를 제2 입력 신호로 제공받아 구동할 수도 있다.

<53> 도 3은 도 2에 도시된 스테이지의 상세 회로도이고, 도 4는 도 3에 도시된 스테이지의 신호 파형도이다.

<54> 도 3 및 도 4를 참조하면, 본 발명의 실시예에 따른 게이트 구동회로(200)의 제 m 스테이지(SRC m)는 제1 입력 단자의 신호(이하 제1 입력 신호)에 응답하여 제1 클럭 신호(CK)를 제 m 게이트 신호(GOUT m)로 출력하여 제 m 게이트 신호(GOUT m)를 풀-업(pull-up)시키는 풀업부(210) 및 제2 입력 단자의 신호(이하 제2 입력 신호) 신호에 응답하여 제 m 게이트 신호(GOUT m)를 오프 전압으로 방전시켜 풀-다운(pull-down)시키는 풀다운부(220)를 포함한다. 여기서, 제1 입력 신호는 수직 개시신호(STV) 또는 제 $m-1$ 스테이지(SRC $m-1$)의 캐리 신호이고, 제2 입력 신호는 제 $m+1$ 스테이지(SRC $m+1$)의 제 $m+1$ 게이트 신호(GOUT $m+1$) 또는 수직 개시신호(STV)이다.

<55> 풀업부(210)는 게이트 전극이 제1 노드(N1)에 연결되고, 드레인 전극은 제1 클럭 단자(CK1)에 연결되며, 소스 전극은 출력 단자(OUT)에 연결된 제1 트랜지스터(T1)로 이루어진다. 따라서, 제1 트랜지스터(T1)의 드레인 전극은 제1 클럭 단자(CK1)를 통해 제1 클럭 신호(CK)를 입력받는다.

<56> 풀다운부(220)는 게이트 전극이 제2 입력 단자(IN2)에 연결되고, 드레인 전극이 출력 단자(OUT)에 연결되며, 소스 전극이 전압 단자(V)에 연결되어 오프 전압(VOFF)이 제공되는 제2 트랜지스터(T2)로 이루어진다.

<57> 제 m 스테이지(SRC m)는 제1 입력 신호에 응답하여 풀업부(210)를 턴-온 시키고, 제2 입력 신호에 응답하여 풀업부(210)를 턴-오프 시키는 풀업 구동부를 더 포함한다. 풀업 구동부는 베퍼부(230), 방전부(240) 및 충전부(212)를 포함한다.

<58> 베퍼부(230)는 게이트 전극 및 드레인 전극이 제1 입력 단자(IN1)에 공통으로 연결되고, 소스 전극이 제1 노드

(N1)에 연결된 제3 트랜지스터(T3)로 이루어진다.

<59> 방전부(240)는 게이트 전극이 제2 입력 단자(IN2)에 연결되고, 드레인 전극이 제1 노드(N1)에 연결되며, 소스 전극은 전압 단자(V)에 연결되어 오프 전압(VOFF)이 제공되는 제4 트랜지스터(T4)로 이루어진다.

<60> 충전부(212)는 제1 트랜지스터의 게이트 전극과 소스 전극 사이에 형성되는 기생 커패시터로 정의되는 충전 커패시터(Cgs)로 이루어진다. 즉, 제1 전극이 제1 노드(N1)에 연결되고, 제2 전극이 출력 단자(OUT)에 연결되는 충전 커패시터(Cgs)로 이루어진다. 이러한 충전 커패시터(Cgs)는 제1 트랜지스터(T1)의 게이트 전극과 드레인 전극 사이에 형성되는 기생 커패시터(Cgd)의 용량보다 10배 이상 큰 용량을 갖는다.

<61> 이러한 풀업 구동부는 제1 입력 신호에 응답하여 제3 트랜지스터(T3)가 턠-온 되면, 제1 입력 신호가 제1 노드(N1)에 인가되어 제1 노드(N1)의 신호를 하이 레벨로 전환시키고, 동시에 충전 커패시터(Cgs)에 충전된다. 이후, 제1 트랜지스터(T1)의 문턱전압 이상의 전하가 충전 커패시터(Cgs)에 충전되고 제1 클럭 신호(CK)가 하이 구간이 되면, 제1 트랜지스터(T1)가 부트스트랩(Bootstrap) 되어 제1 클럭 신호(CK)의 하이 구간을 출력 단자(OUT)로 출력한다.

<62> 즉, 제1 트랜지스터(T1)가 부트스트랩 되어 제1 클럭 신호(CK)의 하이 구간을 제m 스테이지(SRCm)의 게이트 온 신호로 출력한다. 이 후, 제2 입력 신호에 응답하여 제4 트랜지스터(T4)가 턠-온 되면, 충전 커패시터(Cgs)에 충전된 전하는 전압 단자(V)의 오프 전압(VOFF)으로 방전되어 제1 트랜지스터(T1)는 턠-오프 된다.

<63> 제m 스테이지(SRCm)는 게이트 오프 신호 구간에 제1 노드(N1)의 신호를 오프 전압(VOFF) 상태로 유지시키는 제1 홀딩부(250)와, 출력되는 제m 게이트 신호(GOUTm)를 오프 전압(VOFF) 상태로 유지시키는 제2 홀딩부(260) 및 제2 홀딩부(260)의 온/오프 동작을 제어하는 스위칭부(270)를 더 포함한다.

<64> 제1 홀딩부(250)는 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)로 이루어지며, 제5 트랜지스터(T5)는 게이트 전극이 제1 클럭 단자(CK1)에 연결되고, 드레인 전극이 제1 노드(N1)에 연결되며, 소스 전극이 출력 단자(OUT)에 연결된다. 제6 트랜지스터(T6)는 게이트 전극이 제2 클럭 단자(CK2)에 연결되고, 드레인 전극은 제1 입력 단자(IN1)에 연결되며, 소스 전극은 제1 노드(N1)에 연결된다.

<65> 제1 홀딩부(250)는 제m 게이트 신호(GOUTm)가 풀다운부(220)에 의해 오프 전압(VOFF)으로 방전된 후에 제1 노드(N1)의 신호를 오프 전압(VOFF)으로 유지시킨다. 즉, 제1 클럭 신호(CK)에 응답하여 제5 트랜지스터(T5)가 턠-온 되면, 오프 전압(VOFF)으로 방전된 제m 게이트 신호(GOUTm)가 제1 노드(N1)에 인가되어 제1 노드(N1)의 신호를 오프 전압(VOFF)으로 유지시킨다. 또한, 제1 클럭 신호(CK)와 위상이 반대인 제2 클럭 신호(CKB)에 응답하여 제6 트랜지스터(T6)가 턠-온 되면, 오프 전압(VOFF) 상태의 제1 입력 신호를 제1 노드(N1)에 인가하여 제1 노드(N1)의 신호를 오프 전압(VOFF)으로 유지시킨다.

<66> 이처럼, 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)는 각각 제1 클럭 신호(CK) 및 제2 클럭 신호(CKB)에 응답하여 교대로 턠-온 구동하여 제1 노드(N1)의 신호를 오프 전압(VOFF)으로 유지시킨다.

<67> 제2 홀딩부(260)는 제7 트랜지스터(T7) 및 제8 트랜지스터(T8)로 이루어지며, 제7 트랜지스터(T7)는 게이트 전극이 제2 클럭 단자(CK2)에 연결되고, 드레인 전극은 출력 단자(OUT)에 연결되며, 소스 전극은 전압 단자(V)에 연결되어 오프 전압(VOFF)을 제공받는다. 제8 트랜지스터(T8)는 게이트 전극이 스위칭부(270)의 제2 노드(N2)에 연결되고, 드레인 전극은 출력 단자(OUT)에 연결되며, 소스 전극은 전압 단자(V)에 연결되어 오프 전압(VOFF)을 제공받는다.

<68> 스위칭부(270)는 제9 내지 제12 트랜지스터(T9, T10, T11, T12)와 제1 및 제2 커패시터(C1, C2)로 이루어진다.

<69> 제9 트랜지스터(T9)의 게이트 전극과 드레인 전극은 공통으로 제1 클럭 단자(CK1)에 연결되어 제1 클럭 신호(CK)를 제공받고, 소스 전극은 제10 트랜지스터(T10)의 드레인 전극과 연결된다. 제10 트랜지스터(T10)의 게이트 전극은 출력 단자(OUT)에 연결되고, 소스 전극은 전압 단자(V)에 연결되어 오프 전압(VOFF)을 제공받는다. 제11 트랜지스터(T11)의 드레인 전극은 제1 클럭 단자(CK1)에 연결되고, 게이트 전극은 제1 커패시터(C1)를 통해 제1 클럭 단자(CK1)에 연결되며, 소스 전극은 제2 노드(N2)에 연결된다. 따라서 제11 트랜지스터(T11)의 드레인 전극 및 게이트 전극은 제1 클럭 신호(CK)를 제공받으며, 제11 트랜지스터(T11)의 게이트 전극과 소스 전극 사이에는 제2 커패시터(C2)가 연결된다. 제12 트랜지스터(T12)는 게이트 전극은 출력 단자(OUT)에 연결되고, 드레인 전극은 제2 노드(N2)에 연결되며, 소스 전극은 전압 단자(V)에 연결되어 오프 전압(VOFF)을 제공받는다.

<70> 제1 클럭 신호(CK)에 의해서 제9 트랜지스터(T9) 및 제11 트랜지스터(T11)가 턠-온 된 상태에서 출력 단자(OUT)로 제1 클럭 신호(CK)가 출력되면, 출력 단자(OUT)의 전위는 하이 레벨로 전환된다. 출력 단자(OUT)가 하이

레벨로 전환됨에 따라서 제10 및 제12 트랜지스터(T10, T12)가 터-온 되고, 제9 및 제11 트랜지스터(T9, T11)로부터 출력된 전압은 제10 및 제12 트랜지스터(T10, T12)를 통해 오프 전압(VOFF)으로 방전된다. 따라서 제2 노드(N2)의 신호는 로우 레벨로 유지되어 제8 트랜지스터(T8)는 터-오프 된다.

<71> 이 후, 제m 게이트 신호(GOUTm)가 제2 입력 신호에 응답하여 오프 전압(VOFF)으로 방전되면, 출력 단자(OUT)의 전위는 로우 상태로 점자 하락한다. 따라서 제10 및 제12 트랜지스터(T10, T12)는 터-오프 상태로 전환되고, 제9 및 제11 트랜지스터(T9, T11)로부터 출력된 전압에 의해 제2 노드(N2)의 전위는 하이 레벨로 전환된다. 제2 노드(N2)의 전위가 하이 레벨로 전환됨에 따라서 제8 트랜지스터(T8)가 터-온 되고, 터-온 된 제8 트랜지스터(T8)에 의해서 출력 단자(OUT)의 전위는 오프 전압(VOFF)으로 더욱 빠르게 방전된다.

<72> 이 후, 제1 클럭 신호(CK)가 로우 레벨로 전환되면, 제2 노드(N2)의 전위도 로우 레벨로 전환되어 제8 트랜지스터(T8)는 터-오프 된다. 반면에 제1 클럭 신호(CK)와 위상이 반대인 제2 클럭 신호(CKB)에 의해서 제7 트랜지스터(T7)가 터-온 되어 출력 단자(OUT)의 전위를 오프 전압(VOFF)으로 방전시킨다.

<73> 이처럼, 제2 홀딩부(260)의 제7 트랜지스터(T7) 및 제8 트랜지스터(T9)는 각각 제2 클럭 신호(CKB) 및 제2 노드(N2)의 신호에 응답하여 교대로 출력 단자(OUT)의 전위를 오프 전압(VOFF)으로 방전시킨다.

<74> 본 발명의 실시예에 따른 게이트 구동회로(200)의 제m 스테이지는 리셋부(280) 및 캐리부(290)를 더 포함한다.

<75> 리셋부(260)는 게이트 전극이 리셋 단자(RE)에 연결되고, 드레인 전극이 제1 노드(N1)에 연결되며, 소스 전극은 전압 단자(V)에 연결되어 오프 전압(VOFF)이 제공되는 제13 트랜지스터(T13)로 이루어진다. 리셋 단자(RE)로 마지막 스테이지인 제n+1 스테이지(SRCn+1)의 캐리 신호가 제공되면, 제13 트랜지스터(T13)가 터-온 되어, 제1 노드(N1)의 전위는 오프 전압(VOFF)으로 방전된다. 따라서, 제m 게이트 신호(GOUTm)는 제n+1 스테이지(SRCn+1)의 캐리 신호에 의해서 오프 전압(VOFF)으로 방전된다.

<76> 캐리부(290)는 게이트 전극이 제1 노드(N1)에 연결되고, 드레인 전극은 제1 클럭 단자(CK1)에 연결되어 제1 클럭 신호(CK)를 제공받으며, 소스 전극은 캐리 단자(CR)에 연결되는 제14 트랜지스터(T14)로 이루어진다. 캐리부(290)는 제1 노드(N1)의 전위가 하이 레벨로 전환됨에 따라서, 캐리 단자(CR)로 제1 클럭 신호(CK)의 하이 구간을 출력한다.

<77> 이와 같은, 제m 스테이지(SRCm)는 기술한 바와 같이 충전 커패시터(Cgs)의 용량이 제1 트랜지스터(T1)의 게이트 전극과 드레인 전극 사이의 기생 커패시터(Cgd)의 용량보다 10배 이상 큰 값을 가지며, 이로 인해서 제1 트랜지스터(T1)의 제어전극과 연결된 제1 노드(N1)에 발생되는 리플(ripple)을 개선할 수 있다.

<78> 일반적으로 제1 트랜지스터(T1)의 게이트 전극과 드레인 전극 사이의 기생 커패시터(Cgd)에 의해 제1 클럭 신호(CK)와의 커플링으로 제1 노드(N1)에 발생되는 리플은 아래의 수식 I을 사용하여 구할 수 있다.

수학식 1

$$Vr = \frac{Cgd}{Cgd + Cgs} \times \Delta CKV$$

<79>

<80> 여기서, Vr은 제1 노드(N1)에 발생되는 리플 전압이고, Cgd는 제1 트랜지스터(T1)의 게이트 전극과 드레인 전극 사이의 기생 용량이고, Cgs는 충전 커패시터의 용량이고, ΔCKV 는 제1 클럭 신호(CK)의 변동분(피크값)이다.

<81> 상기한 수식으로 충전 커패시터(Cgs)의 용량이 커짐에 따라서 제1 클럭 신호(CK)에 의해 발생되는 제1 노드(N1)의 리플은 감소함을 확인할 수 있다. 즉, 충전 커패시터(Cgs)의 용량이 기생 커패시터(Cgd)의 용량보다 10배 이상 큰 값을 가짐으로 인해 제1 노드(N1)에 발생되는 리플은 고온 노이즈 현상이 발생하지 않는 수준으로 감소하게 되고, 이로 인해서 표시 장치의 구동 불량을 개선할 수 있다.

<82> 한편, 충전 커패시터(Cgs)의 용량을 크게 형성하면 제1 노드(N1)의 리플이 감소하여 고온 노이즈 불량은 개선되는 반면에, 제1 노드(N1)에 연결된 제3, 제4, 제5, 및 제6 트랜지스터(T3, T4, T5, T6)의 저온 구동 마진이 감소하게 된다.

<83> 따라서, 고온 노이즈 불량을 개선하면서도 저온 구동 마진에 영향이 없도록 다음 제1 트랜지스터(T1)의 폭/길이비(W/L)는 다음의 수식 II에 조건을 만족하도록 형성하는 것이 바람직하다. 즉, 제1 트랜지스터(T1)를 수식 II의 조건을 만족하도록 형성하여 제1 트랜지스터(T1)의 구동 전류 특성을 향상시켜 저온 구동 마진을 개선한다.

수학식 2

$$0.09 \leq \frac{W/L \times 1024}{GLm_cap \times L \times Hz} \leq 0.15$$

<84>

<85> 여기서, GLm_cap 은 제m 게이트 배선(GLm)에 연결된 모든 캡들의 용량의 합으로 단위는 [pF]이고, L 은 게이트 배선의 수이고, Hz 는 구동 주파수이다.

<86>

이 때, 0.15보다 큰 값을 갖도록 제1 트랜지스터(T1)를 형성하게 되면 과도한 구동 전류 특성의 향상으로 오히려 고온 노이즈가 발생할 수 있으므로, 0.15보다 작은 값을 갖도록 제1 트랜지스터(T1)를 형성하는 것이 바람직하다.

<87>

<87> 이처럼, 본 발명에 따른 게이트 구동회로(200)의 제m 스테이지(SRCm)는 충전 커페시터(Cgs)의 용량이 제1 트랜지스터(t1)의 게이트 전극과 드레인 전극 간 기생 커페시터(Cgd) 용량의 10배 이상의 값을 갖고, 상기한 수식 II의 결과값이 0.09 ~ 0.15의 값이 되도록 제1 트랜지스터(T1)가 형성된 것을 특징으로 하며, 이로 인해 고온 노이즈 불량을 개선할 수 있다.

발명의 효과

<88>

<88> 이상에서 설명한 바와 같이, 본 발명에 따르면 충전부를 이루는 충전 커페시터의 용량을 풀업부 트랜지스터의 게이트 전극과 드레인 전극 사이의 기생 커페시터 용량의 10배 이상의 값을 갖도록 함으로써, 풀업부 제어 전극에 발생되는 리플이 감소된다. 이로 인해서, 게이트 오프 신호 구간에 비정상적으로 발생되는 게이트 온 신호가 방지되어 표시 장치의 구동 불량을 개선할 수 있다.

<89>

<89> 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 속련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

<1>

도 1은 본 발명의 실시예에 따른 표시 장치를 도시한 평면도이다.

<2>

도 2는 도 1에 도시된 게이트 구동회로의 제1 실시예에 따른 상세 블록도이다.

<3>

도 3은 도 2에 도시된 스테이지의 상세 회로도이다.

<4>

도 4는 도 3에 도시된 스테이지의 신호 파형도이다.

<5>

<도면의 주요부분에 대한 부호의 설명>

<6>

IN1: 제1 입력 단자 IN2: 제2 입력 단자

<7>

CK1: 제1 클럭 단자 CK2: 제2 클럭 단자

<8>

V: 전압 단자 RE: 전압 단자

<9>

CR: 캐리 단자 OUT: 출력 단자

<10>

Cgd: 기생 커페시터 Cgs: 충전 커페시터

<11>

210: 풀업부 212: 충전부

<12>

220: 풀다운부 230: 버퍼부

<13>

240: 방전부 250: 제1 훌딩부

<14>

260: 제2 훌딩부 270: 스위칭부

<15>

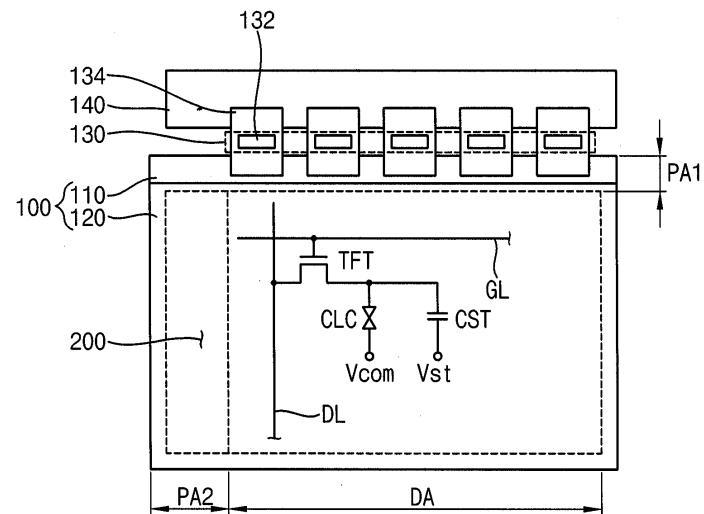
280: 리셋부 290: 캐리부

<16>

T1 ~ T14: 제1 ~ 제14트랜지스터 C1, C2: 제1, 제2 커페시터

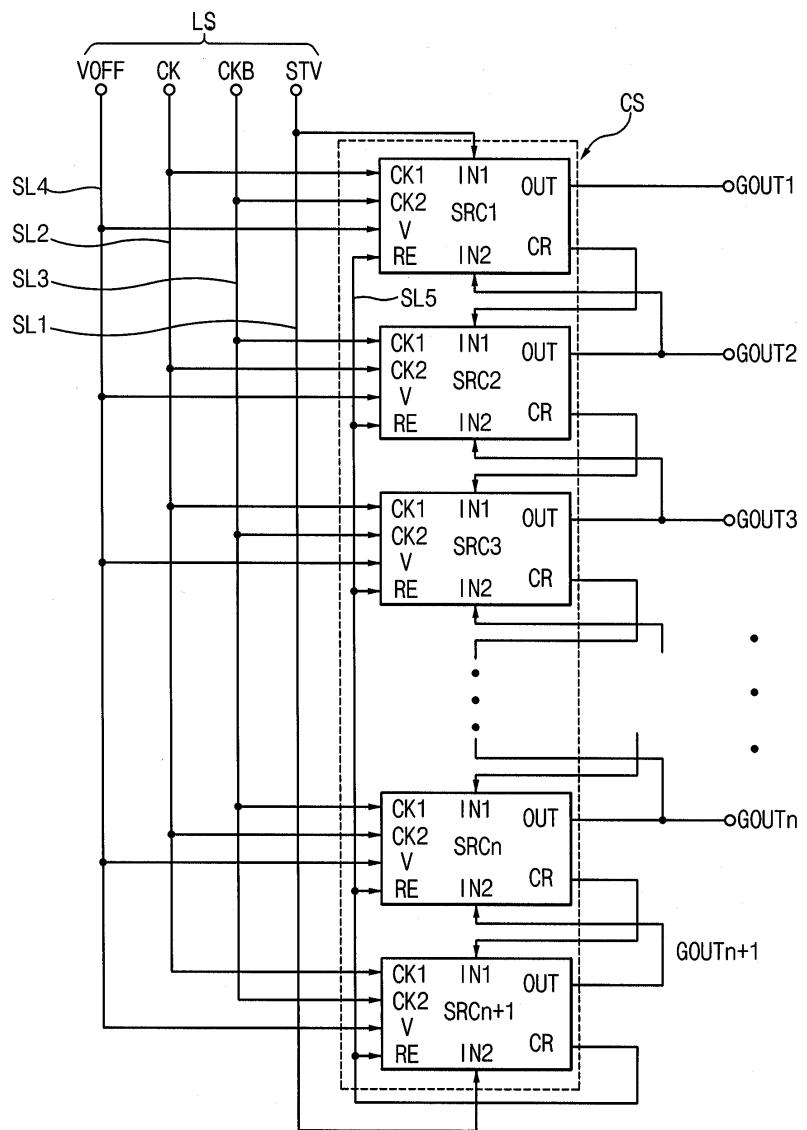
도면

도면1

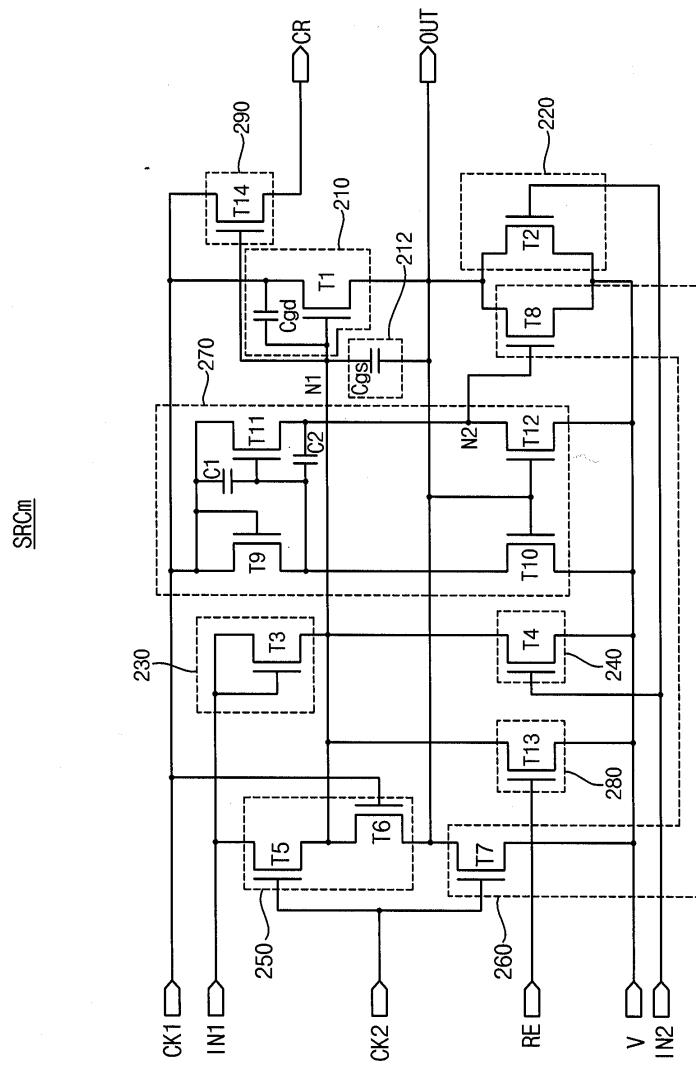


도면2

200



도면3



도면4

