(19)日本国特許庁(JP)

# (12)特許公報(B2)

(11)特許番号
特許第7603881号
(P7603881)

(45)発行日　令和6年12月20日(2024.12.20)

(24)登録日　令和6年12月12日(2024.12.12)

(51)国際特許分類

| | | | | |
|---|---|---|---|---|
| *Ｇ０６Ｆ* | *5/06* | *(2006.01)* | Ｇ０６Ｆ | 5/06 |
| *Ｇ０６Ｆ* | *1/12* | *(2006.01)* | Ｇ０６Ｆ | 1/12　５１０ |

ＦＩ

請求項の数　14　（全21頁）

(21)出願番号　特願2024-505719(P2024-505719)
(86)(22)出願日　令和4年3月9日(2022.3.9)
(86)国際出願番号　PCT/JP2022/010281
(87)国際公開番号　WO2023/170815
(87)国際公開日　令和5年9月14日(2023.9.14)
審査請求日　令和6年2月15日(2024.2.15)

(73)特許権者　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目７番３号
(74)代理人　110001195
弁理士法人深見特許事務所
(72)発明者　田中 進
東京都千代田区丸の内二丁目７番３号
三菱電機株式会社内
審査官　征矢 崇

最終頁に続く

(54)【発明の名称】　ポインタ転送装置及びポインタ転送方法

(57)【特許請求の範囲】

【請求項１】

メモリへのデータ書込及び前記メモリからのデータ読出の一方の動作である第１動作を実行する第１回路と、前記データ書込及び前記データ読出の他方の動作である第２動作を実行する第２回路との間に配置されたポインタ転送装置であって、

前記ポインタ転送装置は、

第１クロックに従った前記第１回路による前記第１動作の実行毎に第１ポインタを、増加方向又は減少方向の予め定められた方向に１ずつ変化させる第１ポインタ生成部と、

第２クロックに従った前記第２回路による前記第２動作の実行毎に第２ポインタを前記予め定められた方向に１ずつ変化させる第２ポインタ生成部と、

前記第１クロックに同期して前記第２ポインタ生成部による前記第２ポインタの値を前記第１回路側に取り込む第１同期化部と、

前記第１回路側における前記第２ポインタの値を演算する第１回路側ポインタ値演算部と、

前記第１回路側ポインタ値演算部で演算されている前記第２ポインタの値と、前記第１同期化部で取り込まれた前記第２ポインタの値との一致比較を実行する第１一致検出部とを備え、

前記第１回路側ポインタ値演算部は、前記第１一致検出部で不一致が検出される間は、前記第１クロックのサイクル毎に、前記第２ポインタの値を前記予め定められた方向に１ずつ変化させる一方で、前記第１一致検出部で一致が検出されたときは前記第２ポインタ

の値を維持し、
前記第１回路は、前記第１回路側ポインタ値演算部によって演算された前記第２ポインタの値を用いて前記第２回路による前記メモリへの前記第２動作の状況を把握した上で、前記第１回路および前記第２回路の間で正しくデータが受け渡されるように、前記第１ポインタ生成部による前記第１ポインタによって示された前記メモリのアドレスを対象として前記第１動作を実行する、ポインタ転送装置。
【請求項２】
前記一方の動作は、前記データ書込であり、
前記他方の動作は、前記データ読出であり、
前記第１回路は、前記第１回路側ポインタ値演算部によって演算された前記第２ポインタの値を用いて、前記第２回路が前記メモリから未読出のアドレスのデータを上書き消去しないように、前記データ書込を実行する、請求項１記載のポインタ転送装置。
【請求項３】
前記一方の動作は、前記データ読出であり、
前記他方の動作は、前記データ書込であり、
前記第１回路は、前記第１回路側ポインタ値演算部によって演算された前記第２ポインタの値を用いて、前記第１回路から前記メモリにデータが書き込まれていないアドレスからデータを読み出さないように、前記データ読出を実行する、請求項１記載のポインタ転送装置。
【請求項４】
前記ポインタ転送装置は、
前記第２クロックに同期して前記第１ポインタ生成部による前記第１ポインタの値を前記第２回路側に取り込む第２同期化部と、
前記第２回路側における前記第１ポインタの値を演算する第２回路側ポインタ値演算部と、
前記第２回路側ポインタ値演算部で演算されている前記第１ポインタの値と、前記第２同期化部で取り込まれた前記第１ポインタの値との一致比較を実行する第２一致検出部とを更に備え、
前記第２回路側ポインタ値演算部は、前記第２一致検出部で不一致が検出される間は、前記第２クロックのサイクル毎に、前記第１ポインタの値を前記予め定められた方向に１ずつ変化させる一方で、前記第２一致検出部で一致が検出されたときは前記第１ポインタの値を維持し、
前記第２回路は、前記第２回路側ポインタ値演算部によって演算された前記第１ポインタの値を用いて前記第１回路による前記メモリへの前記第１動作の状況を把握した上で、前記第１回路および前記第２回路の間で正しくデータが受け渡されるように、前記第２ポインタ生成部による前記第２ポインタによって示された前記メモリのアドレスを対象として前記第２動作を実行する、請求項１記載のポインタ転送装置。
【請求項５】
前記第１動作は、前記データ書込であり、
前記第２動作は、前記データ読出であり、
前記第１回路は、前記第１回路側ポインタ値演算部によって演算された前記第２ポインタの値を用いて、前記第２回路が前記メモリから未読出のアドレスのデータを上書き消去しないように、前記データ書込を実行し、
前記第２回路は、前記第２回路側ポインタ値演算部によって演算された前記第１ポインタの値を用いて、前記第１回路から前記メモリにデータが書き込まれていないアドレスからデータを読み出さないように、前記データ読出を実行する、請求項４記載のポインタ転送装置。
【請求項６】
前記第１回路は、前記第１ポインタ生成部によって生成された前記第１ポインタの値と、前記第１回路側ポインタ値演算部によって演算される前記第２ポインタの値と、前記メ

モリのアドレス数に相当するメモリ深さとに基づいて、前記メモリに対する前記データ書込の可能回数を算出する、請求項５記載のポインタ転送装置。
【請求項７】
前記第２回路は、前記第２ポインタ生成部によって生成された前記第２ポインタの値と、前記第２回路側ポインタ値演算部によって演算された前記第１ポインタの値と、前記メモリのアドレス数に相当するメモリ深さとに基づいて、前記メモリに対する前記データ読出の可能回数を算出する、請求項５記載のポインタ転送装置。
【請求項８】
第１クロックに従ってメモリへのデータ書込及び前記メモリからのデータ読出の一方の動作である第１動作を実行する第１回路と、第２クロックに従って前記データ書込及び前記データ読出の他方の動作である第２動作を実行する第２回路との間でのポインタ転送方法であって、
前記第１動作が実行される毎に前記第１回路側で第１ポインタを増加方向又は減少方向の予め定められた方向に１ずつ変化させるステップと、
前記第２動作が実行される毎に前記第２回路側で第２ポインタを前記予め定められた方向に１ずつ変化させるステップと、
前記第１クロックに同期して前記第２回路側での前記第２ポインタの値を前記第１回路側に取り込むステップと、
前記第１回路側における前記第２ポインタの値を演算するステップと、
前記第１回路側で演算されている前記第２ポインタの値と、前記第２回路側から取り込まれた前記第２ポインタの値との一致比較を実行するステップとを備え、
前記第２ポインタの値を演算するステップは、
前記一致比較を実行するステップにおいて不一致が検出される間は、前記第１クロックのサイクル毎に、前記第２ポインタの値を前記予め定められた方向に１ずつ変化させるステップと、
前記一致比較を実行するステップにおいて一致が検出されると前記第２ポインタの値を維持するステップとを含み、
前記第１回路は、前記第１回路側で演算された前記第２ポインタの値を用いて前記第２回路による前記メモリへの前記第２動作の状況を把握した上で、前記第１回路および前記第２回路の間で正しくデータが受け渡されるように、前記第１回路側での前記第１ポインタによって示された前記メモリのアドレスを対象として前記第１動作を実行する、ポインタ転送方法。
【請求項９】
前記一方の動作は、前記データ書込であり、
前記他方の動作は、前記データ読出であり、
前記第１回路は、前記第１回路側で演算された前記第２ポインタの値を用いて、前記第２回路が前記メモリから未読出のアドレスのデータを上書き消去しないように、前記データ書込を実行する、請求項８記載のポインタ転送方法。
【請求項１０】
前記一方の動作は、前記データ読出であり、
前記他方の動作は、前記データ書込であり、
前記第１回路は、前記第１回路側で演算された前記第２ポインタの値を用いて、前記第１回路から前記メモリにデータが書き込まれていないアドレスからデータを読み出さないように、前記データ読出を実行する、請求項８記載のポインタ転送方法。
【請求項１１】
前記ポインタ転送方法は、
前記第２クロックに同期して、前記第１回路側での前記第１ポインタの値を前記第２回路側に取り込むステップと、
前記第２回路側における前記第１ポインタの値を演算するステップと、
前記第２回路側で演算されている前記第１ポインタの値と、前記第１回路側から取り込

まれた前記第１ポインタの値との一致比較を実行するステップとを更に備え、
　前記第１ポインタの値を演算するステップは、
　前記一致比較を実行するステップにおいて不一致が検出される間は、前記第２クロックのサイクル毎に、前記第１ポインタの値を前記予め定められた方向に１ずつ変化させるステップと、
　前記一致比較を実行するステップにおいて一致が検出されると前記第１ポインタの値を維持するステップとを含み、
前記第２回路は、前記第２回路側で演算された前記第１ポインタの値を用いて前記第１回路による前記メモリへの前記第１動作の状況を把握した上で、前記第１回路および前記第２回路の間で正しくデータが受け渡されるように、前記第２回路側での前記第２ポインタによって示された前記メモリのアドレスを対象として前記第２動作を実行する、請求項８記載のポインタ転送方法。
【請求項１２】
　前記第１動作は、前記データ書込であり、
　前記第２動作は、前記データ読出であり、
前記第１回路は、前記第１回路側で演算された前記第２ポインタの値を用いて、前記第２回路が前記メモリから未読出のアドレスのデータを上書き消去しないように、前記データ書込を実行し、
前記第２回路は、前記第２回路側で演算された前記第１ポインタの値を用いて、前記第１回路から前記メモリにデータが書き込まれていないアドレスからデータを読み出さないように、前記データ読出を実行する、請求項１１記載のポインタ転送方法。
【請求項１３】
　前記メモリに対する前記データ書込の可能回数は、前記第１回路側で生成された前記第１ポインタの値と、前記第１回路側で演算された前記第２ポインタの値と、前記メモリのアドレス数に相当するメモリ深さとに基づいて、前記第１回路側で算出される、請求項１２記載のポインタ転送方法。
【請求項１４】
　前記メモリに対する前記データ読出の可能回数は、前記第２回路側で生成された前記第２ポインタの値と、前記第２回路側で演算された前記第１ポインタの値と、前記メモリのアドレス数に相当するメモリ深さとに基づいて、前記第２回路側で算出される、請求項１２記載のポインタ転送方法。
【発明の詳細な説明】
【技術分野】
【０００１】
　本開示は、ポインタ転送装置及びポインタ転送方法、並びに、当該ポインタ転送装置を備えるメモリ制御装置に関する。
【背景技術】
【０００２】
　論理回路における非同期クロック間のデータの受け渡しでは、データの同期化が行われる。データ同期化の一手法として、特開２００７－２３３６３６号公報（特許文献１）に記載される様に、メモリ、代表的には，ＦＩＦＯ（First In First Out）メモリを介して非同期クロック間でデータを受け渡す同期化手法が公知である。
【０００３】
　通常、この様な同期化手法では、データの受け渡しに用いるメモリに対して、ライトする空きスペースがあるか、及び、リードするデータが格納されているかを判断するために、双方のクロックで生成されたポインタを用いる必要がある。この際に、非同期の異なるクロック間で、ポインタ値が化けることなくデータを受け渡しするために、グレイコードが利用されることがある。
【０００４】
　特開２００６－０７４７５８号公報（特許文献２）には、通常２ⁿ項目に対応するグレイ

コードを偶数項目で展開可能とするグレイコードの生成方法が記載されており、この簡約グレイコードを用いて、非同期クロック間でポインタ値が正しく同期化される技術が記載されている。

【先行技術文献】

【特許文献】

【０００５】

【文献】特開２００７－２３３６３６号公報

【文献】特開２００６－０７４７５８号公報

【発明の概要】

【発明が解決しようとする課題】

【０００６】

しかしながら、特許文献１では、ポインタを用いた演算を行う前に同期化を行うことを示す非同期受け渡し部が示されているが、具体的な回路構成が示されておらず、結果として、ポインタの値の誤転送がどのように実現されるかが記載されてない。このため、正しいデータの受け渡しが可能かどうかは不明である。

【０００７】

又、特許文献２には、上述した偶数項目に対応するグレイコードを用いて、ポインタ値の誤転送を防止する技術が記載されるが、項目数が奇数個でよい場合でもメモリの容量に１アドレス分大きいものを使用する必要があり、回路規模や消費電力が増加するといった課題があった。

【０００８】

本開示は、このような問題点を解決するためになされたものであって、本開示の目的は、簡易な構成及び制御によって、非同期クロック間でのポインタ値の誤転送を回避した正しいポインタ同期化が実行できるメモリ制御装置及びメモリ制御方法を提供することである。

【課題を解決するための手段】

【０００９】

本開示のある局面によれば、ポインタ転送装置が提供される。ポインタ転送装置は、第１ポインタ生成部と、第２ポインタ生成部と、第１同期化部と、第１回路側ポインタ値演算部と、第１一致検出部とを備える。第１ポインタ生成部は、第１クロックに従った第１回路による第１動作の実行毎に増加方向又は減少方向の予め定められた方向に１ずつ変化させる。第２ポインタ生成部は、第２クロックに従った第２回路による第２動作の実行毎に第２ポインタを予め定められた方向に１ずつ変化させる。第１同期化部は、第１クロックに同期して第２ポインタ生成部による第２ポインタの値を第１回路側に取り込む。第１回路側ポインタ値演算部は、第１回路側における第２ポインタの値を演算する。第１一致検出部は、第１回路側ポインタ値演算部での第２ポインタの値と、第１同期化部で取り込まれた第２ポインタの値との一致比較を実行する。第１回路側ポインタ値演算部は、第１一致検出部で不一致が検出される間は、第１クロックのサイクル毎に、第２ポインタの値を予め定められた方向に１ずつ変化させる一方で、第１一致検出部で一致が検出されたときは第２ポインタの値を維持する。

【００１０】

本開示の他のある局面によれば、第１クロックに従って第１回路で第１動作が実行されるとともに、第２クロックに従って第２回路で第２動作が実行される下でのポインタ転送方法が提供される。ポインタ転送方法は、第１動作が実行される毎に第１回路側で第１ポインタを増加方向又は減少方向の予め定められた方向に１ずつ変化させるステップと、第２動作が実行される毎に第２回路側で第２ポインタを予め定められた方向に１ずつ変化させるステップと、第１クロックに同期して第２回路側での第２ポインタの値を第１回路側に取り込むステップと、第１回路側における第２ポインタの値を演算するステップと、第１回路側で演算されている第２ポインタの値と、第２回路側から取り込まれた第２ポインタの値との一致比較を実行するステップとを備える。第２ポインタの値を演算するステッ

プは、一致比較を実行するステップにおいて不一致が検出される間は、第１クロックのサイクル毎に第２ポインタの値を予め定められた方向に１ずつ変化させるステップと、一致比較を実行するステップにおいて一致が検出されると第２ポインタの値を維持するステップとを含む。

【発明の効果】

【００１１】

本開示によれば、非同期クロック間のポインタ転送において、送信側でのポインタ値の変化を検出して、受信側で演算されているポインタ値を１ずつ変化させる制御によって、送信側及び受信側の間でのポインタ値の誤転送を回避した正しいポインタ同期化を実現することができる。

【図面の簡単な説明】

【００１２】

【図１】本実施の形態に係るメモリ制御装置の構成を説明するブロック図である。

【図２】データライトにおけるライト可能数の算出処理を説明する図表である。

【図３】データライト及びデータリードに伴う、ライトポインタ及びリードポインタ並びにライト可能数及びリード可能数の変化の一例を説明する図表である。

【図４】メモリリード回路からメモリライト回路へのリードポインタの転送処理の具体例を説明するタイミングチャートである。

【図５】データリードにおけるリード可能数の算出処理を説明する図表である。

【図６】メモリライト回路からメモリリード回路へのライトポインタの転送処理の具体例を説明するタイミングチャートである。

【発明を実施するための形態】

【００１３】

以下に、本開示の実施の形態について、図面を参照して詳細に説明する。なお、以下では、図中の同一又は相当部分には同一符号を付して、その説明は原則的に繰返さないものとする。

【００１４】

図１は、本実施の形態に係るメモリ制御装置１００の構成を説明するブロック図である。以下の説明で明らかになる様に、メモリ制御装置１００は、例えば、電子機器で用いられる、非同期の異なるクロックで動作する論理回路の間でのデータ転送に用いることができる。

【００１５】

（回路構成の説明）

図１に示される様に、メモリ制御装置１００は、非同期の異なるライトクロックＷＣＬＫ及びリードクロックＲＣＬＫを受けて動作する。メモリ制御装置１００は、データを一時的に保持するためのメモリ３００と、ライトクロックＷＣＬＫに同期してメモリ３００に対してデータを書込むためのメモリライト回路１０１と、リードクロックＲＣＬＫに同期してメモリ３００からデータを読出すためのメモリリード回路２０１とを備える。ライトクロックＷＣＬＫ及びリードクロックＲＣＬＫは、それぞれのクロック周期毎に生成されたものが、メモリ制御装置１００に入力される。尚、以下では、各信号及びクロックについて、論理ハイレベルを「１」とも表記し、論理ローレベルを「０」とも表記する。

【００１６】

メモリライト回路１０１は、ライト側アクセス制御部１０３と、ライト側ライトポインタ生成部１０７と、リード側リードポインタ同期化部１０９と、ライト側リードポインタ演算部１１２と、ライト側一致検出部１１３とを含む。

【００１７】

ライト側アクセス制御部１０３は、メモリ３００に対するデータ書込に関する全体の制御を実行する。具体的には、ライト側アクセス制御部１０３は、後述する様に、メモリ３００に対する書込可否の判断結果に従って、ライト許可ＷＰＲＭを出力する（ＷＲＰＭ＝「１」）。ライト側アクセス制御部１０３は、ライト指示ＷＣＭＤを受けたときに、書込

可能な状態（ＷＰＲＭ＝「１」）であると、ライト側ライトイネーブル１０４を有効（「１」にする。ライト側アクセス制御部１０３は、ライト側ライトイネーブル１０４の有効時には、ライト側ライトポインタインクリメント１０６を更に出力する。ライト側ライトポインタ生成部１０７は、メモリ３００のライトアドレスを示すライト側ライトポインタ１０８を生成する。

【００１８】

ライト側ライトイネーブル１０４の有効時には、ライトクロックＷＣＬＫの立上がりエッジに応答して、ライトデータＷＤＡＴが、ライト側ライトポインタ１０８で示される、メモリ３００のライトアドレスに書き込まれることで、データライトが実行される。ライト側ライトポインタ１０８は、ライトデータＷＤＡＴの書込毎に、即ち、ライト側ライトポインタインクリメント１０６の出力時（即ち、１０６＝「１」の期間）において、ライトクロックＷＣＬＫに同期して１ずつ増加される。

【００１９】

リード側リードポインタ同期化部１０９は、メモリリード回路２０１においてリードクロックＲＣＬＫに従って生成されたリード側リードポインタ２０８を受ける。リード側リードポインタ同期化部１０９は、リード側リードポインタ２０８をライトクロックＷＣＬＫで同期化した、リード側リードポインタ１１１を生成する。

【００２０】

ライト側一致検出部１１３は、リード側リードポインタ同期化部１０９が生成するリード側リードポインタ１１１の値と、ライト側リードポインタ演算部１１２によるライト側リードポインタ１１０の値との一致検出結果に基づき、ライト側リードポインタインクリメント１１４を出力する。

【００２１】

ライト側リードポインタ演算部１１２は、ライト側一致検出部１１３からのライト側リードポインタインクリメント１１４に基づいて、ライトクロックＷＣＬＫに同期したライト側リードポインタ１１０の値を演算する。ライト側アクセス制御部１０３は、リード側リードポインタ同期化部１０９によって生成されたリード側リードポインタ１１１ではなく、ライト側リードポインタ演算部１１２によるライト側リードポインタ１１０を用いて、メモリ３００に対するライトデータＷＤＡＴの書込可否を判断する。

【００２２】

メモリリード回路２０１は、リード側アクセス制御部２０３と、リード側リードポインタ生成部２０７と、ライト側ライトポインタ同期化部２０９と、リード側ライトポインタ演算部２１２と、リード側一致検出部２１３とを含む。

【００２３】

リード側アクセス制御部２０３は、メモリ３００からのデータ読出に関する全体の制御を実行する。具体的には、リード側アクセス制御部２０３は、後述する様に、メモリ３００からの読出可否の判断結果に従って、リード許可ＲＰＲＭを出力する（ＲＲＰＭ＝「１」）。リード側アクセス制御部２０３は、リード指示ＲＣＭＤを受けたときに、読出可能な状態（ＲＰＲＭ＝「１」）であると、リード側リードイネーブル２０４を有効（「１」）とする。リード側アクセス制御部２０３は、リード側リードイネーブル２０４の有効化時には、リード側リードポインタインクリメント２０６を更に出力する。リード側リードポインタ生成部２０７は、メモリ３００のリードアドレスを示すリード側リードポインタ２０８を生成する。

【００２４】

リード側リードイネーブル２０４の有効時には、リードクロックＲＣＬＫの立上がりエッジに応答して、リードデータＲＤＡＴが、リード側リードポインタ２０８で示されるメモリ３００のリードアドレスから読出されることで、データリードが実行される。リード側リードポインタ２０８は、リードデータＲＤＡＴの読出毎に、即ち、リード側リードポインタインクリメント２０６の出力時（即ち、２０６＝「１」の期間）において、リードクロックＲＣＬＫに同期して１ずつ増加される。

【００２５】
ライト側ライトポインタ同期化部２０９は、メモリライト回路１０１においてライトクロックＷＣＬＫに従って生成されたライト側ライトポインタ１０８を受ける。ライト側ライトポインタ同期化部２０９は、ライト側ライトポインタ１０８をリードクロックＲＣＬＫで同期化した、ライト側ライトポインタ２１１を生成する。リード側一致検出部２１３は、ライト側ライトポインタ同期化部２０９が生成するライト側ライトポインタ２１１と、リード側ライトポインタ演算部２１２によるリード側ライトポインタ２１０との一致検出結果に基づき、リード側ライトポインタインクリメント２１４を出力する。
【００２６】
リード側ライトポインタ演算部２１２は、リード側一致検出部２１３からのリード側ライトポインタインクリメント２１４に基づいて、リードクロックＲＣＬＫに同期したリード側ライトポインタ２１０の値を演算する。リード側アクセス制御部２０３は、ライト側ライトポインタ同期化部２０９によって生成されたライト側ライトポインタ２１１ではなく、リード側ライトポインタ演算部２１２によるリード側ライトポインタ２１０を用いて、メモリ３００からのリードデータＲＤＡＴの読出可否を判断する。
【００２７】
この様に、メモリライト回路１０１では、ライトクロックＷＣＬＫに従って、ライト側ライトポインタ１０８によって示されるメモリ３００のアドレスに対して、データライトが実行される。同様に、メモリリード回路２０１では、リードクロックＲＣＬＫに従って、リード側リードポインタ２０８によって示されるメモリ３００のアドレスに対して、データリードが実行される。
【００２８】
メモリライト回路１０１によるデータライトは、メモリ３００からのメモリリード回路２０１による読出状況を把握して、メモリ３００から未読出のデータを上書き消去してしまわない様に実行する必要がある。この際に、当該読出状況は、ライトクロックＷＣＬＫに同期した動作によってメモリライト回路１０１側で認識された、ライト側リードポインタ１１０を用いて把握される。従って、ポインタ値の誤転送を防止した、リードクロックＲＣＬＫに同期してインクリメントされるリード側リードポインタ２０８と、ライト側リードポインタ１１０との同期化処理が重要となる。
【００２９】
同様に、メモリリード回路２０１によるデータリードは、メモリ３００に対するメモリライト回路１０１による書込状況を把握して、メモリ３００に読出データが無いのに誤ってメモリ３００からのデータ読出を実行しない様に、言い換えると、未読出のデータを順次読出す様に実行する必要がある。この際に、当該書込状況は、リードクロックＲＣＬＫに同期した動作によってメモリリード回路２０１側で認識された、リード側ライトポインタ２１０によって把握される。従って、ポインタ値の誤転送を防止した、ライトクロックＷＣＬＫに同期してインクリメントされるライト側ライトポインタ１０８と、リード側ライトポインタ２１０との同期化処理が重要となる。
【００３０】
次に、図１に示されたメモリ制御装置１００における、ポインタ転送に係る回路動作について、より詳細説明する。尚、前提として、メモリ３００の深さは７段とし、初期状態において、各ポインタ値は「０」に初期化されるものとする。
【００３１】
以下、ライトポインタ及びリードポインタは、メモリ深さに従った値の範囲内で変化するポインタ部と、「０」又は「１」に設定されるフラグ部とを有するものとする。フラグ部の値は、ポインタ部の値が一巡する毎に値が反転される。上述の様にメモリ深さが７である場合には、ポインタ部の値は「０」を初期値として、データライト又はデータリードが行われる毎に１ずつ増加する。そして、ポインタ部の値が「６」である状態で、データライト又はデータリードが行われると、ポインタ部の値が「０」に戻るとともに、フラグ部の値は「０」から「１」、又は、「１」から「０」に反転される。

【００３２】
まず、ライト動作について説明する。ライト動作では、ライト指示ＷＣＭＤがライト側アクセス制御部１０３に入力される。このときに、ライトが可能であればライト側アクセス制御部１０３は、ライト側ライトイネーブル１０４を有効化する（１０４＝「１」）。ライト側ライトイネーブル１０４が有効化されると、ライト側ライトポインタ１０８で示されるメモリ３００のアドレスへ、ライトデータＷＤＡＴが書き込まれる。この際に、ライトが不可能であれば、ライト指示ＷＣＭＤが入力されても、メモリ３００に対して、特に処理は行われない。
【００３３】
図２には、データライトにおけるライト可能数の算出処理例が示される。ライト可否は、図２に例示されたライト可能数の算出値に従って、実行することができる。
【００３４】
図２において、ｗｐｆは、ライト側ライトポインタ１０８のフラグ部の値を示し、ｗｐｐは、ライト側ライトポインタ１０８のポインタ部の値を示す。又、ｒｐｆは、ライト側リードポインタ１１０のフラグ部の値を示し、ｒｐｐは、ライト側リードポインタ１１０のポインタ部の値を示す。Ｎは、メモリ深さである。図２に従って判定されたライト可能数に基づくライト可否の判定結果は、ライト許可ＷＰＲＭに反映されて、ライト側アクセス制御部１０３から出力される。具体的には、ライト可能数が０のとき、ＷＰＲＭ＝「０」に設定される一方で、ライト可能数が、予め定められた任意の自然数以上のとき、ＷＰＲＭ＝「１」に設定される。
【００３５】
図３には、データライト及びデータリードに伴う、ライトポインタ（ｗｐｆ，ｗｐｐ）及びリードポインタ（ｒｐｆ，ｒｐｐ）、並びに、及び、ライト可能数及びリード可能数の変化の一例を説明する図表が示される。
【００３６】
メモリライト回路１０１では、ライト側ライトポインタ１０８のフラグ部ｗｐｆ及びポインタ部ｗｐｐと、ライト側リードポインタ１１０のフラグ部ｒｐｆ及びポインタ部ｒｐｐとの値を用いて、図２に従ってライト可能数を求めることで、ライト可否の判定が実行される。
【００３７】
図３の例では、メモリ３００にデータが存在しないｗｐｆ＝ｗｐｐ＝ｒｐｆ＝ｒｐｐ＝０（初期値）の初期状態から、データライトが５回実行される。これに応じて、ｗｐｐが、データライト毎に０から５まで１ずつ増加する。この際に、ｗｐｐ＜Ｎであるので、ｗｐｆ＝０に維持されており、データリードが実行されていないことから、ｒｐｆ＝ｒｐｐ＝０も維持されている。
【００３８】
この際に、ライト可能数は、初期状態ではＮに等しい７であり、その後、データライト毎に、図２に示された演算式Ｎ－（ｗｐｐ－ｒｐｐ）に従って１ずつ減少する。５回のデータライト後には、ライト可能数は、Ｎ－５＝２まで減少している。
【００３９】
上記５回のデータライト後に、同じく５回のデータリードが実行される。これに応じて、ｒｐｐが、データリード毎に０から５まで１ずつ増加する。この際に、ｒｐｐ＜Ｎの範囲内であるので、ｒｐｆ＝０に維持されており、データライトが実行されていないことから、ライトポインタの値は、それまでのｗｐｆ＝０，ｗｐｐ＝５に維持される。
【００４０】
この際に、データリード毎に、ライト可能数は、図２に示された演算式Ｎ－（ｗｐｐ－ｒｐｐ）に従って１ずつ増加する。データライトと同数のデータリードが終了した状態では、ｗｐｐ＝ｒｐｐ（＝５）、かつ、ｗｐｆ＝ｗｐｆ（＝０）となっており、かつ、ライト可能数はＮ（＝７）に戻っている。
【００４１】

続いて、ｗｐｐ＝５（ｗｐｆ＝０）の状態から７回のデータライトが行われると、２回目のデータライトにおいて、ｗｐｐが６からインクリメントされる際に、ｗｐｐ＝０に戻されるとともに、フラグ部ｗｐｆが「０」から「１」に反転される。以降では、ｗｐｆ＝１の下で、ｗｐｐがインクリメントされるので、７回目のデータライト後には、ｗｐｆ＝１，ｗｐｐ＝５となる。又、ライト側リードポインタ１１０については、ｒｐｆ＝０，ｒｐｐ＝５が維持されている。

【００４２】

この際に、ライト可能数は、図２に示された演算式Ｎ－（ｗｐｐ－ｒｐｐ）（ｗｐｆ＝ｒｐｆ，ｗｐｐ＞ｒｐｐのとき）、－（ｗｐｐ－ｒｐｐ）（ｗｐｆ≠ｒｐｆ，ｗｐｐ＜ｒｐｐのとき）、及び、０（ｗｐｆ≠ｒｐｆ，ｗｐｐ＝ｒｐｐのとき）に従って、データライト毎に１ずつ減少する。７回のデータライト後には、ライト可能数は、Ｎ－７＝０まで減少している。このとき、ライト許可ＷＰＲＭは「０」に設定される。

【００４３】

上記７回のデータライト後に、同じく７回のデータリードが実行される。ｒｐｐ＝５（ｒｐｆ＝０）の状態から７回のデータリードが行われると、２回目のデータリードにおいて、ｒｐｐが６からインクリメントされる際に、ｒｐｐ＝０に戻されるとともに、フラグ部ｒｐｆが「０」から「１」に反転される。以降では、ｒｐｆ＝１の下で、ｒｐｐがインクリメントされるので、７回目のデータリード後には、ｒｐｆ＝１，ｒｐｐ＝５となる。この際に、ライト可能数は、図２に示された演算式、－（ｗｐｐ－ｒｐｐ）（ｗｐｆ≠ｒｐｆ，ｗｐｐ＜ｒｐｐのとき）、Ｎ－（ｗｐｐ－ｒｐｐ）（ｗｐｆ＝ｒｐｆ，ｗｐｐ＞ｒｐｐのとき）、及び、Ｎ（ｗｐｆ＝ｒｐｆ，ｗｐｐ＝ｒｐｐのとき）に従って、データリード毎に１ずつ増加する。ライト許可ＷＰＲＭについても「１」に設定される。７回のデータリード後には、ライト可能数はＮ（＝７）まで戻っている。

【００４４】

次に、リードポインタのリード側及びライト側の間での同期化処理について説明する。

再び図１を参照して、データリードが行われた場合には、リード側リードポインタ２０８が変化する。リード側リードポインタ２０８は、リードクロックＲＣＬＫに同期化しているため、リード側リードポインタ同期化部１０９により、ライトクロックＷＣＬＫに同期化させる必要がある。

【００４５】

例えば、図１に示されたリード側リードポインタ同期化部１０９の構成は、一般的に知られる２段フリップフロップとすることができる。ライト側一致検出部１１３は、ライトクロックＷＣＬＫに従ってライト側で同期化されたリード側リードポインタ１１１の値と、ライト側リードポインタ１１０の値との一致比較を実行する。ライト側一致検出部１１３は、リード側リードポインタ１１１の値と、ライト側リードポインタ１１０との値が不一致であると、ライト側リードポインタインクリメント１１４を有効化する（１１４＝「１」）。一方で、リード側リードポインタ１１１の値と、ライト側リードポインタ１１０との値が一致するときには、ライト側リードポインタインクリメント１１４は無効化される（１１４＝「０」）。

【００４６】

ライト側リードポインタインクリメント１１４が有効（＝「１」）である状態では、ライト側リードポインタ演算部１１２は、ライトクロックＷＣＬＫのサイクル毎に、ライト側リードポインタ１１０（フラグ部ｒｐｆ，ポインタ部ｒｐｐ）をインクリメントする。上述の様に、インクリメント後のポインタ部ｒｐｐの値がメモリ深さＮになるときには、ｒｐｐ＝Ｎとすることなく、ｒｐｐ＝０に戻すとともに、フラグ部ｒｐｆの値が反転される。

【００４７】

ライト側リードポインタ１１０が、ライト側で同期化されたリード側リードポインタ１１１に追いついて両者が一致すると、ライト側リードポインタインクリメント１１４は、無効（＝「０」）となり、ライト側リードポインタ１１０のインクリメントは行われない

。即ち、ライト側リードポインタ１１０の値は維持される。

【００４８】

ここで、複数ビットから構成されるリード側リードポインタ２０８についても、リード側リードポインタ同期化部１０９により、例えば、２段フリップフロップによって同期化されている。このため、リード側リードポインタ２０８の変化のタイミングと、ライトクロックＷＣＬＫの立ち上がりエッジのタイミングとが重なった場合には、所謂、メタ・ステーブル状態となり、ライト側で同期化されたリード側リードポインタ１１１の値に、リード側リードポインタ２０８の値を正しく転送できない可能性がある。これにより、誤った値のままでライト側リードポインタ１１０をライト可否の判断に使用すると、メモリ３００に空き領域がないのにデータライトを実行してしまう可能性がある。

【００４９】

従って、本実施の形態においては、ライトクロックＷＣＬＫに従って同期化されたリード側リードポインタ１１１の値をそのままライト側リードポインタ１１０として用いるのではなく、ライト側で同期化されたリード側リードポインタ１１１と、ライト側リードポインタ１１０とが異なることをライト側一致検出部１１３で検出した場合に、当該リード側リードポインタ１１１と、ライト側リードポインタ１１０とが等しくなるまで、ライト側リードポインタ１１０を１ずつ変化させる様に、ポインタ部ｗｐｐ及びフラグ部ｗｐｆの値を変化させる。この様な処理を追加することで、ライト側リードポインタ１１０について、リード側リードポインタ２０８に追従して、値を誤ることなく、リード側からライト側へ転送することが可能となる。

【００５０】

尚、上述の様に、同期化回路として、リード側リードポインタ同期化部１０９には２段フリップフロップを適用することが可能であるが、他の同期化方式によって、リード側リードポインタ同期化部１０９を構成することも可能である。更には、ライト側一致検出部１１３によって、ライトクロックＷＣＬＫに従って同期化されたリード側リードポインタ１１１と、ライト側リードポインタ１１０との値の不一致時には、ライト側リードポインタ１１０の値をリード側から読み込まれた値に追従させる構成としているので、リード側リードポインタ同期化部１０９は、同期化回路を用いずに構成することも可能である。

【００５１】

次に、図４を用いて、メモリリード回路２０１からメモリライト回路１０１へのリードポインタの転送処理の具体例を説明する。図４中では、リード側リードポインタ２０８、ライト側で同期化されたリード側リードポインタ１１１、及び、ライト側リードポインタ１１０のそれぞれについて、フラグ部ｒｐｆ及びポインタ部ｒｐｐの値を、「ｒｐｆ－ｒｐｐ」と表記する。

【００５２】

例えば、図４の初期状態では、リード側リードポインタ２０８は、フラグ部ｒｐｆ＝０、ポインタ部ｒｐｐ＝３であり（「０－３」）、ライト側で同期化されたリード側リードポインタ１１１及びライト側リードポインタ１１０についても同様に、フラグ部ｒｐｆ＝０、ポインタ部ｒｐｐ＝３となっていること（「０－３」）が示されている。即ち、メモリライト回路１０１及びメモリリード回路２０１の間で、リードポインタは、正しく共通の値が認識された状態となっている。

【００５３】

この状態から、メモリリード回路２０１では、リード側リードポインタインクリメント２０６が有効（＝「１」）となる期間では、リードクロックＲＣＬＫの立上がりエッジ毎にメモリ３００に対してデータリードが実行される。データリードの実行に応じて、リード側リードポインタ２０８が、立上がりエッジ毎（ＲＣＬＫ）にインクリメントされる。

【００５４】

図４の例では、まず３個の立上がりエッジ（ＲＣＬＫ）のそれぞれにて３回のデータリードが実行されて、リード側リードポインタ２０８が、クロックエッジ毎にインクリメントされる。これにより、リード側リードポインタ２０８は、「０－３」から「０－６」ま

で変化する。その後、１回ずつのデータリードが二度行われることで、リード側リードポインタ２０８は、「０－６」から「１－０」に変化し、更に、「１－０」から「１－１」に変化する。

【００５５】

メモリライト回路１０１のリード側リードポインタ同期化部１０９は、リードクロックＲＣＬＫとは非同期のライトクロックＷＣＬＫの立上がりエッジに応答してリード側リードポインタ２０８の値を取り込む。これにより、ライトクロックＷＣＬＫに従って同期化されたリード側リードポインタ１１１が生成される。

【００５６】

しかしながら、図４の例では、時刻ｔ１において、リード側リードポインタ２０８が「０－３」から「０－４」へ変化するタイミングと、ライトクロックＷＣＬＫの立上がりエッジが重なる。これにより、メタ・ステーブル状態が発生するので、ライト側で同期化されたリード側リードポインタ１１１の値は一位に定まらない。この現象について、図４中では、「０－３」から不定値となるので、「≠０－３」と表記している。

【００５７】

図４の例では、その他のリード側リードポインタ２０８の変化タイミングは、ライトクロックＷＣＬＫの立ち上がりエッジと重ならないため、リード側リードポインタ２０８の値が、ライト側で同期化されたリード側リードポインタ１１１に正しく取り込まれている。具体的には、リード側リードポインタ２０８の「０－６」、「１－０」、「１－１」は、時刻ｔ２、ｔ５、及び、ｔ７の立上がりエッジ（ＷＣＬＫ）でリード側リードポインタ同期化部１０９に取り込まれ、それぞれの次の立上がりエッジである時刻ｔ３，時刻ｔ６、及び、時刻ｔ８において、ライト側で同期化されたリード側リードポインタ１１１に反映されている。上述の様に、リード側リードポインタ同期化部１０９については２段フリップフロップでの構成を想定しているため、リード側リードポインタ２０８の値が、上述の遅れを伴って、ライト側で同期化されたリード側リードポインタ１１１に反映されている。

【００５８】

ライト側リードポインタインクリメント１１４は、ライト側一致検出部１１３によって、ライト側で同期化されたリード側リードポインタ１１１がライト側リードポインタ１１０と異なる値であるサイクルでは有効（＝「１」）とされる。反対に、ライト側で同期化されたリード側リードポインタ１１１及びライト側リードポインタ１１０が同じであるサイクルでは、ライト側リードポインタインクリメント１１４は、無効（＝「０」）とされる。

【００５９】

ライト側リードポインタ演算部１１２は、ライト側リードポインタインクリメント１１４が有効（＝「１」）であることを確認すると、ライトクロックＷＣＬＫの次の立上がりエッジにおいて、ライト側リードポインタ１１０をインクリメントする。一方で、ライト側リードポインタインクリメント１１４が無効（＝「０」）であるときには、ライト側リードポインタ１１０の値は維持される。

【００６０】

この結果、図４の例では、時刻ｔ３～ｔ５の、ライトクロックＷＣＬＫの各立ち上がりエッジにおいて、ライト側リードポインタ１１０がインクリメントされる。これにより、ライト側リードポインタ１１０は、時刻ｔ５において、リード側リードポインタ２０８と一致している、ライト側で同期化されたリード側リードポインタ１１１の値である「０－６」まで変化する。この様に、メタ・ステーブル状態となった不定値（「≠０－３」）が、そのままライト側で同期化されたリード側リードポインタ１１１に取り込まれることがない。

【００６１】

その後のデータリードによる、リード側リードポインタ２０８の「１－０」及び「１－１」への変化は、ライトクロックＷＣＬＫに従ってライト側で同期化されたリード側リー

ドポインタ１１１へ取り込まれる。更に、ライト側リードポインタ１１０の値は、ライト側一致検出部１１３によってライト側リードポインタインクリメント１１４が有効（＝「１」）にされることで、ライト側で同期化されたリード側リードポインタ１１１の値に追いつくまで、インクリメントされる。

【００６２】

この様に、本実施の形態では、ライトクロックＷＣＬＫに同期して取り込まれたリード側リードポインタ２０８の値をそのまま用いるのではなく、取り込まれたリードポインタの値（即ち、リード側リードポインタ１１１の値）とライト側リードポインタ１１０との値が異なる場合に、ライト側リードポインタ１１０を１ずつ変化させる処理が実行される。これにより、メモリリード回路２０１でのデータリードの実行に伴うリード側リードポインタ２０８の変化に追従させて、ライト側リードポインタ１１０の値を誤ることなく変化することができる。

【００６３】

この様に、異なるクロックで動作するメモリリード回路２０１及びメモリライト回路１０１の間で、リードポインタをメモリリード回路２０１からメモリライト回路１０１へ誤りなく転送することで、ポインタの同期化が実現される。この結果、メモリライト回路１０１におけるデータライトの可否判定を正確に行うことで、結果的に、メモリ３００を介した、非同期クロック間での正しいデータの受け渡しが可能となる。

【００６４】

次に、再び図１を参照して、リード動作について説明する。リード動作では、リード指示ＲＣＭＤがリード側アクセス制御部２０３に入力される。このときに、リードが可能であればリード側アクセス制御部２０３からリード側リードイネーブル２０４が有効化（「１」）される。リード側リードイネーブル２０４が有効化されると、リード側リードポインタ２０８で示されるメモリ３００のリードアドレスからリードデータＲＤＡＴが読出される。この際に、リードが不可能であれば、リード指示ＲＣＭＤが入力されても、メモリ３００に対して、特に処理は行われない。

【００６５】

図５には、データリードにおけるリード可能数の算出処理例が示される。リード可否は、図５に例示されたリード可能数の算出値に従って、実行することができる。

【００６６】

図５において、ｗｐｆは、リード側ライトポインタ２１０のフラグ部の値を示し、ｗｐｐは、リード側ライトポインタ２１０のポインタ部の値を示す。又、ｒｐｆは、リード側リードポインタ２０８のフラグ部の値を示し、ｒｐｐは、リード側リードポインタ２０８のポインタ部の値を示す。Ｎは、図２と同様にメモリ深さを示す。図５に従って算出されたリード可能数に基づくリード可否の判定結果は、リード許可ＲＰＲＭに反映されて、リード側アクセス制御部２０３から出力される。具体的には、リード可能数が０のとき、ＲＰＲＭ＝「０」に設定される一方で、リード可能数が予め定められた任意の自然数以上のとき、ＲＰＲＭ＝「１」に設定される。

【００６７】

再び図３を参照して、データライト及びデータリードに伴う、ライトポインタ（ｗｐｆ、ｗｐｐ）及びリードポインタ（ｒｐｆ，ｒｐｐ）、並びに、リード可能数の変化の一例を説明する。

【００６８】

メモリリード回路２０１では、リード側ライトポインタ２１０のフラグ部ｗｐｆ及びポインタ部ｗｐｐと、リード側リードポインタ２０８のフラグ部ｒｐｆ及びポインタ部ｒｐｐとの値を用いて図５で説明したリード可能数を求めることで、リード可否の判定が実行される。

【００６９】

上述した様に、図３の例では、ｗｐｆ＝ｗｐｐ＝ｒｐｆ＝ｒｐｐ＝０（初期値）の初期状態から、データライトが５回実行されるが、この間、データリードが実行されていない

ことから、ｒｐｆ＝ｒｐｐ＝０も維持される。一方で、ｗｐｆ＝０のままで、ｗｐｐが、データライト毎に０から５まで１ずつ増加する。この際に、リード可能数は、初期状態では０である一方で、その後、データライト毎に、図５に示された演算式ｗｐｐ－ｒｐｐに従って１ずつ増加する。５回のデータライト後には、リード可能数は、ｗｐｐ－ｒｐｐ＝５まで増加している。

【００７０】

次に、５回のデータライト後に、同じく５回のデータリードが実行される際には、ｒｐｐが、データリード毎に０から５まで１ずつ増加するが、ｒｐｐ＜Ｎの範囲内であるので、ｒｐｆ＝０に維持される。一方で、データライトが実行されていないことから、ライトポインタの値は、それまでのｗｐｆ＝０，ｗｐｐ＝５に維持される。

【００７１】

この際に、データリード毎に、リード可能数は、図５に示された演算式ｗｐｐ－ｒｐｐに従って１ずつ減少する。データライトと同数のデータリードが終了した状態では、ｗｐｐ＝ｒｐｐ（＝５）、かつ、ｗｐｆ＝ｗｐｆ（＝０）となっており、かつ、リード可能数は０に戻っている。このとき、リード許可ＲＰＲＭは「０」に設定される。

【００７２】

続いて、ｒｐｐ＝５（ｒｐｆ＝０）の状態から７回のデータライトが行われる際には、リード側リードポインタ２０８について、ｒｐｆ＝０，ｒｐｐ＝５が維持されている。一方で、リード側ライトポインタ２１０については、上述の様に、２回目のデータライトにおいて、ｗｐｐ＝０に戻されるとともに、フラグ部ｗｐｆが「０」から「１」に反転される。そして、７回目のデータライト後には、ｗｐｆ＝１，ｗｐｐ＝５となる。この際に、リード可能数は、図５に示された演算式、具体的には、ｗｐｐ－ｒｐｐ（ｗｐｆ＝ｒｐｆ，ｗｐｐ＞ｒｐｐのとき）、Ｎ＋（ｗｐｐ－ｒｐｐ）（ｗｐｆ≠ｒｐｆ，ｗｐｐ＜ｒｐｐのとき）、及び、Ｎ（ｗｐｆ≠ｒｐｆ，ｗｐｐ＝ｒｐｐのとき）に従って、データライト毎に１ずつ増加する。７回のデータライト後には、リード可能数は、Ｎ＝７まで増加している。

【００７３】

上記７回のデータライト後に、同じく７回のデータリードが実行されると、上述の様に、２回目のデータリードにおいて、ｒｐｐ＝０に戻されるとともに、フラグ部ｒｐｆが「０」から「１」に反転される。以降では、ｒｐｆ＝１の下で、ｒｐｐがインクリメントされて、７回目のデータリード後には、ｒｐｆ＝１，ｒｐｐ＝５となる。この際に、リード可能数は、図５に示された演算式、具体的には、Ｎ＋（ｗｐｐ－ｒｐｐ）（ｗｐｆ≠ｒｐｆ，ｗｐｐ＜ｒｐｐのとき）、ｗｐｐ－ｒｐｐ（ｗｐｆ＝ｒｐｆ，ｗｐｐ＞ｒｐｐのとき）、及び、０（ｗｐｆ＝ｒｐｆ，ｗｐｐ＝ｒｐｐのとき）に従って、データリード毎に１ずつ減少する。７回目のデータリード後には、リード可能数は０になる。このとき、リード許可ＲＰＲＭは「０」に設定される。

【００７４】

次に、ライトポインタのライト側及びリード側の間での同期化処理について説明する。

再び図１を参照して、データライトが行われた場合には、ライト側ライトポインタ１０８が変化する。ライト側ライトポインタ１０８は、ライトクロックＷＣＬＫに同期化しているため、ライト側ライトポインタ同期化部２０９により、リードクロックＲＣＬＫに同期化させる必要がある。

【００７５】

図１に示されたライト側ライトポインタ同期化部２０９の構成についても、リード側リードポインタ同期化部１０９で説明したのと同様に、２段フリップフロップとすることができる。リード側一致検出部２１３によって、リードクロックＲＣＬＫに従ってリード側で同期化されたライト側ライトポインタ２１１の値と、リード側ライトポインタ２１０の値との一致比較が実行される。リード側一致検出部２１３は、ライト側ライトポインタ２１１の値と、リード側ライトポインタ２１０との値が不一致であると、リード側ライトポインタインクリメント２１４を有効化する（２１４＝「１」）。一方で、ライト側ライト

ポインタ２１１の値と、リード側ライトポインタ２１０との値が不一致であると、リード側ライトポインタインクリメント２１４は無効化される（２１４＝「０」）。

【００７６】

リード側ライトポインタインクリメント２１４が有効（＝「１」）である状態では、リード側ライトポインタ演算部２１２は、リードクロックＲＣＬＫの１サイクル毎に、リード側ライトポインタ２１０（フラグ部ｗｐｆ，ポインタ部ｗｐｐ）をインクリメントする。リード側ライトポインタ２１０が、リード側で同期化されたライト側ライトポインタ２１１に追いついて両者が一致すると、リード側ライトポインタインクリメント２１４は、無効（＝「０」）となり、リード側ライトポインタ２１０のインクリメントは行われない。即ち、リード側ライトポインタ２１０の値は維持される。

【００７７】

ここで、複数ビットから構成されるライト側ライトポインタ１０８についても、ライト側ライトポインタ同期化部２０９により、例えば、２段フリップフロップによって同期化されている。このため、ライト側ライトポインタ１０８の変化のタイミングと、リードクロックＲＣＬＫの立ち上がりエッジのタイミングとが重なった場合には、所謂、メタ・ステーブル状態となり、リード側で同期化されたライト側ライトポインタ２１１の値に、ライト側ライトポインタ１０８の値を、正しく転送できない可能性がある。これにより、誤った値のままでリード側ライトポインタ２１０をリード可否の判断に使用すると、メモリ３００に未読出のデータが無いのにデータリードを実行してしまう可能性がある。

【００７８】

従って、本実施の形態においては、リードクロックＲＣＬＫに従って同期化されたライト側ライトポインタ２１１の値をそのままリード側ライトポインタ２１０として用いるのではなく、リード側で同期化されたライト側ライトポインタ２１１と、リード側ライトポインタ２１０とが異なることをリード側一致検出部２１３で検出した場合に、リード側で同期化されたライト側ライトポインタ２１１と、リード側ライトポインタ２１０とが等しくなるまで、リード側ライトポインタ２１０を１ずつ変化させる様に、ポインタ部ｒｐｐ及びフラグ部ｒｐｆの値を変化させる。この様な処理を追加することで、リード側ライトポインタ２１０についても、ライト側ライトポインタ１０８に追従して、値を誤ることなく、ライト側からリード側へ転送することが可能となる。

【００７９】

尚、上述の様に、ライト側ライトポインタ同期化部２０９には、同期化回路として、２段フリップフロップを適用することが可能であるが、他の同期化方式によって、ライト側ライトポインタ同期化部２０９を構成することも可能である。更には、リード側一致検出部２１３によって、リード側で同期化されたライト側ライトポインタ２１１と、リード側ライトポインタ２１０との値の不一致時に、リード側ライトポインタ２１０の値をライト側での値に追従させる構成としているので、ライト側ライトポインタ同期化部２０９は、同期化回路を用いずに構成することも可能である。

【００８０】

次に、図６を用いて、メモリライト回路１０１からメモリリード回路２０１へのライトポインタの転送処理の具体例を説明する。図６中では、ライト側ライトポインタ１０８、リード側で同期化されたライト側ライトポインタ２１１、及び、リード側ライトポインタ２１０のそれぞれについて、図４と同様に、フラグ部ｗｐｆ及びポインタ部ｗｐｐの値を「ｗｐｆ－ｗｐｐ」と表記する。

【００８１】

図６において、初期状態では、ライト側ライトポインタ１０８は、フラグ部ｗｐｆ＝０、ポインタ部ｗｐｐ＝３であり（「０－３」）、リード側で同期化されたライト側ライトポインタ２１１及びリード側ライトポインタ２１０についても同様に、フラグ部ｗｐｆ＝０、ポインタ部ｗｐｐ＝３となっている（「０－３」）。即ち、メモリリード回路２０１及びメモリライト回路１０１の間で、ライトポインタは、正しく共通の値が認識された状態となっている。

【００８２】
この状態から、メモリライト回路１０１では、ライト側ライトポインタインクリメント１０６が有効（＝「１」）となる期間では、ライトクロックＷＣＬＫの立上がりエッジ毎にメモリ３００に対してデータライトが実行される。データライトの実行に応じて、ライト側ライトポインタ１０８が、立上がりエッジ毎（ＷＣＬＫ）にインクリメントされる。
【００８３】
図６の例では、まず３個の立上がりエッジ（ＷＣＬＫ）のそれぞれにて３回のデータライトが実行されて、ライト側ライトポインタ１０８が、クロックエッジ毎にインクリメントされる。これにより、ライト側ライトポインタ１０８は、「０－３」から「０－６」まで変化する。その後、１回ずつのデータライトが二度行われることで、ライト側ライトポインタ１０８は、「０－６」から「１－０」に変化し、更に、「１－０」から「１－１」に変化する。
【００８４】
メモリリード回路２０１のライト側ライトポインタ同期化部２０９は、ライトクロックＷＣＬＫとは非同期のリードクロックＲＣＬＫの立上がりエッジに応答してライト側ライトポインタ１０８の値を取り込む。これにより、リードクロックＲＣＬＫに従ってリード側で同期化されたライト側ライトポインタ２１１が生成される。
【００８５】
しかしながら、図６の例では、時刻ｔ１０において、ライト側ライトポインタ１０８が「０－３」から「０－４」へ変化するタイミングと、リードクロックＲＣＬＫの立上がりエッジが重なる。これにより、メタ・ステーブル状態が発生するので、リード側で同期化されたライト側ライトポインタ２１１の値は一位に定まらず、不定値（図４と同様に、「≠０－３」と表記）となる。
【００８６】
図６の例では、その他のライト側ライトポインタ１０８の変化タイミングは、リードクロックＲＣＬＫの立ち上がりエッジと重ならないため、ライト側ライトポインタ１０８の値が、リード側で同期化されたライト側ライトポインタ２１１に正しく導入されている。具体的には、ライト側ライトポインタ１０８の「０－４」、「０－５」、「０－６」、「１－０」、「１－１」は、時刻ｔ１１、ｔ１３、ｔ１５、ｔ１８、及び、ｔ２１の立上がりエッジ（ＲＣＬＫ）において、ライト側ライトポインタ同期化部２０９に取り込まれ、それぞれの次の立上がりエッジである時刻ｔ１２，ｔ１４、ｔ１６、ｔ１９、及び、ｔ２２において、リード側で同期化されたライト側ライトポインタ２１１に反映されている。上述の様に、ライト側ライトポインタ同期化部２０９についても２段フリップフロップでの構成を想定しているため、ライト側ライトポインタ１０８の値が、上述の遅れを伴って、リード側で同期化されたライト側ライトポインタ２１１に反映されている。
【００８７】
リード側ライトポインタインクリメント２１４は、リード側一致検出部２１３によって、リード側で同期化されたライト側ライトポインタ２１１がリード側ライトポインタ２１０と異なる値であるサイクルでは有効（＝「１」）とされる。反対に、リード側で同期化されたライト側ライトポインタ２１１及びリード側ライトポインタ２１０が同じであるサイクルでは、リード側ライトポインタインクリメント２１４は、無効（＝「０」）とされる。
【００８８】
リード側ライトポインタ演算部２１２は、リード側ライトポインタインクリメント２１４が有効（＝「１」）であることを確認すると、リードクロックＲＣＬＫの次の立上がりエッジにおいて、リード側ライトポインタ２１０をインクリメントする。一方で、リード側ライトポインタインクリメント２１４が無効（＝「０」）であるときには、リード側ライトポインタ２１０の値は維持される。
【００８９】
この結果、図６の例では、時刻ｔ１２、ｔ１５、ｔ１７、ｔ２０、及び、ｔ２３の、リ

ードクロックＲＣＬＫの各立ち上がりエッジにおいて、リード側ライトポインタ２１０がインクリメントされる。これにより、リード側ライトポインタ２１０は、時刻ｔ２３において、ライト側ライトポインタ１０８と一致している、リード側で同期化されたライト側ライトポインタ２１１の値である「１－１」まで変化する。この様に、メタ・ステーブル状態となった不定値（「≠０－３」）が、そのままリード側で同期化されたライト側ライトポインタ２１１に取り込まれることがない。

【００９０】

更に、リード側ライトポインタ２１０の値はライト側ライトポインタ１０８の正しい値が取り込まれたライト側ライトポインタ２１１の値と不一致になると、リード側一致検出部２１３によってリード側ライトポインタインクリメント２１４が有効（＝「１」）にされることで、リード側で同期化されたライト側ライトポインタ２１１の値に追いつくまで、インクリメントされる。

【００９１】

この様に、リードクロックＲＣＬＫに同期して取り込まれたライト側ライトポインタ１０８の値をそのまま用いるのではなく、取り込まれたライトポインタの値（即ち、ライト側ライトポインタ２１１の値）とリード側ライトポインタ２１０との値が異なる場合に、リード側ライトポインタ２１０を１ずつ変化させる処理とすることで、メモリライト回路１０１でのデータライトの実行に伴うライト側ライトポインタ１０８の変化に追従させて、リード側ライトポインタ２１０の値を誤ることなく変化することができる。

【００９２】

これにより、異なるクロックで動作するメモリライト回路１０１及びメモリリード回路２０１の間で、ライトポインタをメモリライト回路１０１からメモリリード回路２０１へ誤りなく転送することで、ポインタ値の誤転送を回避した正しいポインタ同期化を実現できる。この結果、メモリリード回路２０１におけるデータリードの可否判定を正確に行うことで、結果的に、メモリ３００を介した、非同期クロック間での正しいデータの受け渡しが可能となる。

【００９３】

以上のように、本実施の形態によれば、非同期クロック間のポインタ転送において送信側ポインタの値の変化を検出して、受信側のポインタの値を１ずつ変化させることで追従させる処理を行うことで、誤転送を防止した正しくポインタの同期化を実行することできる。この結果、メモリ３００を介した、正しいデータの受け渡しが可能となる。

【００９４】

又、特許文献２の様なグレイコードを用いないことから、ポインタが奇数個の場合にアクセスされるメモリの容量を１アドレス分大きいものを使用する必要がなくなり、回路規模や消費電力の増加を防止することができる。

【００９５】

以上説明した本実施の形態において、ライトクロックＷＣＬＫは「第１クロック」の一実施例に対応し、リードクロックＲＣＬＫは「第２クロック」の一実施例に対応し、メモリライト回路１０１は「第１回路」の一実施例に対応し、メモリリード回路２０１は「第２回路」の一実施例に対応する。

【００９６】

更に、メモリライト回路１０１において、ライト側ライトポインタ１０８は「第１ポインタ」、ライト側ライトポインタ生成部１０７は「第１ポインタ生成部」、リード側リードポインタ同期化部１０９は「第１同期化部」、ライト側リードポインタ演算部１１２は「第１回路側ポインタ値演算部」、ライト側一致検出部１１３は「第１一致検出部」の一実施例にそれぞれ対応する。又、ライト側リードポインタ１１０は、「第１回路側ポインタ値演算部で演算された第２ポインタ」に対応し、リード側リードポインタ同期化部１０９によって生成されたリード側リードポインタ１１１は、「第１同期化部で取り込まれた第２ポインタ」に対応する。

【００９７】

同様に、メモリリード回路２０１において、リード側リードポインタ２０８は「第２ポインタ」、リード側リードポインタ生成部２０７は「第２ポインタ生成部」、ライト側ライトポインタ同期化部２０９は「第２同期化部」、リード側ライトポインタ演算部２１２は「第２回路側ポインタ値演算部」、リード側一致検出部２１３は「第２一致検出部」の一実施例にそれぞれ対応する。又、リード側ライトポインタ２１０は、「第２回路側ポインタ値演算部で演算された第１ポインタ」に対応し、ライト側ライトポインタ同期化部２０９によって生成されたライト側ライトポインタ２１１は、「第２同期化部で取り込まれた第１ポインタ」に対応する。

【００９８】

尚、本実施の形態において、各ポインタは、データライト毎及びデータリード毎にインクリメントされる例を示したが、各ポインタがデータライト毎及びデータリード毎にデクリメントされる場合でも、本実施の形態に係るメモリ制御を適用することが可能である。この場合には、本実施の形態での説明において、「インクリメント」を「デクリメント」に適宜読み替えることで、同様のメモリ制御を実現することができる。即ち、本実施の形態において、各ポインタ値は、増加方向又は減少方向の予め定められた方向に１ずつ変化する。

【００９９】

更に、本実施の形態では、メモリ３００へのデータ格納数は外部へ出力されていないが、格納数を示す情報がメモリ制御装置１００から外部に出力されてもよい。又、各回路ブロックの動作に要するクロックサイクル数は、上述の説明に限定されず、自由に設定することが可能である。又、以上では、ライトポインタの転送及びリードポインタの転送の両方、即ち、双方向のポインタ転送の各々に本実施の形態に係るポインタ転送を適用する例を説明したが、ライトポインタの転送及びリードポインタの転送の一方のみに、本実施の形態を適用することも可能である。例えば、ライトポインタの転送のみに、本実施の形態を適用する場合には、図１の構成例からライト側のライト側リードポインタ演算部１１２及びライト側一致検出部１１３の配置を省略することができる。反対に、リードポインタの転送のみに、本実施の形態を適用する場合には、図１の構成例からリード側のリード側ライトポインタ演算部２１２及びリード側一致検出部２１３の配置を省略することができる。

【０１００】

又、本実施の形態では、メモリ３００に対するデータライト及びデータリードを伴うものとしてメモリ制御を説明したが、非同期クロック間のポインタ転送の部分のみに対して本実施の形態を適用することで、本実施の形態に係るポインタ転送装置及びポインタ制御方法を提供することも可能である。この場合にも、双方向のポインタ転送のうちの一方向のポインタ転送のみに対して本実施の形態が適用される様に、ポインタ転送装置及びポインタ制御方法を構成することができる。

【０１０１】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本開示の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

【０１０２】

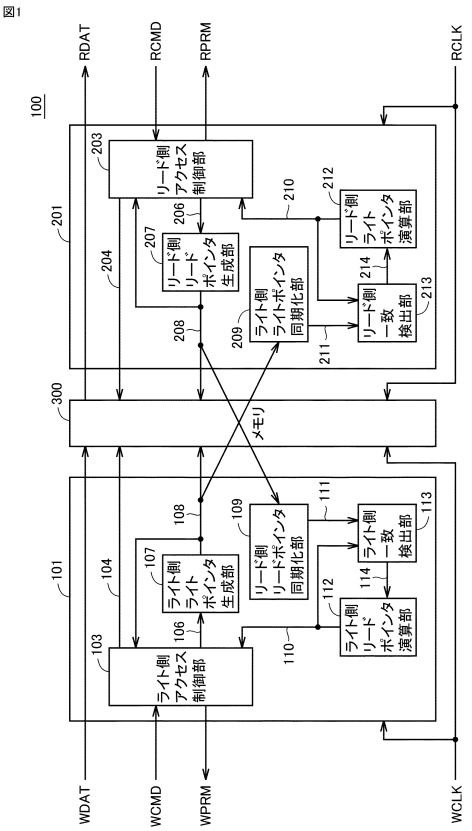
１００　メモリ制御装置、１０１　メモリライト回路、１０３　ライト側アクセス制御部、１０４　ライト側ライトイネーブル、１０６　ライト側ライトポインタインクリメント、１０７　ライト側ライトポインタ生成部、１０８　ライト側ライトポインタ、１０９　リード側リードポインタ同期化部、１１０　ライト側リードポインタ、１１１　リード側リードポインタ（ライト回路側同期化）、１１２　ライト側リードポインタで演算部、１１３　ライト側一致検出部、１１４　ライト側リードポインタインクリメント、２０１　メモリリード回路、２０３　リード側アクセス制御部、２０４　リード側リードイネーブル、２０６　リード側リードポインタインクリメント、２０７　リード側リードポインタ生成部、２０８

リード側リードポインタ、２０９　ライト側ライトポインタ同期化部、２１０　リード側ライトポインタ、２１１　ライト側ライトポインタ（リード回路側同期化）、２１２　リード側ライトポインタ演算部、２１３　リード側一致検出部、２１４　リード側ライトポインタインクリメント、３００　メモリ、Ｎ　メモリ深さ、ＲＣＬＫ　リードクロック、ＲＣＭＤ　リード指示、ＲＤＡＴ　リードデータ、ＲＰＲＭ　リード許可、ＷＣＬＫ　ライトクロック、ＷＣＭＤ　ライト指示、ＷＤＡＴ　ライトデータ、ＷＰＲＭ　ライト許可、ｒｐｆ　フラグ部（リードポインタ）、ｒｐｐ　ポインタ部（リードポインタ）、ｒｐｆ　フラグ部（ライトポインタ）、ｗｐｐ　ポインタ部（ライトポインタ）。

【図面】

【図１】

図1




【図２】

図2

| 条件1 | 条件2 | ライト可能数 |
|---|---|---|
| wpf＝rpf | wpp＝rpp | N |
| wpf＝rpf | wpp＞rpp | N－(wpp－rpp) |
| wpf≠rpf | wpp＝rpp | 0 |
| wpf≠rpf | wpp＜rpp | －(wpp－rpp) |

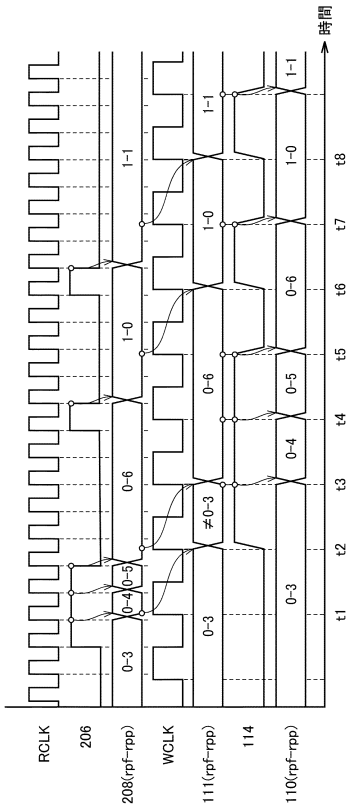
【図３】

図3

| アクション | wpf | wpp | rpf | rpp | 条件1 | 条件2 | ライト可能数 | リード可能数 |
|---|---|---|---|---|---|---|---|---|
| 初期値 | 0 | 0 | 0 | 0 | wpf＝rpf | wpp＝rpp | 7 | 0 |
| ライト | 0 | 1 | 0 | 0 | wpf＝rpf | wpp＞rpp | 6 | 1 |
| ライト | 0 | 2 | 0 | 0 | wpf＝rpf | wpp＞rpp | 5 | 2 |
| ライト | 0 | 3 | 0 | 0 | wpf＝rpf | wpp＞rpp | 4 | 3 |
| ライト | 0 | 4 | 0 | 0 | wpf＝rpf | wpp＞rpp | 3 | 4 |
| ライト | 0 | 5 | 0 | 0 | wpf＝rpf | wpp＞rpp | 2 | 5 |
| リード | 0 | 5 | 0 | 1 | wpf＝rpf | wpp＞rpp | 3 | 4 |
| リード | 0 | 5 | 0 | 2 | wpf＝rpf | wpp＞rpp | 4 | 3 |
| リード | 0 | 5 | 0 | 3 | wpf＝rpf | wpp＞rpp | 5 | 2 |
| リード | 0 | 5 | 0 | 4 | wpf＝rpf | wpp＞rpp | 6 | 1 |
| リード | 0 | 5 | 0 | 5 | wpf＝rpf | wpp＝rpp | 7 | 0 |
| ライト | 0 | 6 | 0 | 5 | wpf＝rpf | wpp＞rpp | 6 | 1 |
| ライト | 1 | 0 | 0 | 5 | wpf≠rpf | wpp＜rpp | 5 | 2 |
| ライト | 1 | 1 | 0 | 5 | wpf≠rpf | wpp＜rpp | 4 | 3 |
| ライト | 1 | 2 | 0 | 5 | wpf≠rpf | wpp＜rpp | 3 | 4 |
| ライト | 1 | 3 | 0 | 5 | wpf≠rpf | wpp＜rpp | 2 | 5 |
| ライト | 1 | 4 | 0 | 5 | wpf≠rpf | wpp＜rpp | 1 | 6 |
| ライト | 1 | 5 | 0 | 5 | wpf≠rpf | wpp＝rpp | 0 | 7 |
| リード | 1 | 5 | 0 | 6 | wpf≠rpf | wpp＜rpp | 1 | 6 |
| リード | 1 | 5 | 1 | 0 | wpf＝rpf | wpp＞rpp | 2 | 5 |
| リード | 1 | 5 | 1 | 1 | wpf＝rpf | wpp＞rpp | 3 | 4 |
| リード | 1 | 5 | 1 | 2 | wpf＝rpf | wpp＞rpp | 4 | 3 |
| リード | 1 | 5 | 1 | 3 | wpf＝rpf | wpp＞rpp | 5 | 2 |
| リード | 1 | 5 | 1 | 4 | wpf＝rpf | wpp＞rpp | 6 | 1 |
| リード | 1 | 5 | 1 | 5 | wpf＝rpf | wpp＝rpp | 7 | 0 |

【図４】

図4



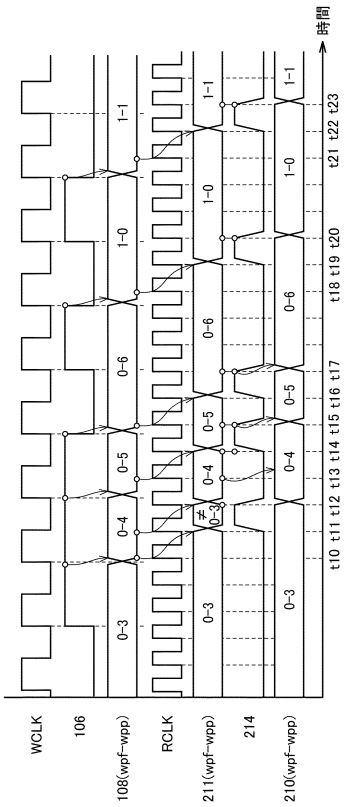

【図５】

図5

| 条件1 | 条件2 | リード可能数 |
|---|---|---|
| wpf＝rpf | wpp＝rpp | 0 |
| wpf＝rpf | wpp＞rpp | wpp－rpp |
| wpf≠rpf | wpp＝rpp | N |
| wpf≠rpf | wpp＜rpp | N＋(wpp－rpp) |

【図６】

図6



フロントページの続き

(56)参考文献　米国特許出願公開第２０１６／０１２４８８９（ＵＳ，Ａ１）
米国特許出願公開第２０１３／０１２１１００（ＵＳ，Ａ１）
特開２０１４－０７１９２９（ＪＰ，Ａ）
米国特許出願公開第２００７／０２２０１８４（ＵＳ，Ａ１）
特開２０１０－２６８３０２（ＪＰ，Ａ）
特開２０１０－１６０６５３（ＪＰ，Ａ）
特開平０４－１２１８９２（ＪＰ，Ａ）

(58)調査した分野　(Int.Cl.，ＤＢ名)
Ｇ０６Ｆ５／０６
Ｇ０６Ｆ１／１２
Ｈ０４Ｌ７／００