I576921

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I576921 B**

(45)公告日： 中華民國 106 (2017) 年 04 月 01 日

(21)申請案號：104114890 (22)申請日： 中華民國 104 (2015) 年 05 月 11 日

(51)Int. Cl.： ***H01L21/335 (2006.01)*** ***H01L29/78 (2006.01)***

(30)優先權：2014/06/16 世界智慧財產權組織 PCT/US14/42577

(71)申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)
美國

(72)發明人：尼爾森 唐諾德 NELSON, DONALD W. (US)；韋伯 麥 WEBB, M. CLAIR (US)；摩洛 派翠克 MORROW, PATRICK (US)；全箕玟 JUN, KIMIN (KR)

(74)代理人：林志剛

(56)參考文獻：

TW	201138032A	TW	201140851A
US	2010/0038743A1	WO	2013101849A1

審查人員：趙芝婷

申請專利範圍項數：13 項 圖式數：14 共 41 頁

(54)名稱

矽晶粒上互連堆疊中之嵌入式記憶體

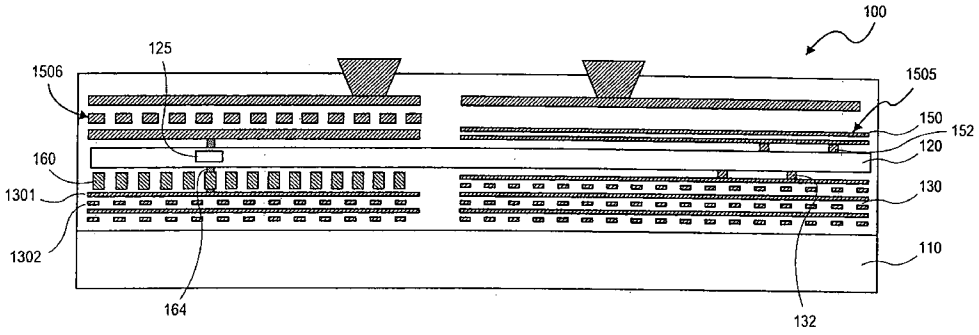
EMBEDDED MEMORY IN INTERCONNECT STACK ON SILICON DIE

(57)摘要

一種方法包括在包含複數個電路裝置之積體電路裝置層的相對側形成複數個第一互連及複數個第二互連，其中形成該複數個第一互連及該複數個第二互連的一些包含嵌入記憶裝置在其中。一種裝置包含基板，該基板包含在積體電路裝置層相對側之複數個第一互連以及複數個第二互連，該積體電路裝置層包含複數個電路裝置，其中該複數個第一互連及該複數個第二互連的一些包含記憶裝置嵌入其中。

A method including forming a plurality of first interconnects and a plurality of second interconnects on opposite sides of an integrated circuit device layer including a plurality of circuit devices, wherein forming ones of the plurality of first interconnects and a plurality of second interconnects includes embedding memory devices therein. An apparatus including a substrate including a plurality of first interconnects and a plurality of second interconnects on opposite sides of an integrated circuit device layer including a plurality of circuit devices, wherein ones of the plurality of first interconnects and a plurality of second interconnects includes memory devices embedded therein.

指定代表圖：



第 1 圖

符號簡單說明：

100・・・結構

110・・・基板

120・・・裝置層

125・・・裝置

130・・・第一互連

132,152,164・・・接觸

150・・・第二互連

160・・・記憶裝置

1301・・・源極線

1302・・・字元線

1505,1506・・・互連

公告本

發明摘要

※申請案號：104114890

※申請日：104 年 05 月 11 日　　※IPC 分類：

H01L 21/335 (2006.01)

H01L 29/78 (2006.01)

【發明名稱】(中文/英文)

矽晶粒上互連堆疊中之嵌入式記憶體

Embedded memory in interconnect stack on silicon die

【中文】

一種方法包括在包含複數個電路裝置之積體電路裝置層的相對側形成複數個第一互連及複數個第二互連，其中形成該複數個第一互連及該複數個第二互連的一些包含嵌入記憶裝置在其中。一種裝置包含基板，該基板包含在積體電路裝置層相對側之複數個第一互連以及複數個第二互連，該積體電路裝置層包含複數個電路裝置，其中該複數個第一互連及該複數個第二互連的一些包含記憶裝置嵌入其中。

【英文】

A method including forming a plurality of first interconnects and a plurality of second interconnects on opposite sides of an integrated circuit device layer including a plurality of circuit devices, wherein forming ones of the plurality of first interconnects and a plurality of second interconnects includes embedding memory devices therein. An apparatus including a substrate including a plurality of first interconnects and a plurality of second interconnects on opposite sides of an integrated circuit device layer including a plurality of circuit devices, wherein ones of the plurality of first interconnects and a plurality of second interconnects includes memory devices embedded therein.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

100：結構

110：基板

120：裝置層

125：裝置

130：第一互連

132, 152, 164：接觸

150：第二互連

160：記憶裝置

1301：源極線

1302：字元線

1505, 1506：互連

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】(中文/英文)

矽晶粒上互連堆疊中之嵌入式記憶體

Embedded memory in interconnect stack on silicon die

【技術領域】

[0001] 積體電路且更具體地是單片三維積體電路。

【先前技術】

[0002] 單片積體電路（ICs）一般包括數個電晶體，例如製造在例如矽晶元之平面基板之上的金屬氧化物半導體場效電晶體（MOSFETs）。IC 尺寸之橫向縮放變得更困難是由於現在 MOSFETs 閘極尺寸已低於 20 奈米。當裝置尺寸持續減小，隨之而來的點為其中持續標準的平面縮放將變得不切實際。這個轉折點可能是由於諸如過高的電容、基於量子變異性、當互連繼續縮放之互連電阻率及用於互連線和孔洞之微影操作的經濟或物理考量。通常指的是垂直縮放之在三維下的裝置堆疊或三維（3D）整合（integration）是朝向更高的電晶體密度的可能的路徑。

【圖式簡單說明】

[0003]

第 1 圖顯示包括記憶裝置嵌入於互連區域之單片 3D

IC 的一實施例。

第 2 圖示出了非揮發記憶位元胞的示意圖，也就是 STT-MRAM 記憶位元胞作為在第 1 圖之結構中的範例記憶裝置。

第 3 圖顯示包括裝置層或基板及複數個與裝置層並列設置之第一互連之結構的實施例之剖面側圖。

第 4 圖顯示第 3 圖之結構後續結構之連接至載體晶元。

第 5 圖顯示第 4 圖之結構後續去除基板的一部份。

第 6 圖顯示第 5 圖之結構後續在基板上形成記憶裝置。

第 7 圖顯示第 6 圖之結構後續引入在基板上之第二複數個互連。

第 8 圖顯示第 7 圖之結構後續引入接觸點至一些複數個互連。

第 9 圖顯示包括在基板上的裝置層及複數個與裝置層及嵌入在互連區域的記憶裝置並列設置之第一互連的第二實施例之結構的剖面側圖。

第 10 圖顯示第 9 圖之結構後續結構之連接至載體晶元。

第 11 圖顯示第 10 圖之結構後續從基板去除基板的一部份。

第 12 圖顯示第 11 圖之結構後續引入複數個第二互連，及一些此種互連至一些記憶裝置的連接，及接觸引入

或形成在一些互連。

第 13 圖係一插入物實現一個或多個實施例。

第 14 圖根據一實施例示出了一種運算裝置。

【發明內容及實施方式】

[0004] 一種積體電路（integrated circuit，IC）及形成和使用 IC 的方法被揭露。在一實施例中，單片三維（three-dimensional，3D）IC 及其製造和使用方法被敘述，其中在一實施例中，包括含有但不限制於電阻式隨機存取記憶體（resistive random access memory，ReRAM）、例如自旋轉移力矩（spin transfer torque，STT）-磁阻式隨機存取記憶體（MRAM）之磁阻式隨機存取記憶體、相位改變或置放於互連區域內之其它記憶裝置。典型地，單片 3D IC 包括在具有記憶裝置嵌入在一些複數個第一互連及複數個第二互連中的積體電路裝置層之相對側的複數個第一互連及複數個第二互連。記憶裝置耦合至複數個第一互連及複數個第二互連之相應的一些及在裝置層中電路裝置之相應的一些。在一實施例中，複數個第一和第二互連之尺寸是不同的，使得記憶裝置連接至在裝置層一側的精細間距且選擇通過在裝置層中的電路裝置至裝置層另一側之較厚互連。該配置允許密集的記憶體以及釋放記憶體以外之用於電路裝置層的面積。

[0005] 在下面敘述中，說明性實施之各個方面將使用本領域技術人員通常使用來傳達其實質工作給其它領域

技術人員之用語來描述。然而，顯而易見的是本領域技術人員可以僅透過一些描述的方面實施本發明。為了解釋的目的，具體的數字、材料和配置都被示出以便提供徹底理解說明性實施。然而，顯而易見的是本領域技術人員可以沒有具體細節而實施本發明。換句話說，已知的特徵將省略或簡化以不模糊本說明性實施。

[0006] 各種操作將以最有助於了解本發明方式之分開的操作、順序敘述，然而，描述的順序不應該被解釋為暗示這些操作一定的相關順序。特別是，這些操作不一定需要依所呈現的順序執行。

[0007] 本發明的實施可以在基板上形成或進行，例如半導體基板。一實施中，半導體基板可以為使用大塊矽或絕緣層上矽（silicon-on-insulator）基板形成之晶體基板。在另一實施中，半導體基板可以使用替代材料形成，其可以或不可以與矽組合，其包括但不限制於鍺、銻化銦、碲化鉛、砷化銦、磷化銦、砷化鎵、砷化銦鎵、銻化鎵、或 III-V 族或 IV 族材料的其它組合。雖然一些從基板形成之範例材料在本文被敘述，任何可以作為半導體裝置基礎之可在其上建立的材料皆落入本發明精神和範圍內。

[0008] 例如金屬-氧化物-半導體場效電晶體（metal-oxide-semiconductor field-effect transistors，MOSFET；或簡稱 MOS 電晶體）的複數個電晶體可被製造於基板上。在本發明各種實施中，MOS 電晶體可以為平面式電晶體、非平面式電晶體或兩者的組合。非平面式電晶體包

括例如雙閘極電晶體和三閘極電晶體之 FinFET 電晶體以及例如奈米帶（nanoribbon）和奈米線電晶體之圍繞式或環繞式閘極電晶體。在一實施例中，雖然一些本文所敘述之實施可能說明平面式電晶體，但需注意到本發明也可以使用其它非平面式電晶體進行。

[0009] 每一 MOS 電晶體包括形成至少兩層的閘極介電層及閘極電極層之閘極堆疊。該閘極介電層包括一層或一堆疊層。該一個或多個層可包括氧化矽、二氧化矽（SiO_2）和／或高 k（high-k）介電材料。高 k 介電材料可包括例如鉿、矽、氧、鈦、鉭、鑭、鋁、鋯、鋇、鍶、釔、鉛、鈧、鈮和鋅之元素。可以被使用在閘極介電層之高 k 材料包括但不限制於氧化鉿、氧化鉿矽、氧化鑭、氧化鑭鋁、氧化鋯、氧化鋯矽、氧化鉭、氧化鈦、氧化鋇鍶鈦、氧化鋇鈦、氧化鍶鈦、氧化釔、氧化鋁、氧化鉛鈧鉭氧化物和鈮酸鉛鋅。在一些實施例中，退火製程可被進行於閘極介電層以改善當高 k 材料被使用時的品質。

[0010] 閘極電極被形成在閘極介電層上且可以由 P 型功函數（workfunction）或 N 型功函數金屬的至少一者組成，取決於該電晶體是否為 PMOS 或 MOS 電晶體。在一些實施中，閘極電極層可由兩層或多層金屬層堆疊組成，其中一個或多個金屬層為功函數金屬層且至少一金屬層為填充金屬層（fill metal layer）。

[0011] 用於 PMOS 電晶體，可被使用於閘極電極之金屬包括但不限制於釕、鈀、鉑、鈷、鎳以及例如氧化釕

之導電金屬氧化物。P 型金屬層將使得形成的 PMOS 閘極電極具有介於約 4.9 eV 與 5.2 eV 之間的功函數。用於 NMOS 電晶體，可被使用於閘極電極之金屬包括但不限制於鉿、鋯、鈦、鉭、鋁、這些金屬的合金，以及例如如鉿，碳化鋯，碳化鈦，碳化鉭和碳化鋁之這些金屬的碳化物。N 型金屬層將使得形成的 NMOS 閘極電極具有介於約 3.9 eV 與 4.2 eV 之間的功函數。

[0012] 在一些實施方式中，閘極電極可由包括大致平行於基板表面之底部部分及大致垂直於基板表面之兩側壁部分的「U」型結構組成。在另一實施例中，至少一形成閘極電極之金屬層可以僅僅是一個大致平行於基板的頂表面且不包括大致垂直於基板頂表面之側壁部分的平面層。在進一步實施例中，閘極電極可由 U 型結構與平面、非 U 型結構之組合組成。例如，閘極電極可由一個或多個 U 型金屬層形成在一個或多個平面層、非 U 型層之上。

[0013] 在一些本發明之實施中，一對間隔物可被形成在閘極堆疊之相對側而托架閘極堆疊。間隔物可由如氮化矽、氧化矽、碳化矽、摻雜碳之氮化矽及氮氧化矽之材料形成。用於形成間隔物之製程為本領域已知的且大致包括沉積及蝕刻製程步驟。在一替代實施中，複數個間隔物對可被使用，例如兩對、三對或四對的間隔物可被形成在閘極堆疊的相對側。

[0014] 如本領域已知的，源極和汲極區被形成在緊臨每一 MOS 電晶體之閘極堆疊的基板中。源極和汲極區

一般使用佈植（implantation）/擴散製程或蝕刻/沉積製程形成。在前者的製程中，例如硼、鋁、銻、磷或砷之摻雜劑可被離子佈植（ion-implanted）進入基板中以形成源極和汲極區。激活摻雜劑且導致摻雜劑擴散進入基板之退火製程通常在離子佈植之後。在後者的製程中，基板可首先被蝕刻以在源極和汲極區位置形成凹陷。磊晶沉積製程可接著進行以填充有被使用來製造源極和汲極區之材料。在一些實施中，源極和汲極區可使用例如鍺化矽或碳化矽之矽合金製造。在一些實施中，磊晶沉積的矽合金可原位（in situ）摻雜有例如硼、砷或磷之摻雜劑。在進一步實施中，源極和汲極區可使用一個或多個例如鍺或 III-V 族材料或合金之替代半導體材料形成。且在進一步實施例中，一個或多個金屬層和／或金屬合金可被使用以形成源極和汲極區。

[0015] 一個或多個層間介電質（interlayer dielectric）被沉積在 MOS 電晶體上。該 ILD 層可使用應用在積體電路中已知的介電材料，例如低 k 介電材料。可被使用的介電材料範例包括但不限制於二氧化矽（SiO_2）、碳摻雜氧化物（carbon doped oxide，CDO）、氮化矽、例如全氟環丁烷（perfluorocyclobutane）或聚四氟乙烯（polytetrafluoroethylene）之有機化合物、氟矽酸鹽玻璃（fluorosilicate glass，FSG）及例如半矽氧烷（silsesquioxane）、矽氧烷（siloxane）或有機矽酸鹽玻璃（organosilicate glass）之有機矽酸酯（organosilicates）

。ILD 層可包括孔（pores）或空氣隙（air gaps）以進一步減少它們的介電常數（dielectric constant）。

[0016] 第 1 圖顯示包括記憶裝置嵌入於互連區域之單片 3D IC 的一實施例。參照第 1 圖，結構 100 包括例如是單晶半導體基板（例如，單晶矽）的基板 110。基板 110 包括裝置層 120，也就是在一實施例中包括數個裝置 125（例如，電晶體裝置）。在一實施例中，裝置 125 為低功率範圍、最先進、典型為包括邏輯裝置的快速裝置，例如 FinFETs 或其它一般地可比更高電壓範圍裝置以更高間距被配置在裝置層上的縮小的形態因素裝置。

[0017] 在第 1 圖示出的實施例中，裝置層 120 設置在複數個第一互連 130 和複數個第二互連 150 之間。在一實施例中，在裝置層 120 中的一個或多個裝置連接至關連於複數個第一互連 130 和複數個第二互連 150 之互連的一者或兩者。在一實施例中，複數個第一互連 130 具有尺寸選擇以容納例如關連於在裝置層 120 中的裝置（裝置 125）之電性負載的阻抗（例如，阻抗匹配）。第 1 圖顯示裝置層 120 之一些裝置經由接觸 132 連接至複數個第一互連 130 的一些。在一實施例中，複數個第二互連 150 包括如那些複數個第一互連之相似尺寸的互連，且互連具有大於（例如，較厚）複數個第一互連的尺寸。第 1 圖顯示互連 1505 具有尺寸相似於複數個第一互連 130 且互連 1506 具有尺寸大於一些複數個第一互連的尺寸。典型地，複數個第一互連 130 之互連具有厚度為約至少 0.67

倍的閘極間距，且複數個第二互連 150 之互連 1506 具有厚度約大於複數個第一互連 130 之厚度 100 至 1000 倍。在一實施例中，互連 1505 經由接觸 152 連接至裝置層 120 之裝置。

[0018] 在第 1 圖中之結構 100 也包括嵌入在複數個第一互連 130 之記憶裝置。第 1 圖顯示了例如 ReRAM、MRAM、相位改變或其它裝置類型的記憶裝置 160。在一實施例中，一些記憶裝置被連接在一些複數個第一互連 130 的一側且另一側選擇通過在裝置層 120 中的一些裝置 125 至一些複數個第二互連 150，特別是到互連 1506。

[0019] 第 2 圖示出了非揮發記憶位元胞的示意圖，也就是 STT-MRAM 記憶位元胞作為在第 1 圖之結構中的範例記憶裝置。參照第 2 圖，位元胞包括 STT-MRAM 記憶元件或組件 160。如插圖內所示，其中 STT-MRAM 記憶組件 160 係自旋轉移力矩組件，此種組件代表地包括例如鈷-鐵-硼（CoFeB）相鄰底部電極 1602 之例如釘與固定磁性層 1604 之底部電極 1602；例如 CoFeB 之例如鉭相鄰的自由磁性層 1618 之頂部電極 1616；以及例如設置在固定磁性層 1604 與自由磁性層 1618 之間的氧化鎂（MgO）之穿隧阻障或介電層 1622。在一實施例中，自旋轉移力矩元件係基於垂直磁場。最後，第一介電元件 1623 及第二介電元件 1624 可被形成鄰近於頂部電極 1616、自由磁性層 1618 及穿隧阻障介電層 1622。

[0020] STT-MRAM 記憶組件 160 連接至複數個第二

互連 150（位元線）中的一個。頂部電極 1616 可電性地連接至位元線。STT-MRAM 記憶組件 160 也可以連接至關連於裝置層 120 之存取電晶體 125（如第 1 圖所示）。存取電晶體 125 包括含有接面區（junction region）122（源極區）、接面區 124（汲極區）、接面區之間或分離接面區的通道區及通道區上的閘極電極 126 之擴散區。如圖所示，STT-MRAM 記憶組件 160 藉由接觸 164 連接至存取電晶體 125 之接面區 124。底部電極 1602 連接至接面區。在位元胞內之接面區 122 連接至複數個第一互連 130（源極線（source line）1301）中的一個。最後，閘極電極 126 電性連接至字元線（word line）1302。

[0021] 第 3-8 圖敘述一種形成單片 3D IC 的方法。第 3 圖顯示例如單晶半導體基板（例如，矽基板）之基板 210。在一實施例中，設置在基板 210 上的是包括一列或陣列的例如 FinFET 或其它目前技術水準（the state of art）之電晶體裝置之高間距、快速裝置的裝置層 220。第 3 圖也顯示複數個互連 230，其與裝置層 220 並列設置或在裝置層 220 上。複數個互連 230 的一些經由例如接觸 226 連接至裝置層 220 中的一些裝置。在一實施例中，複數個互連 230 為如本領域已知的圖案化的銅材料。在電路裝置和第一層互連之間的裝置層接觸（例如，接觸 226）可代表性地是鎢或銅材料，且互連之間的層間（inter level）接觸為例如銅材料。互連彼此間及與裝置層間藉由如氧化物之介電材料絕緣。第 3 圖顯示介電層 235 設置在

複數個互連 230 之最終水平上或與之並列設置（如圖所示）。

[0022] 第 4 圖顯示第 3 圖之結構後續結構之連接至載體晶元。在闡明的實施例中，從第 3 圖之結構 200 被反轉且鍵合至載體晶元 240。第 4 圖顯示例如單晶半導體材料或陶瓷或相似材料之載體晶元 240。在一實施例中，設置在載體晶元 240 上的是介電層 245。第 4 圖顯示載體晶元與結構鍵合使得在複數個互連 230 上之介電層 235 鄰近於載體晶元的介電層 245（介電質鍵合）。

[0023] 第 5 圖顯示第 4 圖之結構後續去除基板 210 的一部份。在一實施例中，基板 210 被減少以露出裝置層 220。典型地，基板 210 的一部份可藉由機械機制（例如，研磨）或其它機制（例如，蝕刻）被去除。第 5 圖顯示包括如圖所示之在結構頂部表面上之露出的裝置層 220 之結構 200。

[0024] 第 6 圖顯示第 5 圖之結構後續在結構上形成記憶裝置。第 6 圖顯示例如 ReRAM、MRAM 或經由接觸 255 連接至在裝置層 220 中的裝置之相位改變裝置之記憶元件或裝置 250。在一實施例中，可以理解的是此種裝置也經由例如接觸 226 連接至一些複數個互連 230。

[0025] 第 7 圖顯示第 6 圖之結構後續引入在結構上之第二複數個互連。第 7 圖顯示複數個與裝置層 220 及記憶裝置 250 並列設置的互連 260。在一實施例中，一些複數個互連 250 的尺寸大於（例如，較厚）相應的一些複數

個互連 230 的尺寸。在一實施例中，複數個互連 260 為如本領域已知的銅材料及圖案。第 7 圖顯示接觸 258 介於記憶裝置 250 之各別的一些及一些複數個互連 260 之間。第 7 圖也顯示一些複數個互連 250 經由例如接觸 265 連接至裝置層 220 中的裝置。在複數個互連 260 之第一層互連上的裝置之間的裝置層接觸（接觸 265）可代表性地是鎢或銅材料，且互連之間的層間接觸為例如銅材料。如圖所示，複數個連接至裝置層中的裝置之一些複數個互連 260 可具有尺寸小於（例如，較薄於）連接至記憶裝置 250 之互連的尺寸。互連彼此間以及與裝置層和記憶裝置間藉由介電材料（例如，氧化物）絕緣。

[0026] 第 8 圖顯示第 7 圖之結構後續引入接觸點 270 至一些複數個互連 260。此種接觸也可包括金屬化層在複數個互連 260 之上的結構上（如圖所示）。第 8 圖也顯示例如用以鈍化結構 200 表面的氧化物之鈍化層。接觸點 270 可被使用以連接結構 200 至例如封裝基板之基板。一旦形成，如果形成在晶元層級，結構可分割離散的單片 3D IC。第 8 圖代表性地顯示分割之後結構 200 且示出了在鬼線（ghost lines）中結構至封裝的連接透過錫連接至接觸點 270。

[0027] 第 9 至 12 圖顯示形成單片 3D IC 的方法之第二實施例。

[0028] 第 9 圖顯示例如單晶矽之單晶半導體材料之基板 310。設置在基板上 310 的是包括一列或陣列的例如

高速邏輯裝置（例如，FinFETs）之相對高速裝置的裝置層 320。並列設置在第 9 圖中的裝置層 320 上的是複數個具有記憶元件或裝置 350 嵌入其中的互連 330。記憶裝置 350 可代表性地選自 ReRAM、MRAM、相位改變或其它裝置且如本領域已知的形成。在一實施例中，複數個互連 330 具有與在裝置層 320 中的精細間距、高速裝置相容的尺寸（例如，阻抗匹配）。此種複數個互連 330 可由本領域已知的製程形成。第 9 圖顯示介於在裝置層 320 中的裝置和一些複數個互連 330 之間的裝置層級接觸 325。第 9 圖也顯示接觸 355 介於記憶裝置 350 和裝置層 320 中的裝置之間。裝置層級接觸 325 和 355 可代表性地為鎢或銅材料。介於一些複數個互連 330 之間的接觸可代表性地為銅材料。一些複數個互連 330 和記憶元件藉由例如氧化物之介電材料彼此絕緣。第 9 圖也顯示覆蓋複數個互連 330 最終的一些的介電材料之鈍化層 335（如圖所示）。

[0029] 第 10 圖顯示第 9 圖之結構後續結構之連接至載體晶元。在一實施例中，從第 9 圖之結構 300 被反轉且鍵合至載體晶元。第 10 圖顯示例如矽或陶瓷或其它合適基板之載體晶元 340。在一實施例中，覆蓋在載體晶元 340 表面的是例如氧化物之介電材料層 345。第 10 圖顯示透過介電材料（介電質鍵合）鍵合且示出複數個與載體晶元 340 並列設置的互連 330。

[0030] 第 11 圖顯示第 10 圖之結構後續從基板去除基板 310 的一部份。在一實施例中，基板 310 的一部份被

去除以露出裝置層 320。基板 310 可藉由機械（例如，研磨）或其它機制（例如，蝕刻）被去去除。第 11 圖顯示包括結構之露出的頂表面之裝置層 320（如圖所示）。

[0031] 第 12 圖顯示第 11 圖之結構後續引入複數個互連 360 在基板上。如圖所示，與複數個互連 360 並列設置之裝置層 320 的表面被鈍化。在一實施例中，一些複數個互連 360 被連接至一些記憶裝置 350（例如，穿過裝置層 320）。在一實施例中，此種互連具有尺寸大於（例如，較厚）連接至相同記憶裝置 350 之複數個互連 330。第 12 圖顯示接觸 362 連接一些複數個互連 360 至相應的一些記憶裝置 350。第 12 圖也顯示裝置層級接觸 364 連接一些複數個互連 360 至裝置層 320 中的裝置。需注意到的，在一實施例中，其中此種連接至裝置層 320 中的裝置之複數個互連 360 的一些互連可具有尺寸（例如，厚度）與裝置層中的裝置相容（例如，阻抗匹配）。在一實施例中，複數個互連 360 係選自例如藉由具有接觸 362 和接觸 364 代表性地為銅或鎢材料以及互連之間的接觸代表性地為銅材料之電鍍製程引入銅之材料。第 12 圖顯示複數個互連 360 藉由例如氧化物之介電材料彼此間以及與在記憶元件中的裝置層 320 絕緣。

[0032] 第 12 圖也顯示該結構後續接觸點 370 的引入至一些複數個互連 360。此種接觸可以為設置在結構上之金屬化層的一部份或一添加物。第 12 圖更顯示具有用於鈍化裝置之表面的例如氧化物之鈍化層 365。接觸點 370

可被使用以連接結構 300 至例如封裝基板之基板。一旦形成，如果形成在晶元層級，結構可分割離散的單片 3D IC。第 12 圖代表性地顯示分割之後結構 300 且示出了在鬼線（ghost lines）中結構至封裝基板至錫連接至接觸點 370 的連接。

[0033] 第 13 圖示出了包括一個或多個本發明實施例之插入物 400。插入物 400 係一種用來橋接第一基板 402 至第二基板 404 的中間基板（intervening substrate）。第一基板 402 可以為例如積體電路晶粒。第二基板 404 可以為例如記憶模組、電腦母板或另一積體電路晶粒。一般而言，插入物 400 的目的係擴散連接至更寬的間距或改道連接至不同連接。例如，插入物 400 可耦合積體電路晶粒至可後續耦合至第二基板 404 之球格陣列（ball grid array，BGA）406。在一些實施例中，第一和第二基板 402/404 被附著在插入物 400 的相對側。在其它實施例中，第一和第二基板 402/404 被附著在插入物 400 的相同側。且在進一步的實施例中，三個或多個基板由插入物 400 的方式被互連。

[0034] 插入物 400 可由環氧樹脂、玻璃纖維增強環氧樹脂、陶瓷材料或，例如聚醯亞胺之聚合物材料形成。在進一步實施中，插入物可以由交替的剛性或撓性的材料形成，撓性的材料可以包括上述使用在半導體基板之相同材料，例如矽、鍺及其它 III-V 族和 IV 族的材料。

[0035] 插入物可包括金屬互連 408 及孔洞 410，孔洞

410 包括但不限制於通過矽孔洞（through-silicon vias，TSVs）412。插入物 400 可更包括主動和被動裝置兩者的嵌入裝置 414。此種裝置包括但不限制於電容、解耦電容、電阻、電桿、熔絲、二極體、變壓器、感測器及靜電放電（ESD）裝置。例如射頻（RF）裝置、功率放大器、功率管理裝置、天線、陣列、感測器及 MEMS 裝置之更複雜的設備也可形成在插入物 400 上。

[0036] 根據本發明實施例，本文敘述之裝置或製程可被使用在插入物 400 的製造。

[0037] 第 14 圖根據本發明一實施例示出了一種運算裝置 500。運算裝置 500 可包括數個組件。在一實施例中，這些組件附著到一個或多個主機板上。在一替代實施例中，這些組件被製造在單一系統晶片（system-on-a-chip，SoC）晶粒上而不是在主機板上。運算裝置 500 之組件包括，但不限制於，積體電路晶粒 502 及至少一通訊晶片 508。在一些實施中，通訊晶片 508 被製造作為積體電路晶粒 502 的一部分。積體電路晶粒 502 可包括 CPU 504 以及通常作為快取記憶體（cache memory）之晶粒上記憶體 506，其可以由例如嵌入式 DRAM（embedded DRAM，eDRAM）或自旋轉移力矩記憶體（spin-transfer torque memory，STTM 或 STTM-RAM）技術提供。

[0038] 運算裝置 500 可以包括透過或沒透過物理和電性耦接至電路板 502 或製造在 SoC 晶粒（die）中的其它組件。這些其它組件包括，但不限制於，揮發性記憶體

510（例如：DRAM）、非揮發性記憶體 512（即，ROM 或快閃記憶體）、圖形處理器 514（graphics processor，GPU）、數位訊號處理器 516（digital signal processor）、密碼處理器 542（crypto processor）（一種在硬體中執行加密演算法之專用處理器）、晶片組 520（chipset）、天線 522（antenna）、顯示器或觸控螢幕 524（display）、觸控螢幕控制器 526（touchscreen controller）、電池 528 或其它功率源、功率放大器（power amplifier）（未示出）、全球定位系統（global positioning system，GPS）裝置 544，羅盤（campass）530、動態共處理器或感測器 532（其可以包括加速度計（accelerometer）、陀螺儀（gyroscope）和羅盤）、揚聲器（speaker）534、相機（camera）536、使用者輸入裝置 538（例如鍵盤、滑鼠、指示（stylus））和觸控板）以及大容量存儲裝置（mass storage device）540（例如：硬碟機（hard disk drive）、光碟（compact disk，CD）、數位影音光碟（digital versatile disk，DVD）等等。

[0039] 通訊晶片 508 實現用於傳送資料到運算裝置 500 和從運算裝置 500 傳送資料之無線通訊。用語"無線"及其衍生可用於描述電路、裝置、系統、方法、技術、通訊通道等等，其可以通訊資料通過使用調製電磁波於非固體介質。該用語不是暗示相關裝置不包含有線，儘管一些實施方式可能沒有包含有線。通訊晶片 508 可以實現任何數目的無線標準或協議，包括但不限制於 Wi-Fi

（IEEE802.11 系列）、WiMAX（IEEE802.16 系列）、IEEE 802.20、長期演進（long term evolution，LTE）、EV-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍芽（Bluetooth）、它們的衍生物、以及被指定為 3G、4G、5G 和超越任何其它無線協議。運算裝置 500 可包括複數個通訊晶片 508。例如，第一通訊晶片 508 可專用於短距離無線通訊例如 NFC、Wi-Fi 和藍芽以及一第二通訊晶片 508 可專用於長範圍的無線通訊如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、EV-DO、和其它。

[0040] 運算裝置 500 的處理器 504 包括含有記憶裝置嵌入在互連區域中之單片 3D IC，其係根據上述實施例形成。用語"處理器"可以指任何用來處理來自暫存器和／或記憶體電子資料以轉換該電子資料成可儲存於暫存器及／或記憶體的其它電子資料的裝置或裝置的一部分。

[0041] 通訊晶片 508 也可包括含有記憶裝置嵌入在互連區域中之單片 3D IC，其係根據上述實施例形成。

[0042] 在進一步實施例中，容納在運算裝置 500 之中的其它組件可含有記憶裝置嵌入在互連區域中之單片 3D IC，其係根據上述實施例形成。

範例

[0043] 範例 1 為一種方法，包括在包含複數個電路裝置之積體電路裝置層的相對側形成複數個第一互連及複數個第二互連，其中形成的該複數個第一互連及該複數個

第二互連的一些包含嵌入記憶裝置在其中；以及耦合該些記憶裝置的一些至該複數個第一互連及該複數個第二互連之各別的一些中的每一者及至該複數個電路裝置的一些。

[0044] 在範例 2 中，範例 1 之形成複數個第一互連包括在第一基板之積體電路裝置層上形成複數個第一互連，且該方法更包含：耦合該第一基板至第二基板，其中該複數個第一互連與該第二基板並列設置；去除該第一基板的一部份以露出該電路裝置層；在該露出的電路裝置層上形成記憶裝置；及在該露出的電路裝置層上形成該複數個第二互連。

[0045] 在範例 3 中，範例 2 之該複數個第二互連的一些之尺寸大於該複數個第一互連的一些之尺寸。

[0046] 在範例 4 中，範例 3 的方法包括形成接觸點至該複數個第二互連的一些，該些接觸點可操作的用於連接外部源。

[0047] 在範例 5 中，範例 1 之形成複數個第一互連包括在第一基板之積體電路裝置層上形成該複數個第一互連，在形成該複數個第一互連之至少一部份之前，該方法更包含形成該複數個電路裝置及形成記憶裝置，其中該些記憶裝置的一些耦合至該複數個電路裝置之相應的一些。

[0048] 在範例 6 中，在形成複數個第一互連之後，範例 5 之方法包括耦合該第一基板至第二基板，其中該複數個第一互連與該第二基板並列設置；去除該第一基板的一部份以露出該電路裝置層；及在該露出的電路裝置層上

形成該複數個第二互連。

[0049] 在範例 7 中，範例 1 之該複數個第二互連的一些之尺寸大於該複數個第一互連的一些之尺寸。

[0050] 在範例 8 中，範例 6 的方法包括形成接觸點至該複數個第二互連的一些，該些接觸點可操作的用於連接外部源。

[0051] 在範例 9 中，範例 1 之記憶裝置包括磁阻隨機存取記憶裝置。

[0052] 範例 10 為藉由任何範例 1-9 之方法製造之三維積體電路。

[0053] 範例 11 為一種裝置，包括基板，其包含在積體電路裝置層相對側之複數個第一互連以及複數個第二互連，該積體電路裝置層包含複數個電路裝置，其中該複數個第一互連及該複數個第二互連的一些包含嵌入在其中的記憶裝置，且該些記憶裝置的一些耦合至該複數個第一互連及該複數個第二互連之各別的一些中的每一者及至該複數個電路裝置的一些。

[0054] 在範例 12 中，範例 11 之該複數個第二互連的一些之尺寸大於該複數個第一互連的一些之尺寸。

[0055] 在範例 13 中，範例 12 之裝置包括至該複數個第二互連的一些的接觸點，該些接觸點可操作的用於連接外部源。

[0056] 在範例 14 中，範例 11 之記憶裝置為磁阻隨機存取記憶裝置。

[0057] 在範例 15 中，範例 12 之記憶裝置被嵌入在該複數個第二互連的一些中。

[0058] 在範例 16 中，範例 12 之記憶裝置被嵌入在該複數個第一互連的一些中。

[0059] 範例 17 為一種方法，包括在第一基板上之積體電路裝置層上形成複數個第一互連；耦合該第一基板至第二基板，其中該複數個第一互連與該第二基板並列設置；去除該第一基板的一部份以露出該電路裝置層；在該露出的電路裝置層上形成該複數個第二互連；嵌入記憶裝置至該複數個第一互連及該複數個第二互連之一者中；以及耦合該些記憶裝置的一些至該複數個第一互連及該複數個第二互連之各別的一些中的每一者及至該些複數個電路裝置的一些。

[0060] 在範例 18 中，範例 17 之記憶裝置為嵌入在該複數個第一互連。

[0061] 在範例 19 中，範例 17 之記憶裝置為嵌入在該複數個第二互連。

[0062] 在範例 20 中，範例 18 之該複數個第二互連的一些之尺寸大於該複數個第一互連的一些之尺寸。

[0063] 在範例 21 中，範例 11 之方法包括形成接觸點至該複數個第二互連的一些，該些接觸點可操作用以連接到外部源。

[0064] 範例 22 為藉由任何範例 17-21 之方法製造之三維積體電路。

[0065] 在各種實施中，運算裝置 500 可以為膝上型電腦（laptop computer）、簡易筆記型電腦（netbook computer）、筆記型電腦（notebook computer）、極薄筆記型電腦（ultrabook computer）、智慧型手機（smartphone）、平板電腦（tablet）、個人數位助理（personal digital assistant，PDA）、超級行動個人電腦（ultra mobile PC）、行動電話（mobile phone）、桌上型電腦（desktop computer）、伺服器（server）、印表機（printer）、掃描器（scanner）、螢幕（monitor）、機頂盒（set-top box）、娛樂控制單元（entertainment control unit）、數位相機（digital camera）、隨身音樂撥放器（portable music player）或數位錄影機（digital video recorder）。在進一步實施例中，運算裝置 500 可為處理資料之任何其他電子裝置。

[0066] 上面敘述之本發明說明性實施，包括摘要所敘述的，並非意在窮盡或限制本發明為所揭露之精確形式。而本發明之具體實施及範例被敘述是為了說明的目的，在本發明範圍內之各種均等修改是可行的，那些相關領域技術人員將意識到。

[0067] 這些修改可參考上述詳細敘述而完成本發明。使用在後附之申請專利範圍中的用語不應當被解釋為限制本發明為說明書及申請專利範圍所揭露之具體實施。相反，本發明的範圍將完全由後附之申請專利範圍決定，它們將根據申請專利範圍解釋的既定原則來解釋。

【符號說明】

[0068]

100, 200, 300：結構

110, 210, 310：基板

120, 220, 320：裝置層

122, 124：接面區

125：裝置

126：閘極電極

130：第一互連

132, 152, 164, 226, 255,258, 265, 362：接觸

1301：源極線

1302：字元線

150：第二互連

230, 260, 330, 360, 1505, 1506：互連

160, 250, 350：記憶裝置

1602：底部電極

1604：固定磁性層

1616：頂部電極

1618：自由磁性層

1622：穿隧阻障介電層

1623：第一介電元件

1624：第二介電元件

235, 245, 345：介電層

240, 340：載體晶元

270, 370：接觸點

325, 364：裝置層級接觸

335：鈍化層

400：插入物

402：第一基板

404：第二基板

406：球格陣列

408：金屬互連

410：孔洞

412：通過矽孔洞

414：嵌入裝置

502：積體電路晶粒

504：處理器

506：晶粒上記憶體

508：通訊晶片

510：揮發性記憶體

512：非揮發性記憶體

514：圖形處理器

516：數位訊號處理器

520：晶片組

522：天線

524：觸控螢幕

526：觸控螢幕控制器

528：電池

532：動態感測器

534：揚聲器

536：相機

538：輸入裝置

540：大容量存儲裝置

542：密碼處理器

544：全球定位系統

申請專利範圍

1. 一種用於製造嵌入式記憶體的方法，包含：

在包含複數個電路裝置之積體電路裝置層的相對側形成複數個第一互連及複數個第二互連，其中形成的該複數個第一互連及該複數個第二互連的一些包含嵌入記憶裝置在其中；以及

耦合該些記憶裝置的一些至該複數個第一互連及該複數個第二互連之各別的一些中的每一者及至該複數個電路裝置的一些；

其中形成複數個第一互連包含在第一基板之積體電路裝置層上形成複數個第一互連，且該方法更包含：

耦合該第一基板至第二基板，其中該複數個第一互連與該第二基板並列設置；

去除該第一基板的一部份以露出該電路裝置層；

在該露出的電路裝置層上形成記憶裝置；及

在該露出的電路裝置層上形成該複數個第二互連。

2. 如申請專利範圍第 1 項所述之方法，其中該複數個第二互連的一些之尺寸大於該複數個第一互連的一些之尺寸。

3. 如申請專利範圍第 2 項所述之方法，更包含形成接觸點至該複數個第二互連的一些，該些接觸點可操作用於連接外部源。

4. 如申請專利範圍第 1 項所述之方法，其中形成複數個第一互連包含在第一基板之積體電路裝置層上形成該

複數個第一互連，在形成該複數個第一互連之至少一部份之前，該方法更包含形成該複數個電路裝置及形成記憶裝置，其中該些記憶裝置的一些耦合至該複數個電路裝置之各別的一些。

5. 如申請專利範圍第 4 項所述之方法，更包含在形成該複數個第一互連之後，該方法更包含：

耦合該第一基板至第二基板，其中該複數個第一互連與該第二基板並列設置；

去除該第一基板的一部份以露出該電路裝置層；及

在該露出的電路裝置層上形成該複數個第二互連。

6. 如申請專利範圍第 1 項所述之方法，其中該複數個第二互連的一些之尺寸大於該複數個第一互連的一些之尺寸。

7. 如申請專利範圍第 5 項所述之方法，更包含形成接觸點至該複數個第二互連的一些，該些接觸點可操作用於連接外部源。

8. 如申請專利範圍第 1 項所述之方法，其中該些記憶裝置包含磁阻隨機存取記憶裝置。

9. 一種用於製造嵌入式記憶體的方法，包含：

在第一基板上之積體電路裝置層上形成複數個第一互連；

耦合該第一基板至第二基板，其中該複數個第一互連與該第二基板並列設置；

去除該第一基板的一部份以露出該電路裝置層；

在該露出的電路裝置層上形成複數個第二互連；

嵌入記憶裝置於該複數個第一互連及該複數個第二互連之一者中；以及

耦合該些記憶裝置的一些至該複數個第一互連及該複數個第二互連之各別的一些中的每一者及至該些複數個電路裝置的一些。

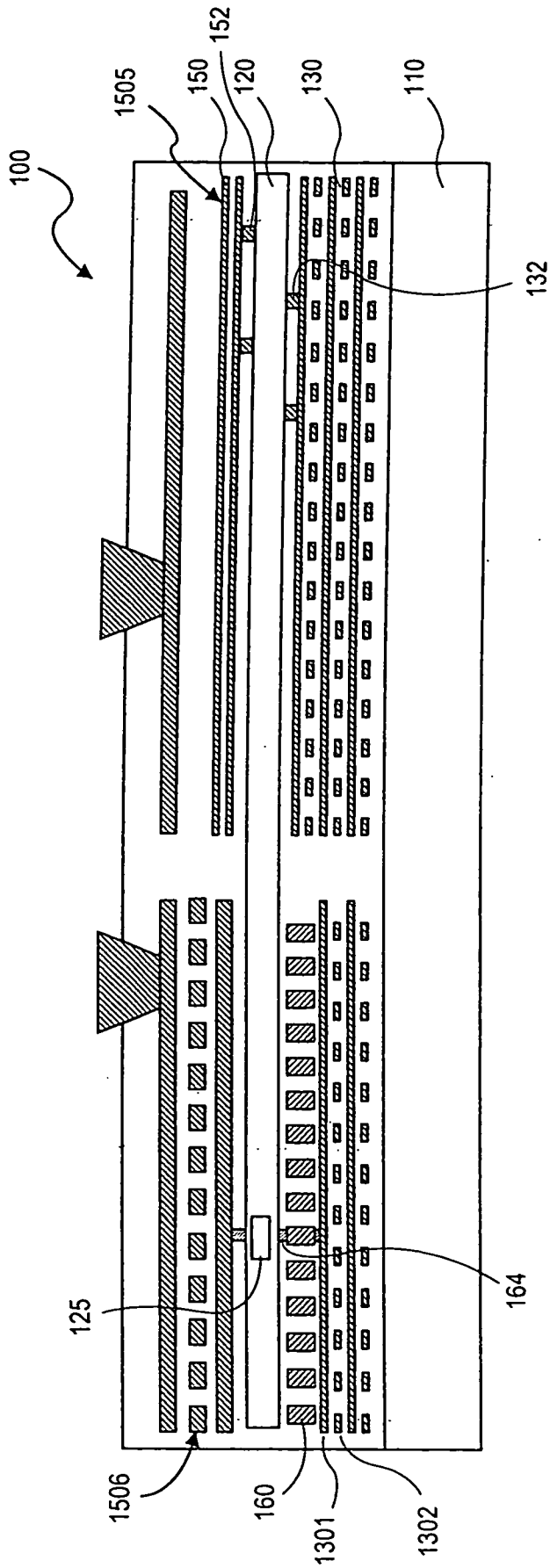
10. 如申請專利範圍第 9 項所述之方法，其中該些記憶裝置被嵌入於該複數個第一互連中。

11. 如申請專利範圍第 9 項所述之方法，其中該些記憶裝置被嵌入於該複數個第二互連中。

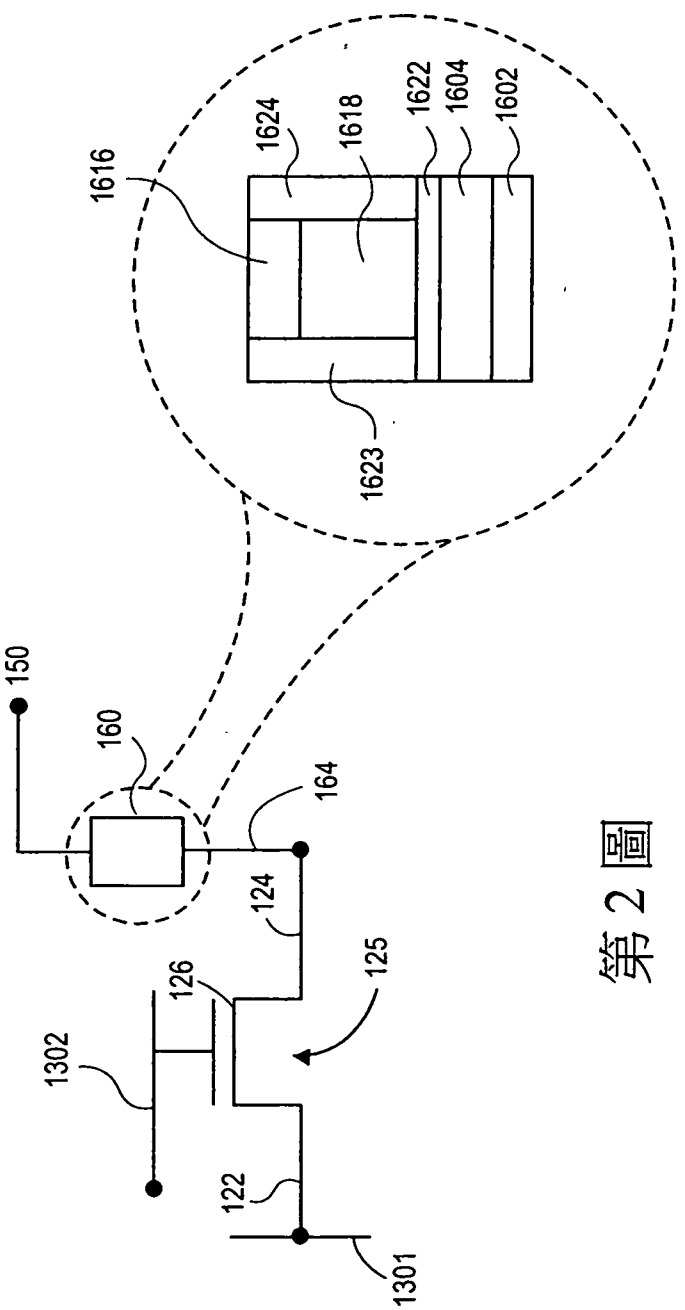
12. 如申請專利範圍第 10 項所述之方法，其中該複數個第二互連的一些之尺寸大於該複數個第一互連的一些之尺寸。

13. 如申請專利範圍第 12 項所述之方法，更包含形成接觸點至該複數個第二互連的一些，該些接觸點可操作用以連接到外部源。

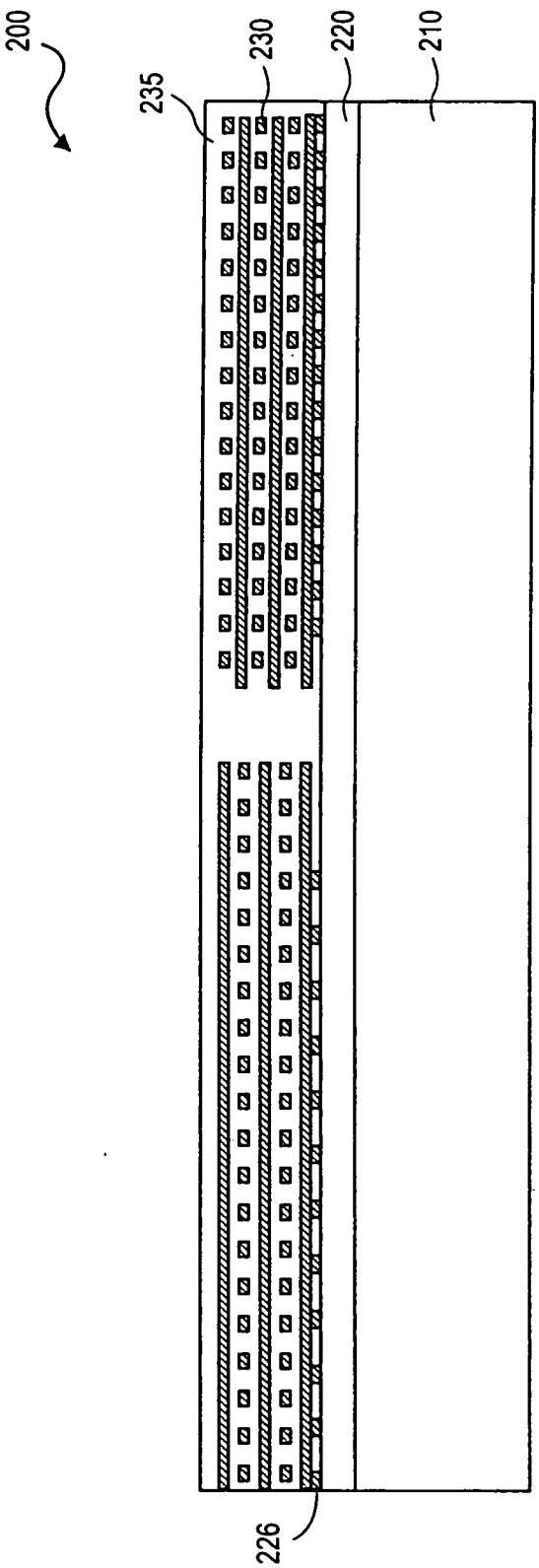
圖式



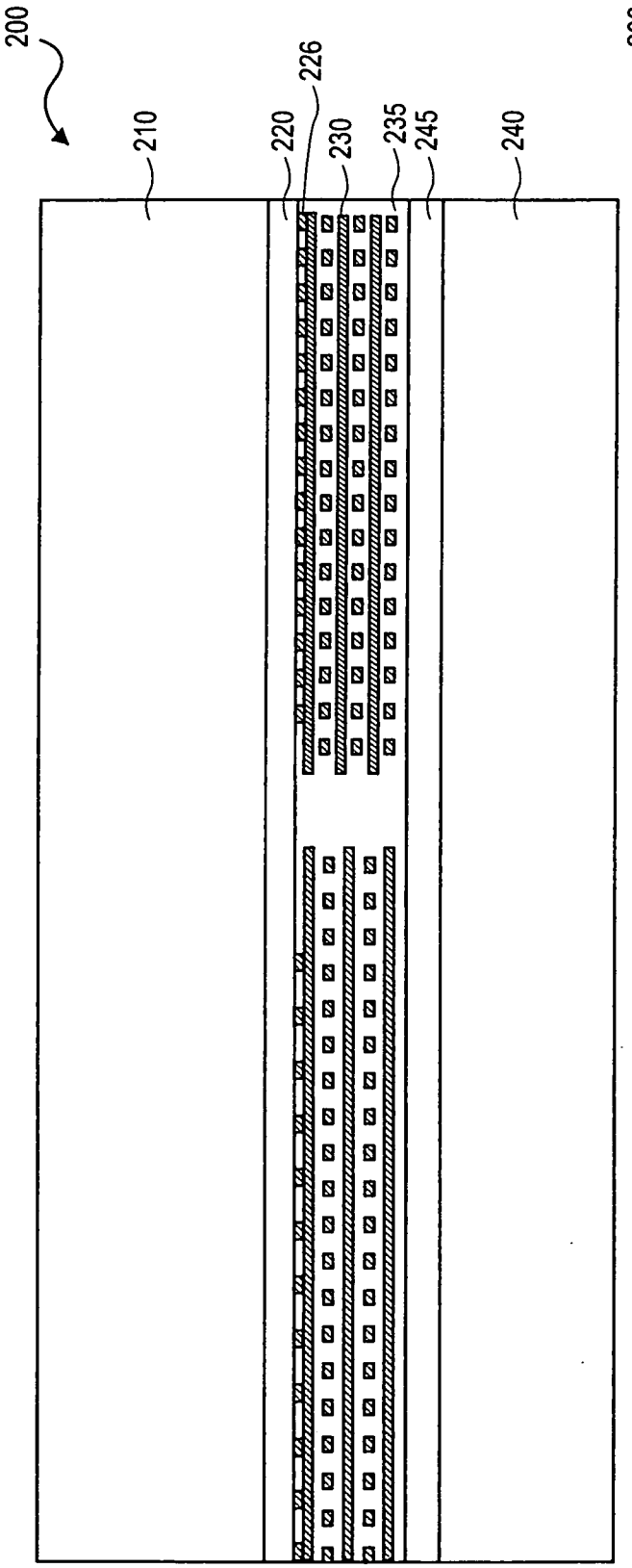
第1圖


1624
1618
1622
1604
1602
1616
1623
150
160
164
124
125
126
1302
122
1301

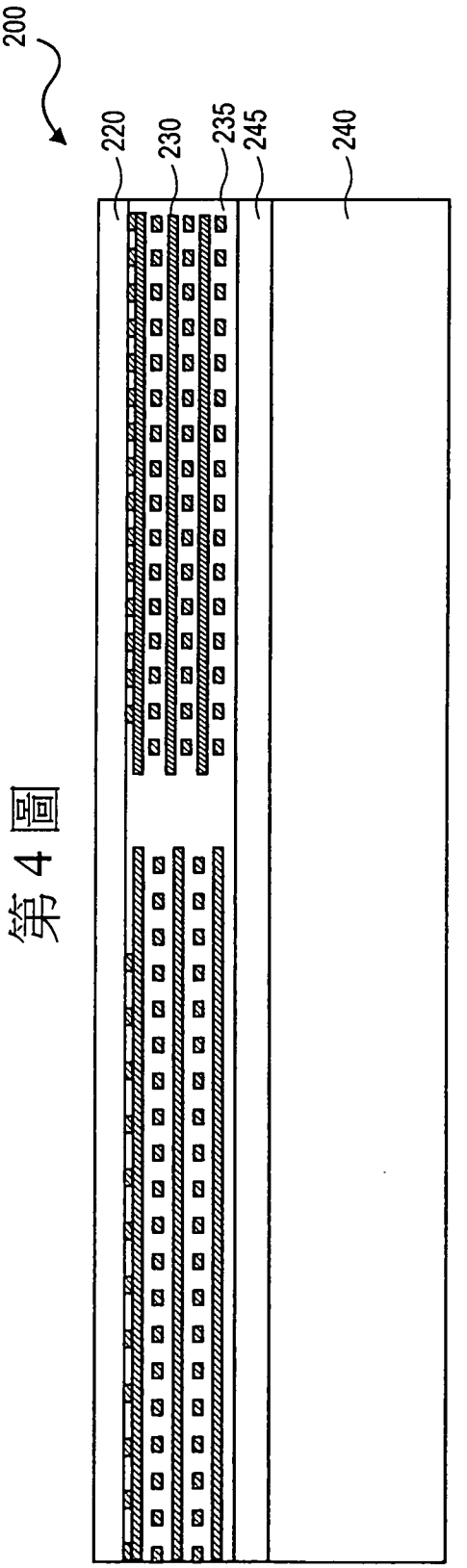
第 2 圖



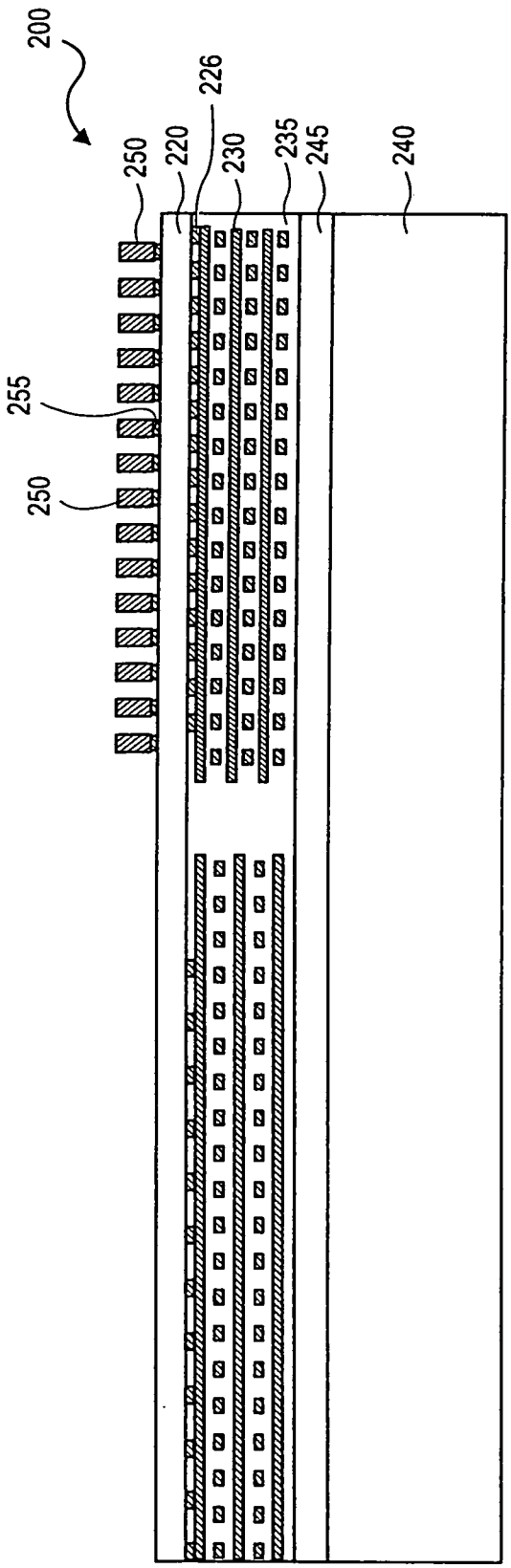
第 3 圖



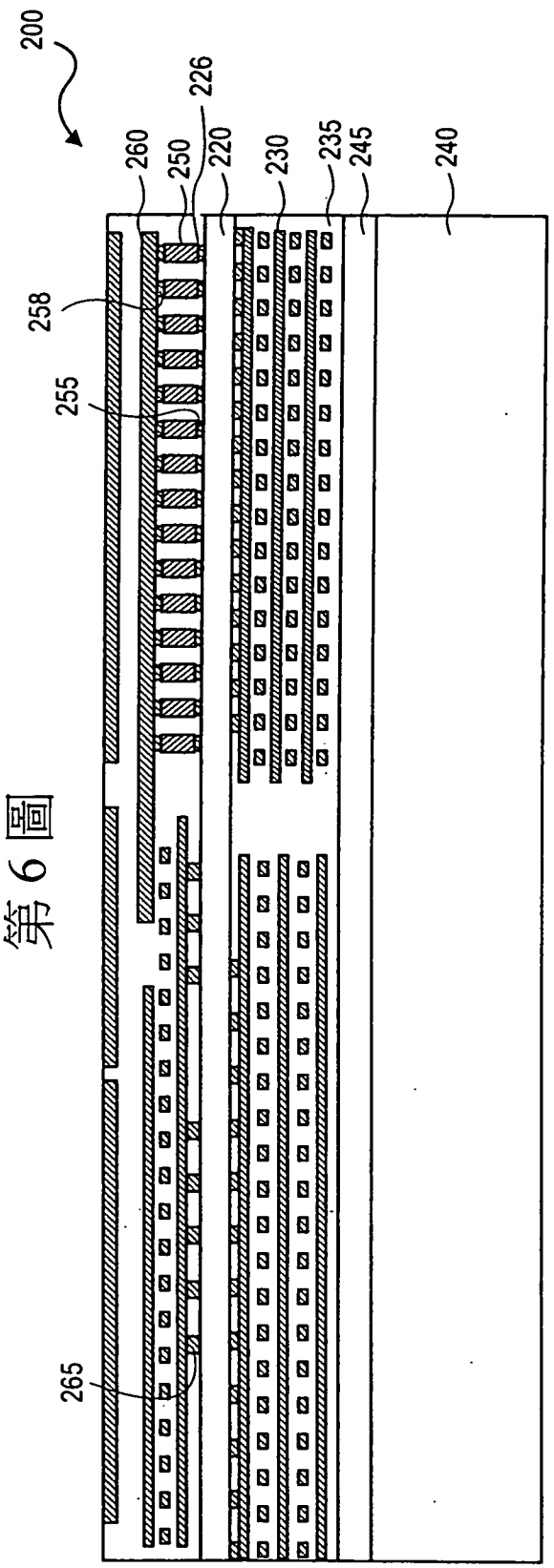
第 4 圖



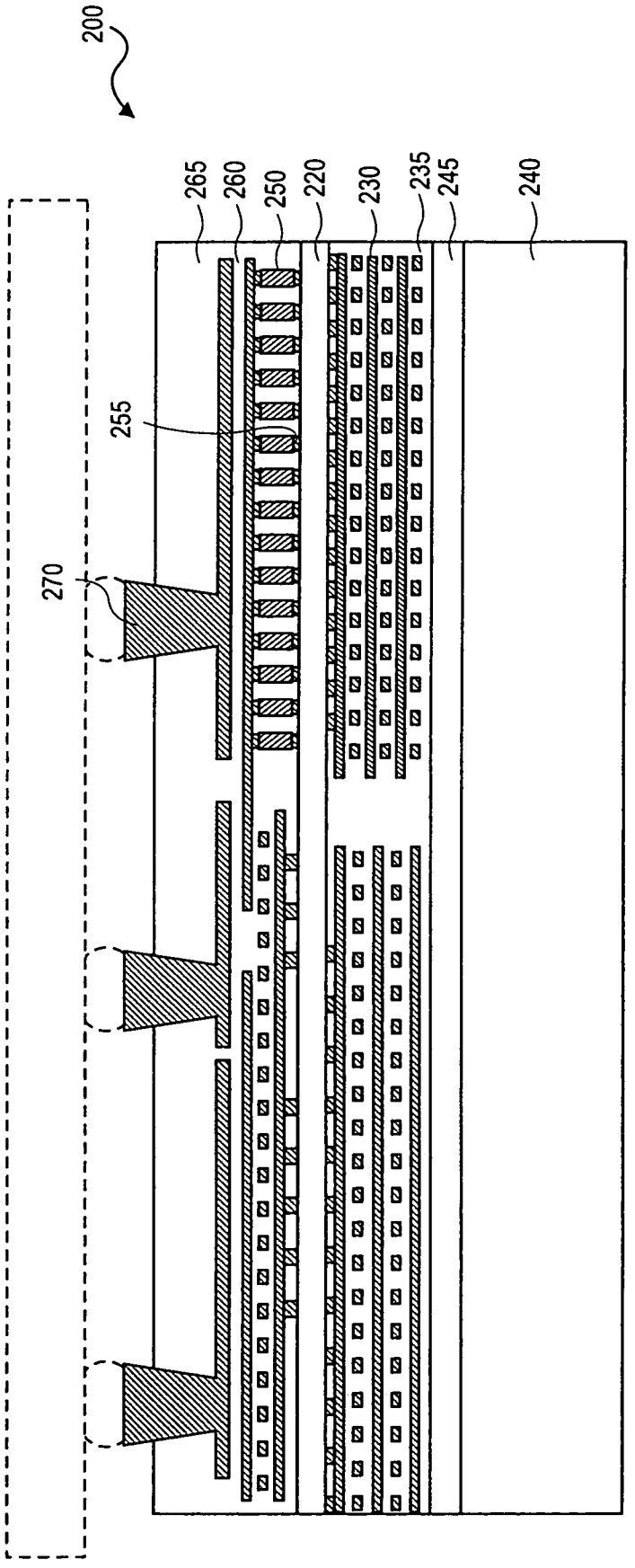
第 5 圖


200
250
220
226
230
235
245
240
255
250

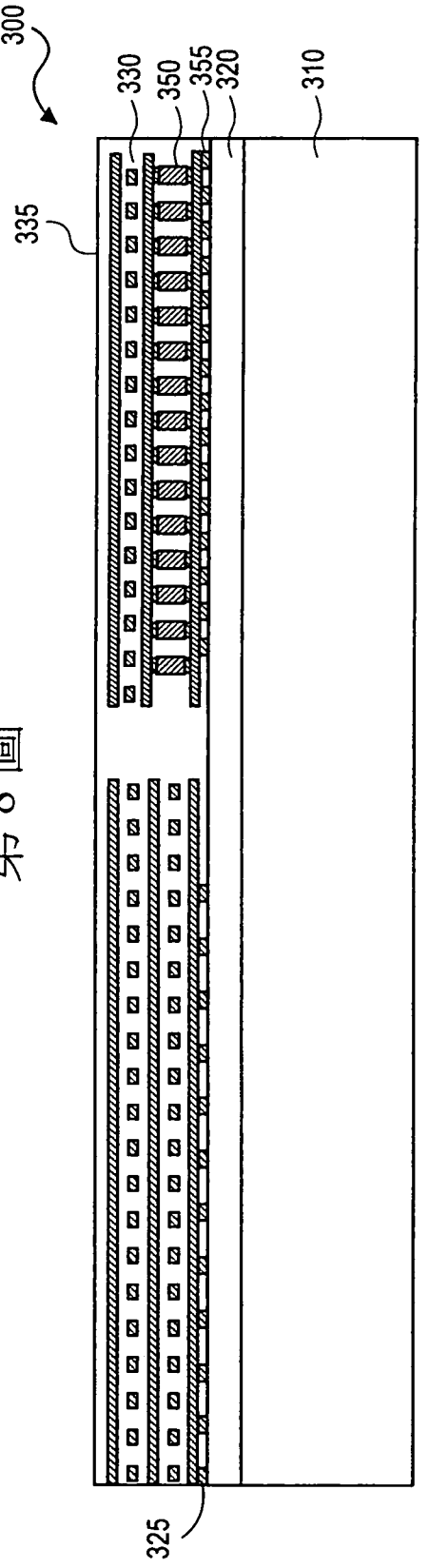
第6圖


200
260
250
220
226
230
235
245
240
258
255
265

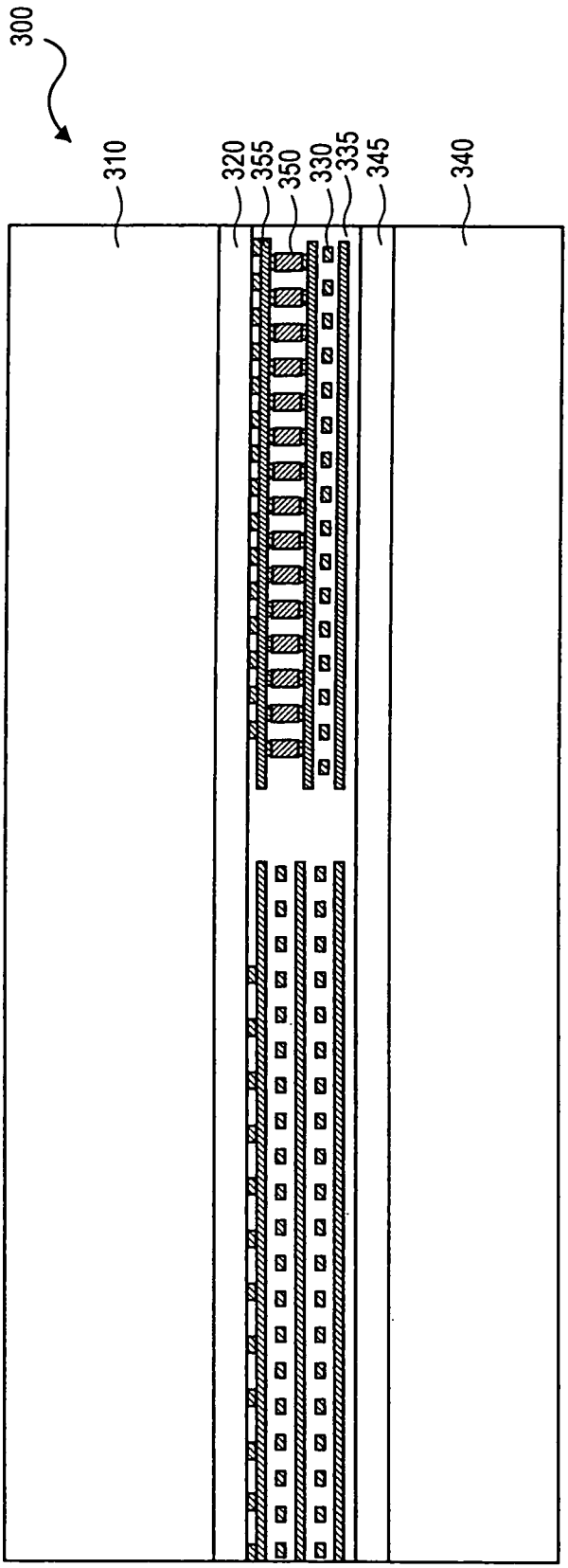
第7圖


200
265
260
250
220
230
235
245
240
255
270

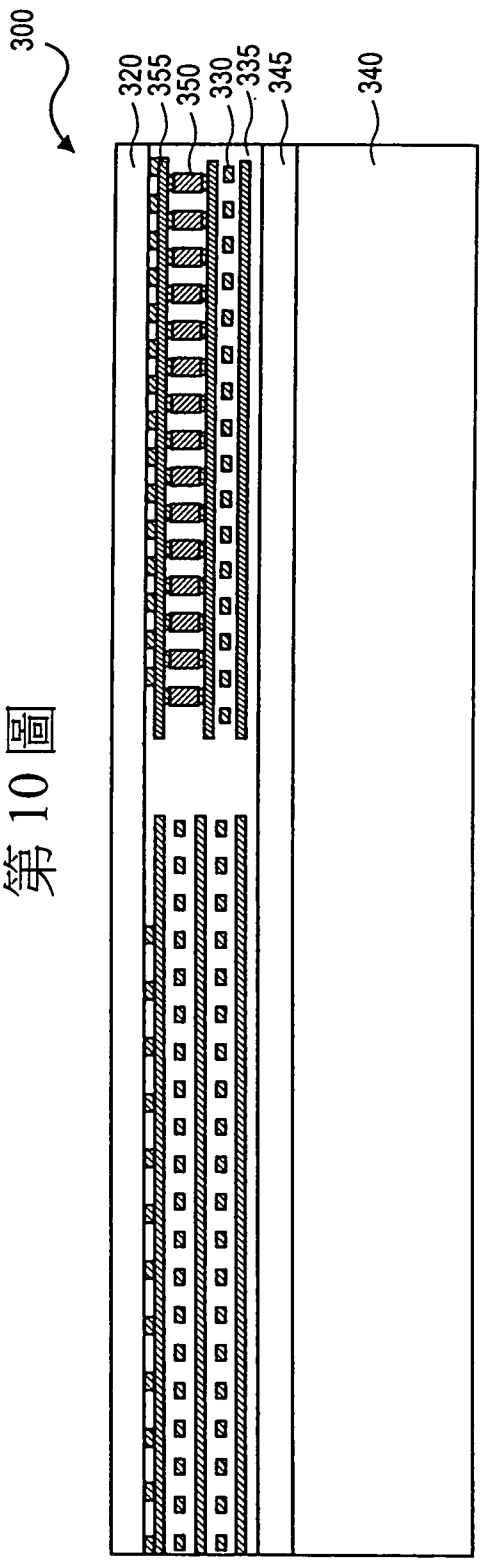
第 8 圖


300
330
350
355
320
310
335
325

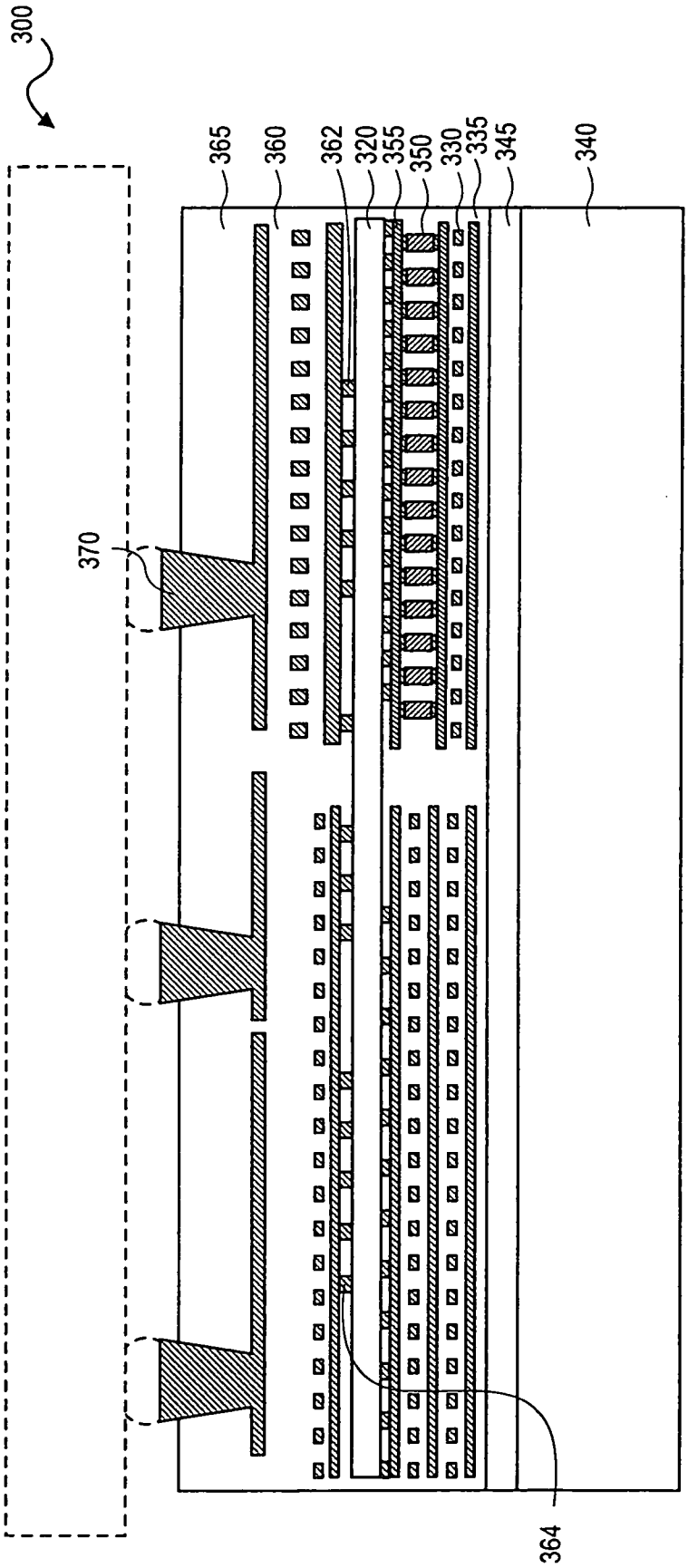
第 9 圖


300
310
320
355
350
330
335
345
340

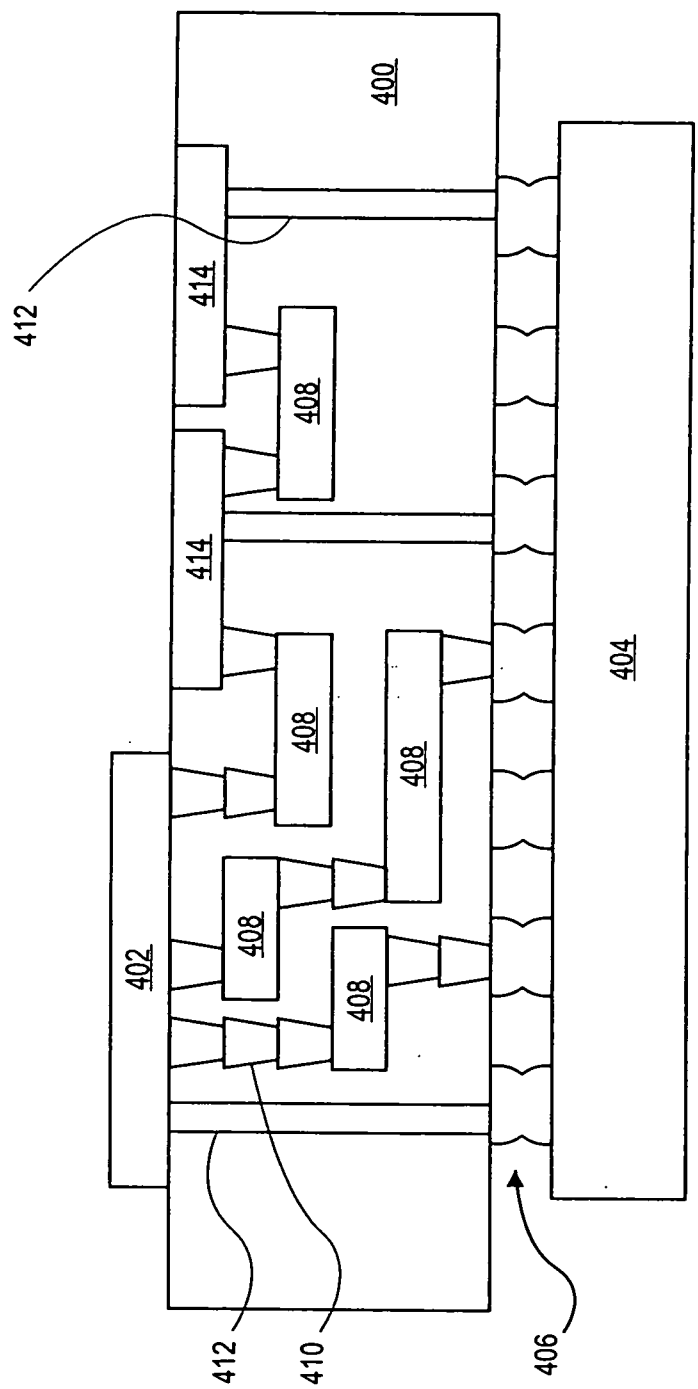
第 10 圖


300
320
355
350
330
335
345
340

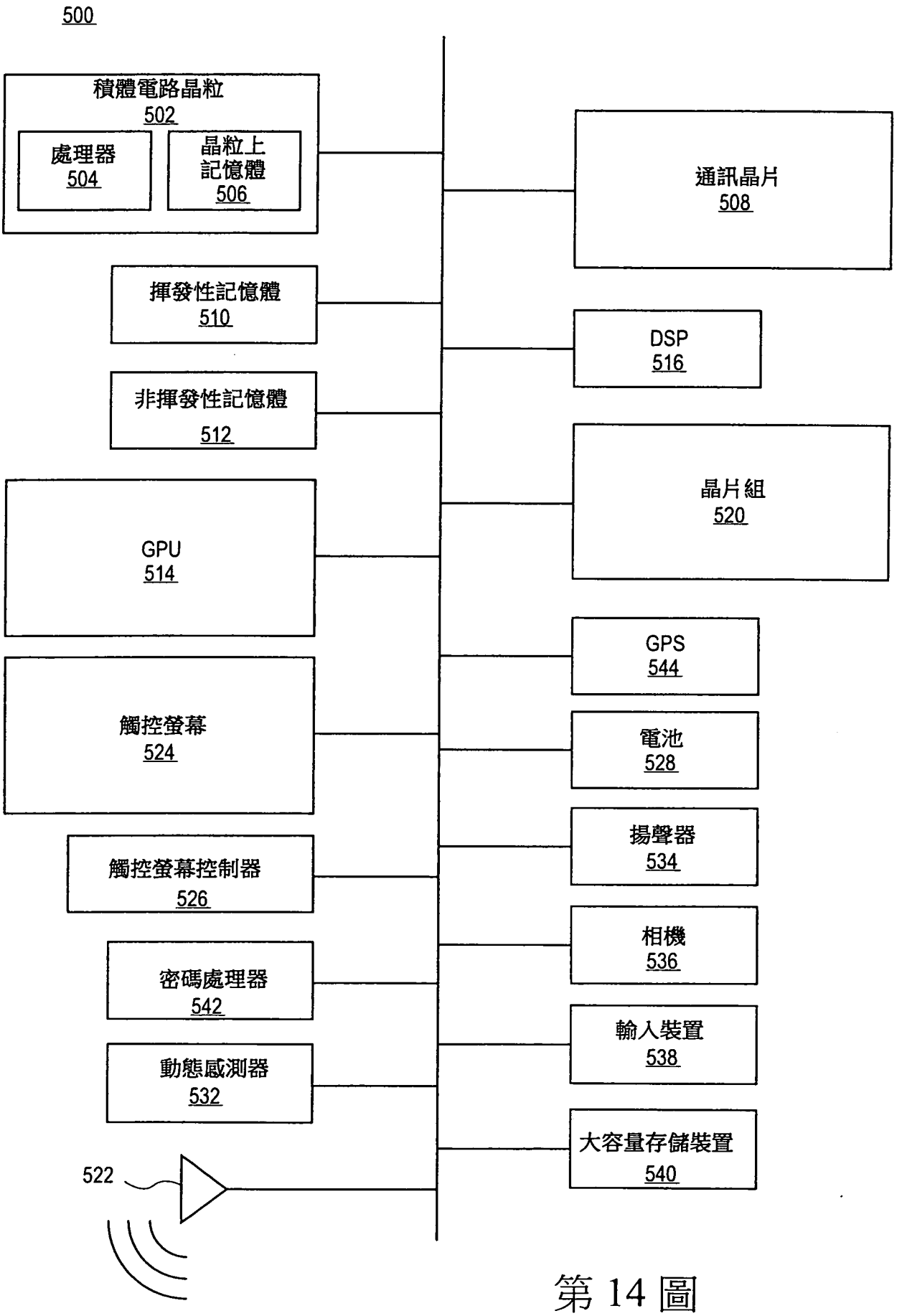
第 11 圖



第 12 圖



第 13 圖


500
積體電路晶粒
502
處理器
504
晶粒上
記憶體
506
揮發性記憶體
510
非揮發性記憶體
512
GPU
514
觸控螢幕
524
觸控螢幕控制器
526
密碼處理器
542
動態感測器
532
522
通訊晶片
508
DSP
516
晶片組
520
GPS
544
電池
528
揚聲器
534
相機
536
輸入裝置
538
大容量存儲裝置
540

第 14 圖