

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年10月26日(26.10.2017)



(10) 国際公開番号

WO 2017/183146 A1

(51) 国際特許分類:
H05K 3/46 (2006.01)

(21) 国際出願番号: PCT/JP2016/062589

(22) 国際出願日: 2016年4月21日(21.04.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

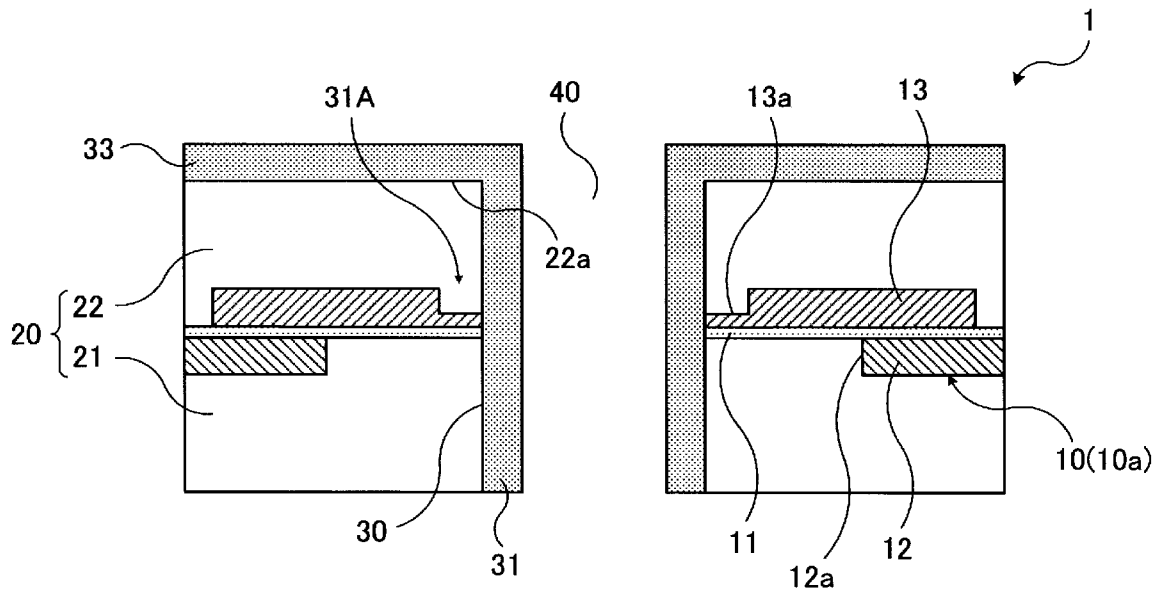
(71) 出願人: 富士通株式会社(FUJITSU LIMITED)
[JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).

(72) 発明者: 古山 昌治(FURUYAMA, Masaharu);
〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).

水谷 大輔(MIZUTANI, Daisuke); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 赤星 知幸(AKAHOSHI, Tomoyuki); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 小出 正輝(KOIDE, Masateru); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内 Kanagawa (JP). 渡邊 真名武(WATANABE, Manabu); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内 Kanagawa (JP). 山脇 清吾(YAMAWAKI, Seigo); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通インターコネクトテクノロジーズ株

(54) Title: CIRCUIT BOARD, METHOD FOR MANUFACTURING CIRCUIT BOARD, AND ELECTRONIC DEVICE

(54) 発明の名称: 回路基板、回路基板の製造方法及び電子装置



(57) Abstract: To minimize a decrease in reliability and performance due to heating in a circuit board internally provided with a capacitor. A circuit board (1) having a capacitor (10) provided in the insulating layer (20). The capacitor (10) includes a dielectric layer (11), an electrode layer (12) which is provided on one surface of the dielectric layer (11) and which has an opening part (12a), and an electrode layer (13) which is provided on the other surface of the dielectric layer (11) and which has a recess part (13a) at a position corresponding to the opening part (12a). The circuit board (1) is provided with a conductor via (31) penetrating the dielectric layer (11), the opening part (12a), and the recess part (13a). The conductor via (31) is in contact with the recess part (13a) of the electrode layer (13), and is smaller than the opening part (12a) of the electrode layer (12) in plan view.

式会社内 Kanagawa (JP). 福井 慧(FUKUI, Kei);
〒2118588 神奈川県川崎市中区上小田中 4
丁目 1 番 1 号 富士通インターコネクトテク
ノロジーズ株式会社内 Kanagawa (JP).

(74) 代理人: 服 部 毅 巖 (HATTORI, Kiyoshi);
〒1920082 東京都八王子市東町 9 番 8 号 八王子
東町センタービル 服部特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR,
KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME,
MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,
NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU,
RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY,
TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: キャパシタを内蔵する回路基板の、加熱による信頼性及び性能の低下を抑える。回
路基板(1)は、絶縁層(20)内に設けられたキャパシタ(10)を有する。キャパシタ(10)
は、誘電体層(11)と、誘電体層(11)の一方の面に設けられ開口部(12a)を有する電
極層(12)と、誘電体層(11)の他方の面に設けられ開口部(12a)と対応する位置に凹
部(13a)を有する電極層(13)とを含む。回路基板(1)には、誘電体層(11)、開口部
(12a)及び凹部(13a)を貫通し、電極層(13)の凹部(13a)に接し、平面視で電極
層(12)の開口部(12a)よりも小さい導体ビア(31)が設けられる。

明 細 書

発明の名称：回路基板、回路基板の製造方法及び電子装置

技術分野

[0001] 本発明は、回路基板、回路基板の製造方法及び電子装置に関する。

背景技術

[0002] 回路基板にキャパシタ（コンデンサ）を内蔵する技術が知られている。キャパシタは、所定材料を用いた誘電体層を一对の導体層で挟んだ構造とされる。

キャパシタを内蔵する回路基板に関し、その内部の層間接続のため、誘電体層とそれを挟む導体層対の一方とに接してキャパシタを貫通するような導体ビアを設ける技術が知られている。このほか、誘電体層とそれを挟む導体層対の少なくとも一方とに接しないでキャパシタを貫通するような導体ビアを設ける技術も知られている。導体ビアは、キャパシタの所定部位を貫通する孔を形成し、その孔に導体ビアの材料を形成することで、回路基板内に設けられる。

先行技術文献

特許文献

[0003] 特許文献1：特開2006-210776号公報

特許文献2：特開2015-18988号公報

発明の概要

発明が解決しようとする課題

[0004] キャパシタを内蔵し、誘電体層とそれを挟む導体層対の一方とに接してキャパシタを貫通するように導体ビアを設ける回路基板では、導体ビアの形成時に、誘電体層と導体層との間にクラックや剥離が生じることがある。キャパシタの誘電体層と導体層との間に生じるクラックや剥離は、キャパシタの静電容量を低下させ、キャパシタを内蔵する回路基板の信頼性及び性能を低下させる可能性がある。

課題を解決するための手段

- [0005] 本発明の一観点によれば、絶縁層と、前記絶縁層内に設けられ、誘電体層と、前記誘電体層の第1面に設けられ開口部を有する第1導体層と、前記誘電体層の前記第1面とは反対の第2面に設けられ前記開口部と対応する位置に凹部を有する第2導体層とを含むキャパシタと、前記絶縁層内に設けられ、前記誘電体層、前記開口部及び前記凹部を貫通し、前記凹部に接し、平面視で前記開口部よりも小さい導体ビアとを含む回路基板が提供される。
- [0006] また、本発明の一観点によれば、上記のような回路基板の製造方法、及び上記のような回路基板を含む電子装置が提供される。

発明の効果

- [0007] 開示の技術によれば、キャパシタの誘電体層と導体層との間のクラックや剥離、それによる静電容量の低下が抑えられ、信頼性及び性能に優れる回路基板が実現される。また、そのような回路基板を含む、信頼性及び性能に優れる電子装置が実現される。
- [0008] 本発明の目的、特徴及び利点は、本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

- [0009] [図1]回路基板の形成方法の一例を示す図（その1）である。
- [図2]回路基板の形成方法の一例を示す図（その2）である。
- [図3]回路基板の形成方法の一例を示す図（その3）である。
- [図4]回路基板形成における孔開け工程の説明図である。
- [図5]回路基板形成における導体ビア形成工程及び加熱工程の説明図である。
- [図6]第1の実施の形態に係る回路基板の一例を示す図である。
- [図7]第1の実施の形態に係るドリル加工の一例の説明図（その1）である。
- [図8]第1の実施の形態に係るドリル加工の一例の説明図（その2）である。
- [図9]第1の実施の形態に係るドリル加工の別例の説明図（その1）である。
- [図10]第1の実施の形態に係るドリル加工の別例の説明図（その2）である。
- 。

[図11]第1の実施の形態に係る回路基板の形成方法の一例を示す図（その1）である。

[図12]第1の実施の形態に係る回路基板の形成方法の一例を示す図（その2）である。

[図13]第1の実施の形態に係る回路基板の形成方法の別例を示す図である。

[図14]第2の実施の形態に係る回路基板の一例を示す図である。

[図15]第3の実施の形態に係る電子装置の一例を示す図である。

[図16]第3の実施の形態に係る電子機器の一例を示す図である。

発明を実施するための形態

[0010] 近年、電子装置、電子機器に搭載される半導体チップ、半導体パッケージ等の半導体装置の高性能化、動作の高速化、大電流化、低電圧化が進行している。このような半導体装置の安定な動作には、電源電圧の変動を抑制すること、高周波ノイズを除去することが重要になる。そのため、半導体装置が搭載される回路基板には、電源インピーダンスの低減が求められている。

[0011] 電源インピーダンスを低減するための手法の1つに、チップコンデンサを回路基板に実装し、回路基板の電源線とグランド（GND）線との間にチップコンデンサを接続する手法が知られている。また、半導体装置からコンデンサまでの配線長を短くして配線のインダクタンス成分を抑える観点から、回路基板にチップコンデンサを内蔵する手法や、誘電体層とそれを挟む一対の導体層で形成されるキャパシタ（薄膜キャパシタ）を内蔵する手法が知られている。

[0012] ここで、キャパシタを内蔵する回路基板について説明する。

キャパシタを内蔵する回路基板は、絶縁層内に、誘電体層を一対の導体層で挟んだ構造を有するキャパシタを含む。導体層対の一方は電源電位、他方はGND電位とされ、それぞれ回路基板の外部接続用の電源端子、GND端子と電氣的に接続される。

[0013] キャパシタを内蔵する回路基板では、内部の層間接続のために、絶縁層内に設けられたキャパシタを貫通するような導体ビアが設けられ得る。このよ

うな導体ビアを含む回路基板は、例えば、次のような方法で形成される。

[0014] 図1～図3は回路基板の形成方法の一例を示す図である。図1(A)～図1(C)、図2(A)～図2(C)及び図3(A)～図3(C)にはそれぞれ、回路基板形成の各工程の要部断面を模式的に図示している。

[0015] まず、図1(A)に示すような、誘電体層110が一对の導体層（電極層）120及び導体層（電極層）130で挟まれたキャパシタ基板100aが準備される。キャパシタ基板100aは、例えば、一方の電極層130上に誘電体層110を形成し、その上にもう一方の電極層120を形成することで、得られる。誘電体層110には、各種誘電体材料が用いられ、電極層120及び電極層130には、各種導体材料が用いられる。例えば、誘電体層にはチタン酸バリウム（ BaTiO_3 ；BTO）等のセラミック材料が用いられ、電極層120及び電極層130には銅（Cu）、ニッケル（Ni）等の金属材料が用いられる。

[0016] 次に、キャパシタ基板100aの一方の電極層120が、所定形状にパターニングされる。電極層120のパターニングは、例えばエッチングにより行われる。図1(B)には、電極層120の、後述する導体ビア310（又はそれを形成する孔300）が形成される位置を含む領域に、開口部121が形成された例を図示している。

[0017] 電極層120がパターニングされたキャパシタ基板100aは、図1(C)に示すように、絶縁層210と一体化される。絶縁層210は、例えば、1層又は複数層の配線層を有するベース基板上に設けられた、樹脂、プリプレグ等の絶縁層、例えばエポキシ樹脂等が用いられた絶縁層である。このような絶縁層210上に、キャパシタ基板100aが、パターニングされたその電極層120側を絶縁層210に対向され、加熱されながら加圧されて接着（熱圧着）されることで、絶縁層210と一体化される。

[0018] 絶縁層210と一体化されたキャパシタ基板100aは、もう一方の電極層130が、所定形状にパターニングされる。電極層130のパターニングは、例えばエッチングにより行われる。この場合は、まず図2(A)に示す

ように、電極層 130 上に、所定形状のレジストパターン 140 が形成される。次いで、図 2 (B) に示すように、形成されたレジストパターン 140 をマスクにして、電極層 130 のエッチングが行われ、電極層 130 が所定平面形状にパターニングされる。エッチング後、図 2 (C) に示すように、レジストパターン 140 が除去される。電極層 130 は、電極層 120 及びその開口部 121 と対応する位置に設けられるように、パターニングされる。

[0019] 電極層 130 のパターニング後、キャパシタ基板 100 a 上には、図 3 (A) に示すように、絶縁層 220 が形成される。絶縁層 220 は、例えば、樹脂、プリプレグ等の絶縁層、例えばエポキシ樹脂等が用いられた絶縁層である。このような絶縁層 220 が、絶縁層 210 上のキャパシタ基板 100 a の上に熱圧着される。これにより、絶縁層 210 と一体化されたキャパシタ基板 100 a が、絶縁層 220 によって被覆される。

[0020] 以上のような工程により、絶縁層 210 及び絶縁層 220 (絶縁層 200) 内にキャパシタ 100 (キャパシタ基板 100 a) を内蔵する回路基板の基本構造が形成される。

回路基板に、その内部の層間接続のため、内蔵されるキャパシタ 100 を貫通するような導体ビアを設ける場合、まず、図 3 (B) に示すように、キャパシタ 100 を貫通する孔 300 が形成される。孔 300 は、レーザー加工又はドリル加工によって形成される。孔 300 は、例えば、回路基板を貫通するように、或いは絶縁層 210 側のベース基板に設けられた配線層の一部に通じるように、形成される。

[0021] 孔 300 は、電極層 120 の開口部 121 の位置に、開口部 121 よりも小さい開口サイズ (平面視で開口部 121 よりも小さいサイズ) で形成される。換言すれば、電極層 120 のパターニング時 (図 1 (B)) には、形成される孔 300 よりも大きな開口サイズの開口部 121 が形成される。孔 300 の内壁には、図 3 (B) に示すように、キャパシタ 100 の誘電体層 110、電極層 120 及び電極層 130 のうち、誘電体層 110 及び一方の電

極層 130 が露出する。

[0022] 孔 300 の形成後、図 3 (C) に示すように、孔 300 の内壁に導体材料が形成され、導体ビア 310 が形成される。導体ビア 310 には、各種導体材料、例えば Cu 等の金属材料が用いられる。導体ビア 310 は、例えば、まず無電解メッキによって導体層（シード層）301 を形成し、次いでそのシード層 301 を給電層に用いた電解メッキによって導体層（メッキ層）302 を形成することで、得られる。

[0023] 孔 300 の内壁に導体ビア 310 が形成される際には、絶縁層 220 の上面にもシード層 301 及びメッキ層 302 が形成される。絶縁層 220 の上面に形成されるシード層 301 及びメッキ層 302 は、回路基板の、導体ビア 310 と繋がる配線の一部（導体層 313）として用いられる。

[0024] 図 3 (C) に示すように、孔 300 の内壁に設けられた導体ビア 310 は、孔 300 の形成時にその内壁に露出したキャパシタ 100 の誘電体層 110 と電極層 130 とに接する。これにより、キャパシタ 100 を貫通する導体ビア 310 と、キャパシタ 100 の電極層 130 とが電氣的に接続される。接続された導体ビア 310 とキャパシタ 100 の電極層 130 とは、電源電位又は GND 電位とされる。尚、キャパシタ 100 の、開口部 121 が設けられ導体ビア 310 とは接続されないもう一方の電極層 120 は、導体ビア 310 と接続される電極層 130 とは異なる電位とされる。導体ビア 310 により、回路基板内の、キャパシタ 100 を含む複数の層間を電氣的に接続する層間接続構造が形成される。

[0025] 例えば図 3 (C) に示すように、内壁に導体ビア 310 が形成された孔 300 の中央部には、導体ビア 310 の形成後、空洞 400 が残る。この空洞 400 内には、エポキシ樹脂等の樹脂（図示せず）が充填されてもよい。尚、ここでは導体ビア 310 として、孔 300 の内壁に形成されたコンフォーマルビアを例示するが、孔 300 内に導体材料を充填したフィルドビアが形成されてもよい。

[0026] ここでは図示を省略するが、図 3 (C) の工程後、例えば絶縁層 220 側

に樹脂等の絶縁層を積層してその絶縁層に導体ビア及び導体層を形成する、所謂ビルドアップ工程が実施されてもよい。このようなビルドアップ工程を1回又は複数回繰り返して実施することで、所望の配線層数を有する回路基板を得る。

[0027] このほか、例えば図3（A）の工程後、キャパシタ100側に、樹脂等の絶縁層とその上にパターンニングされて形成された導体層とを有する基板を、1枚又は複数枚積層する、所謂一括積層工程を実施し、所望の配線層数を有する回路基板を得てもよい。この場合、一括積層工程後に、図3（B）のようにして孔300の形成が行われ、図3（C）のようにして導体ビア310の形成が行われる。

[0028] 例えば、上記のような方法が用いられ、キャパシタ100を貫通する導体ビア310が形成され、導体ビア310による回路基板の層間接続構造が実現される。

ここで、回路基板の層間接続構造を得るための別法として、積層する各層に都度レーザー加工による孔開けとその孔内への導体材料の形成を行い、層間を電氣的に接続する導体ビアを形成していく、所謂多段レーザー加工法もある。

[0029] これに対し、上記のように複数層に一括で孔300を形成し（図3（B））、その孔300に導体ビア310を形成する（図3（C））方法を用いると、多段レーザー加工法を用いる場合に比べて、回路基板形成の簡素化、効率化が図られる。また、孔300の形成をドリル加工で行うと、一定の開口径で所望の深さの孔300を形成することができ、回路基板の多層化における設計自由度の向上が図られる。

[0030] その一方で、ドリル加工で孔300を形成する方法においては、次の図4及び図5に示すようなことが起こり得る。

図4は回路基板形成における孔開け工程の説明図、図5は回路基板形成における導体ビア形成工程及び加熱工程の説明図である。図4（A）には孔開け前の要部断面を模式的に図示し、図4（B）には孔開け途中の要部断面を

模式的に図示し、図4（C）には孔開け後の要部断面を模式的に図示している。図5（A）には無電解メッキ工程の要部断面を模式的に図示し、図5（B）には電解メッキ工程の要部断面を模式的に図示し、図5（C）は加熱工程の要部断面を模式的に図示している。

[0031] 図4（A）に示すような、絶縁層210、キャパシタ100及び絶縁層220の積層体（図3（A））に対し、導体ビア310用の孔300を形成するために、図4（B）に示すようなドリル500を用いた孔開け加工が行われる。ドリル500を用いた孔開け加工は、例えば絶縁層220側から、絶縁層220、キャパシタ100の電極層130及び誘電体層110、並びに絶縁層210を貫通するように、行われる。孔開け加工は、上記図3（B）に示したように、キャパシタ100の電極層120に形成した開口部121の位置に対して行われる。尚、図4及び図5に電極層120は図示していない（その開口部121が図示されている）。ドリル500で形成される孔300の内壁には、図4（B）に示すように、絶縁層220、電極層130、誘電体層110及び絶縁層210が露出する。

[0032] このようにドリル500を用いて孔開け加工を行うと、その加工時のストレスにより、図4（B）及び図4（C）に示すように、電極層130が変形し、その電極層130の変形と共に誘電体層110が変形する。このような電極層130及び誘電体層110の変形、或いは更に互いの物性の違いや密着性等によって、電極層130と誘電体層110の間には、図4（B）及び図4（C）に示すようなクラック600が発生し得る。

[0033] このようなクラック600が発生した状態で、図5（A）に示すように、無電解メッキが行われると、クラック600は、無電解メッキのメッキ液610、形成されるシード層301によっては充填されず、残存し得る。無電解メッキ後、図5（B）に示すように、更に電解メッキが行われると、残存するクラック600内にメッキ液620が浸入し得る。或いは、電解メッキ後もクラック600がボイドとして残存し得る。クラック600内に浸入したメッキ液620、或いはクラック600内に残存するボイドは、孔300

の内壁が無電解メッキで形成されるシード層 301 及び電解メッキで形成されるメッキ層 302、即ち導体ビア 310 で塞がれ、クラック 600 内に閉じ込められ得る。

[0034] クラック 600 内にメッキ液 620 やボイドが残存する状態で、導体ビア 310 形成後の回路基板が、試験時や実使用時に熱が付与されて加熱されると、クラック 600 内に残存するメッキ液 620 やボイド（その内部の気体）が膨張し得る。このように加熱によってクラック 600 内のメッキ液 620 やボイドが膨張すると、図 5（C）に示すように、孔 300 の内壁のクラック 600 を起点にして、キャパシタ 100 の電極層 130 と誘電体層 110 との間に剥離 630 が発生し得る。電極層 130 と誘電体層 110 との間に発生する剥離 630 は、キャパシタ 100 の静電容量の低下を引き起こす。

[0035] このように、ドリル加工で孔 300 を形成する方法を用いると、電極層 130 と誘電体層 110 との間に発生するクラック 600 及びそれに起因した剥離 630 により、キャパシタ 100 及びそれを内蔵する回路基板の信頼性及び性能が低下する可能性がある。

[0036] 尚、ここでは、電極層 120 の開口部 121 に対応した位置に存在する、電極層 130 と誘電体層 110 との積層部位に、ドリル加工を行う場合を例にした。このほか、電極層 130 の開口部に対応した位置に存在する、誘電体層 110 と電極層 120 との積層部位に、ドリル加工を行う場合も同様である。この場合も、ドリル加工に起因して誘電体層 110 と電極層 120 との間に発生するクラックや剥離により、キャパシタ 100 及びそれを内蔵する回路基板の信頼性及び性能が低下する可能性がある。

[0037] 以上のような点に鑑み、ここでは以下に実施の形態として示すような手法を用い、キャパシタを内蔵する回路基板の信頼性及び性能の低下を抑える。

まず、第 1 の実施の形態について説明する。

[0038] 図 6 は第 1 の実施の形態に係る回路基板の一例を示す図である。図 6 には第 1 の実施の形態に係る回路基板の一例の要部断面を模式的に図示している

。

図6に示す回路基板1は、絶縁層20（絶縁層21及び絶縁層22）と、絶縁層20内に設けられたキャパシタ10（キャパシタ基板10a）とを含む。回路基板1は更に、絶縁層20及びキャパシタ10を貫通する孔30内に設けられた導体ビア31と、導体ビア31に接続された導体層33とを含む。

[0039] キャパシタ10は、誘電体層11と、誘電体層11を挟む一对の導体層（電極層）12及び導体層（電極層）13とを含む。

誘電体層11には、各種誘電体材料が用いられる。例えば、誘電体層11には、セラミック材料が用いられる。誘電体層11のセラミック材料としては、BTO等の各種高誘電体材料を用いることができる。誘電体層11のセラミック材料としては、BTOにストロンチウム（Sr）を添加したチタン酸バリウムストロンチウム（ $Ba_xSr_{1-x}TiO_3$; BSTO）、チタン酸ストロンチウム（ $SrTiO_3$; STO）、チタン酸ジルコン酸鉛（ $Pb(Zr, Ti)O_3$; PZT）、ランタン（La）を添加したPZT（PLZT）等の高誘電体材料を用いることもできる。誘電体層11の厚さは、例えば $1\mu m \sim 3\mu m$ とされる。

[0040] 電極層12及び電極層13には、各種導体材料が用いられる。例えば、電極層12及び電極層13には、金属材料が用いられる。電極層12の金属材料としては、Cu、Ni等を用いることができる。電極層12及び電極層13の厚さはそれぞれ、例えば $15\mu m \sim 30\mu m$ とされる。電極層12及び電極層13は、それぞれ所定平面形状にパターニングされる。電極層12は、導体ビア31又は孔30が形成される位置を含む領域に、開口部12aを有する。電極層13は、導体ビア31又は孔30の外周部31Aに、薄化された部位である凹部13aを有する。電極層12及び電極層13には、互いに対応する位置に、それぞれ開口部12a及び凹部13aが設けられる。

[0041] このようなキャパシタ10が、絶縁層20内に設けられる。絶縁層20の、キャパシタ10下に設けられる部位である絶縁層21は、例えば、1層又

は複数層の配線層を有するベース基板上に設けられた、樹脂、プリプレグ等の絶縁層である。絶縁層 2 1 には、エポキシ樹脂、ポリイミド樹脂、ビスマレイミドトリアジン樹脂等の樹脂材料、又はこのような樹脂材料にガラス等の繊維やクロスが含有されたものを用いることができる。絶縁層 2 0 の、キャパシタ 1 0 上に設けられる部位である絶縁層 2 2 にも同様に、エポキシ樹脂、ポリイミド樹脂、ビスマレイミドトリアジン樹脂等の樹脂材料、又はこのような樹脂材料にガラス等の繊維やクロスが含有されたものを用いることができる。

[0042] 孔 3 0 は、絶縁層 2 2、キャパシタ 1 0 及び絶縁層 2 1 を貫通するように形成される。孔 3 0 は、後述のように、ドリル加工によって形成される。例えば、平面円形状で、直径が $50\ \mu\text{m}$ ~ $300\ \mu\text{m}$ の開口サイズの孔 3 0 が設けられる。孔 3 0 は、電極層 1 2 の開口部 1 2 a 及び電極層 1 3 の凹部 1 3 a の位置に、凹部 1 3 a に接し、且つ、開口部 1 2 a よりも小さい開口サイズ（平面視で開口部 1 2 a よりも小さいサイズ）で、形成される。孔 3 0 の内壁には、キャパシタ 1 0 の誘電体層 1 1、電極層 1 2 及び電極層 1 3 のうち、誘電体層 1 1 及び電極層 1 3 が露出する。電極層 1 3 の露出部には、その薄化された部位である凹部 1 3 a が含まれる。

[0043] 孔 3 0 内には、導体ビア 3 1 が設けられる。導体ビア 3 1 には、各種導体材料が用いられる。例えば、導体ビア 3 1 には、金属材料が用いられる。導体ビア 3 1 の金属材料としては、Cu 等を用いることができる。導体ビア 3 1 は、後述のように、メッキ法を用いて形成される。導体ビア 3 1 は、例えば、中央部に空洞 4 0 を残して孔 3 0 の内壁に設けられたコンフォーマルビアとされる。尚、空洞 4 0 内には樹脂（図示せず）が充填されてもよい。

[0044] 絶縁層 2 2 の上面 2 2 a には、孔 3 0 内に設けられる導体ビア 3 1 と接続された導体層 3 3 が設けられる。導体層 3 3 には、各種導体材料が用いられる。例えば、導体層 3 3 には、金属材料が用いられる。導体層 3 3 の金属材料としては、Cu 等を用いることができる。導体層 3 3 は、例えば、後述のように、メッキ法を用いて孔 3 0 の内壁に導体ビア 3 1 を形成する際に、そ

の導体ビア 3 1 と同時に形成される。

[0045] 回路基板 1 では、導体ビア 3 1 が、キャパシタ 1 0 の電極層 1 3 の凹部 1 3 a 及び誘電体層 1 1 をこれらに接触して貫通し、電極層 1 2 の開口部 1 2 a を非接触で貫通する。導体ビア 3 1 (及びそれに接続される導体層 3 3) は、キャパシタ 1 0 の電極層 1 3 と電氣的に接続される。

[0046] 回路基板 1 を形成する際には、電極層 1 2 に予め、導体ビア 3 1 を形成する孔 3 0 よりも大きな開口部 1 2 a を設け、電極層 1 3 に予め、導体ビア 3 1 を形成する孔 3 0 の形成位置に凹部 1 3 a を設ける。そして、このような電極層 1 2 及び電極層 1 3 を含むキャパシタ 1 0 を、絶縁層 2 1 と絶縁層 2 2 との間に設けた状態で、開口部 1 2 a 及び凹部 1 3 a を貫通するように、ドリル加工によって孔 3 0 を形成する。

[0047] 図 7 及び図 8 は第 1 の実施の形態に係るドリル加工の一例の説明図である。図 7 (A) にはドリル加工前の基板の要部断面を模式的に図示し、図 7 (B) にはドリル加工前のキャパシタの要部平面を模式的に図示している。図 8 (A) にはドリル加工後の基板の要部断面を模式的に図示し、図 8 (B) にはドリル加工後のキャパシタの要部平面を模式的に図示している。

[0048] 図 7 (A) に示す基板 1 a は、絶縁層 2 1 と、絶縁層 2 1 上に設けられたキャパシタ 1 0 と、キャパシタ 1 0 上に設けられた絶縁層 2 2 とを含む。

図 7 (B) (及び図 8 (B)) にはキャパシタ 1 0 の電極層 1 2 の開口部 1 2 a を点線で図示している。電極層 1 3 には、ドリル加工前に、電極層 1 2 の開口部 1 2 a と対応する位置に、凹部 1 3 a が設けられる。図 7 (A) 及び図 7 (B) の例では、電極層 1 3 の凹部 1 3 a として、ドリル加工で孔 3 0 が形成される位置の外縁 E (鎖線で図示) の全体が含まれる平面周状の凹部 1 3 a を設けている。図 7 (A) 及び図 7 (B) に示すような凹部 1 3 a は、例えば、後述のように、キャパシタ 1 0 上に絶縁層 2 2 を形成する前に、電極層 1 3 をハーフエッチングすることで、形成される。

[0049] 図 7 (A) に示すような基板 1 a に対するドリル加工により、図 8 (A) に示すような、絶縁層 2 2、キャパシタ 1 0 の電極層 1 3 の凹部 1 3 a、誘

電極層 1 1、電極層 1 2 の開口部 1 2 a、及び絶縁層 2 1 を貫通する、孔 3 0 が形成される。図 8 (A) 及び図 8 (B) に示すように、形成される孔 3 0 の内壁は、電極層 1 2 の開口部 1 2 a (点線で図示) の縁よりも内側で、電極層 1 3 の凹部 1 3 a に位置する。

[0050] 図 7 及び図 8 に示す基板 1 a の例では、電極層 1 3 に、ドリル加工位置の外縁 E の全体が含まれる平面周状の凹部 1 3 a を設け、電極層 1 3 の、ドリル加工位置の外縁 E を薄くしている。これにより、このような凹部 1 3 a を設けていない電極層 1 3 をドリル加工する場合に比べて、電極層 1 3 のドリル加工時のストレスが低減される。

[0051] 尚、ここでは電極層 1 3 の凹部 1 3 a を平面周状とし、中央に凸部 1 3 c を残したが、このような凸部は必ずしも設けることを要しない。

但し、電極層 1 3 に凹部 1 3 a をハーフエッチングで形成する際には、電極層 1 3 の材質やエッチング条件等によって、電極層 1 3 面内のエッチングが不均一に進行する場合がある。このような場合、エッチング領域が広いと、回路基板 1 に電極層 1 3 の凹部 1 3 a として残すべき部位が貫通し、ドリル加工後の孔 3 0 に導体ビア 3 1 を形成した際、導体ビア 3 1 と電極層 1 3 とが未接続 (断線) となり、回路基板 1 の性能が低下する可能性がある。

[0052] これに対し、図 7 及び図 8 の例のように、凹部 1 3 a を中央に凸部 1 3 c が残るような平面周状にすると、エッチング領域が広くなるのが抑えられ、エッチングの速度、深さ、面積等をコントロールし易くなる。それにより、回路基板 1 に電極層 1 3 の凹部 1 3 a として残すべき部位の貫通、それによる導体ビア 3 1 との未接続を抑えることも可能になる。凹部 1 3 a を平面周状にすると、電極層 1 3 のエッチング領域が広くなることで生じ得る不具合を抑えつつ、電極層 1 3 のドリル加工位置の外縁 E を薄くし、電極層 1 3 のドリル加工時のストレスを低減することができる。

[0053] 尚、電極層 1 3 のドリル加工時のストレスが低減可能で、導体ビア 3 1 と電極層 1 3 とを断線させずに電氣的に接続可能であれば、凹部 1 3 a 内の一部には貫通部位が含まれてもよい。

[0054] また、図9及び図10は第1の実施の形態に係るドリル加工の別例の説明図である。図9(A)にはドリル加工前の基板の要部断面を模式的に図示し、図9(B)にはドリル加工前のキャパシタの要部平面を模式的に図示している。図10(A)にはドリル加工後の基板の要部断面を模式的に図示し、図10(B)にはドリル加工後のキャパシタの要部平面を模式的に図示している。

[0055] 図9(A)に示す基板1aも上記同様、絶縁層21と、絶縁層21上に設けられたキャパシタ10と、キャパシタ10上に設けられた絶縁層22とを含む。

図9(B)(及び図10(B))にはキャパシタ10の電極層12の開口部12aを点線で図示している。電極層13には、ドリル加工前に、電極層12の開口部12aと対応する位置に、凹部13aが設けられる。図9(A)及び図9(B)の例では、電極層13の凹部13aとして、ドリル加工で孔30が形成される位置の外縁E(鎖線で図示)の一部が含まれる平面円形状の凹部13aを複数箇所(ここでは一例として6箇所)に設けている。図9(A)及び図9(B)に示すような凹部13a群は、例えば、後述のように、キャパシタ10上に絶縁層22を形成する前に、電極層13をハーフエッチングすることで、形成される。

[0056] 図9(A)に示すような基板1aに対するドリル加工により、図10(A)に示すような、絶縁層22、キャパシタ10の電極層13の凹部13a群、誘電体層11、電極層12の開口部12a、及び絶縁層21を貫通する、孔30が形成される。図10(A)及び図10(B)に示すように、形成される孔30の内壁は、電極層12の開口部12a(点線で図示)の縁よりも内側で、電極層13の凹部13a群、及び隣接凹部13a間(電極層13の薄化されていない部位)に位置する。

[0057] 図9及び図10に示す基板1aの例では、電極層13に、ドリル加工位置の外縁Eの一部が含まれる平面円形状の凹部13aを複数設け、電極層13の、ドリル加工位置の外縁Eの複数箇所を薄くしている。これにより、この

ような凹部 13 a 群を設けていない電極層 13 をドリル加工する場合に比べて、電極層 13 のドリル加工時のストレスが低減される。

[0058] 図 9 及び図 10 の例では、ドリル加工位置の外縁 E の複数箇所凹部 13 a を設けるため、隣接凹部 13 a 間には、電極層 13 の薄化されていない部位（未薄化部） 13 d が残る。そのため、ドリル加工で形成した孔 30 に導体ビア 31 を形成した際、導体ビア 31 は、電極層 13 の薄化された凹部 13 a だけでなく、薄化されていない未薄化部 13 d とも接続され、導体ビア 31 と電極層 13 との間の電気抵抗の増大を抑えることができる。図 9 及び図 10 の例のように、凹部 13 a を複数箇所に設けると、導体ビア 31 と電極層 13 との間の電気抵抗の増大を抑えつつ、電極層 13 の、ドリル加工位置の外縁 E の複数箇所を薄くし、電極層 13 のドリル加工時のストレスを低減することができる。

[0059] 図 9 及び図 10 の例に示すような凹部 13 a 群の各々の個数や外形サイズは、上記の例に限定されるものではない。凹部 13 a 群により、電極層 13 の薄化された部位の合計面積が大きくなるほど、電極層 13 のドリル加工時のストレス低減効果が大きくなる。一方、凹部 13 a 群により、電極層 13 の薄化されていない部位の面積が大きくなるほど、孔 30 の内壁に形成される導体ビア 31 との電気抵抗低減効果が大きくなる。

[0060] 尚、電極層 13 のドリル加工時のストレスが低減可能で、電極層 13 をその薄化されていない部位で導体ビア 31 と十分に電氣的に接続可能であれば、凹部 13 a 群の一部又は全部は貫通孔とされてもよく、或いは凹部 13 a 内の一部に貫通部位が含まれてもよい。

[0061] 上記図 7 及び図 8、又は上記図 9 及び図 10 に例示した基板 1 a のように、ドリル加工前の電極層 13 の所定部位に凹部 13 a 又は凹部 13 a 群を設けておくことで、電極層 13 のドリル加工時のストレスが低減される。そのため、上記図 4 及び図 5 に示したような、ドリル加工時のストレスによる電極層 130 及びその下の誘電体層 110 の変形、電極層 130 と誘電体層 110 との間のクラック 600 の発生、クラック 600 に起因した加熱時の剥

離 6 3 0 が抑えられる。基板 1 a において、その電極層 1 3 と誘電体層 1 1 との間のクラックや剥離の発生を抑えることで、内蔵されるキャパシタ 1 0 の静電容量の低下を抑えることが可能になる。

[0062] 尚、上記図 7 及び図 8 には外形が平面円形状の凹部 1 3 a を例示し、上記図 9 及び図 1 0 には外形が平面円形状の凹部 1 3 a 群を例示するが、各凹部 1 3 a の外形は、平面円形状に限定されるものではない。更に、上記図 7 及び図 8、及び上記図 9 及び図 1 0 には、外形が平面円形状の導体ビア 3 1 及び開口部 1 2 a を例示するが、導体ビア 3 1 及び開口部 1 2 a の外形の形状も、平面円形状に限定されるものではない。孔 3 0 の内壁に形成される導体ビア 3 1 が、凹部 1 3 a 又は凹部 1 3 a 群と接し、開口部 1 2 a と接しない構造となれば、導体ビア 3 1、各凹部 1 3 a 及び開口部 1 2 a の外形は、各種平面形状とすることができる。

[0063] 電極層 1 3 に設ける凹部 1 3 a 又は凹部 1 3 a 群は、深くなるほど、また面積又は合計面積が広くなるほど、ドリル加工時のストレス低減効果は高くなる一方、電極層 1 3 とドリル加工後の孔 3 0 に形成される導体ビア 3 1 との接触面積は小さくなる。例えば、凹部 1 3 a 又は凹部 1 3 a 群を設けた電極層 1 3 に対するドリル加工時のストレス、及び凹部 1 3 a 又は凹部 1 3 a 群を設けた電極層 1 3 と導体ビア 3 1 との間の電気抵抗を考慮し、電極層 1 3 に設ける凹部 1 3 a 又は凹部 1 3 a 群の深さ、面積を設定する。

[0064] 続いて、上記のような構成を有する回路基板 1 の形成方法の一例について説明する。

図 1 1 及び図 1 2 は第 1 の実施の形態に係る回路基板の形成方法の一例を示す図である。図 1 1 (A) ~ 図 1 1 (C) 及び図 1 2 (A) ~ 図 1 2 (C) にはそれぞれ、第 1 の実施の形態に係る回路基板形成の各工程の要部断面を模式的に図示している。

[0065] この例では、上記図 1 (A) ~ 図 1 (C) 及び図 2 (A) ~ 図 2 (C) の例に従い、図 1 1 (A) に示すような、絶縁層 2 1 及びキャパシタ基板 1 0 a の積層体が準備される。キャパシタ基板 1 0 a は、例えば、Ni を主成分

とした一方の電極層 1 3 上に、B T O を主成分とした誘電体層 1 1 を焼結形成し、その上に、C u を主成分とした他方の電極層 1 2 を被覆形成することで、得られる。キャパシタ基板 1 0 a は、一方の電極層 1 2 がパターンニングされ、樹脂等が用いられた絶縁層 2 1 と一体化され、更に、もう一方の電極層 1 3 がパターンニングされる。このような積層体の、キャパシタ基板 1 0 a の電極層 1 3 の上に、図 1 1 (A) に示すように、凹部 1 3 a 又は凹部 1 3 a 群を形成する領域に開口部 1 4 a を有するレジストパターン 1 4 が形成される。

[0066] レジストパターン 1 4 の形成後、図 1 1 (B) に示すように、そのレジストパターン 1 4 をマスクにして、電極層 1 3 のハーフエッチングが行われる。電極層 1 3 のハーフエッチングにより、後述するドリル加工による孔 3 0 の形成時の、そのドリル加工位置の外縁の全体又は一部が含まれる領域に、凹部 1 3 a 又は凹部 1 3 a 群が形成される。例えば、上記図 7 (A) 及び図 7 (B) に例示したような凹部 1 3 a、又は上記図 9 (A) 及び図 9 (B) に例示したような凹部 1 3 a 群が、レジストパターン 1 4 を用いた電極層 1 3 のハーフエッチングにより形成される。

[0067] 電極層 1 3 のハーフエッチングは、ウェットエッチングによって行うことができる。エッチング時には、各種条件（エッチング液の種類、温度、濃度、処理時間等）が調整される。エッチングの各種条件が調整され、電極層 1 3 に所定深さの凹部 1 3 a 又は凹部 1 3 a 群が形成される。例えば、厚さ 3 0 μm の電極層 1 3 に対するハーフエッチングにより、深さ 2 0 μm の凹部 1 3 a 又は凹部 1 3 a 群が形成される。この場合、凹部 1 3 a の下には、厚さ 1 0 μm の電極層 1 3 が残存する。

[0068] ハーフエッチング後、図 1 1 (C) に示すように、レジストパターン 1 4 が除去される。これにより、絶縁層 2 1 上に、開口部 1 2 a を有する電極層 1 2 と、誘電体層 1 1 と、開口部 1 2 a に対応する領域に凹部 1 3 a 又は凹部 1 3 a 群を有する電極層 1 3 とを含むキャパシタ基板 1 0 a が設けられた積層体 1 a a が得られる。

- [0069] 得られた積層体 1 a a の上には、図 1 2 (A) に示すように、樹脂等が用いられた絶縁層 2 2 が形成される。絶縁層 2 2 は、例えば絶縁層 2 1 上に設けられたキャパシタ基板 1 0 a の上に熱圧着され、絶縁層 2 1 及びキャパシタ基板 1 0 a と一体化される。
- [0070] 例えば、図 1 1 (A) ~ 図 1 1 (C) 及び図 1 2 (A) に示すような方法が用いられ、絶縁層 2 1 及び絶縁層 2 2 (絶縁層 2 0) 内にキャパシタ 1 0 (キャパシタ基板 1 0 a) を内蔵する基板 1 a が形成される。
- [0071] 図 1 2 (A) に示すような基板 1 a の形成後、図 1 2 (B) に示すように、絶縁層 2 2、キャパシタ 1 0 及び絶縁層 2 1 を貫通する孔 3 0 が形成される。孔 3 0 は、ドリル加工によって形成される。孔 3 0 は、キャパシタ 1 0 の電極層 1 2 に設けられた開口部 1 2 a、及び電極層 1 3 に設けられた凹部 1 3 a 又は凹部 1 3 a 群の位置に、形成される。例えば、上記図 8 (A) 及び図 8 (B) に例示したように、又は上記図 1 0 (A) 及び図 1 0 (B) に例示したように、ドリル加工によって孔 3 0 が形成される。
- [0072] キャパシタ 1 0 の一方の電極層 1 3 には、ドリル加工前に、開口部 1 2 a に対応する領域にあって、ドリル加工位置の外縁の全体又は一部が含まれる領域に、凹部 1 3 a 又は凹部 1 3 a 群が形成されている。キャパシタ 1 0 のもう一方の電極層 1 2 には、ドリル加工前に、そのドリル加工位置の外縁よりも大きな開口サイズで開口部 1 2 a が形成されている。
- [0073] ドリル加工による、キャパシタ 1 0 を貫通する孔 3 0 の形成時には、一方の電極層 1 3 のドリル加工位置に凹部 1 3 a 又は凹部 1 3 a 群が形成されていることで、それらが形成されていない場合に比べ、電極層 1 3 がドリルで削られる際のストレスが低減される。もう一方の電極層 1 2 は、ドリルが開口部 1 2 a を貫通するため、そのドリル加工で電極層 1 2 が削られることはない。凹部 1 3 a 又は凹部 1 3 a 群により、ドリル加工時のストレスが低減されるため、上記図 4 及び図 5 に示したような、電極層 1 3 0 及びその下の誘電体層 1 1 0 の変形、電極層 1 3 0 と誘電体層 1 1 0 との間のクラック 6 0 0 の発生が抑えられる。

[0074] 孔30の形成後は、図12(C)に示すように、孔30の内壁にCu等の導体材料が形成され、導体ビア31が形成される。例えば、まず無電解メッキによって導体層（シード層）30aが形成され、次いでそのシード層30aを給電層に用いた電解メッキによって導体層（メッキ層）30bが形成される。これにより、孔30の内壁に導体ビア31が形成される。導体ビア31は、キャパシタ10の誘電体層11、電極層12及び電極層13のうち、ドリル加工で形成された孔30の内壁に露出する誘電体層11、及び電極層13の凹部13a又は凹部13a群と接し、電極層13と電氣的に接続される。

[0075] 導体ビア31の形成時には、図12(C)に示すように、孔30の内壁のほか、絶縁層22の上面22aにもシード層30a及びメッキ層30bが形成される。これにより、絶縁層22の上面22aに、導体層33が形成される。導体層33は、所定形状にパターニングされてもよい。

[0076] 導体ビア31は、孔30の内壁に形成され、中央部に空洞40を残したコンフォーマルビアとして形成される。この場合、空洞40には、エポキシ樹脂等の樹脂（図示せず）が充填されてもよい。尚、孔30内に導体材料を充填し、フィルドビアを形成することもできる。

[0077] 例えば、以上のような方法を用いて、回路基板1が形成される。

また、回路基板1は、次のような方法を用いて形成することもできる。

図13は第1の実施の形態に係る回路基板の形成方法の別例を示す図である。図13(A)～図13(C)にはそれぞれ、第1の実施の形態に係る回路基板形成の各工程の要部断面を模式的に図示している。

[0078] この例では、上記図1(A)～図1(C)の例に従い、図13(A)に示すような、絶縁層21及びキャパシタ基板10aの積層体が準備される。キャパシタ基板10aは、誘電体層11と、パターニングされた電極層12と、パターニング前の電極層13とを有し、樹脂等が用いられた絶縁層21と一体化される。このような積層体の、キャパシタ基板10aの電極層13の上に、図13(A)に示すように、電極層13をパターニングするためのレ

ジストパターン 15 が形成される。

[0079] レジストパターン 15 は、電極層 13 を除去する領域に設けられた開口部 15 b、及び凹部 13 a 又は凹部 13 a 群を形成する領域に通じる開口部 15 a を有する。レジストパターン 15 の開口部 15 b 及び開口部 15 a のうち、凹部 13 a 又は凹部 13 a 群を形成する領域に通じる開口部 15 a は、例えば、その開口サイズを電極層 13 の厚さ以下とした比較的微細な開口とされる。

[0080] レジストパターン 15 の形成後、図 13 (B) に示すように、そのレジストパターン 15 をマスクにして、電極層 13 のエッチングが行われる。電極層 13 のエッチングは、ウェットエッチングによって行うことができる。エッチング時には、各種条件（エッチング液の種類、温度、濃度、処理時間等）が調整される。

[0081] レジストパターン 15 をマスクにした電極層 13 のエッチングにより、開口部 15 b の電極層 13 が除去され、電極層 13 が所定平面形状にパターニングされる。このエッチングの際には、比較的微細な開口とした開口部 15 a を通じて、電極層 13 の凹部 13 a 又は凹部 13 a 群を形成する領域のエッチングも進行する。この開口部 15 a を通じたエッチングは、開口部 15 a を比較的微細な開口としたことで、より大きな開口サイズの開口部 15 b と比べて、電極層 13 のエッチング速度が小さくなる。開口部 15 a の開口サイズ、及びエッチングの各種条件（エッチング液の処理時間等）を調整することで、電極層 13 に所定深さの凹部 13 a 又は凹部 13 a 群が形成される。

[0082] エッチング後、図 13 (C) に示すように、レジストパターン 15 が除去される。これにより、絶縁層 21 上に、開口部 12 a を有する電極層 12 と、誘電体層 11 と、凹部 13 a 又は凹部 13 a 群を有する電極層 13 とを含むキャパシタ基板 10 a が設けられた積層体 1 a a が得られる。

[0083] 図 13 (A) ～図 13 (C) に示すような方法を用いることで、電極層 13 の、所定平面形状へのパターニングと、凹部 13 a 又は凹部 13 a 群の形

成とを、同時に行うことができる。

[0084] 以後は、上記図 1 2 (A) ~ 図 1 2 (C) と同様にして、積層体 1 a a 上に絶縁層 2 2 が形成されて基板 1 a が形成され (図 1 2 (A))、ドリル加工により孔 3 0 が形成され (図 1 2 (B))、メッキ法により導体ビア 3 1 及び導体層 3 3 が形成される (図 1 2 (C))。

[0085] 以上のような方法を用いて、回路基板 1 を形成することもできる。

尚、図 1 1 (A) ~ 図 1 1 (C) 及び図 1 3 (A) ~ 図 1 3 (C) の例では、絶縁層 2 1 と一体化した後のキャパシタ基板 1 0 a の電極層 1 3 に対して凹部 1 3 a 又は凹部 1 3 a 群の形成を行うようにした。電極層 1 3 の凹部 1 3 a 又は凹部 1 3 a 群の形成は、図 1 1 (A) ~ 図 1 1 (C) 又は図 1 3 (A) ~ 図 1 3 (C) の例に従い、絶縁層 2 1 と一体化する前のキャパシタ基板 1 0 a の電極層 1 3 に対して行うこともできる。この場合は、電極層 1 2 と電極層 1 3 とが共にパターニングされたキャパシタ基板 1 0 a が、絶縁層 2 1 と一体化され、図 1 2 (A) ~ 図 1 2 (C) のような工程が実施される。

[0086] 回路基板 1 では、孔 3 0 を形成するドリル加工前に、電極層 1 3 の、ドリル加工位置の外縁に相当する位置に、凹部 1 3 a 又は凹部 1 3 a 群が設けられる。そのため、電極層 1 3 のドリル加工時のストレスが低減され、電極層 1 3 及びその下の誘電体層 1 1 の変形が抑えられ、電極層 1 3 と誘電体層 1 1 との間のクラックの発生が抑えられる。回路基板 1 では、電極層 1 3 と誘電体層 1 1 との間のクラックの発生が抑えられるため、メッキ法を用いて孔 3 0 内に導体ビア 3 1 を形成する際の、クラックへのメッキ液の浸入が抑えられる。クラックの発生とそこへのメッキ液の浸入が抑えられるため、試験時や実使用時に回路基板 1 が加熱されても、クラック内のメッキ液の膨張、それによる誘電体層 1 1 と電極層 1 2 及び電極層 1 3 との間の剥離の発生が抑えられる。その結果、回路基板 1 に内蔵されるキャパシタ 1 0 の静電容量の低下が抑えられる。

[0087] 上記手法によれば、キャパシタ 1 0 の、ドリル加工時のクラックの発生、

加熱を伴う試験時や実使用時の剥離、それによる静電容量の低下を効果的に抑えることのできる、信頼性及び性能に優れた回路基板 1 が実現される。

[0088] 尚、ここではキャパシタ 10 或いはキャパシタ基板 10 a を、電極層 12 を絶縁層 21 側に、電極層 13 を絶縁層 22 側に向けて配置したが、勿論、電極層 13 を絶縁層 21 側に、電極層 12 を絶縁層 22 側に向けて配置してもよい。

[0089] この場合は、下層側になる電極層 13 に、ドリル加工位置の外縁よりも大きい開口部が形成され、上層側になる電極層 12 に、電極層 13 の開口部に対応する領域にあって、ドリル加工位置の外縁の全体又は一部が含まれる領域に、凹部又は凹部群が形成される。

[0090] また、ここではキャパシタ 10 の電極層 13 に凹部 13 a 又は凹部 13 a 群を設ける例を示したが、電極層 13 と共に、電極層 12 にも同様に、凹部又は凹部群を設けてもよい。

[0091] この場合は、例えば、絶縁層 21 と一体化する前のキャパシタ基板 10 a (図 1 (A)) の、その電極層 12 の所定領域 (電極層 13 の開口部と対応する領域にあってドリル加工位置外縁の全体又は一部が含まれる領域) に、凹部又は凹部群を形成する。キャパシタ基板 10 a の電極層 12 への凹部又は凹部群の形成は、図 11 (A) ~ 図 11 (C) 又は図 13 (A) ~ 図 13 (C) に示したような方法の例に従い、行うことができる。

[0092] そのキャパシタ基板 10 a を絶縁層 21 と一体化し、電極層 13 の所定領域 (電極層 12 の開口部 12 a と対応する領域にあってドリル加工位置外縁の全体又は一部が含まれる領域) に、凹部 13 a 又は凹部 13 a 群を形成する。尚、電極層 13 の凹部 13 a 又は凹部 13 a 群の形成は、絶縁層 21 と一体化する前のキャパシタ基板 10 a の電極層 13 に対して行ってもよい。電極層 13 への凹部 13 a 又は凹部 13 a 群の形成は、図 11 (A) ~ 図 11 (C) 又は図 13 (A) ~ 図 13 (C) に示した方法の例に従い、行うことができる。

[0093] このようにして、電極層 12 と電極層 13 の双方の、各々の所定領域に、

凹部又は凹部群を設けた積層体を得る。以後は、上記図 1 2 (A) ~ 図 1 2 (C) と同様にして、絶縁層の形成 (図 1 2 (A))、ドリル加工による孔の形成 (図 1 2 (B))、メッキ法による導体ビア及び導体層の形成 (図 1 2 (C)) を行う。ドリル加工前の電極層 1 2 及び電極層 1 3 の各々に設けられる凹部又は凹部群により、電極層 1 3 の開口部、誘電体層 1 1 及び電極層 1 2 のドリル加工時のストレス、電極層 1 2 の開口部、誘電体層 1 1 及び電極層 1 3 のドリル加工時のストレスが、共に低減される。

[0094] また、ここでは図示を省略するが、上記のようにして形成された回路基板 1 上に樹脂等の絶縁層を積層してその絶縁層に導体ビア及び導体層を形成するビルドアップ工程を、1 回又は複数回繰り返し、所望の配線層数を有する回路基板を得てもよい。

[0095] 次に、第 2 の実施の形態について説明する。

図 1 4 は第 2 の実施の形態に係る回路基板の一例を示す図である。図 1 4 には第 2 の実施の形態に係る回路基板の一例の要部断面を模式的に図示している。

[0096] 図 1 4 に示す回路基板 1 A は、配線 2 4 a を含むベース基板 2 4 と、ベース基板 2 4 上に設けられた絶縁層 2 1 と、絶縁層 2 1 上に設けられたキャパシタ 1 0 と、キャパシタ 1 0 上に設けられた絶縁層 2 2 とを含む。絶縁層 2 2、キャパシタ 1 0、絶縁層 2 1 及びベース基板 2 4 を貫通するように、複数 (ここでは一例として 3 個) の孔 3 0 が設けられる。各孔 3 0 の内壁に、コンフォーマルビア形状の導体ビア 3 1 が設けられる。

[0097] キャパシタ 1 0 の電極層 1 2 には、導体ビア 3 1 が設けられる位置に、凹部 1 2 b 又は凹部 1 2 b 群、或いは、開口部 1 2 a が設けられる。キャパシタ 1 0 の電極層 1 3 には、導体ビア 3 1 が設けられる位置に、開口部 1 3 b、或いは、凹部 1 3 a 又は凹部 1 3 a 群が設けられる。

[0098] 導体ビア 3 1 の 1 つ (導体ビア 3 1 a) は、電極層 1 2 の開口部 1 2 a、誘電体層 1 1、及び電極層 1 3 の開口部 1 3 b を貫通し、キャパシタ 1 0 とは電氣的に接続されない。導体ビア 3 1 の別の 1 つ (導体ビア 3 1 b) は、

電極層 13 の開口部 13 b、誘電体層 11、及び電極層 12 の凹部 12 b 又は凹部 12 b 群を貫通し、外周部 31 A に凹部 12 b 又は凹部 12 b 群が位置し、キャパシタ 10 の電極層 12 と電氣的に接続される。導体ビア 31 の更に別の 1 つ（導体ビア 31 c）は、電極層 13 の凹部 13 a 又は凹部 13 a 群、誘電体層 11、及び電極層 12 の開口部 12 a を貫通し、外周部 31 A に凹部 13 a 又は凹部 13 a 群が位置し、キャパシタ 10 の電極層 13 と電氣的に接続される。

[0099] 導体ビア 31 の内側には、樹脂 41 が充填される。樹脂 41 が充填された導体ビア 31 の上下には、導体層 36 が設けられる。導体層 36 は、例えばメッキ法を用いて形成される（所謂蓋メッキ）。例えば、絶縁層 22 上に設けられた導体層 33、及び同様にベース基板 24 下に設けられた導体層 33 はそれぞれ、導体層 36 の形成後に、導体層 36 と共に、所定形状にパターンニングされる。

[0100] 絶縁層 22 上及びベース基板 24 下には、それぞれビルドアップ層 2 a が設けられる。各ビルドアップ層 2 a には、絶縁層 23 と、絶縁層 23 を貫通し導体ビア 31 上の導体層 36 に通じる孔 35 a 内に設けられた接続ビア 35 と、接続ビア 35 上に設けられた導体層 37 とが含まれる。例えば、導体層 37 が、回路基板 1 A の外部接続用の端子として利用される。

[0101] 図 14 には一例として、キャパシタ 10 とは電氣的に接続されない導体ビア 31 a、並びにキャパシタ 10 と電氣的に接続される導体ビア 31 b 及び導体ビア 31 c の、3 つの導体ビア 31 を図示している。回路基板 1 A において、導体ビア 31 a と電氣的に接続される導体層 37（端子 37 a）が、信号端子とされる。導体ビア 31 b と電氣的に接続される導体層 37（端子 37 b）、及び導体ビア 31 c と電氣的に接続される導体層 37（端子 37 c）のうち、一方が電源端子とされ、他方が GND 端子とされる。これにより、キャパシタ 10 の、導体ビア 31 b と電氣的に接続される電極層 12、及び導体ビア 31 c と電氣的に接続される電極層 13 のうち、一方が電源電位とされ、他方が GND 電位とされる。

[0102] 上記第1の実施の形態で述べた技術を採用することで、例えばこの図14に示すような回路基板1Aが得られる。回路基板1Aでは、これを形成する際、ドリル加工前の電極層12に、電極層13の開口部13bに対応して凹部12b又は凹部12b群を設けておくことで、電極層12のドリル加工時のストレスが低減される。同様に回路基板1Aでは、これを形成する際、ドリル加工前の電極層13に、電極層12の開口部12aに対応して凹部13a又は凹部13a群を設けておくことで、電極層13のドリル加工時のストレスが低減される。これにより、キャパシタ10の、ドリル加工時のクラックの発生、クラックに起因した加熱時の剥離、それによる静電容量の低下を効果的に抑えることのできる、信頼性及び性能に優れた回路基板1Aが実現される。

[0103] 尚、ここでは絶縁層22側及びベース基板24側にそれぞれ1層ずつビルドアップ層2aを設けた回路基板1Aを例示したが、ビルドアップ層2aの層数はこれに限定されるものではない。また、導体ビア31（31a，31b，31c）は、フィルドビアとすることもできる。

[0104] 次に、第3の実施の形態について説明する。

上記第1及び第2の実施の形態で述べたような回路基板1，1A等の上には、半導体チップや半導体パッケージ等の半導体装置をはじめ、各種電子部品を搭載することができる。

[0105] 図15は第3の実施の形態に係る電子装置の一例を示す図である。図15には第3の実施の形態に係る電子装置の一例の要部断面を模式的に図示している。

ここでは、上記第2の実施の形態で述べた回路基板1Aを例にする。図15に示す電子装置50は、回路基板1Aと、回路基板1A上に搭載された電子部品60とを含む。電子装置50は、電子部品60を搭載する回路基板1Aが、更に回路基板70上に搭載された構成を有する。

[0106] 電子部品60は、例えば、半導体チップ、又は半導体チップを含む半導体パッケージである。このような電子部品60が、回路基板1A上に搭載され

る。回路基板 1 A の、電子部品 6 0 の搭載面側に設けられた端子 3 7 a、端子 3 7 b 及び端子 3 7 c と、電子部品 6 0 に設けられた端子 6 1 a、端子 6 1 b 及び端子 6 1 c とがそれぞれ、半田等を用いたバンプ 6 2 を介して接合される。これにより、電子部品 6 0 と回路基板 1 A とが電氣的に接続される。ここで、電子部品 6 0 の端子 6 1 a は、信号端子である。電子部品 6 0 の端子 6 1 b 及び端子 6 1 c は、例えば、端子 6 1 b が電源端子、端子 6 1 c が GND 端子である。

[0107] このように電子部品 6 0 が搭載された回路基板 1 A が、更に回路基板 7 0 上に搭載される。回路基板 7 0 は、例えばプリント基板である。回路基板 1 A の、回路基板 7 0 側に設けられた端子 3 7 a、端子 3 7 b 及び端子 3 7 c と、回路基板 7 0 に設けられた端子 7 1 a、端子 7 1 b 及び端子 7 1 c とがそれぞれ、半田等を用いたバンプ 7 2 を介して接合される。これにより、電子部品 6 0 が搭載された回路基板 1 A と、回路基板 7 0 とが、電氣的に接続される。ここで、回路基板 7 0 の端子 7 1 a は、信号端子である。回路基板 7 0 の端子 7 1 b 及び端子 7 1 c は、例えば、端子 7 1 b が電源端子、端子 7 1 c が GND 端子である。

[0108] 電子装置 5 0 では、回路基板 7 0 から、バンプ 7 2、回路基板 1 A 及びバンプ 6 2 を介して、電子部品 6 0 に電源が供給される。回路基板 7 0 から電子部品 6 0 への電源供給ライン上に、キャパシタ 1 0 が設けられる。この例では、キャパシタ 1 0 の電極層 1 2 が電源電位とされ、電極層 1 3 が GND 電位とされる。電源供給ライン上にキャパシタ 1 0 が設けられることで、電源インピーダンスの低減、電源電圧の変動、高周波ノイズの発生が抑えられ、電子部品 6 0 の安定な動作が実現される。

[0109] 回路基板 1 A では、キャパシタ 1 0 の電極層 1 2 のドリル加工位置に凹部 1 2 b 又は凹部 1 2 b 群が設けられ、電極層 1 3 のドリル加工位置に凹部 1 3 a 又は凹部 1 3 a 群が設けられる。これにより、キャパシタ 1 0 のドリル加工時のストレスを低減し、クラックの発生、加熱を伴う試験時や実使用時の剥離、それによる静電容量の低下を効果的に抑えることのできる、信頼性

及び性能に優れた回路基板 1 A が実現される。このような回路基板 1 A が用いられることで、加熱に対する信頼性及び性能に優れた電子装置 5 0 が実現される。

[0110] 電子装置 5 0 は更に、各種電子機器（電子装置とも称する）に搭載することができる。例えば、コンピュータ（パーソナルコンピュータ、スーパーコンピュータ、サーバ等）、スマートフォン、携帯電話、タブレット端末、センサ、カメラ、オーディオ機器、測定装置、検査装置、製造装置といった、各種電子機器に搭載することができる。

[0111] 図 1 6 は第 3 の実施の形態に係る電子機器の一例を示す図である。図 1 6 には、電子機器の一例を模式的に図示している。

図 1 6 に示すように、上記のような電子装置 5 0 が、電子機器 8 0 に搭載（内蔵）される。電子装置 5 0 に用いられる回路基板 1 A では、キャパシタ 1 0 の、ドリル加工時のクラックの発生、加熱を伴う試験時や実使用時の剥離、それによる静電容量の低下を効果的に抑えることができる。これにより、加熱に対する信頼性及び性能に優れた電子装置 5 0 が実現され、そのような電子装置 5 0 を搭載する、信頼性及び性能に優れた電子機器 8 0 が実現される。

[0112] 上記については単に例を示すものである。更に、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成及び応用例に限定されるものではなく、対応する全ての変形例及び均等物は、添付の請求項及びその均等物による本発明の範囲とみなされる。

符号の説明

[0113] 1, 1 A, 7 0 回路基板
1 a 基板
1 a a 積層体
2 a ビルドアップ層
1 0, 1 0 0 キャパシタ
1 0 a, 1 0 0 a キャパシタ基板

1 1, 1 1 0 誘電体層
1 2, 1 3, 1 2 0, 1 3 0 電極層
1 2 a, 1 3 b, 1 4 a, 1 5 a, 1 5 b, 1 2 1 開口部
1 2 b, 1 3 a 凹部
1 3 c 凸部
1 3 d 未薄化部
1 4, 1 5, 1 4 0 レジストパターン
2 0, 2 1, 2 2, 2 3, 2 0 0, 2 1 0, 2 2 0 絶縁層
2 2 a 上面
2 4 ベース基板
2 4 a 配線
3 0, 3 5 a, 3 0 0 孔
3 0 a, 3 0 1 シード層
3 0 b, 3 0 2 メッキ層
3 1, 3 1 a, 3 1 b, 3 1 c, 3 1 0 導体ビア
3 1 A 外周部
3 3, 3 6, 3 7, 3 1 3 導体層
3 5 接続ビア
3 7 a, 3 7 b, 3 7 c, 6 1 a, 6 1 b, 6 1 c, 7 1 a, 7 1 b, 7
1 c 端子
4 0, 4 0 0 空洞
4 1 樹脂
5 0 電子装置
6 0 電子部品
6 2, 7 2 バンプ
8 0 電子機器
5 0 0 ドリル
6 0 0 クラック

610, 620 メッキ液

630 剥離

請求の範囲

- [請求項1] 絶縁層と、
前記絶縁層内に設けられ、誘電体層と、前記誘電体層の第1面に設けられ開口部を有する第1導体層と、前記誘電体層の前記第1面とは反対の第2面に設けられ前記開口部と対応する位置に凹部を有する第2導体層とを含むキャパシタと、
前記絶縁層内に設けられ、前記誘電体層、前記開口部及び前記凹部を貫通し、前記凹部に接し、平面視で前記開口部よりも小さい導体ビアと
を含むことを特徴とする回路基板。
- [請求項2] 前記凹部は、平面視で前記導体ビアの外周部に設けられることを特徴とする請求項1に記載の回路基板。
- [請求項3] 前記凹部は、前記導体ビアの外縁に沿って連続して設けられることを特徴とする請求項2に記載の回路基板。
- [請求項4] 前記凹部は、前記外周部内の一部に設けられることを特徴とする請求項2に記載の回路基板。
- [請求項5] 前記凹部は、前記外周部内の複数箇所に設けられることを特徴とする請求項2に記載の回路基板。
- [請求項6] 前記導体ビアは、前記誘電体層と接することを特徴とする請求項1に記載の回路基板。
- [請求項7] 前記第1導体層及び前記第2導体層のうち、一方は銅を含み、他方はニッケルを含むことを特徴とする請求項1に記載の回路基板。
- [請求項8] 絶縁層内に、誘電体層と、前記誘電体層の第1面に設けられ開口部を有する第1導体層と、前記誘電体層の前記第1面とは反対の第2面に設けられ前記開口部と対応する位置に凹部を有する第2導体層とを含むキャパシタが設けられた基板を形成する工程と、
前記絶縁層内に、前記誘電体層、前記開口部及び前記凹部を貫通し、前記凹部に接し、平面視で前記開口部よりも小さい導体ビアを形成

する工程と

を含むことを特徴とする回路基板の製造方法。

[請求項9] 前記基板を形成する工程は、前記導体ビアが形成される位置の外縁の全部又は一部が含まれる領域に前記凹部を有する前記第2導体層を形成する工程を含むことを特徴とする請求項8に記載の回路基板の製造方法。

[請求項10] 前記第2導体層を形成する工程は、
前記第2導体層の材料上に、前記材料の厚さよりも小さい開口部が前記領域に設けられたレジストパターンを形成する工程と、
前記レジストパターンをマスクにした前記材料のエッチングにより、前記領域に前記凹部を有する前記第2導体層を形成する工程と
を含むことを特徴とする請求項9に記載の回路基板の製造方法。

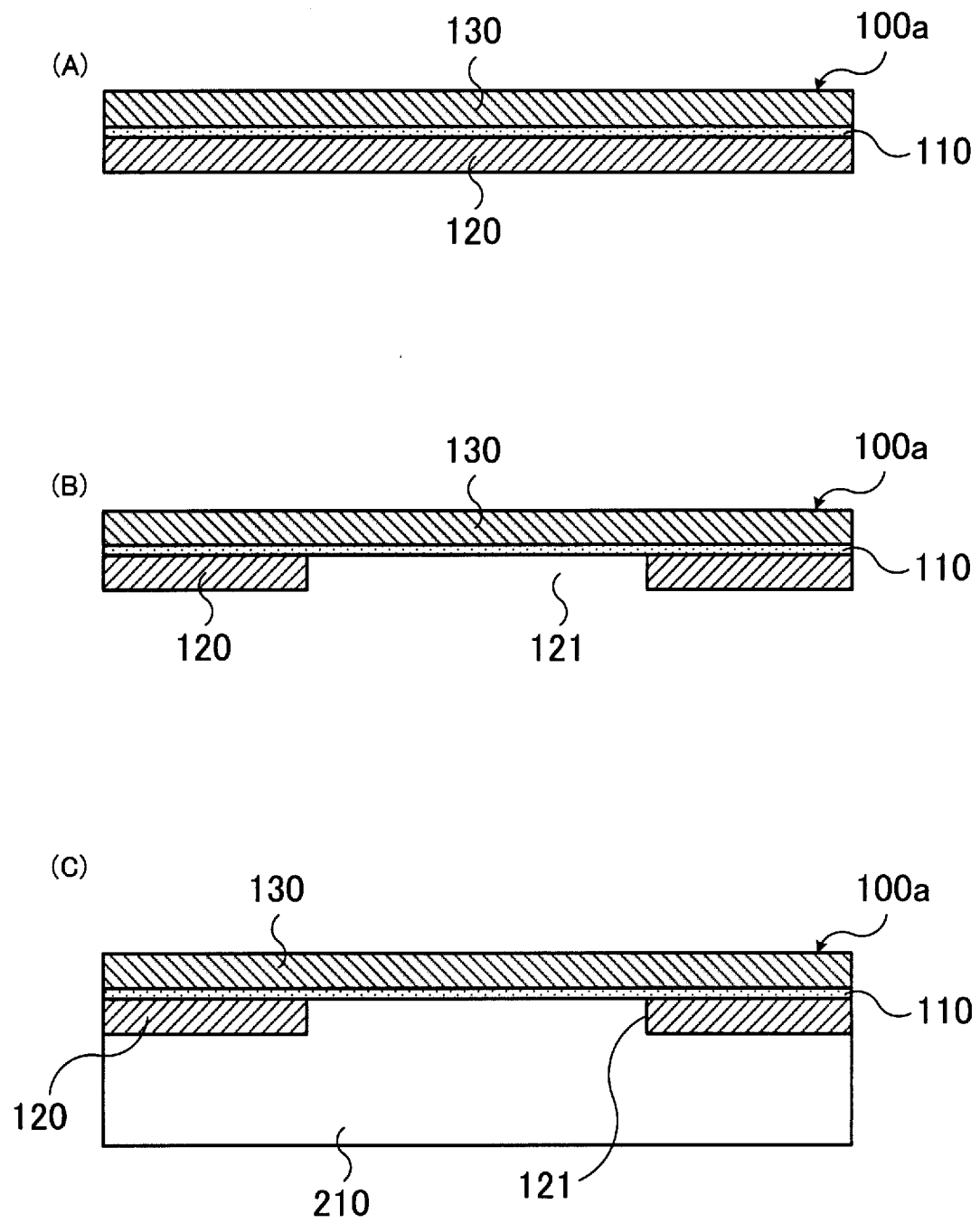
[請求項11] 前記導体ビアを形成する工程は、
ドリルを用いて、前記誘電体層、前記開口部及び前記凹部を貫通し、内壁に前記凹部が露出し、平面視で前記開口部よりも小さい孔を形成する工程と、
メッキ法を用いて、前記孔内に前記導体ビアの材料を形成する工程と
を含むことを特徴とする請求項8に記載の回路基板の製造方法。

[請求項12] 回路基板と、
前記回路基板に搭載された電子部品と
を含み、
前記回路基板は、
絶縁層と、
前記絶縁層内に設けられ、誘電体層と、前記誘電体層の第1面に設けられ開口部を有する第1導体層と、前記誘電体層の前記第1面とは反対の第2面に設けられ前記開口部と対応する位置に凹部を有する第2導体層とを含むキャパシタと、

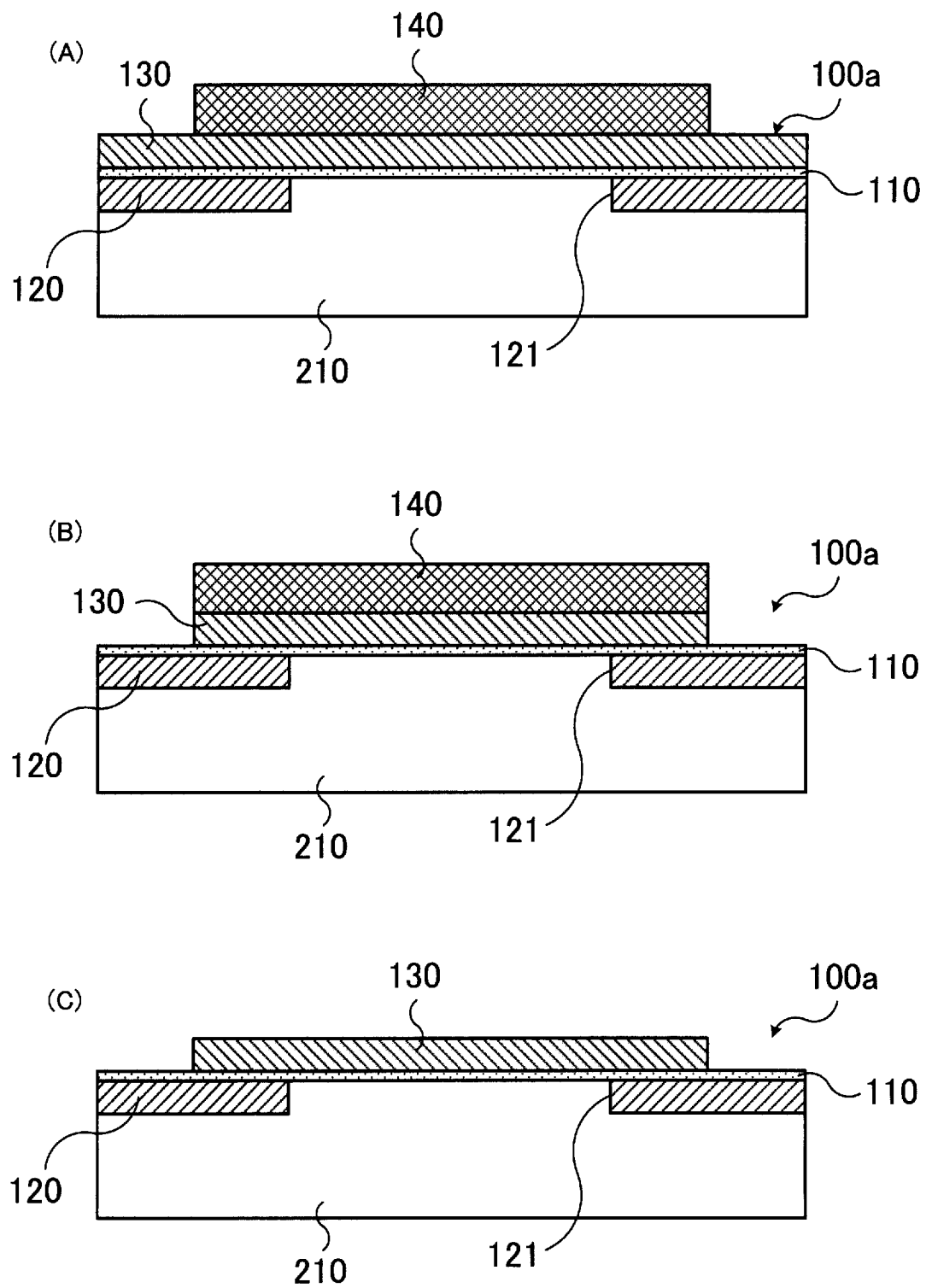
前記絶縁層内に設けられ、前記誘電体層、前記開口部及び前記凹部を貫通し、前記凹部に接し、平面視で前記開口部よりも小さい導体ビアと

を含むことを特徴とする電子装置。

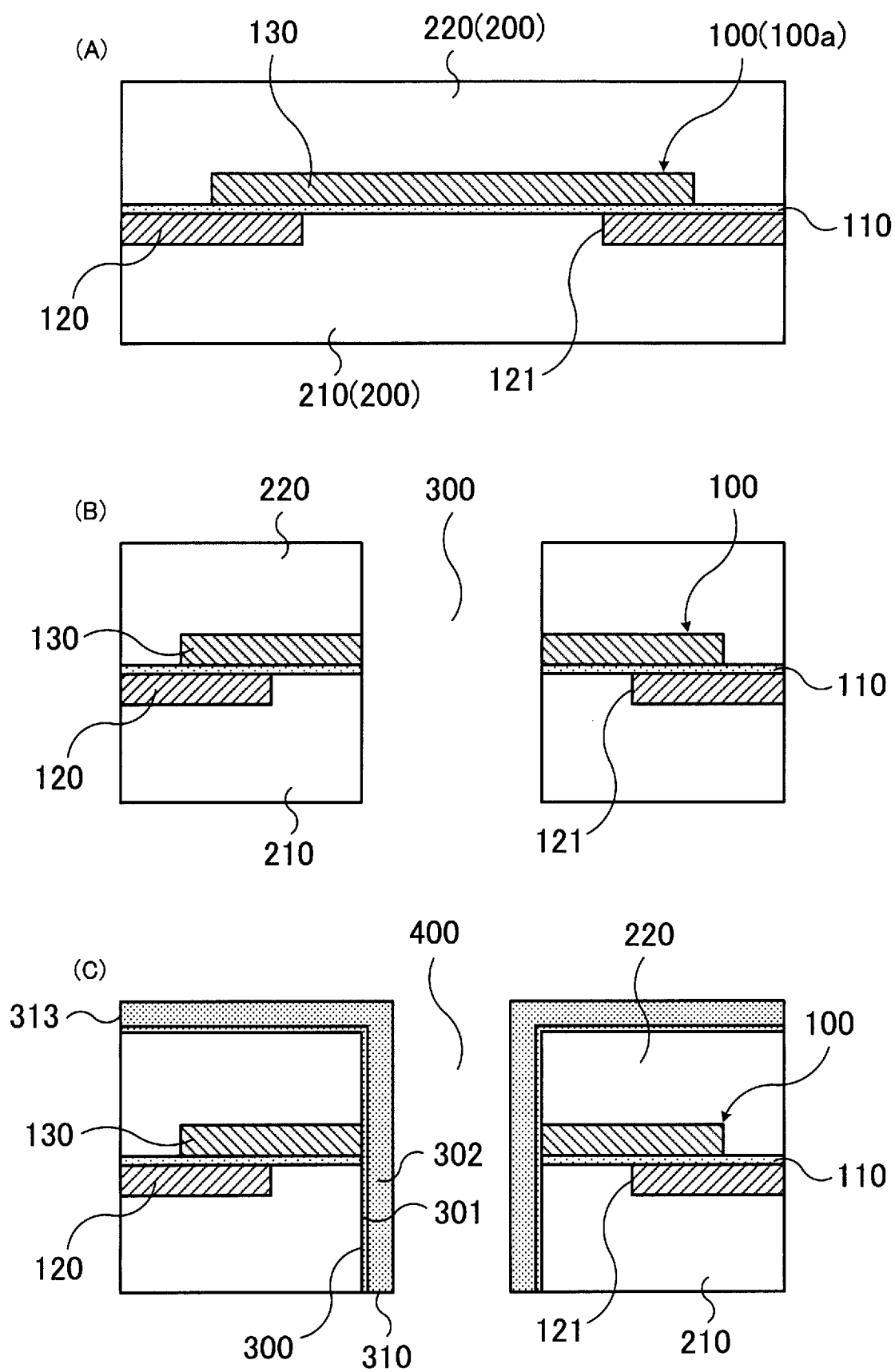
[図1]



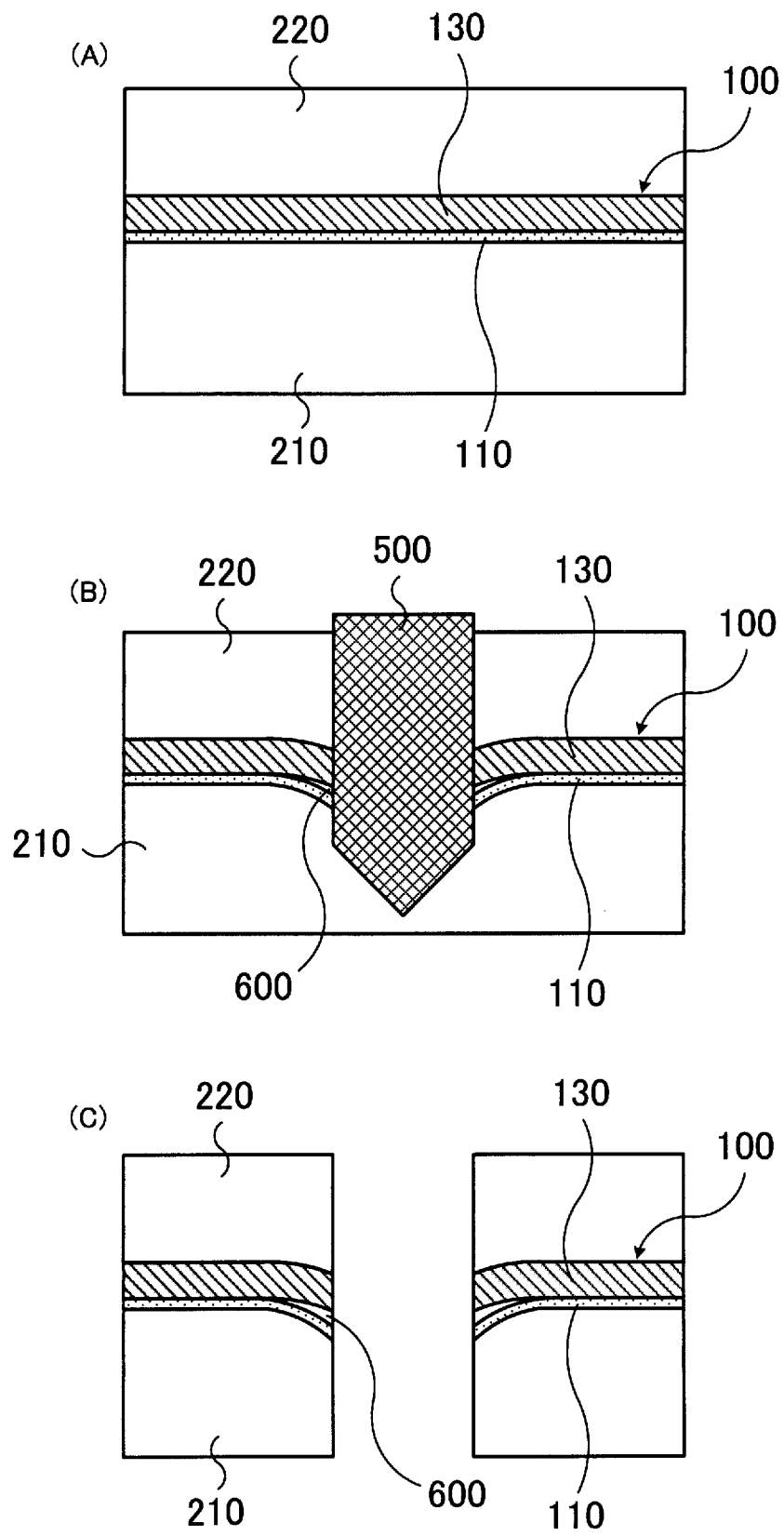
[図2]



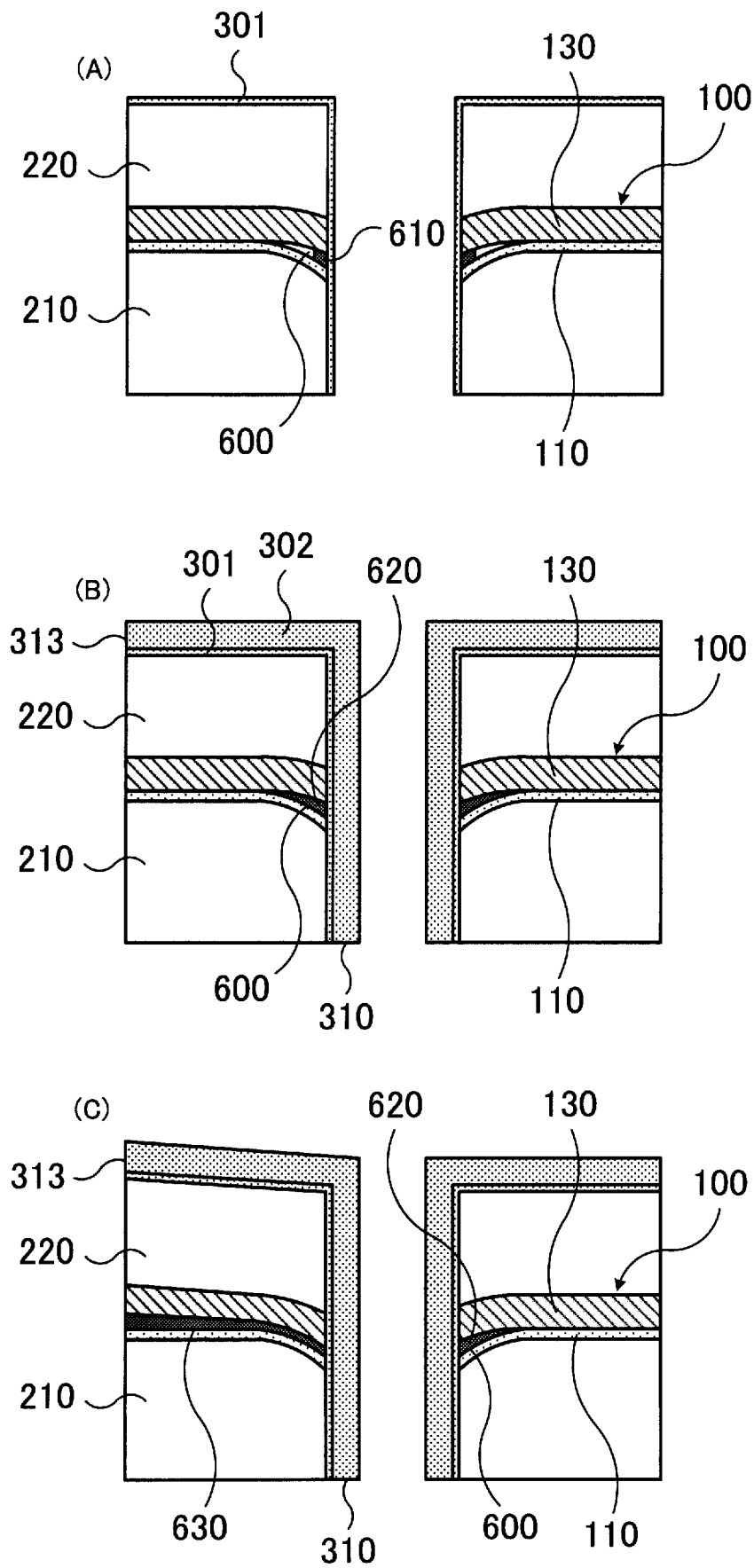
[図3]



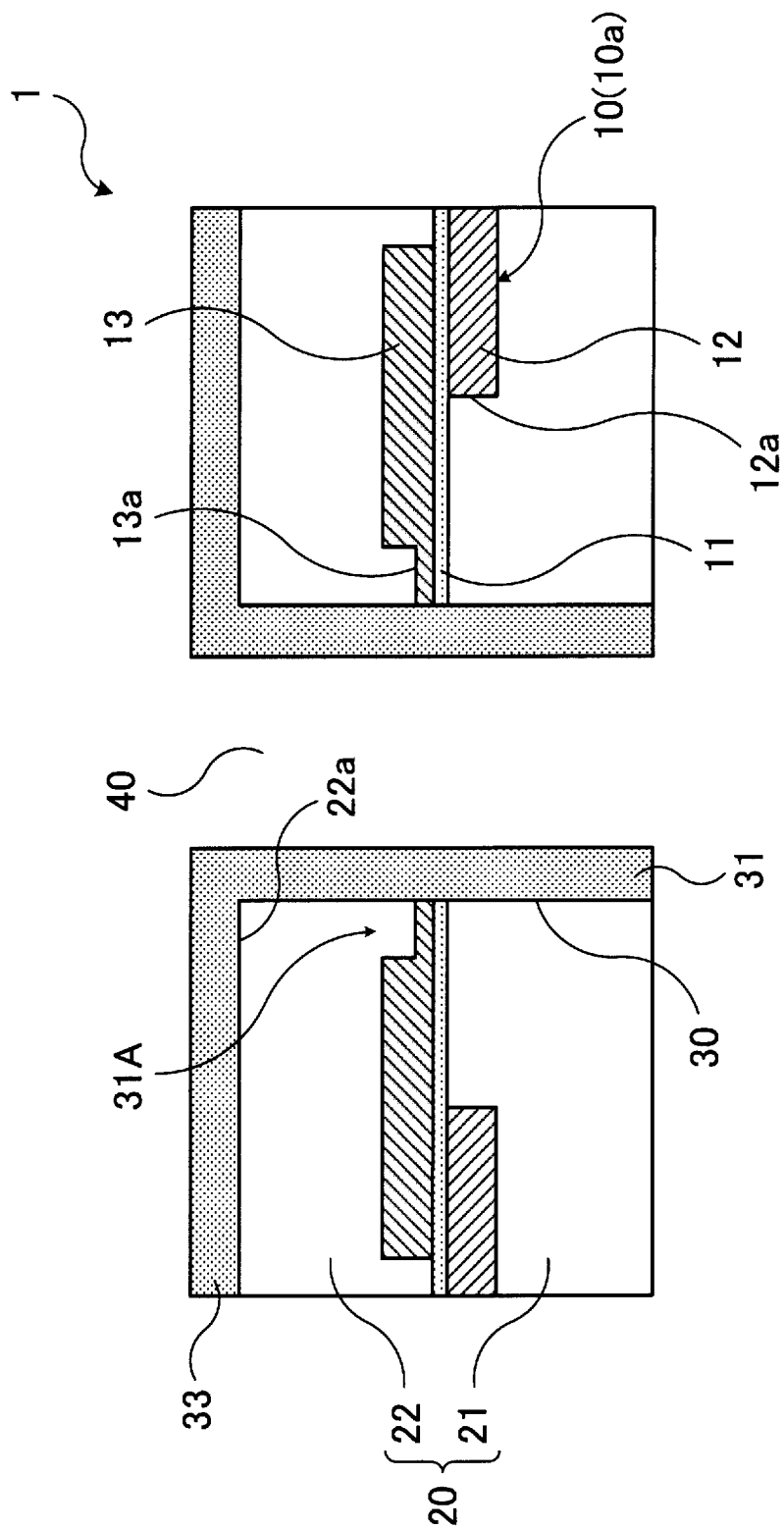
[図4]



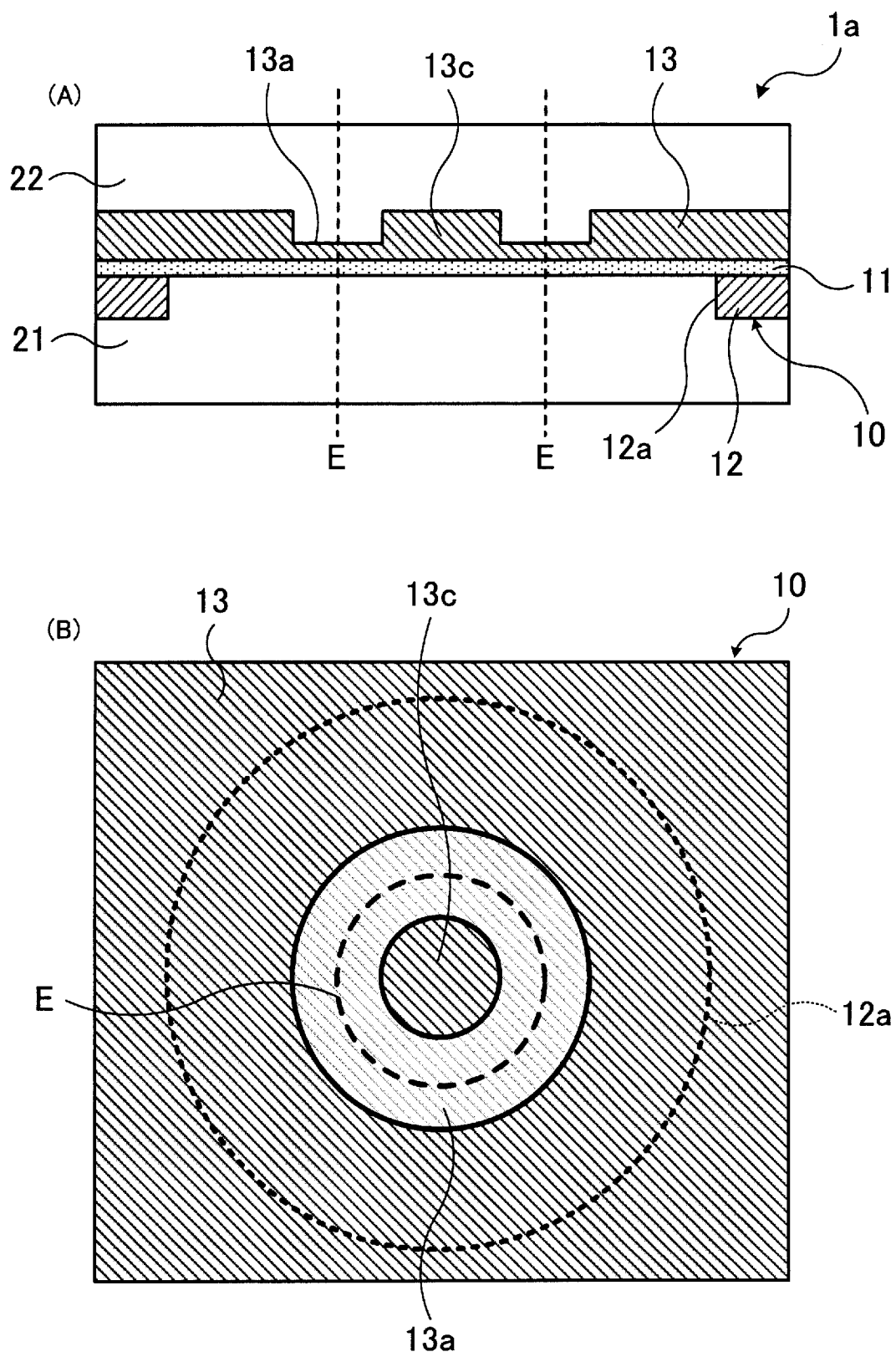
[図5]



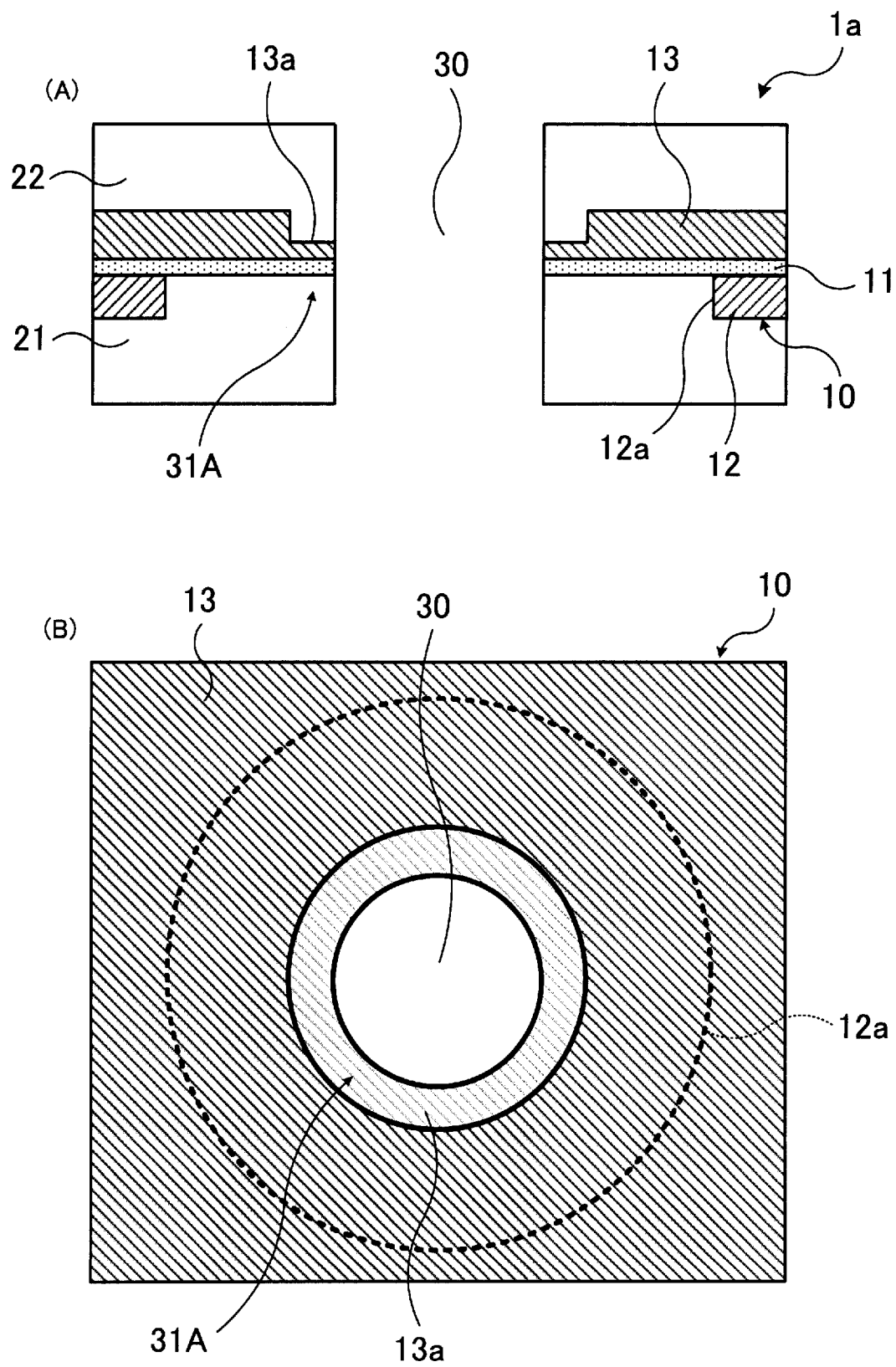
[図6]



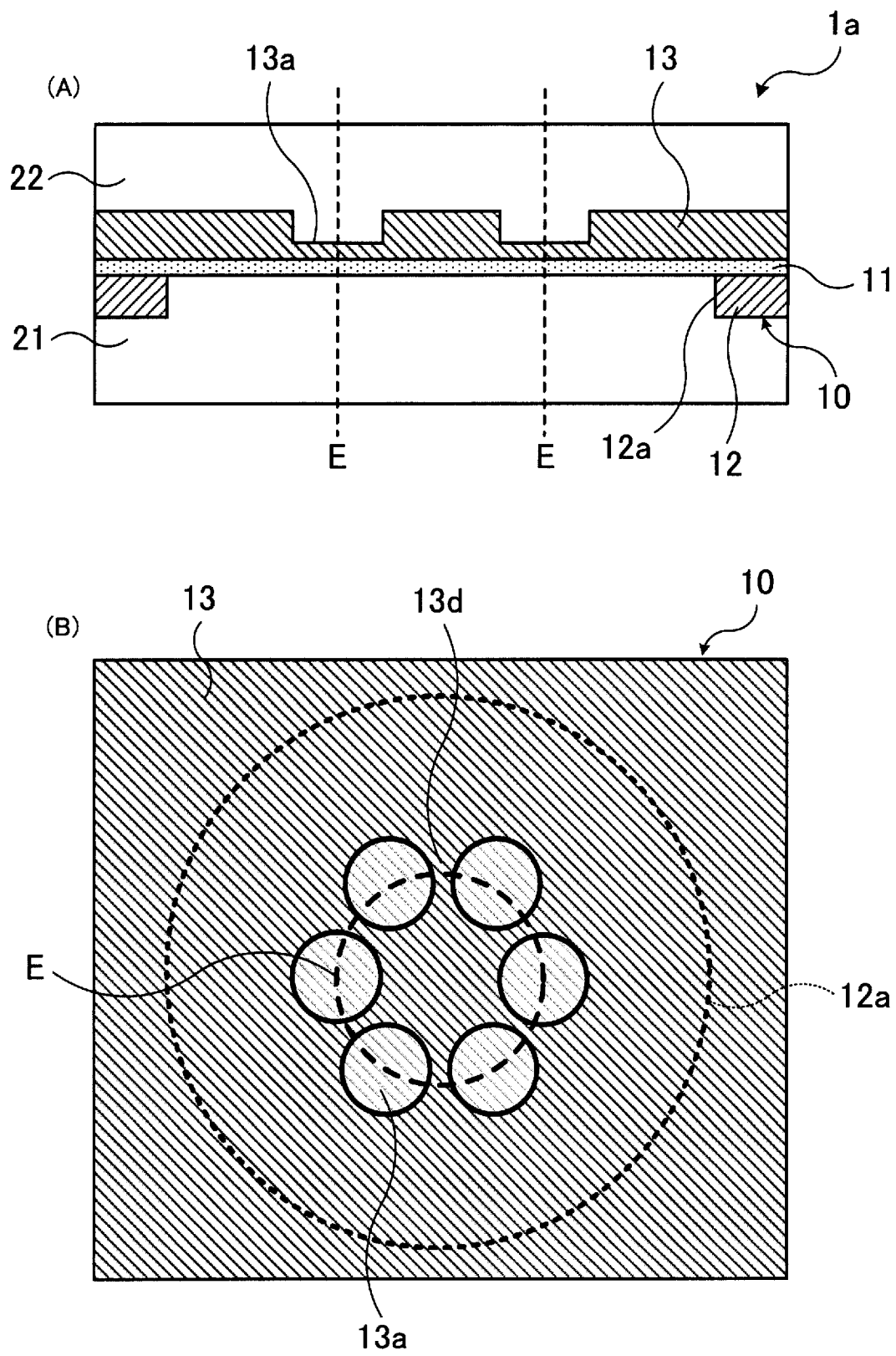
[図7]



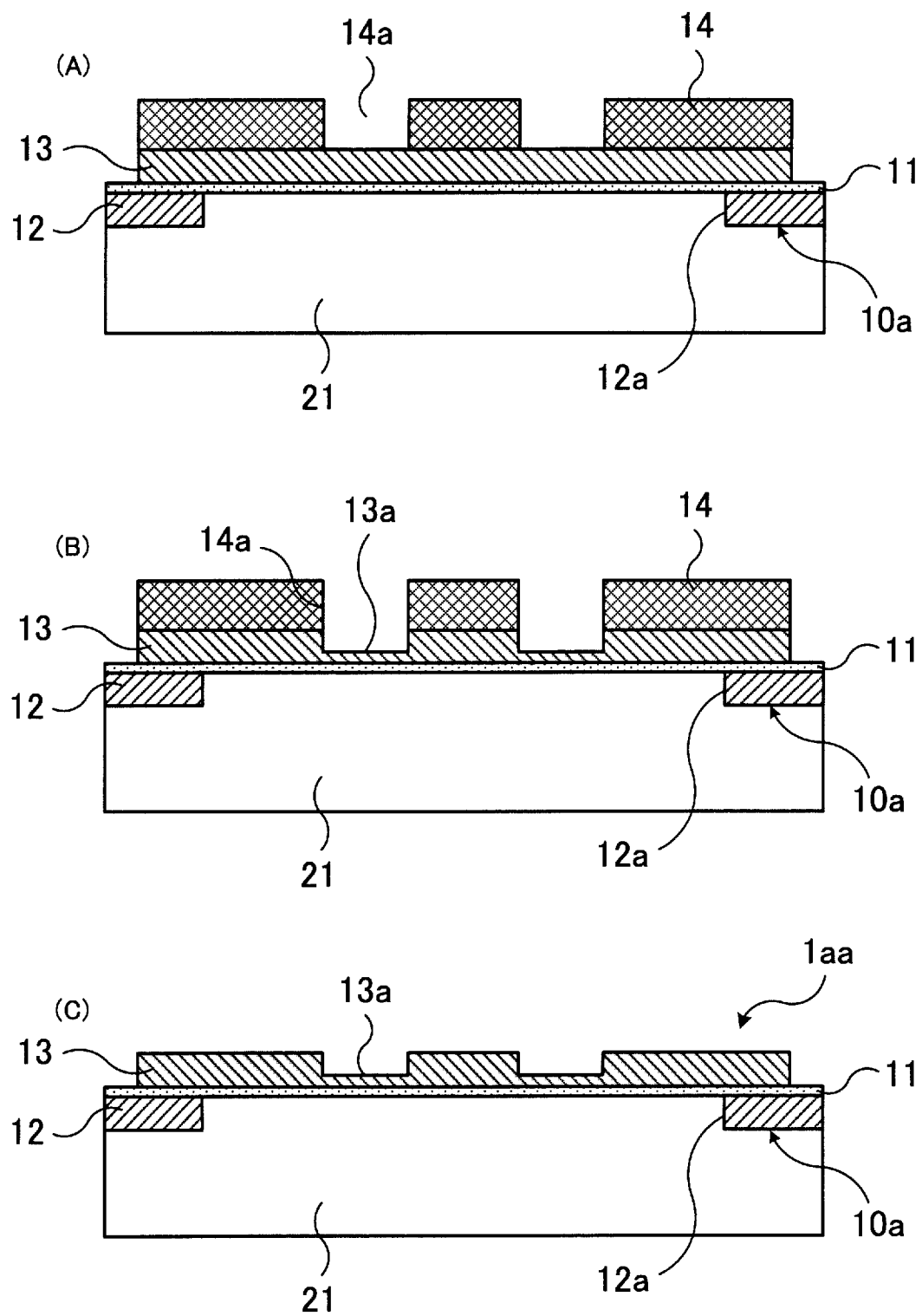
[図8]



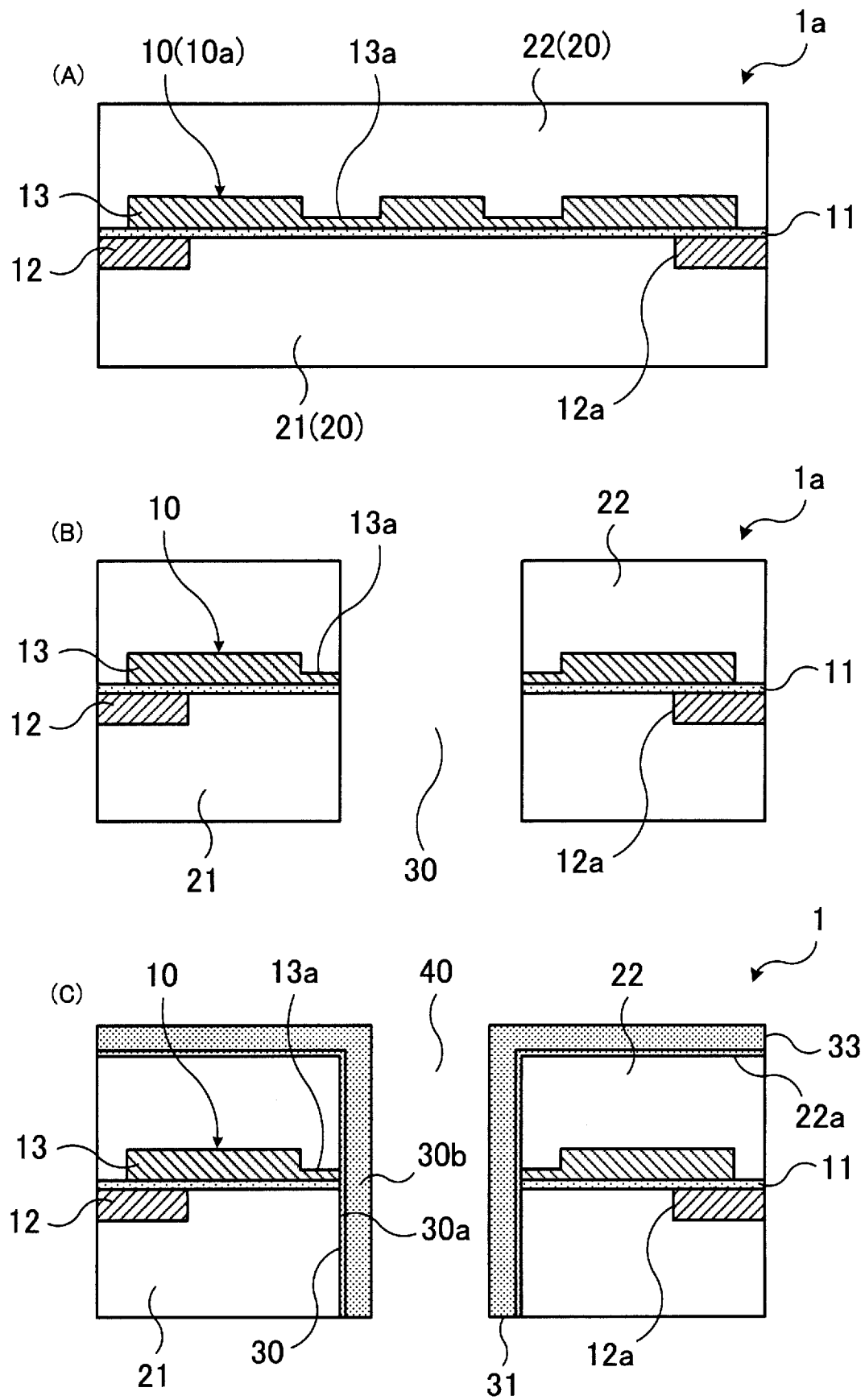
[図9]



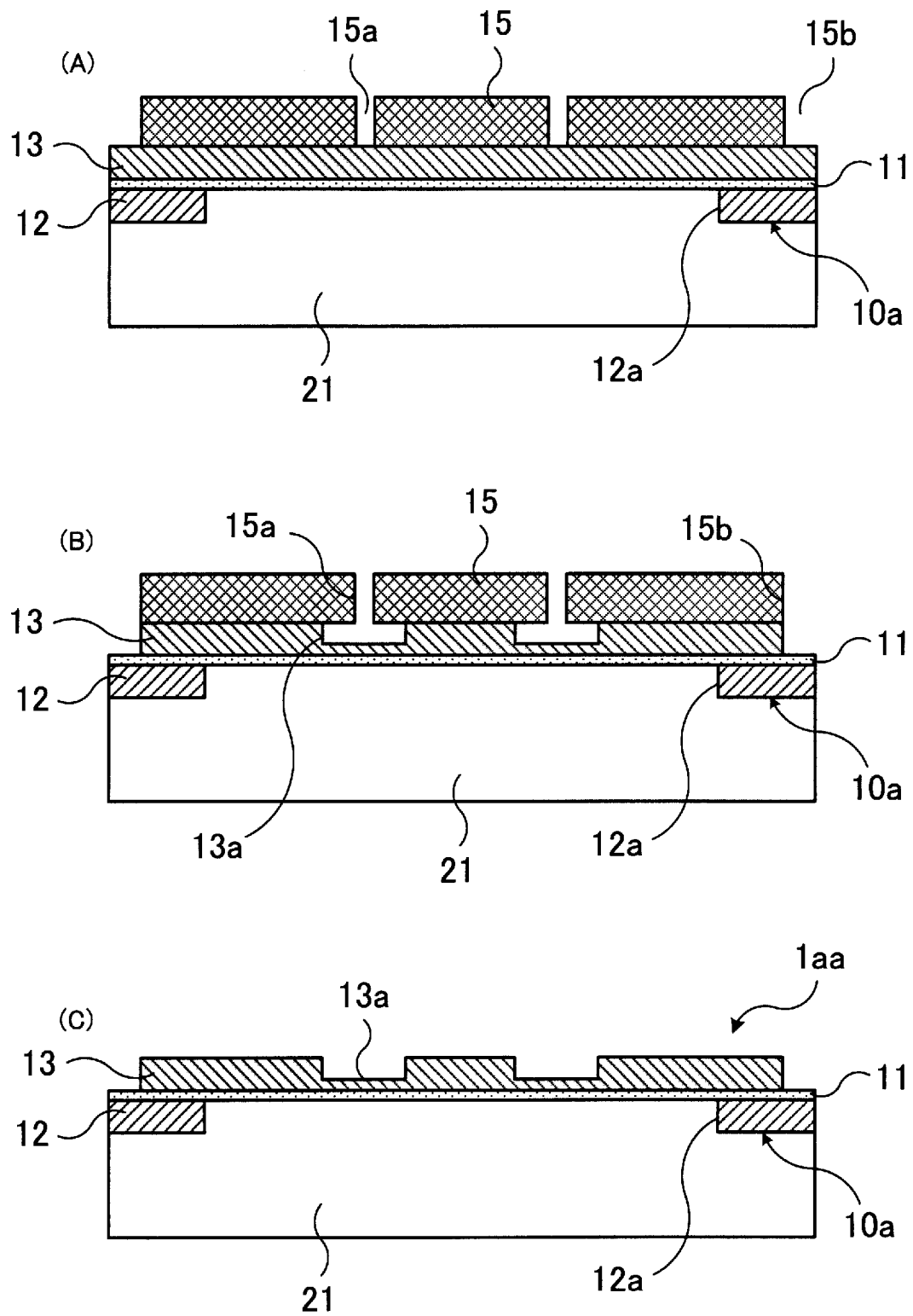
[図11]



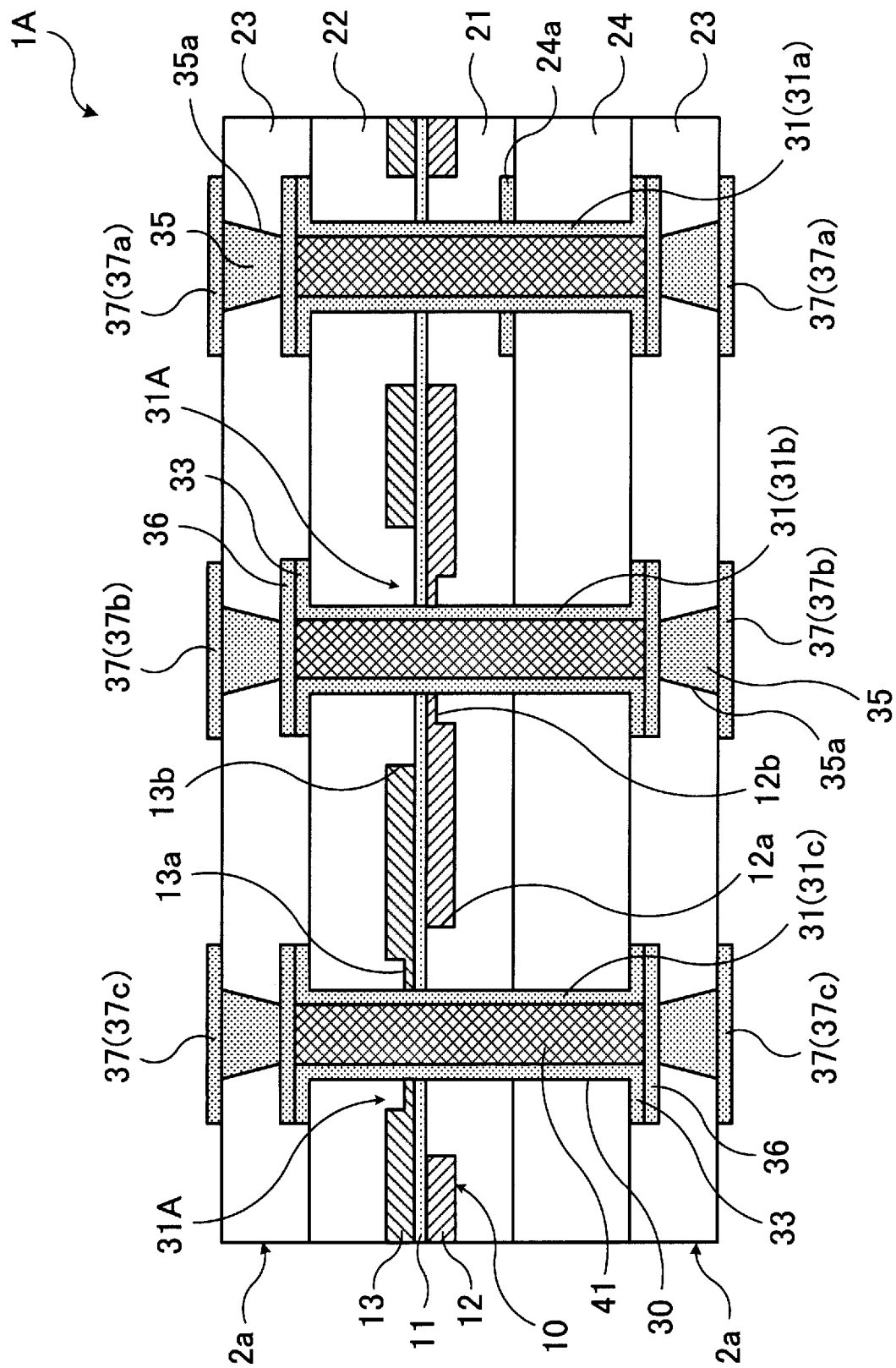
[図12]



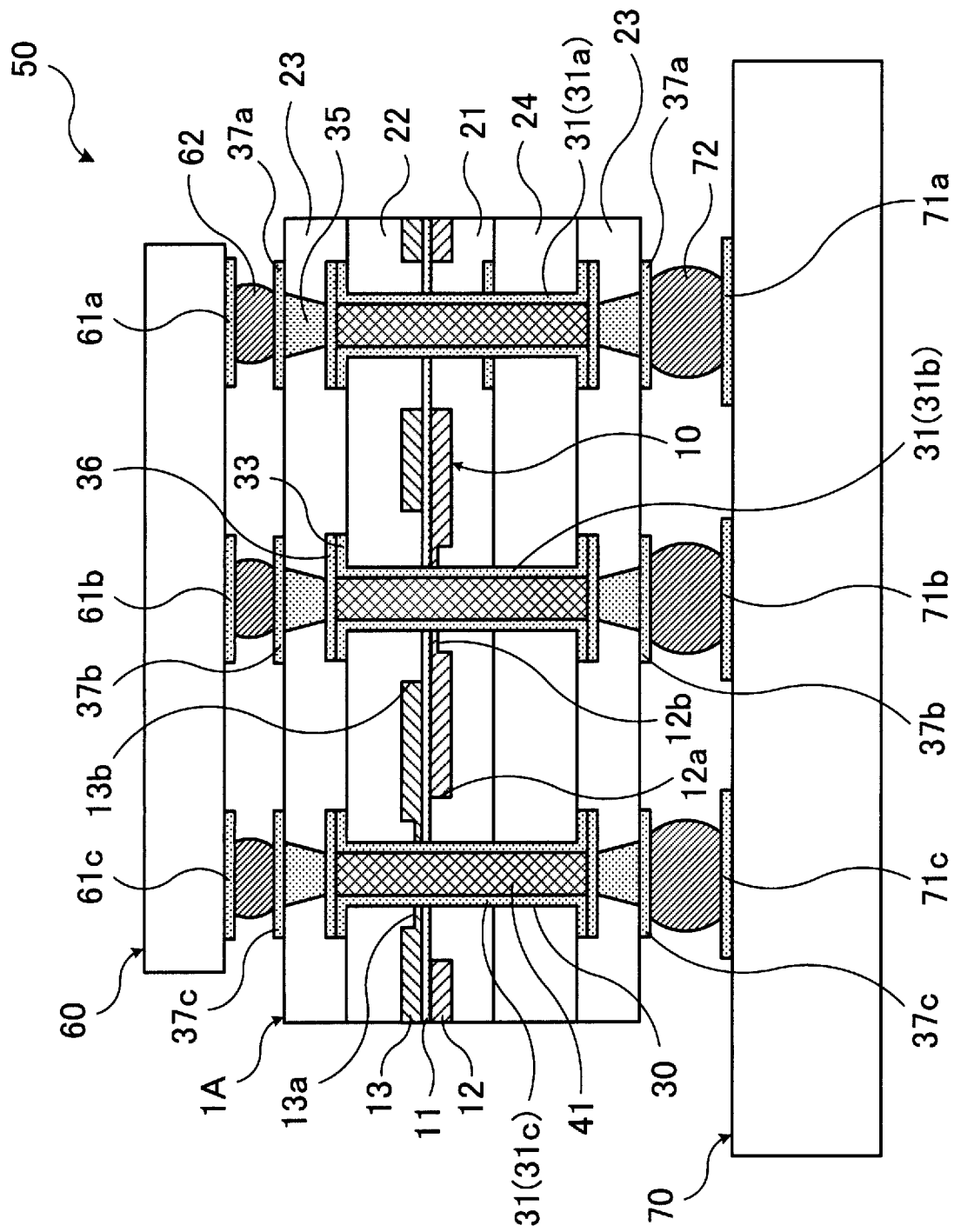
[図13]



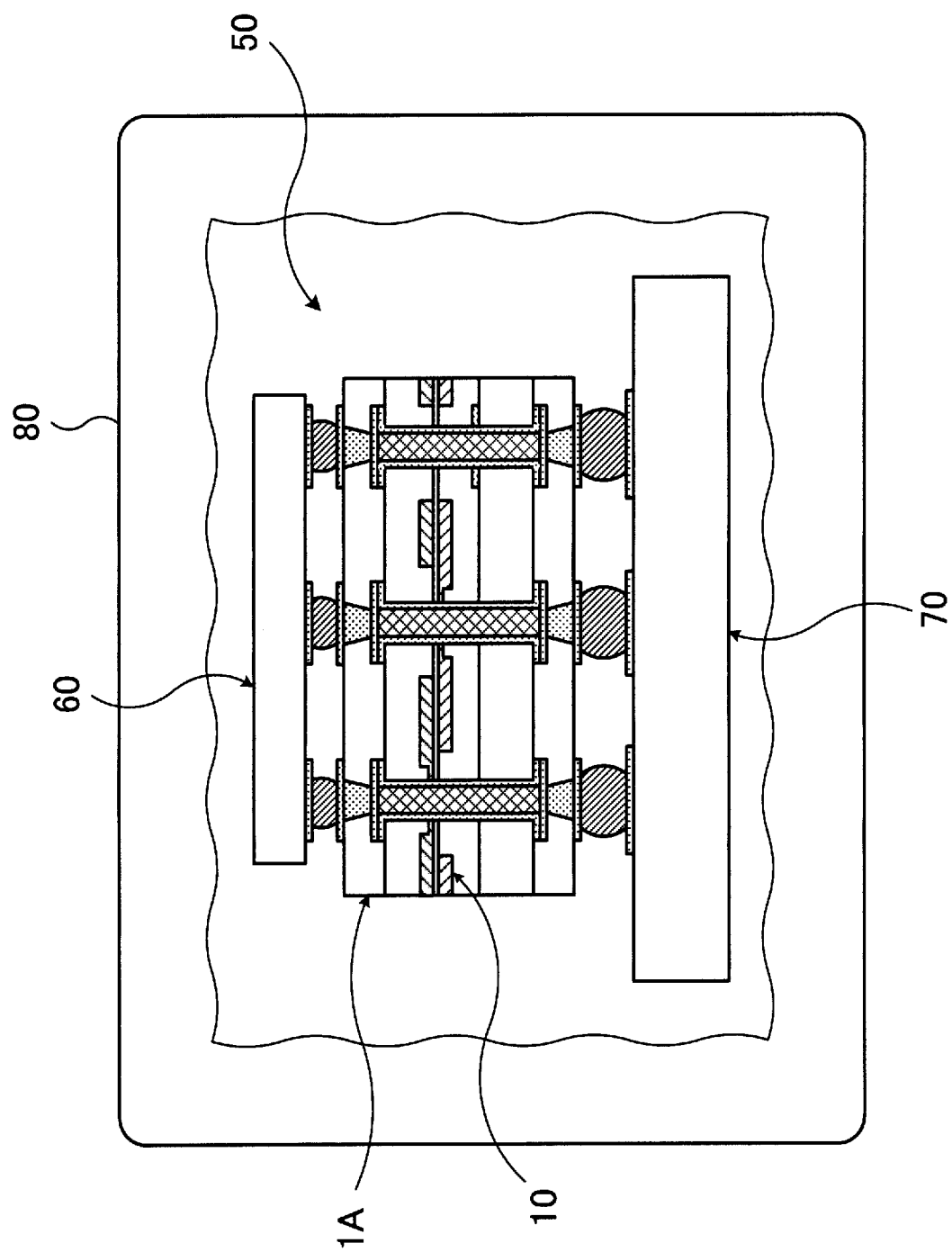
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/062589

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/46(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-310983 A (D.T. Circuit Technology Co., Ltd.),	1-3, 6-9, 11, 12
A	04 November 2005 (04.11.2005), paragraphs [0017] to [0023]; fig. 4 (Family: none)	4, 5, 10
Y	JP 02-022893 A (NEC Corp.), 25 January 1990 (25.01.1990), page 2, upper right column, lines 14 to 19; page 3, lower left column, line 14 to lower right column, line 18 (Family: none)	1-3, 6-9, 11, 12
A	JP 63-093198 A (Hitachi, Ltd.), 23 April 1988 (23.04.1988), entire text; fig. 1 (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 May 2016 (27.05.16)

Date of mailing of the international search report
07 June 2016 (07.06.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/062589

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-166940 A (Matsushita Electric Industrial Co., Ltd.), 23 June 2005 (23.06.2005), paragraph [0023] (Family: none)	4, 5

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H05K3/46 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2005-310983 A (ディー・ティー・サーキットテクノロジー株式会社) 2005.11.04, 段落[0017]-[0023], 図4 (ファミリーなし)	1-3, 6-9, 11, 12 4, 5, 10
Y	JP 02-022893 A (日本電気株式会社) 1990.01.25, 第2ページ右上欄第14-19行, 第3ページ左下欄第14行-右下欄第18行 (ファミリーなし)	1-3, 6-9, 11, 12

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

27.05.2016

国際調査報告の発送日

07.06.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

ゆずりは 広行

5 D

3046

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 63-093198 A (株式会社日立製作所) 1988. 04. 23, 全文, 図 1 (ファミリーなし)	1-12
A	JP 2005-166940 A (松下電器産業株式会社) 2005. 06. 23, 段落[0023] (ファミリーなし)	4, 5