

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4956031号
(P4956031)

(45) 発行日 平成24年6月20日(2012.6.20)

(24) 登録日 平成24年3月23日(2012.3.23)

(51) Int.Cl.

F 1

G09G	3/30	(2006.01)	G09G	3/30	J
G09G	3/20	(2006.01)	G09G	3/20	624B
H01L	51/50	(2006.01)	G09G	3/20	611H
			G09G	3/20	642A
			G09G	3/20	670J

請求項の数 1 (全 17 頁) 最終頁に続く

(21) 出願番号

特願2006-98010(P2006-98010)

(22) 出願日

平成18年3月31日(2006.3.31)

(65) 公開番号

特開2007-271972(P2007-271972A)

(43) 公開日

平成19年10月18日(2007.10.18)

審査請求日

平成21年3月31日(2009.3.31)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100126240

弁理士 阿部 琢磨

(74) 代理人 100124442

弁理士 黒岩 創吾

(72) 発明者 中川 克己

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 川崎 素明

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

最終頁に続く

(54) 【発明の名称】有機EL表示装置の駆動方法及び駆動回路

(57) 【特許請求の範囲】

【請求項 1】

少なくとも第1の給電線と、第1の給電線とは異なる電位を有する第2の給電線と、第3の給電線と、信号電流源が接続された信号線と、各々が少なくとも有機EL素子と、nチャンネル型の駆動TFTと、駆動TFTのゲートソース間電圧の保持手段とを有する複数の画素回路とから構成される有機EL表示装置の駆動方法であって、

前記画素回路の有機EL素子の一方の電極を前記第1の給電線に接続し、前記駆動TFTのドレインを前記第2の給電線に接続し、

信号書き込み期間には、前記駆動TFTのゲートを前記第3の給電線に接続して、前記第3の給電線の電位を、表示すべき最小輝度レベルに対応する電流を前記有機EL素子に流した時の(前記駆動TFTのゲートソース間電圧 + 前記有機EL素子の電圧降下)以上、表示すべき最大輝度レベルに対応する電流を前記有機EL素子に流した時の(前記駆動TFTのゲートソース間電圧 + 前記有機EL素子での電圧降下)以下の値に設定し、

かつ、前記駆動TFTのソースを前記信号線に接続して、前記信号電流源から前記データ線に供給される信号電流を前記駆動TFTに流し、この時の前記駆動TFTのゲートソース間電圧を保持し、

画像表示期間には、前記駆動TFTのゲートを前記第3の給電線から切り離し、前記駆動TFTのソースを前記信号線から切り離し前記有機EL素子の他方の電極に接続して、前記有機EL素子に電流を流すことを特徴とする有機EL表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】**【0001】**

本発明は有機EL(エレクトロルミネッセンス)表示装置の新規な駆動方法と、この方法の実施に好適な駆動回路に関する。

【背景技術】**【0002】**

有機材料のエレクトロルミネッセンス(electro luminescence:以下ELと略記。)を利用した有機EL素子は、有機分子からなる発光層やキャリア輸送層を積層してなる有機化合物層を上部電極と下部電極との間に挟んで構成され、電極間に流れる電流によって駆動され、その輝度は流れる電流にほぼ正確に比例する。有機EL素子をマトリックス状に配置して構成される有機EL表示装置は色再現性に優れ、また入力信号に対する応答性が良好なのでカラーの動画表示には特に好適である。さらに高輝度発光が可能で視野角が広いため、広範な環境下で使用出来る。有機化合物層の材料としては、真空蒸着が可能な低分子系の材料と、スピンドルコート法やインクジェット法による塗布ができるオリゴマー・ポリマー系の材料がある。現状では低分子系材料の使用例が多いが、今後大画面表示に好適なオリゴマー・ポリマー系材料の使用例も増えると思われる。10

【0003】

また画素の駆動方法としては、互いに直交する方向に伸びるストライプ状の下部電極及び上部電極の間に電流を直接流して、この間に挟まれた有機EL素子を発光させる単純マトリックス型と、各有機EL素子を駆動する薄膜トランジスタ(thin film transistor:以下TFTと略記。)やキャパシタンス等から構成される画素回路がマトリックス状に配置され、各画素に画像信号が送られ、画素回路がこの信号を保持し、保持した信号に基づいて有機EL素子が発光して画像を表示するアクティブマトリックス型がある。アクティブマトリックス型は、画素間の画像信号の錯綜が少なく、大画面、高精細で画素数の多い表示装置に好適である。20

【0004】

アクティブマトリックス型の駆動方式には、大別して電圧プログラミング方式と電流プログラミング方式がある。電圧プログラミング方式では、駆動TFTのゲートに画像信号となる電位を直接加えてこれを保持する。駆動TFTを流れる電流はゲートの電位により制御されるが、両者の対応関係は個々のTFTによってバラツキがあり、動作時間と共に経時変化する事も少なくない。そのため電圧プログラミング方式では、画素ごとに輝度ムラを生じたり、画像の焼き付きが生じたりし易い。一方電流プログラミング方式では、画像表示の直前に各画素の駆動TFTに画像信号となる電流を実際に流してその際のゲート電位を保持するため、電圧プログラミング方式に比べ駆動TFTの特性のバラツキや経時変化の影響を受け難い。30

【0005】

図3に特許文献1に提案されている電流プログラミング方式の駆動回路の例を示す。ここで駆動回路は、画素回路100と、第1の給電線101と、第2の給電線102と、信号線103と、信号線103に接続された信号電流源104から構成される。第2の給電線102の電位は、第1の給電線101の電位と異なっていかなければならない。なお図3では画素回路をただ1個を示しているが、通常は複数個設ける。この点に関しては後に詳述する。40

【0006】

さらに画素回路100は、一方の電極が第1の給電線101に接続された有機EL素子106と、ドレンが第2の給電線102に接続された駆動TFT107と、駆動TFT107のゲートソース間電圧の保持手段108と、駆動TFT107のゲートと第3の給電線105の間に設けられた第1のスイッチ109と、駆動TFT107のソースと信号線103の間に設けられた第2のスイッチ110と、駆動TFT107のソースと有機EL素子の他方の電極との間に設けられた第3のスイッチ111から構成される。

【0007】

50

駆動TFT107のゲートソース間電圧の保持手段108としては、キャパシタンスが用いられる事が多い。電圧の保持手段108は、第1のスイッチ109が閉じている時に電圧の書き込みが可能となり、第1のスイッチ109が開いている時は、書き込みが禁止され電位を保持する。また第1～第3のスイッチ109～111はTFTで構成される事が多く、ゲートに加えられる電位によって開閉が制御される。

【0008】

図4には、図3に示した画素回路100がマトリックス状に配置された表示装置の駆動回路の全体を示す。ここでは簡単のため画素回路100の内部構造は示していない。各画素回路100には、第1の給電線101と第2の給電線102が共通に接続されている。さらに同一列の画素回路100には共通の信号線103に接続される。また同一行の画素回路100には共通の走査線114が接続される。第1～第3のスイッチ109～111は走査線114に加えられた電位に応じて開閉が制御される。各列の信号線103には、個々に信号電流源104が接続される。

【0009】

各信号電流源104には時系列信号として送られて来る画像信号112が同時に入力されるが、ある時点では水平シフトレジスタ113からの信号により選択された特定の列の信号電流源104のみに、その時点の画像信号112が取り込まれ所定の期間保持される。さらに水平シフトレジスタ113は各信号電流源104を順次選択し、全ての列の信号電流源104に画像信号112が入力される。

【0010】

各信号電流源104から固有の信号電流が対応する信号線103に出力される。信号線103には同一列の画素回路100が共通に接続されているが、ある時点において、信号線103上の信号電流は垂直シフトレジスタ115から走査線114に出力された信号により選択された特定の行の画素回路100のみに入力される。この間同一列の他の行に属する画素回路100は、信号線103から電気的に切り離されている。さらに垂直シフトレジスタ114により各画素回路100が垂直方向に順次選択され、全ての行の画素回路100に信号電流が入力される。

【0011】

図3及び図4の回路の動作シーケンスを、図5のチャートを用いて説明する。500や501は各々1フレーム期間を示す。毎秒30フレームを表示する場合、1フレーム期間は33 msecとなる。また図5の期間500では高輝度の表示、期間501では低輝度の表示を行うものとする。さらに各期間において502は信号書き込み期間、503は画像表示期間を示す。また504～506は第1～3のスイッチの動作シーケンスを示す。ここで504～506の高低はゲート電圧の高低を具体的に示すものではなく、単に開閉の区別を示すものとする。またこの時の駆動TFTのゲートソース間電圧及び駆動電流変化の様子を507及び508で示す。ここで、507及び508の点線は各々の0レベルを示すものとし、またここでは駆動TFT107がnチャンネルの場合を示す。

【0012】

また駆動TFTの基本的な動作について図6を用いて説明する。一般にTFTに有意のドレン電流(I_{ds})を流すには、ゲートソース間電圧(V_{gs})を駆動TFTの閾値電圧(V_{th})以上とする必要がある。 V_{th} は低温ポリシリコンTFTの場合、1～3V程度である事が多い。602は V_{gs} を一定(但し $V_{gs} > V_{th}$)とした時の、 I_{ds} のドレンソース間電圧(V_{ds})への依存性を示したものである。

【0013】

非飽和領域815($V_{ds} < V_{gs} - V_{th}$)では、 I_{ds} は V_{ds} に対し、一般に
 $I_{ds} = k \{ 2(V_{gs} - V_{th}) - V_{ds} \} \cdot V_{ds} \dots \quad (式1)$

に従って増加する事が知られている。ここでkはTFTの構造や使用される半導体の特性で決まる定数である。式1は飽和ドレン電圧613($= V_{gs} - V_{th}$)で極大(\times 印で示す。)を持つ二次曲線であり、 I_{ds} の極大値は

$$I_{ds} = k (V_{gs} - V_{th})^2 \dots \quad (式2)$$

10

20

30

40

50

となる。飽和ドレン電圧 613 は高輝度の表示を行う条件下では 5 ~ 10V 程度である。理想的な TFT では飽和ドレン電圧 613 以上の Vds (> Vgs - Vth) に対し、Ids は式 2 で与えられる一定値をとり Vgs には依存するが Vds に依存しなくなる。この様な領域を飽和領域 616 と呼ぶ。実際の TFT は必ずしも完全な飽和特性を持つとは限らない。この点については後述する。

【0014】

図 7 は (a) は高輝度の表示を行う場合、(b) は低輝度の表示を行う場合の、図 3 の回路の動作を示したもので 700 は電圧を示す軸、701 は電流を示す軸である。702 や 702' は駆動 TFT 107 の Vgs が一定に保たれた状態で Ids を示す。(a) では (b) より Vgs が大きく、大きな Ids が流れている。ここでは駆動 TFT 107 が完全な飽和特性を持つ事を仮定しており、飽和ドレン電圧 710 や 710' 以上のドレン電圧に対して Ids は一定である。

10

【0015】

まず (a) の場合を説明する。曲線 703 は第 1 のスイッチ 109 が閉じてドレンとゲートが短絡された (ダイオード接続された) 状態の駆動 TFT 107 の電圧電流特性を示す。信号書き込み期間 502においては、第 1 のスイッチ 109 と第 2 のスイッチ 110 は閉じており、第 3 のスイッチ 111 は開いている。従って駆動 TFT 107 の特性は曲線 703 で表され、信号電流源 104 は所定の信号電流 704 を流すため、Vds (= Vgs) は 705 となる。この電圧 705 を第 1 のドレンソース間電圧と呼ぶ。

20

【0016】

次いで画像表示期間においては、第 2 のスイッチ 110 が開き第 3 のスイッチ 111 が閉じるため、有機 EL 素子 106 と駆動 TFT 107 は直列接続され、その両端には電源電圧 (= 第 1 の給電線 101 と第 2 の給電線 102 の電位差) が加えられる。また電圧保持手段 108 に繋がる第 1 のスイッチ 109 は開いているので駆動 TFT 107 の Vgs は変化せず、Ids は依然として曲線 702 に従う。707 は有機 EL 素子 106 の電圧電流特性を示す。有機 EL 素子 106 と駆動 TFT 107 は直列接続されているため同じ電流が流れるので、この時有機 EL 素子 106 の電極間には 708 で示される電圧降下が生じる。それゆえ駆動 TFT 107 の Vds は 709 に変化する。これを第 2 のドレンソース間電圧と呼ぶ。駆動 TFT 107 が完全な飽和特性を持つ場合は、Vds が 705 から 709 に変化しても駆動電流は変化しない。

30

【0017】

(b)においても図中の番号は基本的に (a) と一致させ、(a) と値や形状が異なる場合は番号にダッシュ記号を付している。(b) でも基本的な動作は (a) と同様であるが、信号電流 704' が小さく第 1 のドレンソース間電圧 705' が低く、第 2 のドレンソース間電圧 709' が高くなるので、Vds の変化 705' ~ 709' は、(a) の 705 ~ 709 より大きくなる。但し TFT が完全な飽和特性を持つ場合には電流は変化しない。

【0018】

また図 4において、注目している行に属する画素回路 100 の画像表示期間 503 には、これらの画素回路 100 が信号線 103 から切り離されているので、同じ列で他の任意の行に属する画素回路 100 を信号線 103 に接続し信号を書込む事が出来る。表示装置の画素の行数を n とすれば、1 フレーム期間の $1/n$ の期間に信号書き込みを行い、残りの $(n-1)/n$ の期間を画像表示に充てる事が出来る。例えば $n = 500$ 行の表示装置で毎秒 30 フレーム表示する場合、信号書き込み期間 = $66 \mu\text{sec}$ 、画像表示期間 = 33 msec となる。 n が大きければ表示のデューティー比は殆ど 1 なり、平均的に駆動電流を流せるため、素子の高寿命化や電源回路の設計上有利である。なお代表的な電流プログラミング方式としては、図 1 の様な特許文献 1 に開示された方式の他に、特許文献 2 に開示された方式がある。後者では信号書き込みの際に有機 EL 素子に大きさが不定の電流が流れると、前者では信号書き込み期間には有機 EL 素子に電流が流れない点が特徴である。

40

【特許文献2】米国特許第6229506号明細書

【特許文献3】国際公開第05/088726号パンフレット

【非特許文献1】Woo-Jin Nam他、"Kink-current Reduced Poly-Si TFTs Employing Asymmetric Dual-Gate Design for AMOLED Pixel Elements"、IDW'04 AMD5-2

【発明の開示】

【発明が解決しようとする課題】

【0019】

今後さらに有機EL表示装置をテレビやコンピューターのディスプレイ等の大型かつ高精細な画面に適用して行く事が望まれている。大面積な画面の表示装置の駆動回路には、アモルファスシリコン、ZnOやInGaOや特許文献3に開示のあるInGaN等の金属酸化物、ポリチオフェンやペンタセン等の有機半導体等、大面積でも製造の容易な半導体のTFTの使用が増えると考えられる。この様なTFTでは飽和特性が不完全になりがちである。また高精細の表示を行うにはチャンネル長の短いTFTを使用せざるを得ないが、短チャンネルのTFTでは、Woo-Jin Nam等により非特許文献1で指摘されている様に、一般に使用されている低温ポリシリコンを用いた場合でも飽和特性が不完全になりがちである。またこの様なTFTでは、基板毎にあるいは基板内で、閾値電圧が分布を持つ場合がある。さらに使用に伴って閾値電圧が経時変化する場合がある。

【0020】

駆動TFT107の飽和特性が不完全なために生じる問題について、図8の例を用いて説明する。ここで(a)は高輝度の表示、(b)は低輝度の表示の場合である。(a)の802は $V_{gs} = 7V$ に対する I_{ds} であり完全に飽和する領域はないが、 $V_{ds} = 5V$ を境に、 V_{ds} に対して二次曲線状の増加からほぼ3%/Vの一定割合の増加になる。 $V_{ds} = 5V$ を実質的な飽和ドレイン電圧 810 と見なす。またこのTFTでは閾値電圧は2Vで、信号書き込み期間においてダイオード接続した時の V_{ds} 、即ち第1のドレンソース間電圧 $805 = 7V$ であった。画像表示期間において有機EL素子106には6Vの電圧降下 808 が生じ、直列接続された有機EL素子106と駆動TFT107に15Vの電源電圧 806 を加えると、駆動TFT107の V_{ds} 即ち第2のドレンソース間電圧 $809 = 9V$ となり V_{ds} は2V増加する。811に示す様に V_{ds} の増加に伴って I_{ds} が6%増加し輝度も同じ割合で増加する。

【0021】

(b)の802'は $V_{gs} = 5V$ に対する I_{ds} であり(a)の802の約1/10である。この場合、 $V_{ds} = 3V$ を境に I_{ds} が V_{ds} に対してほぼ3%/Vの一定割合で増加する様になる。ここでは $V_{ds} = 3V$ を実質的な飽和ドレイン電圧 $810'$ と見なす。第1のドレンソース間電圧 $805' = 5V$ である。画像表示期間における有機EL素子の電圧降下=4Vであり、電源電圧=15Vを加えると第2のドレンソース間電圧 $809' = 11V$ となって V_{ds} は6V増加する。 V_{ds} の増加に伴い、811'の様に I_{ds} が18%増加し輝度も同じ割合で増加する。

【0022】

以上の説明の通り、飽和特性の不完全な駆動TFTを用いると画像表示期間に実際に流れる電流の精度が低下し、特に輝度が低い表示では誤差が大きくなり易い。TFTの飽和特性の不完全さは、同じ画面内のTFT間で分布を持つ事が多いので、文字表示の背景等輝度が一様な画像ではムラとして目に付き易い。今後有機EL表示装置をテレビやモニターに使用するため飽和特性がさらに不完全なTFTを使用せざるを得なくなると、問題の深刻化が予想され改善が望まれる。しかし従来の電流プログラミング方式ではその要望に十分応えられなかった。

【課題を解決するための手段】

【0023】

本発明は上記の諸問題を改善するためになされたものであり、広範な輝度レベルの表示

10

20

30

40

50

を高精度で表示する事が可能で、飽和特性が不完全な駆動TFTや、特性が分布したり経時変化したりし易い駆動TFTを用いても、正確な画像表示がし易い有機EL表示装置の駆動方式及びその実施に好適な駆動回路を提供する。

【0024】

本発明は、少なくとも第1の給電線と、第1の給電線とは異なる電位を有する第2の給電線と、第3の給電線と、信号電流源が接続された信号線と、各々が少なくとも有機EL素子と、nチャネル型の駆動TFTと、駆動TFTのゲートソース間電圧の保持手段とを有する複数の画素回路とから構成される有機EL表示装置の駆動方法であって、

前記画素回路の有機EL素子の一方の電極を前記第1の給電線に接続し、前記駆動TFTのドレインを前記第2の給電線に接続し、

10

信号書き込み期間には、前記駆動TFTのゲートを前記第3の給電線に接続して、前記第3の給電線の電位を、表示すべき最小輝度レベルに対応する電流を前記有機EL素子に流した時の（前記駆動TFTのゲートソース間電圧 + 前記有機EL素子の電圧降下）以上、表示すべき最大輝度レベルに対応する電流を前記有機EL素子に流した時の（前記駆動TFTのゲートソース間電圧 + 前記有機EL素子での電圧降下）以下の値に設定し、

かつ、前記駆動TFTのソースを前記信号線に接続して、前記信号電流源から前記データ線に供給される信号電流を前記駆動TFTに流し、この時の前記駆動TFTのゲートソース間電圧を保持し、

画像表示期間には、前記駆動TFTのゲートを前記第3の給電線から切り離し、前記駆動TFTのソースを前記信号線から切り離し前記有機EL素子の他方の電極に接続して、前記有機EL素子に電流を流すことを特徴とする。

20

【発明の効果】

【0026】

本発明の駆動回路によれば、有機EL素子に流れる電流を制御する駆動TFTへの画像信号の書き込みに際し、そのゲートに外部から適切な電圧を加えて書き込みを行う事により、飽和特性が不完全なTFTを用いても、画像信号を精度良く書込める。また画像の特性に合わせ最適な設定ができるので、例えば文字表示の背景等、特定の輝度レベルの出現頻度が高い画像は特に精度良く表示できる。大面積化に対応しやすいアモルファスシリコン等の半導体によるTFTや、高精細の画面に使用される短チャネルのTFT等の飽和特性が不完全なTFTを用いる有機EL表示装置には特に好適に用いられる。

30

【発明を実施するための最良の形態】

【0027】

飽和特性の不完全な駆動TFTを用いた場合も正確な輝度を表示するには、図8の第1のドレインソース間電圧805と第2のドレインソース間電圧809が一致すれば良い。そのためには第1のドレインソース間電圧805及び/又は第2のドレインソース間電圧809を調整する必要がある。しかし図3の回路では第1のドレインソース間電圧805は、信号書き込み期間において駆動TFT107がダイオード接続されて803の特性に従うので調整の余地がなく、第2のドレインソース間電圧809は、（電源電圧606 - 有機EL素子での電圧降下808）で決まるので調整の余地がない。

【0028】

40

この課題を解決するのに好適な回路を図1に示す。この回路と図3の回路の違いは、駆動TFT107のゲートにドレインとは独立な電位を供給するために第3の給電線105を設けた点である。これに伴い第1のスイッチ109は駆動TFT107のゲートと第3の給電線105との間に設ける。また図1の駆動TFT107は、図3の回路とは異なりnチャネルである。これは駆動TFT107のソースを信号電流源104側に、ドレインを第2の給電線102側に接続するためであるが、この条件が充たされていれば、後に図12に示す様に駆動TFTがpチャネルでも良い。さらに図1の回路も図5に示したシーケンスに従って動作させるものとする。

【0029】

またこの回路の全体図を図2に示す。図2は図4と比べて第3の給電線105が設けら

50

れている点が異なる。なお図2で走査線114は各行に対し1種類だけが描かれているが、後に説明する様に、各行に対して複数種の走査線が設けられて、同一行に属する画素回路がそれぞれ複数種の走査線に接続されても良い。また図4の回路で、異なる行に属する画素回路100の有機EL素子107が、異なる色で発光してもよい。その場合も同一行に属する画素回路100の有機EL素子107は同一の色で発光するものとする。またこの場合各行の第3の給電線105は、発光の種類に応じて異なる電位を有しても良い。

【0030】

図9は図1の回路の動作を、(a)高輝度の表示、(b)低輝度の表示の場合について示したものである。(図では簡単のため駆動TFTは完全な飽和特性を持つとして示しているが、飽和特性が不完全な場合も結論に変化はない。)まず(a)の場合、信号書き込み期間502において、第1のスイッチ109と第2のスイッチ110は閉じており、第3のスイッチ111は開いている。駆動TFT107のVgsは、Idsの飽和値が信号電流904と一致する様に(式2)から決まり、電圧保持手段108に書込まれる。このVgsは(信号電流904が流れた時の飽和ドレイン電圧911+閾値電圧912)に相当する。また信号線104の電位は、これとゲートの電位(=第3の給電線の電位)との差が、(式2)で決められたVgsと一致する様に決められる。この信号線104の電位と第2の給電線102の電位(=ドレインの電位)との差が駆動TFT107のVdsとなる。これを第1のドレインソース間電圧905と呼び、所定のドレイン電流を流した時の

ゲートソース間電圧+(電源電圧906-第3の給電線の電位903)

$$= (\text{飽和ドレイン電圧} 911 + \text{閾値電圧} 912) + (\text{電源電圧} 906 - \text{第3の給電線の電位} 903) \dots \quad (\text{式3})$$

で与えられる。因みに図1の回路では、駆動TFT107のソースが信号電流源104側に、ドレインが第2の給電線102側に接続されているが、もし図3の回路の様に、ソースが第2の給電線102側に接続されると、第3の給電線105の電位を与えると、直ちに駆動TFT107のVgsが決まってしまうため、信号電流904と一致するIdsを流すのに適当なVgsが設定できない。

【0031】

画像表示期間になると第1のスイッチ109が開き、その後は電圧保持手段108に書き込まれた電位は、第1~第3の給電線の電位が変動したり、表示装置内の配線抵抗等により画素回路近傍で電位降下を起こしたりしても影響を受けない。また第2のスイッチが開き第3のスイッチが閉じるので、駆動TFT107のソースは信号線103から切り離され、有機EL素子106に接続される。そのためIdsの曲線は902から910にシフトするが、Vgsが保持されているので曲線の形状は変化しない。有機EL素子106と駆動TFT107は第1の給電線101と第2の給電線102の間に直列に接続され、両者の電位の差に相当する電源電圧906が加わる。また有機EL素子にも信号電流904が流れるので、その電極間では907の特性に従って908で示される電圧降下が起こる。従って駆動TFT107のVdsは

$$\text{電源電圧} 906 - \text{有機EL素子での電圧降下} 907 \dots \quad (\text{式4})$$

となる。これを第2のドレインソース間電圧909と呼ぶ。

【0032】

(式3)と(式4)を等しくする条件から、第1のドレインソース間電圧と第2のドレインソース間電圧を一致させる第3の給電線の電位903として
所定の電流を流した時の

$$(\text{ゲートソース間電圧} + \text{有機EL素子での電圧降下} 907)$$

$$= (\text{飽和ドレイン電圧} 911 + \text{閾値電圧} 912 + \text{有機EL素子での電圧降下} 907) \dots \quad (\text{式5})$$

が得られる。飽和ドレイン電圧911と有機EL素子での電圧降下907は、信号電流904の大きさに依存し、表示すべき輝度レベルに対応する信号電流904が決まると、(式5)から第1のドレインソース間電圧905と第2のドレインソース間電圧909が一致する第3の給電線の電位903が求められる。

10

20

30

40

50

【0033】

(式5)を用いて第3の給電線の最適な電位を設定する例を示す。(a)の信号電流904は表示すべき最大の輝度レベルに対応する。図8(a)の場合と同様、電源電圧=15V、 $V_{gs} = 7V$ 、有機EL素子の電圧降下=6Vとすれば(式5)より最適値は13Vとなり、この輝度レベルは正確に表示される。また(b)の信号電流904'は表示すべき最小の輝度レベル(904の1/10)に対応する。第3の給電線の電位=13Vのまま、信号電流が(b)の904'になったとすると、 $V_{gs} = 5V$ 、有機EL素子の電圧降下=4Vになり、(式3)より第1のドレインソース間電圧=7V、(式4)より第2のドレインソース間電圧=11Vとなり、 V_{ds} は+4V増加する。これは、図8のTFTと同様、飽和特性が不完全で V_{ds} に対し I_{ds} が3%/Vの割合で増加するなら、輝度として12%の誤差に相当するが、図8の場合の18%より少ない。

10

【0034】

逆に(b)の信号電流904'に対して第3の給電線の電位を最適化すると、 $V_{gs} = 5V$ 、有機EL素子の電圧降下=4Vなので、(式5)より最適値は9Vとなり、この輝度レベルは正確に表示される。この設定のまま信号電流を904とした場合を考えると、 $V_{gs} = 7V$ 、有機EL素子の電圧降下=6Vなので、(式5)より第1のドレインソース間電圧=13V、(式4)より第2のドレインソース間電圧=9Vで、 V_{ds} は4V減少する。これは、 V_{ds} に対しTFTの I_{ds} が3%/Vの割合で増加する場合、輝度としては-12%の誤差に相当する。

20

【0035】

一般的な画像については、例えば最大値と最小値の幾何平均となる輝度に対して最適化すると良い。前述の例に即して最大輝度の1/3程度の輝度レベルに対して最適化する例を図10に示す。ここでは $V_{gs} = 6V$ 、有機EL素子の電圧降下=5Vなので最適値は11Vとなる。この輝度レベルに対しては第1のドレインソース間電圧1005と、第2のドレインソース間電圧1009は一致する。(図面では見易い様に両者を若干ずらして描いてある。)この設定のまま信号電流が1004の3倍強になると画像表示期間には V_{ds} が2V輝度は6%増加し、信号電流が1/3弱になると V_{ds} が2V輝度が6%減少するが、全般的に輝度表示の誤差を改善できる。また平均の決め方としては、幾何平均の他にも、算術平均や出現頻度が最も高い値を選んでも良い。

30

【0036】

上述の通り、本発明の駆動方式によっても駆動TFTの飽和特性の不完全性による輝度の誤差を皆無にはできないが、例えば文字表示画像で、背景が白で輝度が高い場合には(a)の様な設定を行い、背景がグレーで輝度が低い場合には(b)の様な設定を行えば、輝度ムラは目に付き難くなる。また平均的な輝度レベルに合わせて図10の様な設定を行えば、一般的な画像に対して輝度の表示精度を実効的に高める事ができる。また(式5)から明らかな様に、この変更は電源電圧に依存しない点に特徴があり、第3の給電線の電位903を調整だけで簡単に実施できる。

30

【0037】

アモルファスシリコン、金属酸化物半導体、有機半導体を用いたTFTの場合や、低温ポリシリコンのTFTでも短チャネルの場合には、TFTの飽和特性が不完全になり易く、また画面内の分布も大きくなる傾向があるので、本発明の駆動方式は効果的である。この様なTFTでは、また閾値電圧が基板内や基板間で分布したり、使用に伴い経時変化したりし易いが、(式5)から分かる様に、第3の給電線の最適値は閾値電圧にも依存する。基板内の分布が大きい場合は平均的な分布に合わせると良い。また基板間の分布に対しては基板毎に最適化出来る。さらに経時変化に対しては、

40

予め変化を予測して設定する事が出来る。しかし図3に示した様な従来の電流プログラミング回路においては、この様な設定を行う事ができない。

【実施例1】

【0038】

本発明の回路を低温ポリシリコンのCMOSで実現した例を図11に示す。駆動回路を

50

基板側に設け有機EL素子106をその上に積層するタイプの表示装置の場合、駆動TFT107のドレインに接続された画素電極を有機EL素子106のアノードとし、有機EL素子106のカソードとして金属や透明導電膜等を全面に形成すれば、第1の給電線を兼ねられるので製造が容易である。またこの順序で形成した場合には有機EL素子106が良好なキャリア注入特性を示す事が知られており有機EL素子での電圧降下が減少するので、電源電圧を低くし易い。

【0039】

駆動TFTはnチャンネルのTFT、第1のスイッチ109と第2のスイッチ110としてはpチャンネルのTFT、第3のスイッチ111としてはnチャンネルのTFTを使用する。また各TFTのゲートは共通の走査線114に接続する。走査線114に垂直シフトレジスタ115から高レベルの信号を加えると第1のスイッチ109と第2のスイッチ110は閉じ、第3のスイッチ111は開く。また低レベルの信号を加えると全てのスイッチの動作が反転するので、一本の走査線114だけで図5に示したシーケンスが実現できる。

【実施例2】

【0040】

低温ポリシリコンのCMOSで本発明の回路を実現した別の例を図12に示す。ここでは駆動TFT107のドレインに接続された画素電極を有機EL素子106のカソードとし、有機EL素子106のアノードとして金属や透明導電膜等を全面に形成すれば、第1の給電線を兼ねられるので製造が容易である。

【0041】

駆動TFTはpチャンネルのTFT、第1のスイッチ109と第2のスイッチ110としてはnチャンネルのTFT、第3のスイッチ111としてはpチャンネルのTFTを使用する。また各TFTのゲートは共通の走査線114に接続する。走査線114に垂直シフトレジスタ115より低レベルの信号を加えると第1のスイッチ109と第2のスイッチ110は閉じ、第3のスイッチ111は開く。また高レベルの信号を加えると全てのスイッチの動作が反転するので、一本の走査線114だけで図5に示したシーケンスが実現できる。実施態様1及び2の回路は、USP6,373,454に開示されている様な従来の電流プログラミング方式の回路に比べ、第3の給電線105が増えているものの、TFT等の回路要素の個数は増えておらず製造が容易で実用的な回路と言える。

【実施例3】

【0042】

図1の回路において、電圧保持手段108としてはキャパシタンスが広く使用される。図5のシーケンスにおいて、信号書き込み期間502中には、第1のスイッチ109が閉じているので、電圧保持手段108に電流が流れ込み、駆動TFTのドレインソース間に信号電流を適切に流すためのVgsが書き込まれる。書き込まれた電位は画像表示期間503確実に保持されている必要がある。

【0043】

画像表示期間503には第1のスイッチ109が開くため書き込まれた電位は通常変化しないが、第1のスイッチ109が開く前に第3スイッチ111が閉じ駆動TFT107のソースが有機EL素子106に接続されると、その間電圧保持手段108に電流が流れ込み、正しく書き込まれた電位が変動する恐れがある。第1のスイッチ109と第3のスイッチ111とでは、図11に示す様にチャンネルの導電型等仕様が異なる場合が多く状態遷移に要する期間が異なる。また第2の給電線102と第3の給電線105とは配線容量が異なるため、スイッチの切り替えが理想的に行われない場合も想定される。

【0044】

この様な恐れを完全に排除し、信号書き込み期間502から画像表示期間503への切り換えを、確実に行うための回路の例を図13に示す。図13は図11の回路を基本としておりTFT等の回路要素は図11と同じであるが、第1のスイッチ109の走査線117を、第2のスイッチ110や第3のスイッチ111の走査線116と独立させている。こ

10

20

30

40

50

のため、図14の様に信号書き込み期間502から画像表示期間503への切り換え第1のスイッチ109の切り換え504'を、第2のスイッチ110の切り換え505や第3のスイッチ111の切り換え506より、有意の期間 t だけ先行出来る。これにより電圧保持手段108に誤った電流が流れ込むのを防止し、画像表示期間503に正しい駆動電流が流れる事を保証する。

【実施例4】

【0045】

図11～13に示した回路の様にCMOSを利用すれば、一本の走査線からの信号によって複数のスイッチを逆の位相で駆動できるメリットがある反面、ポリシリコンの場合には製造プロセスが複雑化する。さらにアモルファルシリコン、ZnOやInGaZnOやInGaZnO等の金属酸化物半導体の様にnチャンネルのTFTしか良好な特性が得られない場合には対応できない。

【0046】

図15には、駆動TFT107や第1のスイッチ109～第3のスイッチ111を全てnチャンネルのTFTで構成した例を示す。ここでは第1のスイッチ109と第2のスイッチ110のゲートは第1の走査線118に接続される。一方第3のスイッチ111のゲートは別に第2の走査線119に接続される。従って走査線118と走査線119に逆位相の信号を加える事によって、図5に示したシーケンスを実現できる。さらに図16に示した様に、第1の走査線118の信号を、第2の走査線119の切り換えより有意の時間 t だけ先立って切り換える事により、実施態様3の回路と同様に電圧保持手段108に書込まれた信号を正確に保持する効果が得られる。

【実施例5】

【0047】

図17には、有機半導体のTFTの様なpチャンネルのTFTを使用する場合に好適な回路の例を示す。ここでも第1のスイッチ109と第2のスイッチ110のゲートは第1の走査線118に接続される。一方第3のスイッチ111のゲートは第2の走査線119に接続される。従って走査線118と走査線119に逆位相の信号を加える事によって、図5に示したシーケンスを実現できる。さらに実施態様4の回路と同様、図16のシーケンスを適用して、信号書き込み期間から画像表示期間への切り換えを確実に行う事もできる。

【実施例6】

【0048】

図18の回路では、図2に示した回路にさらに画像信号を解析し画像中の輝度レベルの出現頻度を分析し代表的な輝度レベルを抽出する信号解析手段120、及びそれに対応した信号電流の値と(式5)によりこの輝度レベルを最も忠実に表示できる電圧を第3の給電線105に出力する電圧源121とが付加されている。これらの付加機能によって、例えばコンピューターのモニターで一様な明るさの背景に文字を表示する場合には、背景の輝度に合わせ第3の給電線の電位を設定すると駆動TFTの飽和特性バラツキによる背景のムラが目立ち難くなる。またテレビ画面で表示の1フレーム毎に流れる画像信号を解析し、次のフレームでは前のフレームで出現頻度の高かった輝度レベルにあわせて第3の給電線105の電位を設定すると、動画映像でも常に高い精度で輝度が表示され実効的に高い画質を得る事ができる。また図18の回路を簡略化して、信号解析手段120を省略しマニュアルで電圧源121を制御し第3の給電線105の電位を調整する事もできる。

【図面の簡単な説明】

【0049】

【図1】本発明の有機EL表示装置の駆動回路を、画素回路を中心に説明する図。

【図2】本発明の有機EL表示装置の駆動回路を、全体的に説明する図。

【図3】従来の有機EL表示装置の駆動回路を、画素回路を中心に説明する図。

【図4】従来の有機EL表示装置の駆動回路を、全体的に説明する図。

【図5】本発明及び従来の有機EL表示装置の駆動回路における駆動シーケンスを説明す

10

20

30

40

50

る図。

【図6】TFTの基本的な動作を説明する図。

【図7】完全な飽和特性を持つ駆動TFTを使用した従来の有機EL表示装置における駆動回路の基本動作を説明する図。(a)高輝度表示の場合。(b)低輝度表示の場合。

【図8】不完全な飽和特性を持つ駆動TFTを使用した従来の有機EL表示装置における駆動回路の動作を説明する図。(a)高輝度表示の場合。(b)低輝度表示の場合。

【図9】完全な飽和特性を持つTFTを使用した本発明の有機EL表示装置における駆動回路の基本動作を説明する図。(a)高輝度表示の場合。(b)低輝度表示の場合。

【図10】不完全な飽和特性を持つTFTを使用した有機EL表示装置で、本発明を効果的に使用した場合の動作を説明する図。10

【図11】実施例1の有機EL表示装置の駆動回路を、画素回路を中心に説明する図。

【図12】実施例2の有機EL表示装置の駆動回路を、画素回路を中心に説明する図。

【図13】実施例3の有機EL表示装置の駆動回路を、画素回路を中心に説明する図。

【図14】実施例3の有機EL表示装置の駆動回路における駆動シーケンスを説明する図。14

【図15】実施例4の有機EL表示装置の駆動回路を、画素回路を中心に説明する図。

【図16】実施例4の有機EL表示装置の駆動回路における駆動シーケンスを説明する図。16

【図17】実施例5の有機EL表示装置の駆動回路を、画素回路を中心に説明する図。

【図18】画像の特性に応じて自動的に最適な第3の給電線の電圧を与える機能を持つ駆動回路を示す図。20

【符号の説明】

【0050】

100 画素回路

101、102、105 紙電線

103 信号線

104 信号電流源

106 有機EL素子

107 駆動TFT

108 電圧保持手段

109、110, 111 スイッチ

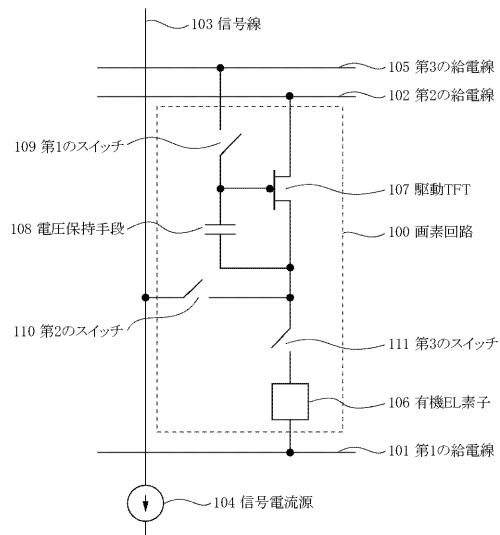
114 走査線

10

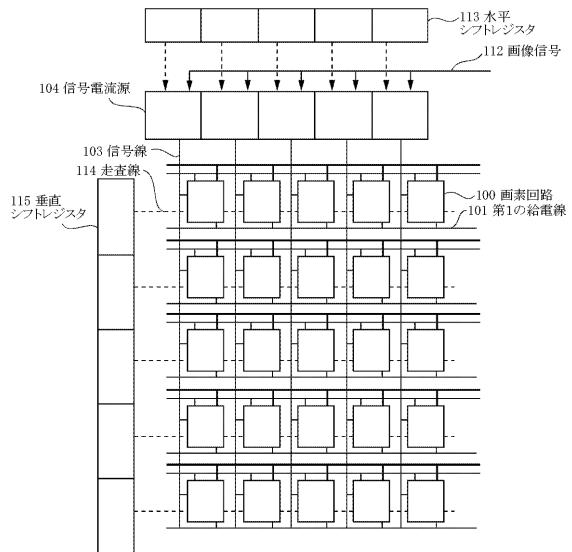
20

30

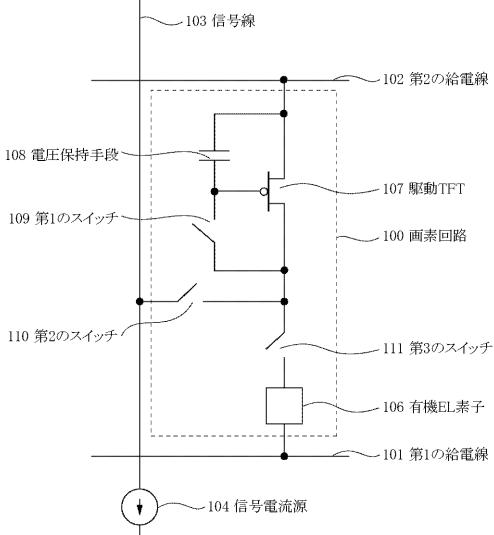
【図1】



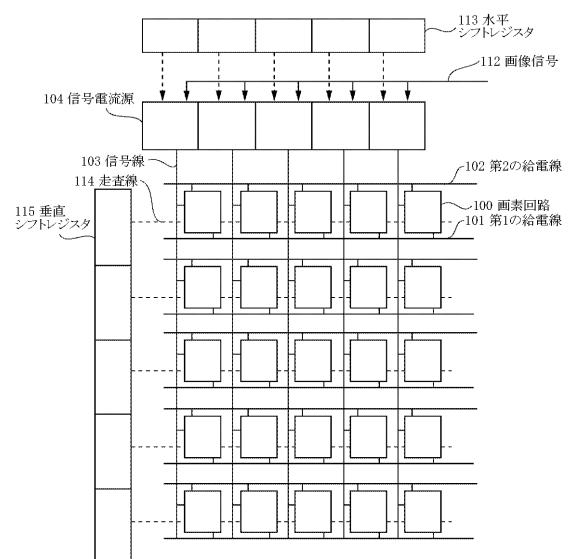
【図2】



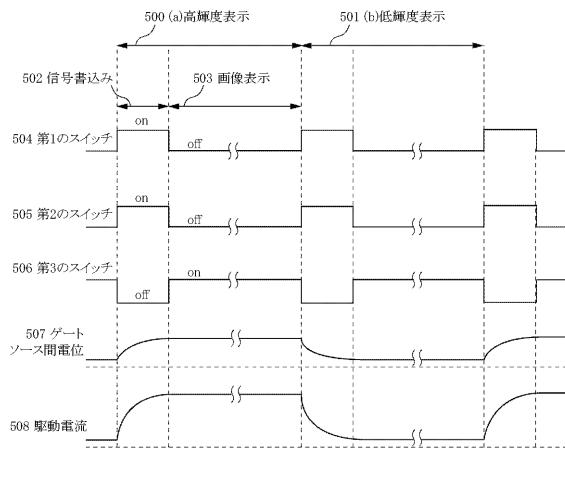
【図3】



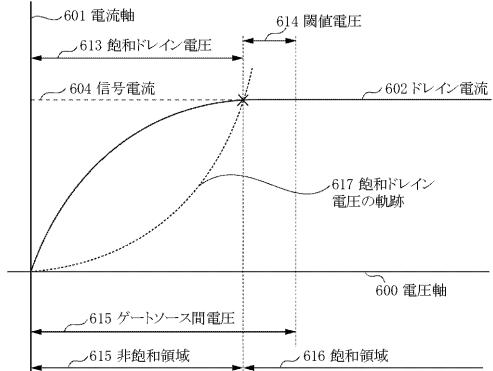
【図4】



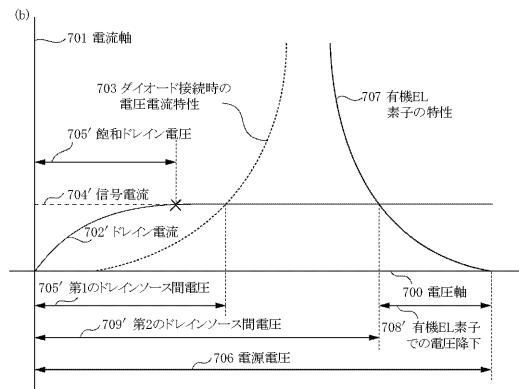
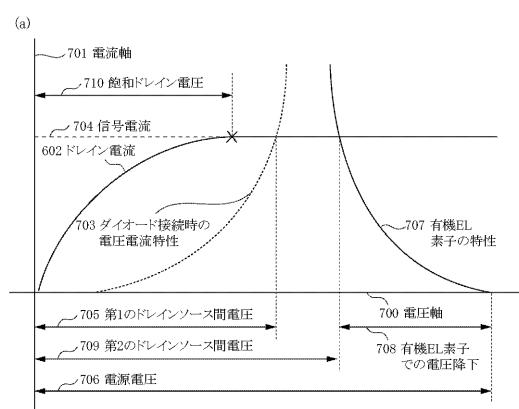
【図5】



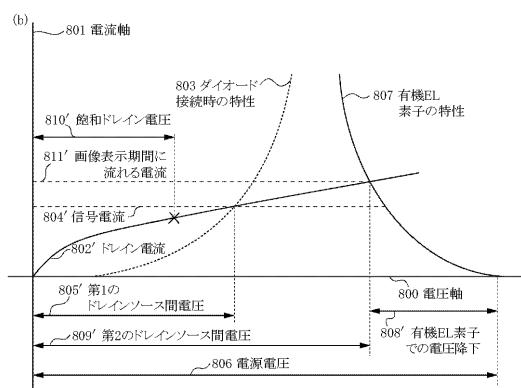
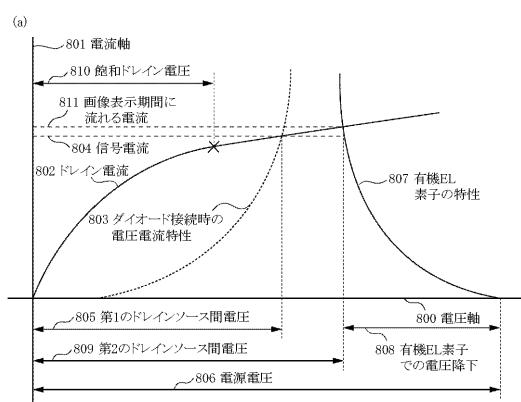
【図6】



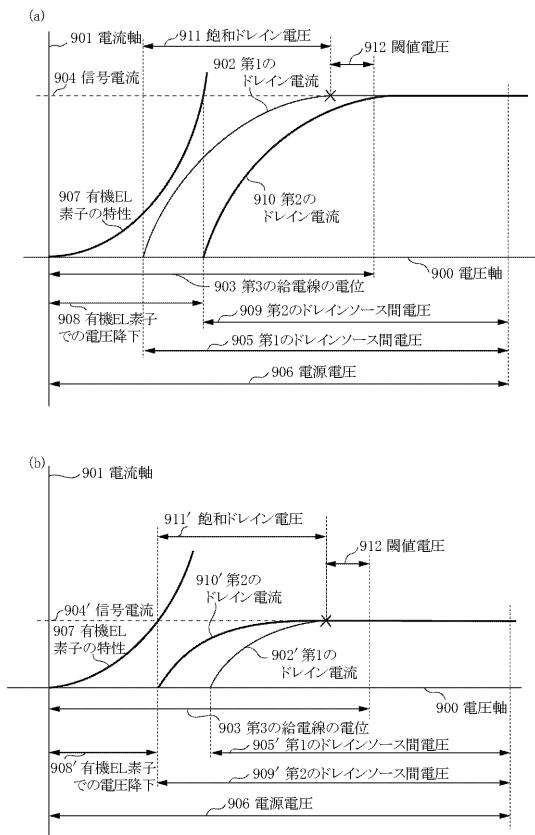
【図7】



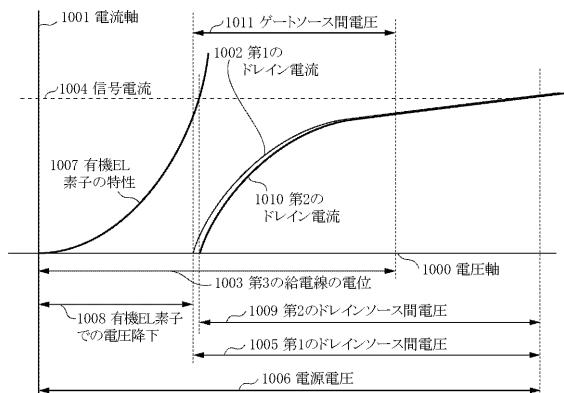
【図8】



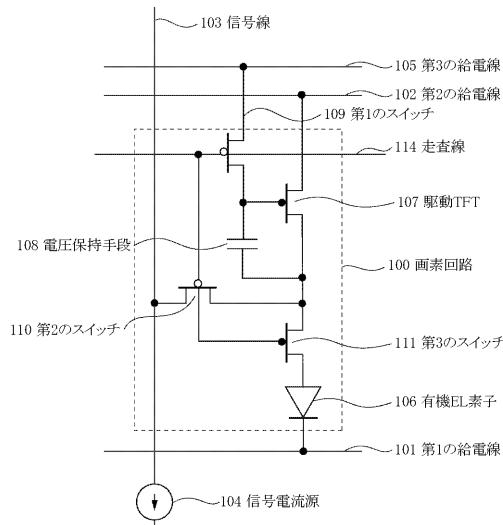
【図 9】



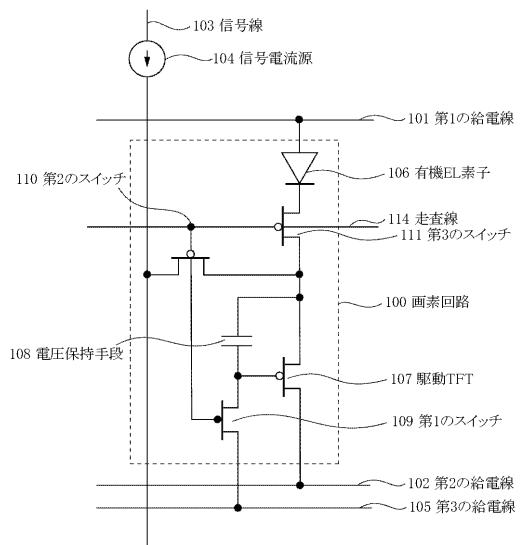
【図 10】



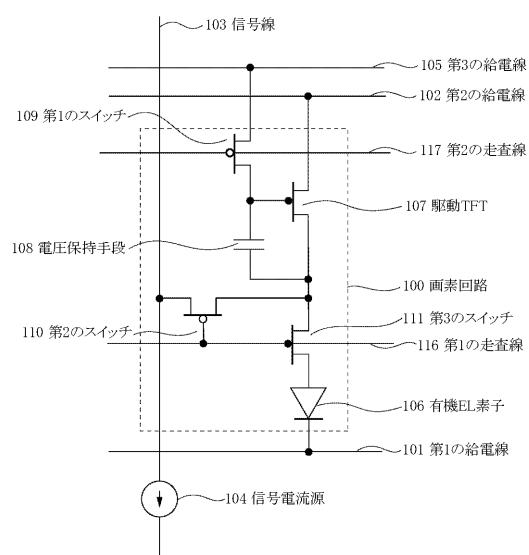
【図 11】



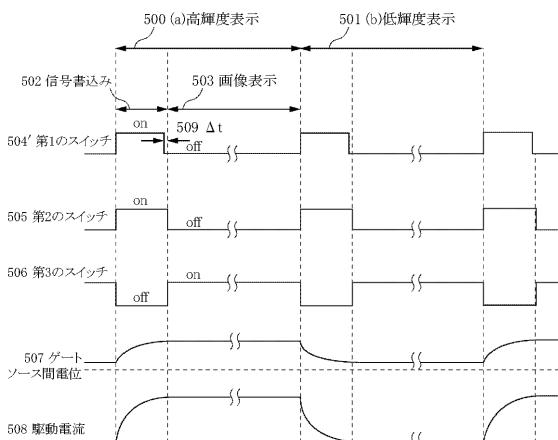
【図 12】



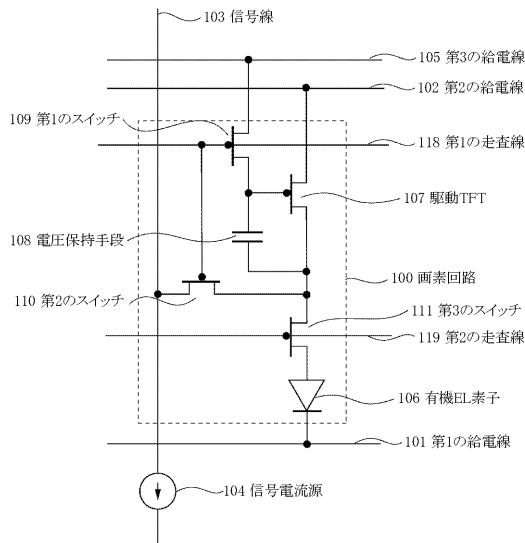
【図13】



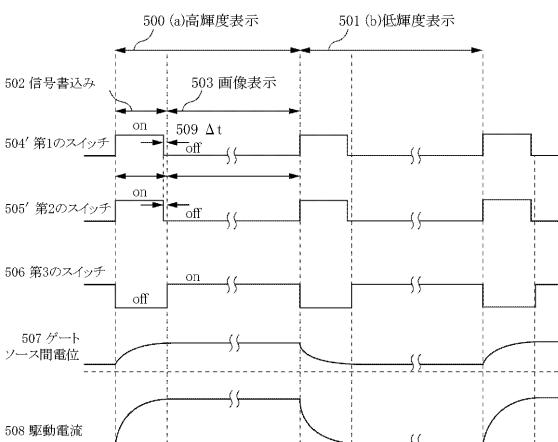
【図14】



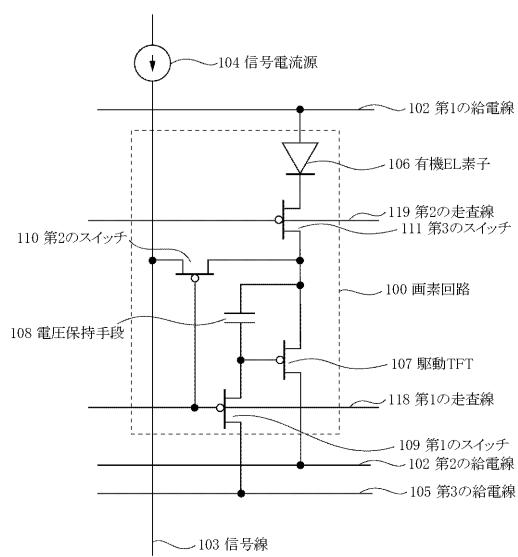
【図15】



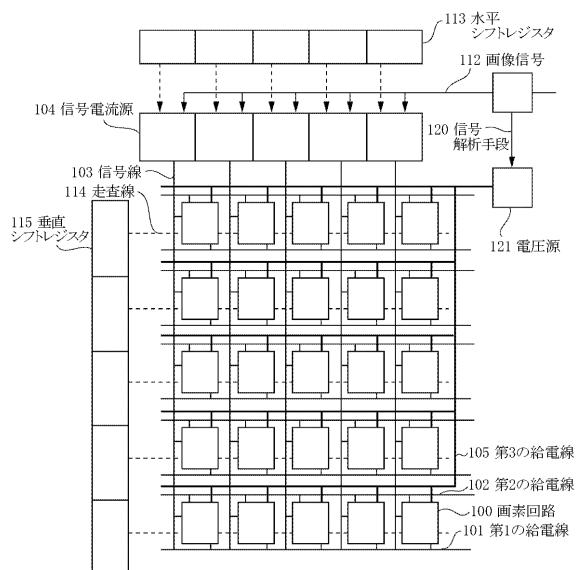
【図16】



【図17】



【図18】



フロントページの続き

(51)Int.Cl.

F I

H 05B 33/14

A

(72)発明者 井関 正己

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 稲葉 豊

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 福村 拓

(56)参考文献 特開2003-195810 (JP, A)

特開2003-195811 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 09 G 3 / 30

G 09 G 3 / 20