



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0121402
(43) 공개일자 2019년10월25일

- (51) 국제특허분류(Int. Cl.)
G11C 11/4096 (2015.01) G11C 11/4091 (2006.01)
- (52) CPC특허분류
G11C 11/4096 (2018.05)
G11C 11/4091 (2013.01)
- (21) 출원번호 10-2019-7030425
- (22) 출원일자(국제) 2018년03월09일
심사청구일자 2019년10월16일
- (85) 번역문제출일자 2019년10월16일
- (86) 국제출원번호 PCT/US2018/021683
- (87) 국제공개번호 WO 2018/175121
국제공개일자 2018년09월27일
- (30) 우선권주장
15/465,340 2017년03월21일 미국(US)

- (71) 출원인
마이크론 테크놀로지, 인크.
미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000
- (72) 발명자
레아, 페리 브이.
미국 83616 아이다호주 이글 노스 선업 웨이 1554
- (74) 대리인
양영준, 백만기

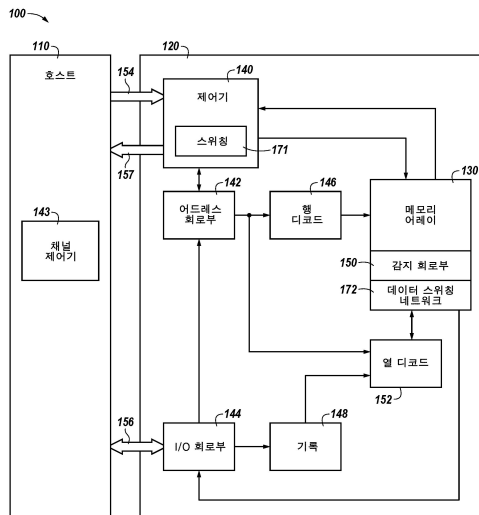
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 인메모리 데이터 스위칭 네트워크를 위한 장치들 및 방법들

(57) 요약

본 개시는 인메모리 데이터 스위칭 네트워크를 위한 장치 및 방법을 포함한다. 예시적인 장치는 메모리 셀들의 어레이를 포함한다. 감지 회로부는 메모리 셀들의 어레이에 선택적으로 결합된다. 입력/출력 (I/O) 라인은 어레이와 연관된 인메모리 데이터 스위칭을 위한 데이터 경로로서 공유된다. 인메모리 데이터 스위칭 네트워크는 개별 공유 I/O 라인에 선택적으로 결합된다. 제어기는 인메모리 데이터 스위칭 네트워크에 결합되고 스위치 프로토콜의 인에이블을 지시하도록 구성된다.

대표도 - 도1a



명세서

청구범위

청구항 1

장치에 있어서,

메모리 셀들의 어레이;

상기 메모리 셀들의 어레이에 선택적으로 결합된 감지 회로부;

상기 어레이와 관련된 인메모리(in-memory) 데이터 스위칭을 위한 데이터 경로로서 공유되는 입력/출력 (I/O) 라인;

개별 상기 공유 I/O 라인에 선택적으로 결합된 인메모리 데이터 스위칭 네트워크; 및

제어기로서,

상기 인메모리 데이터 스위칭 네트워크에 결합되고; 및

스위치 프로토콜의 인에이블을 지시하도록 구성된, 상기 제어기를 포함하는, 장치.

청구항 2

제 1 항에 있어서, 상기 인메모리 데이터 스위칭 네트워크는

상기 어레이의 대응하는 메모리 셀들에 대한 감지 라인; 및

상기 공유 I/O 라인에 선택적으로 결합되는, 장치.

청구항 3

제 1 항에 있어서, 상기 인메모리 데이터 스위칭 네트워크는

상기 감지 회로부; 및

상기 공유 I/O 라인에 선택적으로 결합되는, 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 메모리 셀들의 어레이는 동적 랜덤 액세스 메모리 (DRAM) 셀들의 어레이인, 장치.

청구항 5

장치에 있어서,

메모리 셀들의 어레이;

상기 메모리 셀들의 어레이에 선택적으로 결합된 감지 회로부로서, 상기 감지 회로부는 감지 증폭기를 포함하는, 상기 감지 회로부;

상기 어레이와 관련된 인메모리 데이터 스위칭 및 상기 어레이 내의 소스 위치로부터 목적지 위치로의 데이터 값의 이동을 위한 데이터 경로로서 선택적으로 공유되는 복수의 입력/출력 (I/O) 라인;

인메모리 데이터 스위칭 네트워크; 및

제어기로서,

개별 복수의 공유 I/O 라인을 인메모리 데이터 스위칭 네트워크에 선택적으로 결합하고; 및

상기 인메모리 데이터 스위칭 네트워크의 스위치 프로토콜의 인에이블을 지시하여 상기 어레이로부터 상기 복수의 공유 I/O 라인을 통해 상기 인메모리 데이터 스위칭 네트워크로 이동된 상기 데이터 값의 시퀀스에서 상기

데이터 값의 위치를 스위칭하도록 구성된, 상기 제어기를 포함하는, 장치.

청구항 6

제 5 항에 있어서, 상기 소스 위치 및 상기 목적지 위치는 상기 어레이의 제 1 서브 어레이 및 제 2 서브 어레이인, 장치.

청구항 7

제 5 항에 있어서, 상기 장치는,

상기 개별 복수의 공유 I/O 라인에 결합된 복수의 제 1 감지 증폭기를 사용하여 상기 소스 위치로부터 복수의 데이터 값을 이동 시키고; 및

상기 개별 복수의 공유 I/O 라인에 결합된 복수의 제 2 감지 증폭기를 사용하여 상기 복수의 데이터 값을 상기 목적지 위치로 이동 시키도록 구성된, 장치.

청구항 8

제 5 항 내지 제 7 항 중 어느 한 항에 있어서, 상기 장치는 상기 개별 복수의 공유 I/O 라인에 선택적으로 결합된 복수의 감지 증폭기를 통해 복수의 데이터 값을 상기 인메모리 데이터 스위칭 네트워크로 이동 시키도록 구성된, 장치.

청구항 9

제 5 항 내지 제 7 항 중 어느 한 항에 있어서, 상기 장치는 상기 개별 복수의 공유 I/O 라인에 선택적으로 결합된 복수의 감지 라인을 통해 복수의 데이터 값을 상기 인메모리 데이터 스위칭 네트워크로 이동 시키도록 구성된, 장치.

청구항 10

제 5 항 내지 제 7 항 중 어느 한 항에 있어서, 상기 인메모리 데이터 스위칭 네트워크는

각각 복수의 스위치 노드를 갖는 복수의 레벨들;

레지스터 및 스위치를 포함하는 스위치 노드를 더 포함하고; 및

레벨 당 복수의 스위치 노드의 수는 어레이에 결합된 복수의 감지 증폭기의 수에 대응하는, 장치.

청구항 11

제 5 항 내지 제 7 항 중 어느 한 항에 있어서, 상기 장치는,

상기 감지 회로부의 복수의 감지 증폭기들로서, 상기 복수의 감지 증폭기들은 상기 메모리 셀들의 어레이의 대응하는 복수의 열(column)들에 결합되는, 상기 복수의 감지 증폭기들; 및

데이터 값을 상기 인메모리 데이터 스위칭 네트워크로 이동 시키기 위해 공유 I/O 라인에 결합할 감지 증폭기를 선택하도록 구성된 다중화기를 더 포함하는, 장치.

청구항 12

제 5 항 내지 제 7 항 중 어느 한 항에 있어서, 상기 장치는,

상기 메모리 셀들의 어레이의 복수의 열들; 및

열 선택 회로부를 포함하는 다중화기로서, 상기 다중화기는 데이터 값을 상기 인메모리 데이터 스위칭 네트워크로 이동 시키기 위해 공유 I/O 라인에 결합할 열의 메모리 셀들을 선택하도록 구성된, 상기 다중화기를 더 포함하는, 장치.

청구항 13

제 5 항 내지 제 7 항 중 어느 한 항에 있어서, 상기 장치는,

서브 어레이 내의 메모리 셀들의 복수의 열의 수에 대응하는 복수의 감지 증폭기 및/또는 컴퓨팅 컴포넌트의 수

를 포함하는 감지 컴포넌트 스트라이프를 더 포함하고; 및

상기 복수의 감지 증폭기들 및/또는 컴퓨팅 컴포넌트들의 수는 대응하는 복수의 데이터 값들을 상기 인메모리 데이터 스위칭 네트워크로 이동 시키기 위해 상기 개별 복수의 공유 I/O 라인들에 선택적으로 결합되는, 장치.

청구항 14

장치에 있어서,

메모리 셀들의 어레이;

상기 메모리 셀들의 어레이에 선택적으로 결합된 감지 회로부로서, 상기 감지 회로부는 감지 증폭기를 포함하는, 상기 감지 회로부;

상기 어레이와 관련된 인메모리 데이터 스위칭을 위한 데이터 경로로서 공유되는 입력/출력 (I/O) 라인으로서, 상기 공유 I/O 라인은 상기 감지 회로부를 상기 공유 I/O 라인의 데이터 경로의 스위치 노드에 선택적으로 결합하는, 상기 I/O 라인;

상기 데이터 경로 내의 복수의 로직 스트라이프로써, 상기 어레이의 행의 제 1 서브 행의 복수의 메모리 셀들의 수에 대응하는 복수의 제 1 스위치 노드들의 수를 포함하는 제 1 로직 스트라이프를 포함하는, 상기 복수의 로직 스트라이프들; 및

상기 어레이와 관련된 제어기로서, 상기 제어기는 :

상기 감지 회로부를 통해, 상기 어레이의 제 1 행의 제 1 서브 행으로부터 상기 공유 I/O 라인을 통해 상기 데이터 경로에 상기 제 1 로직 스트라이프의 제 1 스위치 노드로 제 1 데이터 값을 이동 시키도록 지시하고;

상기 제 1 서브 행으로부터의 상기 제 1 데이터 값에 대해 상기 제 1 스위치 노드를 사용하여 스위칭 프로토콜의 제 1 스위칭 동작의 수행을 지시하고; 및

연결 회로부를 통한 상기 제 1 로직 스트라이프로부터 상기 제 1 스위칭 동작의 수행에 기인한 제 1 스위치 데이터 값의 상기 데이터 경로 내의 제 2 로직 스트라이프의 제 2 스위치 노드로의 이동을 지시하도록 구성된, 상기 제어기를 포함하는, 장치.

청구항 15

제 14 항에 있어서, 상기 제어기는

상기 복수의 스위치 노드들에 의해 상기 제 1 스위칭 프로토콜의 복수의 스위칭 동작의 수행의 선택 가능한 인에이블을 위해 복수의 레벨의 인메모리 데이터 스위칭 네트워크 사이에 분배된 복수의 스위치 노드들에 발송된 명령의 실행에 의해,

복수의 스위칭 프로토콜로부터 상기 제 1 스위칭 프로토콜을 선택적으로 인에이블하도록 구성된, 장치.

청구항 16

제 14 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 제 1 로직 스트라이프는 상기 어레이의 행의 제 1 서브 행의 복수의 메모리 셀들의 수에 대응하는 복수의 컴퓨팅 컴포넌트의 수를 더 포함하고; 및

상기 제어기는 상기 공유 I/O 라인을 통해 로직 연산의 수행을 위한 선택된 컴퓨팅 컴포넌트 또는 스위칭 동작의 수행을 위한 선택된 스위치 노드로 이동을 선택적으로 지시하도록 추가로 구성된, 장치.

청구항 17

메모리 디바이스를 동작시키는 방법으로서,

제 1 로직 스트라이프에 의해 데이터 값에 복수의 스위칭 동작들의 제 1 서브 세트의 제 1 스위칭 동작을 수행하는 단계로서, 상기 데이터 값은 어레이 및 상기 제 1 로직 스트라이프에 의해 공유된 입력/출력 라인 (I/O)을 통해 상기 어레이의 메모리 셀들로부터 이동되는, 상기 제 1 스위칭 동작을 수행하는 단계;

상기 복수의 스위칭 동작의 제 1 서브 세트가 수행되는 데이터 값을 상기 제 1 로직 스트라이프로부터 최종 로

직 스트라이프로 상기 로직 스트라이프를 선택적으로 결합하는 연결 회로부를 통해 상기 최종 로직 스트라이프로 순차적으로 이동 시키는 단계;

상기 최종 로직 스트라이프에 의해 상기 제 1 서브 세트의 최종 스위칭 동작을 수행하는 단계; 및

상기 최종 로직 스트라이프에 의해, 상기 복수의 스위칭 동작들 중 제 1 서브 세트의 수행의 완료로 인한 데이터 값에 대해 상기 복수의 스위칭 동작들 중 제 2 서브 세트의 제 1 스위칭 동작을 수행하는 단계를 포함하는, 방법.

청구항 18

제 17 항에 있어서, 상기 방법은

상기 최종 로직 스트라이프로부터 상기 제 1 로직 스트라이프로 상기 복수의 스위칭 동작들의 제 1 서브 세트의 수행의 완료로 인한 상기 데이터 값을 순차적으로 이동 시키는 단계에 의해

상기 복수의 스위칭 동작들 중 상기 제 2 서브 세트의 수행을 완료하는 단계를 더 포함하는, 방법.

청구항 19

제 17 항 내지 제 18 항 중 어느 한 항에 있어서, 상기 방법은

상기 최종 로직 스트라이프의 스위치 노드에 결합된 래치에 의해, 상기 제 1 서브 세트의 상기 최종 스위칭 동작의 상기 최종 로직 스트라이프에 의한 데이터 값을 저장하는 단계; 및

상기 최종 로직 스트라이프에 의해, 상기 저장된 데이터 값에 대한 상기 복수의 스위칭 동작들 중 상기 제 2 서브 세트의 제 1 스위칭 동작의 수행을 개시하는 단계를 더 포함하는, 방법.

청구항 20

제 17 항 내지 제 18 항 중 어느 한 항에 있어서, 상기 방법은

상기 제 1 로직 스트라이프의 스위치 노드에 결합된 래치에 의해, 상기 제 2 서브 세트의 최종 스위칭 동작의 상기 제 1 로직 스트라이프에 의한 수행으로 인한 데이터 값을 저장하는 단계; 및

상기 공유 I/O 라인을 통해 상기 저장된 데이터 값을 상기 어레이로 이동 시키는 단계를 더 포함하는, 방법.

발명의 설명

기술 분야

[0001] 본 개시는 전반적으로 반도체 메모리 및 방법에 관한 것으로, 보다 상세하게는 인메모리(in-memory) 데이터 스위칭 네트워크를 위한 장치 및 방법에 관한 것이다.

배경 기술

[0002] 메모리 디바이스는 전형적으로 컴퓨터 또는 다른 전자 시스템에서 내부의, 반도체, 집적 회로로 제공된다. 휘발성 및 비 휘발성 메모리를 포함하여 많은 상이한 유형의 메모리가 있다. 휘발성 메모리는 데이터 (예를 들어, 호스트 데이터, 에러 데이터 등)를 유지하기 위해 전력을 필요로 할 수 있으며 그 중에서도 랜덤 액세스 메모리 (RAM), 동적 랜덤 액세스 메모리 (DRAM), 정적 랜덤 액세스 메모리 (SRAM), 동기식 동적 랜덤 액세스 메모리 (SDRAM) 및 사이리스터(thyristor) 랜덤 액세스 메모리 (TRAM)를 포함한다. 비 휘발성 메모리는 전원이 공급되지 않을 때 저장된 데이터를 보유함으로써 영구적인 데이터를 제공할 수 있으며, NAND 플래시 메모리, NOR 플래시 메모리, 및 저항 가변 메모리 예컨대, PCRAM (phase change random access memory), RRAM (resistive random access memory) 및 자기 저항 랜덤 액세스 메모리 (MRAM) 예컨대, 스핀 토크 전달 랜덤 액세스 메모리 (STT RAM)를 포함할 수 있다.

[0003] 전자 시스템은 종종 명령을 검색 및 실행하고 실행된 명령의 결과를 적절한 위치에 저장할 수 있는 다수의 프로세싱 자원 (예를 들어, 하나 이상의 프로세서)을 포함한다. 프로세서는 예를 들어 산술 로직 유닛 (ALU) 회로, 부동 소수점 유닛 (FPU) 회로부 및 조합 로직 블록과 같은 다수의 기능 유닛을 포함할 수 있으며, 예를 들어, 이는 데이터에 대한 연산을 수행함으로써 명령을 실행하는데 사용될 수 있다 (예를 들어, 하나 이상의 피연산자

(operand)). 본 출원에 사용된 바와 같이, 연산은 예를 들어 AND, OR, NOT, NAND, NOR 및 XOR과 같은 불리언 연산 및/또는 다른 연산 (예를 들어, 많은 다른 가능한 연산들 중에서 반전, 시프트, 산술, 통계) 일 수 있다. 예를 들어, 기능 유닛 회로부는 다수의 연산을 통해 피연산자에 대한 더하기, 빼기, 곱하기 및 나누기와 같은 산술 연산을 수행하는데 사용될 수 있다.

[0004] 전자 시스템의 다수의 컴포넌트는 실행을 위해 기능 유닛 회로부에 명령을 제공하는데 수반될 수 있다. 명령은 예를 들어, 제어기 및/또는 호스트 프로세서와 같은 프로세싱 자원에 의해 실행될 수 있다. 데이터 (예를 들어, 명령어가 실행될 피연산자)는 기능 유닛 회로부에 의해 액세스 가능한 메모리 어레이에 저장될 수 있다. 명령 및/또는 데이터는 메모리 유닛으로부터 검색되고 기능 유닛 회로부가 데이터에 대한 명령을 실행하기 전에 시퀀싱 및/또는 버퍼링될 수 있다. 또한, 기능 유닛 회로부를 통해 하나 또는 다수의 클록 사이클에서 상이한 유형의 연산이 수행될 수 있기 때문에, 명령 및/또는 데이터의 중간 결과가 또한 시퀀싱 및/또는 버퍼링될 수 있다. 하나 이상의 클록 사이클에서 연산을 완료하기 위한 시퀀스는 연산 사이클(operation cycle)이라고 지칭될 수 있다. 컴퓨팅 장치 및/또는 시스템의 프로세싱 및 컴퓨팅 성능 및 전력 소비 측면에서 연산 사이클 비용을 완료하는데 시간이 소요된다.

[0005] 많은 경우에, 프로세싱 자원들 (예를 들어, 프로세서 및 관련 기능 유닛 회로부)는 메모리 어레이 외부에 있을 수 있고, 데이터는 프로세싱 자원과 메모리 어레이 사이의 버스를 통해 액세스되어 명령 세트를 실행한다. 프로세싱 및/또는 로직 자원이 내부 및/또는 메모리 근처에서 (예를 들어, 메모리 어레이와 동일한 칩 상에 직접) 구현될 수 있는 메모리 내 프로세싱 (PIM : processing-in-memory) 디바이스에서 프로세싱 성능이 개선될 수 있다. PIM 디바이스는 외부 통신을 줄이고 제거하여 시간을 절약하고 또한 전력을 절약할 수 있다.

발명의 내용

도면의 간단한 설명

[0006] 도 1a는 본 개시의 다수의 실시예들에 따른 메모리 디바이스를 포함하는 컴퓨팅 시스템 형태의 장치의 블록도이다.

도 1b 및 1c는 본 개시의 다수의 실시예에 따른 메모리 디바이스의 बैं크(bank) 섹션의 블록도이다.

도 1d 및 1e는 본 개시의 다수의 실시예에 따른, 개별적으로 도 1b 및 1c에 대응하는 메모리 디바이스의 बैं크의 블록도이다.

도 1f는 본 개시의 다수의 실시예들에 따른 어레이의 बैं크 섹션들에 로컬 데이터 경로에서 공유 입력/출력 (I/O) 라인을 갖는 메모리 디바이스의 다른 블록도이다.

도 2는 본 개시의 다수의 실시예에 따른 감지 회로부 및/또는 로직 스트라이프(logic stripe)에 포함될 수 있는 감지 증폭기 및 컴퓨팅 컴포넌트를 포함하는 메모리 디바이스의 회로부를 도시하는 개략도이다.

도 3은 본 개시의 다수의 실시예에 따른 인메모리 데이터 스위칭 네트워크와 연관된 어레이의 데이터 경로에서 복수의 공유 I/O 라인들에 대한 회로부를 도시한 개략도이다.

도 4는 본 개시의 다수의 실시예들에 따른 다수의 공유 I/O 라인들에 의해 인메모리 데이터 스위칭 네트워크로 구성된 복수의 로직 스트라이프를 갖는, 컴퓨팅 유닛에 결합된 어레이의 복수의 섹션을 예시하는 블록도이다.

도 5는 본 개시의 다수의 실시예들에 따른 메모리 디바이스의 제어기의 예를 예시하는 블록도이다.

도 6은 본 개시의 다수의 실시예에 따른 데이터 스위치 프로토콜의 연산 및 선택을 제어하는 메모리 디바이스의 제어기의 다른 예를 예시하는 블록도이다.

도 7은 본 개시의 다수의 실시예에 따른 로직 연산의 수행을 위한 회로부를 예시한 개략도이다.

도 8은 본 개시의 다수의 실시예에 따라 도 7에 도시된 회로부에 의해 구현되는 선택 가능한 로직 연산 결과를 도시하는 로직 테이블이다.

도 9a 및 9b는 본 개시의 다수의 실시예에 따른 인메모리 데이터 스위칭 네트워크를 도시한 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0007] 본 개시는 인메모리 데이터 스위칭 네트워크를 위한 장치 및 방법을 포함한다. 적어도 하나의 실시예에서, 장치는 메모리 셀 어레이 및 메모리 셀 어레이에 선택적으로 결합된 감지 회로부를 포함한다. 입력/출력 (I/O) 라인 은 어레이와 연관된 인메모리 데이터 스위칭을 위한 데이터 경로로 공유된다. 인메모리 데이터 스위칭 네트워크 는 개별 공유된 I/O 라인에 선택적으로 결합된다. 예를 들어, 감지 회로부는 메모리 셀의 열(column) 및 공유 I/O 라인에 선택적으로 결합될 수 있고, 메모리 데이터 스위칭 네트워크는 또한 공유 I/O 라인에 선택적으로 결합될 수 있다. 제어기는 인메모리 데이터 스위칭 네트워크에 결합되고 스위치 프로토콜을 직접 인에이블하도록 구성된다.
- [0008] 본 출원에 설명된 인메모리 데이터 스위칭 네트워크는 데이터 값의 시퀀스 (예를 들어, 복수)에서 적어도 하나의 데이터 값 (예를 들어, 모든 데이터 값)의 위치를 스위칭하기 위해 데이터 값을 재구조화(restructure) 및/또는 재조직화(reorganize) (예를 들어, 스위즐(swizzle))하는데 사용되는 회로부 (예를 들어, 고정된 구성 및/또는 복수의 대안적인 프로그램 가능한 구성으로부터 선택된) 를 의미한다. 본 출원에 설명된 시퀀스의 이전 위치로부터 데이터 값을 스위즐 하는 것은 많은 장점을 제공할 수 있다. 다양한 연산들의 수행은 그것들의 원래 시퀀스에 대해 데이터 값들을 스위즐링함으로써 의존하고 /하거나 개선될 수 있다. 이러한 연산은, 예를 들어, 고속 푸리에 변환, 산란 수집 기능, 소팅 기능, 시퀀스에서 데이터의 엔디안(endianness) (예를 들어, 최상위 비트에서 최하위 비트로) 전환, 바이트를 벡터 (예를 들어, 이미징을 위한 패킹 벡터(packing vector))로 패킹 하는 것, 데이터 스위칭이 유용할 수 있는 다른 가능한 연산들 중에서 하나의 위치에서 다른 위치로 시퀀스의 바이트 및/또는 비트를 시프트 및/또는 이동 시키는 것을 포함할 수 있다.
- [0009] 제 1 및 제 2와 같은 서수는 본 출원에서 유사 및/또는 선택적으로 결합된 컴포넌트 (예를 들어, 메모리 셀의 서브 어레이 및 관련 감지 회로부, 데이터 값 및 관련 컴퓨팅 컴포넌트, 메모리 셀의 서브 행 및 관련 컴퓨팅 컴포넌트, 로직 스트라이프 및 관련 컴퓨팅 컴포넌트, 연결 회로부 및 관련 컴퓨팅 컴포넌트 및/또는 로직 스트라이프들, 등) 사이의 상관 및/또는 구별을 보조하는데 사용된다. 서수는 문맥상 명백하게 달리 지시하지 않는 한(예를 들어, 인접 등의 용어를 사용하여) 컴포넌트 사이의 특정 순서 및/또는 관계를 나타내는 데 사용되지 않는다.
- [0010] 공유 I/O 라인 (예를 들어, (155)에서 도시되고 도 1d 내지 도 1f와 관련되고 본 출원에 어디 다른 곳에서 설명된)은 데이터 이동을 위한 메모리 어레이와 연관된 데이터 경로로서 기능한다 (예를 들어, (130)에서 도시되고 도 1a와 관련되고 본 출원에 어디 다른 곳에서 설명된) 데이터 이동을 위한 다른 곳). 공유 I/O 라인은, 일부 실시예들에서, 감지 회로부 (예를 들어, 150으로 도시되고 도 1a와 관련되고 다른 곳에서 설명된) 및/또는 감지 증폭기 및/또는 그 내부의 컴퓨팅 컴포넌트 (예를 들어, (206) 및 (231)에서 개별적으로 도시되고, 도 2와 관련되고 본 출원의 어디 다른 곳에서 설명된)를 인메모리 데이터 스위칭 네트워크(예를 들어, (172 및 372)에 도시되고, 도 1a 및 도 3과 관련되고 본원의 어디 다른 곳에서 설명된)에 결합시킬 수 있다. 일부 실시예들에서, 공유 I/O 라인은 로직 스트라이프 내의 컴퓨팅 컴포넌트(예를 들어, (431 및 409)에 도시되고 도 4와 관련되고 본 출원에 어디 다른 곳에서 설명된)를 감지 회로부 및/또는 공유 I/O 라인의 데이터 경로에서 인메모리 데이터 스위칭 네트워크에 결합시킬 수 있다. 공유 I/O 라인의 데이터 경로와 관련된 로직 스트라이프의 컴퓨팅 컴포넌트는 메모리 셀의 어레이에 대한 데이터 경로의 피치와 동일한 피치를 가지며 이는 디지털 라인의 피치의 함수이다 (예를 들어, (205)에서 도시되고 도 2와 관련되고 본 출원에 어디 다른 곳과 관련하여 설명된). 예를 들어, 로직 스트라이프의 컴퓨팅 컴포넌트는 메모리 셀 어레이에 대한 디지털 라인 피치의 정수배인 피치를 갖는다.
- [0011] 본 출원에 사용된 바와 같이, "공유 I/O 라인"은 메모리 셀 어레이의 피치의 함수인 피치를 갖는 데이터 경로에서 어레이에 대해 로컬인 I/O 라인을 의미하는 것으로 의도된다. 공유 I/O는 메모리 어레이의 बैं크 (예를 들어, (121)에 도시되고 도 1d 내지 도 1f와 관련되고 본 출원에 어디 다른 곳에서 설명된)에 위치될 수 있고, 열에 결합된 감지 회로부 및/또는 어레이의 복수의 열에 다중화될 수 있다 (예컨대, DRAM 어레이에 대한 상보적인 디지털/감지 라인). 본 출원에 설명된 바와 같이, 공유 I/O 라인은 어레이의 복수의 서브 어레이(예를 들어, (125 및/또는 126)에 도시되고, 도 1b 및 도 1c에 관련되고 본 명세서의 어디 다른 곳에서 관련하여 설명된), 컴퓨팅 유닛 (예를 들어, (460)에 도시되고, 도 4 와 관련되고 본 출원에 어디 다른 곳에서 설명된) 및/또는 본 출원에서 설명된 인메모리 데이터 스위칭 네트워크에 선택적으로 결합될 수 있다(예를 들어, 제어기(140)에 의해 제어 및/또는 지시된 바와 같이). 단수 형태 "a", "an" 및 "the"는 본 출원에서 단수 및 복수 지시 대상을 모두 포함할 수 있고, "공유 I/O 라인은 문맥상 명확하게 달리 서술되지 않는 한 " 한 쌍의 상보적인 공유 I/O 라인 이"을 지칭하기 위해 사용될 수 있다. 또한, "공유 I/O 라인"또는 "공유 I/O 라인들"은 "복수의 공유 I/O 라인"의 약어로서 사용될 수 있다. 공유 I/O는 호스트 (예를 들어, (110)에 도시되고 도 1a와 관련되고 본 출원에 어디 다른 곳에서 설명된)와 관련하여 메모리 디바이스 (예를 들어, (120)에 도시되고 도 1a와 관련되고 본 출

원에 어디 다른 곳에서 설명된)로 데이터를 그리고 메모리 디바이스로부터 데이터를 이동 시키고 및/또는 DDR4와 같은 어레이 프로토콜에 따라 어레이로 그리고 어레이로부터 데이터를 이동 시키도록 의도된 어레이와 관련된 I/O 회로부와 다르고 별개이다.

[0012] 본 출원에서 사용되는, 데이터 이동은 예를 들어, 데이터 값을 소스 위치로부터 목적지 위치로 복사, 전달 및/또는 전송하는 것을 포함하는 포괄적인 용어이다. 예를 들어, 데이터는 서브 어레이의 감지 회로부의 감지 증폭기로부터 어레이에 로컬인 공유 I/O 라인의 데이터 경로에 로직 스트라이프의 컴퓨팅 컴포넌트로 이동될 수 있다. 데이터 값을 복사하는 것은 감지 증폭기에 저장된 (캐시된) 데이터 값이 복사되어 어레이에 로컬인 공유 I/O 라인의 데이터 경로에서 로직 스트라이프의 컴퓨팅 컴포넌트로 이동하고 행의 서브 행(subrow)에 저장된 원래 데이터 값은 변경되지 않은 채로 있을 수 있다는 것을 나타낼 수 있다. 데이터 값을 전달하는 것은 감지 증폭기에 저장된 (캐싱된) 데이터 값이 복사되고 어레이에 로컬인 공유 I/O 라인의 데이터 경로에 로직 스트라이프의 컴퓨팅 컴포넌트로 이동하고 행의 서브 행에 저장된 원래의 데이터 값 중 적어도 하나는 변경될 수 있다 (예를 들어, 본 출원에 설명된 바와 같이 소거 및/또는 후속 기록 동작에 의해)는 것을 나타낼 수 있다. 데이터 값을 전송하는 것은 복사 및/또는 전달된 데이터 값이 이동되는 프로세스를 나타내는 데 사용될 수 있다 (예를 들어, 데이터 값이 소스 위치로부터 공유 I/O 라인에 배치되고 목적지 위치로 전송된다) .

[0013] 이하에서 더 상세히 설명되는 바와 같이, 실시예들은 호스트 시스템이 데이터를 보유할(예를 들어, 저장) 및/또는 데이터를 프로세싱할 하나 이상의 DRAM 뱅크에서 다수의 위치 (예를 들어, 어레이, 서브 어레이의 일부 예컨대, 행 및 서브 행(subrow))에 할당할 수 있게 할 수 있다. 호스트 시스템 및 제어기는 데이터 및 전체 프로그램 명령 블록 (예를 들어, PIM 명령)에 대한 어드레스 분석(resolution) 및 목적지 (예를 들어, 타겟) 뱅크 내의 할당된 위치 (예를 들어, 서브 어레이 및 서브 어레이의 일부)로의 명령 및 데이터의 직접 (예를 들어, 제어)할당, 저장 및/또는 이동 (예를 들어, 이동)을 수행할 수 있다. DRAM 어레이에서 데이터를 기록 및/또는 관독하고 및/또는 명령을 실행하는 것 (예를 들어, 본 출원에 설명된 바와 같이 로직 스트라이프에 의해 연산을 수행하기 위한 데이터 값의 이동)은 DRAM 디바이스에 대한 정상 DRAM 관독/기록 경로를 이용할 수 있다. 독자가 이해할 수 있는 바와 같이, 본 출원에 제시된 데이터 경로 계산 동작의 예와 관련하여 PIM 디바이스를 위한 DRAM 스타일 메모리 어레이가 논의되지만, 실시예는 PIM DRAM 구현으로 제한되지 않는다.

[0014] 본 출원에 설명된 메모리 디바이스는 서브 어레이 뱅크에 대한 다수의 제어기, 개별 서브 어레이에 대한 제어기 및/또는 래치 컴포넌트에 대한 제어기를 사용하여 (예를 들어, 각각의 제어기는 시퀀서, 상태 머신, 마이크로 컨트롤러, 서브-프로세서, ALU 회로부, 또는 일부 다른 유형의 제어기) 데이터에 대한 연산 (예를 들어, 하나 이상의 피연산자)에 대한 연산을 수행하는 명령 세트를 실행할 수 있다. 본 출원에 사용된 바와 같이, 연산은 예를 들어 AND, OR, NOT, NAND, NOR 및 XOR과 같은 불리언 로직 연산 및/또는 다른 연산 (예를 들어, 많은 다른 가능한 연산들 중에서 반전, 시프트, 산술, 통계)일 수 있다. 예를 들어, 기능 유닛 회로부는 다수의 로직 연산을 통해 피연산자에 대한 더하기, 빼기, 곱하기 및 나누기와 같은 산술 연산을 수행하는데 사용될 수 있다.

[0015] 본 개시의 다음의 상세한 설명에서, 본 개시의 일부를 형성하고 본 개시의 하나 이상의 실시예들이 어떻게 실시될 수 있는지를 예시로서 도시하는 첨부 도면을 참조한다. 이들 실시예는 당업자가 본 개시의 실시예를 실시할 수 있도록 충분히 상세하게 설명되며, 다른 실시예가 이용될 수 있고 프로세스, 전기적 및 구조적 변경이 본 개시의 범위로 벗어남 없이 이루어질 수 있음을 이해해야 한다.

[0016] 본 출원에서 사용된, 특히 도면에서 도면 번호와 관련하여 "X", "Y", "Z", "N", "M"등과 같은 지정자는 그렇게 지정된 특정 피처의 다수가 포함될 수 있다는 것을 나타낸다. 또한, 본 출원에서 사용된 용어는 특정 실시예들을 설명하기 위한 것이며 제한하려는 것이 아님을 이해해야 한다. 본 출원에 사용된 바와 같이, 단수 형태 "a", "an" 및 "the"는 문맥상 명백하게 다르게 지시되지 않는 한, 단수형 및 복수형 지시 대상을 모두 포함할 수 있다. 또한, "다수", "적어도 하나" 및 "하나 이상"(예를 들어, 다수의 메모리 어레이)은 하나 이상의 메모리 어레이를 지칭할 수 있는 반면, "복수"는 하나 초과와 같은 것을 지칭하도록 의도된다. 더욱이, "할 수 있다(can)" 및 "일 수 있다(may)"이라는 단어는 본 출원 전반에 걸쳐 필수적인 의미(즉, 반드시)가 아닌 허용 의미(즉, 본 출원에 설명된 적어도 일부 실시예에서 가능성이 있거나 및/또는 할 수 있는)의미로 사용된다. 용어 "포함한다" 및 그 파생어는 "포함하지만 이에 제한되지 않는다"를 의미한다. 용어 "결합하다", "결합된" 및 "결합"은 문맥에 따라 명령 및/또는 데이터의 액세스 및 이동 (송신)을 위해 직접 또는 간접적으로 물리적으로 연결되는 것을 의미한다. 용어 "데이터" 및 "데이터 값"은 본 출원에서 상호 교환 가능하게 사용되며 문맥에 따라 동일한 의미를 가질 수 있다.

- [0017] 본 출원의 도면은 제 1 디지털 또는 디지털들이 도면 번호에 대응하고 나머지 디지털은 도면에서 요소 또는 컴포넌트를 식별하는 넘버링 관계를 따른다. 상이한 도면들 사이의 유사한 요소 또는 컴포넌트는 유사한 디지털을 사용함으로써 식별될 수 있다. 예를 들어, 108은 도 1a에서 "08"요소를 나타낼 수 있고, 유사한 요소는 도 2에서 208로 참조될 수 있다. 이해될 바와 같이, 본 명세서의 다양한 실시예들에 도시된 요소들은 본 개시의 다수의 추가 실시예들을 제공하기 위해 추가, 교환 및/또는 제거될 수 있다. 또한, 도면들에 제공된 요소들의 비율 및/또는 상대적인 스케일은 본 개시의 특정 실시예들을 예시하기 위한 것이며 제한적인 의미로 간주되어서는 안 된다.
- [0018] 도 1a는 본 개시의 다수의 실시예들에 따른 메모리 어레이(130)를 포함하는 메모리 디바이스(120)를 포함하는 컴퓨팅 시스템(100) 형태의 장치의 블록도이다. 본 출원에서 사용되는, 메모리 디바이스(120), 제어기(140), 스위칭 컴포넌트(171), 메모리 어레이(130), 감지 회로부(150) 및/또는 인메모리 데이터 스위칭 네트워크(172)는 또한 개별적으로 "장치"로 간주될 수 있다.
- [0019] 본 출원에 사용된 바와 같이, 일부 실시예에서, 추가의 "래치(latch)"는 도 3-4 및 6-7에 도시된 복수의 공유 I/O 라인(455)의 데이터 경로에서 컴퓨팅 유닛(460)의 로직 스트라이프(409-1, ..., 409-N) 및/또는 복수의 컴퓨팅 컴포넌트들(431-1, ..., 431-Z)과 연관된 래치들(예를 들어, (706)에 도시되고 도 7과 관련되고 본 출원에 어디 다른 곳에서 설명된)과 구별되고 및 어레이 내의 메모리 셀들의 데이터 값들을 감지, 결합, 저장 및/또는 이동 (예를 들어, 판독, 저장, 캐시)하는 추가 기능 (예를 들어, 증폭기, 메모리 셀, 선택 로직)을 의미하도록 의도될 수 있다. 예를 들어, 일부 실시예에서, 래치는 스위치 노드 (예를 들어, 도 9a 및 본 출원의 다른 곳에서 도시되고 설명된 스위치 노드(966)의 래치(970))와 연관될 수 있다. 어레이에 로컬인 복수의 공유 I/O 라인(155)의 데이터 경로에서 로직 스트라이프들 (예를 들어, (109-0, ..., 109-N-1)에 도시되고 도 1f와 관련되고 본 출원에 어디 다른 곳에서 설명된)은 뱅크(121-1) 내의 메모리 셀의 다양한 뱅크 섹션들(123-1, ..., 123-N)과 관련될 수 있다. 뱅크(121-1)는 메모리 디바이스(120)상의 복수의 뱅크들 중 하나일 수 있다.
- [0020] 도 1a의 시스템(100)은 메모리 디바이스(120)에 결합된 (예를 들어, 연결된) 호스트(110)를 포함한다. 호스트(110)는 다양한 유형의 호스트 중에서 개인용 랩탑 컴퓨터, 데스크탑 컴퓨터, 디지털 카메라, 스마트 폰 또는 메모리 카드 리더기와 같은 호스트 시스템일 수 있다. 호스트(110)는 시스템 마더 보드 및/또는 백플레인을 포함할 수 있고 다수의 프로세싱 자원 (예를 들어, 하나 이상의 프로세서, 마이크로 프로세서 또는 일부 다른 유형의 제어 회로부)을 포함할 수 있다. 시스템(100)은 별개의 집적 회로부를 포함할 수 있거나 호스트(110)와 메모리 디바이스(120) 모두가 동일한 집적 회로 상에 있을 수 있다. 시스템(100)은 예를 들어, 서버 시스템 및/또는 고성능 컴퓨팅 (HPC) 시스템 및/또는 그 일부일 수 있다. 도 1a에 도시된 예는 폰 노이만(Von Neumann)아키텍처를 갖는 시스템을 도시하지만, 본 개시의 실시예는 종종 폰 노이만 아키텍처와 관련이 있는 하나 이상의 컴포넌트 (예를 들어, CPU, ALU 등)를 포함하지 않을 수 있는 비 폰 노이만 아키텍처로 구현될 수 있다.
- [0021] 명확성을 위해, 시스템(100)은 본 개시와 특히 관련이 있는 특징들에 초점을 맞추도록 간략화되었다. 메모리 어레이(130)는 다른 유형의 어레이 중에서 DRAM 어레이, SRAM 어레이, STT RAM 어레이, PCRAM 어레이, TRAM 어레이, RRAM 어레이, NAND 플래시 어레이 및/또는 NOR 플래시 어레이일 수 있다. 어레이(130)는 액세스 라인들 (본 출원에서 워드 라인 또는 선택 라인으로 지칭될 수 있음)에 의해 결합된 행들 및 감지 라인들 (본 출원에서 데이터 라인 또는 디지털 라인으로 지칭될 수 있음)에 의해 결합된 열로 배열된 메모리 셀을 포함할 수 있다. 단일 어레이(130)가 도 1a에 도시되어 있지만, 실시예는 거기에 제한되지 않는다. 예를 들어, 메모리 디바이스(120)는 다수의 어레이(130) (예를 들어, 다수의 DRAM 셀 뱅크, NAND 플래시 셀 등)를 포함할 수 있다.
- [0022] 메모리 디바이스(120)는 데이터 버스(156) (예를 들어, 호스트(110)에 연결된 I/O 버스)를 통해 I/O 회로부(144)에 의해 제공되는 (예를 들어, 로컬 I/O 라인 및 글로벌 I/O 라인을 통해 DRAM DQ로 및/또는 외부 ALU 회로부로 제공되는) 어드레스 신호를 래치하기 위한 주소 회로부(142)를 포함할 수 있다. 본 출원에서 사용되는 바와 같이, DRAM DQ는 버스 (예를 들어, 데이터 버스(156))를 통해 뱅크 (예를 들어, 제어기(140) 및/또는 호스트(110)로부터 및/또는 그것들로)로 데이터의 입력 및/또는 뱅크로부터 데이터의 출력을 가능하게 할 수 있다. 기록 동작 동안, 전압 (하이 = 1, 로우 = 0)이 DQ (예를 들어, 핀)에 인가될 수 있다. 이 전압은 적절한 신호로 변환되어 선택된 메모리 셀에 의해 저장될 수 있다. 판독 동작 동안, 액세스가 완료되고 출력이 인에이블(enable)되면 (예를 들어, 출력 인에이블 신호가 로우에 있어서) 선택된 메모리 셀로부터 판독된 데이터 값이 DQ에 나타날 수 있다. 다른 경우에, DQ는 높은 임피던스 상태에 있을 수 있어서, DQ는 전류를 소싱 또는 싱크 전류가 아니고 시스템에 신호를 제시하지 않는다. 이것은 또한 본 출원에 설명된 바와 같이 둘 이상의 디바이스 (예를 들어, 뱅크)가 결합된 데이터 버스를 공유할 때 DQ 경합(contention)을 감소시킬 수 있다. 이러한 DQ는

어레이(130)에 로컬인 데이터 경로에서 복수의 공유 I/O 라인(155) (도 1b 및 1c에서)과 분리되어 구별된다.

[0023] 상태(status) 및 예외(exception) 정보는 예를 들어, 대역외 (OOB : out-of-band) 버스(157) (예를 들어, 고속 인터페이스 (HSI))를 통해 메모리 디바이스(120)의 제어기(140)로부터 채널 제어기(143)로 제공될 수 있고, 이는 결국 채널 제어기(143)로부터 호스트(110)로 제공될 수 있다. 채널 제어기(143)는 복수의 메모리 디바이스(120) 각각에 대한 동작과 관련된 다양한 뱅크에 대한 뱅크 명령, 애플리케이션 명령 (예를 들어, 동작 시퀀스에 대한) 및 인수(argument) (PIM 명령)을 저장하기 위해 각각의 개별 뱅크의 어레이 내에 복수의 위치 (예를 들어, 서브 어레이를 위한 제어기)를 할당하기 위한 로직 컴포넌트를 포함할 수 있다. 채널 제어기(143)는 메모리 디바이스(120)의 주어진 뱅크(121) (예를 들어, 도 1d 내지 도 1f의 뱅크(121 및 121-1)) 내에 이러한 프로그램 명령을 저장하기 위해 명령 (예를 들어, PIM 명령)을 복수의 메모리 디바이스(120)에 디스패치(dispatch)할 수 있다.

[0024] 어드레스 신호는 어드레스 회로부(142)를 통해 수신되고, 행 디코더(146) 및 열 디코더(152)에 의해 디코딩되어 메모리 어레이(130)에 액세스한다. 데이터는 감지 회로부(150)의 본 출원에 설명된 다수의 감지 증폭기를 사용하여 감지 라인(디지털 라인)상의 전압 및/또는 전류 변화를 감지함으로써 메모리 어레이(130)로부터 감지(판독)될 수 있다. 감지 증폭기는 메모리 어레이(130)로부터 데이터의 페이지 (예를 들어, 행)를 판독하고 래치(latch)할 수 있다. 또한, 본 출원에 설명된 추가의 컴퓨팅 회로부(compute circuitry)는 감지 회로부(150)에 결합될 수 있고 감지, 저장 (예를 들어, 캐시 및/또는 버퍼)하기 위해 감지 증폭기와 조합하여 사용될 수 있고, 계산 기능 (예를 들어, 연산)을 수행하고 /하거나 데이터를 이동시킬 수 있다. I/O 회로부(144)는 데이터 버스(156) (예를 들어, 64 비트 폭 데이터 버스)를 통해 호스트(110)와의 양방향 데이터 통신을 위해 사용될 수 있다. 기록 회로부(148)는 데이터를 메모리 어레이(130)에 기록하는데 사용될 수 있다.

[0025] 제어기(140) (예를 들어, 도 5에 도시된 뱅크 제어 로직, 시퀀서 및 타이밍 회로부)는 호스트(110)로부터 제어 버스(154)에 의해 제공되는 신호 (예를 들어, 명령)를 디코딩할 수 있다. 이들 신호는 다른 동작들 중에서 데이터 감지, 데이터 저장소, 데이터 스위치, 데이터 이동 (예를 들어, 데이터 값의 복사, 전달 및/또는 전송), 데이터 기록 및/또는 데이터 소거 동작을 포함하여, 메모리 어레이(130)에서 수행되는 동작을 제어하는데 사용될 수 있는 칩 인에이블 신호, 기록 인에이블 신호 및/또는 어드레스 래치 신호를 포함할 수 있다. 다양한 실시예들에서, 제어기(140)는 호스트(110)로부터 명령을 실행 및/또는 메모리 어레이(130)에 액세스하는 것을 담당할 수 있다. 제어기(140)는 상태 머신, 시퀀서, 또는 다른 유형의 제어기일 수 있다. 제어기(140)는 다른 기능들 중에서 어레이 (예를 들어, 메모리 어레이(130))의 행에서 데이터 시프트 (예를 들어, 우측 또는 좌측)를 제어할 수 있고, 다수의 저장된 스위치 프로토콜들 사이에서 선택할 수 있고 (예를 들어, 인메모리 데이터 스위칭 네트워크로 발송된 신호를 사용하여) 및/또는 연산 예컨대, 컴퓨팅 연산 (예를 들어, AND, OR, NOR, XOR, 더하기, 빼기, 곱하기, 나누기 등)을 수행하기 위해 마이크로 코드 명령을 실행할 수 있다.

[0026] 감지 회로부(150)의 예는 아래에서 더 설명된다 (예를 들어, 도 2 및 3에서). 예를 들어, 일부 실시예에서, 감지 회로부(150)는 다수의 감지 증폭기를 포함할 수 있다. 일부 실시예에서, 감지 회로부(150)는 감지 증폭기의 수 및 대응하는 수의 컴퓨팅 컴포넌트를 포함할 수 있어서, 이는 누산기(accumulator)로서 기능할 수 있고 본 출원에 설명된 데이터 경로 컴퓨팅 연산 이외에도 각각의 서브 어레이에서 (예를 들어, 상보적 감지 라인과 연관된 데이터에) 연산을 수행하는데 사용될 수 있다.

[0027] 일부 실시예에서, 감지 회로부(150)는 메모리 어레이(130)에 의해 저장된 데이터를 입력으로서 사용하여 연산을 수행하고, 감지 라인 어드레스 액세스를 통해 데이터를 전송하지 않고 (예를 들어, 열 디코딩 신호를 발사(firing)하지 않고) 메모리 어레이(130) 내 및/또는 로직 스트라이프(109)내 다른 위치로 복사, 전달, 전송, 기록, 로직 및/또는 저장 동작을 위해 데이터를 이동 시키는데 참여할 수 있다. 이와 같이, 일부 실시예들에서, 감지 회로부(150) 외부의 자원들을 프로세싱함으로써 (예를 들어, 호스트(110) 및 /또는 다른 프로세싱 회로부 예컨대, 제어기(140) 또는 다른 곳과 같은 디바이스(120) 상에 위치한 ALU 회로와 연관된 프로세서에 의해) 수행되지 않고 (또는 이와 관련하여) 감지 회로부(150)를 사용하여 그리고 그 내부에서 다양한 계산 기능들이 수행될 수 있다. 그러나, 또한, 본 출원에서 설명된 실시예들은 어레이의 행들로부터 컴퓨팅 유닛내 복수의 컴퓨팅 컴포넌트들(431-1, ..., 431-Z) 및/또는 로직 스트라이프들(109-0, ..., 109-N-1)로 이동된 데이터 값들에 데이터 경로 계산 기능 및/또는 연산들을 수행할 수 있다. 예를 들어, 일부 실시예들에 따라, 컴퓨팅 연산들은 60 ns의 어레이의 행들에서 행들을 발사하는데 요구되는 예시적인 시간과 비교하여, 데이터 값들을 행들로 다시 이동시킬 필요없이 2ns의 속도로 컴퓨팅 유닛에서 제어될 수 있다.

[0028] 다양한 이전의 접근법들에서, 예를 들어, 피연산자와 관련된 데이터는 감지 회로부를 통해 메모리로부터 판독되

고 I/O 라인을 통해 (예를 들어, 로컬 I/O 라인 및/또는 글로벌 I/O 라인을 통해) 외부 ALU 회로부에 제공될 것이다. 외부 ALU 회로부는 다수의 레지스터를 포함할 수 있고, 피연산자를 사용하여 계산 기능을 수행할 것이며, 결과는 I/O 회로부(144)를 통해 어레이로 다시 전달될 것이다.

[0029] 대조적으로, 본 출원의 실시예는 데이터 값에 대한 계산 기능을 수행하고, 어레이에 로컬인 데이터 경로의 컴퓨팅 유닛에서, 어레이의 행 및/또는 서브 행으로부터 복수의 공유 I/O 라인(155)을 통해 복수의 컴퓨팅 컴포넌트(431-1, ..., 431-Z) 및/또는 로직 스트라이프(109-0, ..., 109-N-1)로 이동된다. 또한, 감지 회로부(150)는 메모리 어레이(130)에 의해 저장된 데이터에 연산을 수행하고 그 결과를 감지 회로부(150)에 결합된 I/O 라인 (예를 들어, 로컬 I/O 라인)을 인에이블하게 하지 않고 메모리 어레이(130)에 다시 저장하도록 구성될 수 있다. 그러나, 일단 로딩되면, 어레이내 행들에 발사하는데 필요한 예시적인 시간(예를 들어, 60ns)과 비교하여, 데이터 값을 행 및/또는 서브 행으로 다시 이동시킬 필요없이 컴퓨팅 연산이 컴퓨팅 유닛에서 훨씬 더 빠르게 (예를 들어, 2ns의 속도로) 제어될 수 있다. 감지 회로부(150)는 어레이의 메모리 셀과 피치(pitch)상에 형성될 수 있다. 복수의 공유 I/O 라인(155)의 데이터 경로와 연관된 복수의 컴퓨팅 컴포넌트(431-1, ..., 431-Z) 및/또는 로직 스트라이프(109-0, ..., 109-N-1)는 메모리 셀들의 어레이에 디지털 라인의 피치의 함수이고 데이터 경로의 것과 동일한 피치를 가질 수 있다.

[0030] 예를 들어, 본 출원에 설명된 감지 회로부(150)는 한 쌍의 상보적 감지 라인 (예를 들어, 디지털 라인)과 동일한 피치 상에 형성될 수 있다. 예로서, 한 쌍의 상보 메모리 셀은 $6F^2$ 피치 (예를 들어, $3F \times 2F$)를 갖는 셀 크기를 가질 수 있으며, 여기서 F는 피치 크기(feature size)이다. 상보 메모리 셀들에 대한 한 쌍의 상보적 감지 라인들의 피치가 $3F$ 이면, 피치 상에 있는 감지 회로부는 감지 회로부 (예를 들어, 각각의 상보적 감지 라인의 개별 쌍당 감지 증폭기 및/또는 대응하는 컴퓨팅 컴포넌트)가 상보적 감지 라인의 $3F$ 피치 내에 맞도록(fit) 형성된다는 것을 나타낸다. 마찬가지로, 복수의 공유 I/O 라인(155)의 데이터 경로와 관련된 로직 스트라이프(109-0, ..., 109-N-1)의 컴퓨팅 컴포넌트(431-1, ..., 431-Z)는 상보적 감지 라인의 $3F$ 피치의 함수인 피치를 갖는다. 예를 들어, 로직 스트라이프들(109-0, ..., 109-N-1)의 컴퓨팅 컴포넌트들(431-1, ..., 431-Z)은 메모리 셀들의 어레이에 대한 디지털 라인들의 $3F$ 피치의 정수배인 피치를 가질 수 있고, 이는 또한 복수의 공유 I/O 라인(155)의 피치에 대응할 수 있다.

[0031] 대조적으로, 다양한 종래 시스템의 프로세싱 자원(들) (예를 들어, ALU와 같은 컴퓨팅 엔진)의 회로부는 메모리 어레이와 관련된 피치 규칙을 따르지 않을 수 있다. 예를 들어, 메모리 어레이의 메모리 셀은 $4F^2$ 또는 $6F^2$ 셀 크기를 가질 수 있다. 따라서, 이전 시스템의 ALU 회로부와 관련된 디바이스 (예를 들어, 로직 게이트)는 칩 크기 및/또는 메모리 밀도에 영향을 미칠 수 있는 메모리 셀에 피치 (예를 들어, 감지 라인과 동일한 피치)상에 형성될 수 없을 수 있다. 특정 컴퓨팅 시스템 및 서브 시스템들 (예를 들어, 중앙 프로세싱 디바이스(CPU)의)의 상황하에서, 데이터는 본 출원에 설명된 메모리에 칩 상에 (예를 들어, 어레이내 메모리 셀) 및/또는 피치 상이 아닌 위치에서 프로세싱될 수 있다. 예를 들어, 데이터는 예를 들어, 메모리에 피치가 아닌 호스트와 관련된 프로세싱 자원에 의해 프로세싱될 수 있다.

[0032] 이와 같이, 다수의 실시예들에서, 감지 회로부(150)는 이러한 동작들을, 외부 프로세싱 자원을 사용하지 않고 그러한 계산 기능들을 수행하기 위해 적절한 동작들을 수행하거나 또는 어레이에 로컬인 복수의 공유 I/O 라인의 데이터 경로에서 이런 동작들을 수행할 수 있기 때문에 어레이(130) 및 감지 회로부(150) 외부의 회로부는 계산 기능들을 수행할 필요가 없다. 따라서, 복수의 공유된 I/O 라인(155) 데이터 경로의 컴퓨팅 유닛에 복수의 컴퓨팅 컴포넌트(431-1, ..., 431-Z) 및/또는 로직 스트라이프(109-0, ..., 109-N-1) 및/또는 감지 회로부(150)는 적어도 어느 정도까지 이러한 외부 프로세싱 자원 (또는 적어도 이러한 외부 프로세싱 자원의 대역폭 소비)를 보완하거나 대체하기 위해 사용될 수 있다. 일부 실시예들에서, 복수의 공유 I/O 라인(155)의 데이터 경로내의 컴퓨팅 유닛에 복수의 컴퓨팅 컴포넌트들(431-1, ..., 431-Z) 및/또는 로직 스트라이프들(109-0, ..., 109-N-1) 및/또는 감지 회로부(150)는 외부 프로세싱 자원 (예를 들어, 호스트(110))에 의해 수행되는 동작에 추가하여 동작 (예를 들어, 명령을 실행)을 수행하는데 사용될 수 있다. 예를 들어, 호스트(110) 및/또는 감지 회로부(150)는 특정 동작 및/또는 특정 수의 동작만을 수행하도록 제한될 수 있다.

[0033] 본 출원에 설명된 연산은 PIM 가능한 디바이스와 관련된 연산을 포함할 수 있다. PIM 가능한 디바이스 연산은 비트 벡터 기반 연산을 사용할 수 있다. 본 출원에서 사용된 용어 "비트 벡터(bit vector)"는 메모리 셀 어레이의 행에 물리적으로 연결하여(contiguously) 또는 비 연결하여 저장된 비트 벡터 메모리 디바이스 (예를 들어, PIM 디바이스)상의 다수의 비트를 의미하도록 의도된다. 따라서, 본 출원에서 사용된 "비트 벡터 연산"은 가상 어드레스 공간의 연결하거나 비 연결적인 부분 인 비트 벡터에 대해 수행되는 (예를 들어, PIM 디바이스에 의해

사용되는) 연산을 의미하도록 의도된다. 예를 들어, PIM 디바이스에서 가상 어드레스 공간의 행은 16K 비트의 비트 길이를 가질 수 있다 (예를 들어, DRAM 구성에서 16K 상보적인 쌍의 메모리 셀에 대응함). 본 출원에 설명된 바와 같이, 이러한 16K 비트 행에 대한 감지 회로부(150)는 16비트 행에 대응하는 메모리 셀에 선택적으로 결합된 감지 라인에 피치 상에 형성된 대응하는 16K 감지 증폭기(206) 및/또는 프로세싱 요소 (예를 들어, 컴퓨팅 컴포넌트(231))를 포함할 수 있다. PIM 디바이스의 감지 회로부 및/또는 로직 스트라이프에 컴퓨팅 컴포넌트는 감지 회로부(150)에 의해 감지된 (예를 들어, 본 출원에 설명된 감지 증폭기에 의해 감지 및/또는 감지 증폭기에 의해 저장된) 메모리 셀의 행 또는 서브 행의 비트 벡터의 단일 비트상에서 하나의 비트 프로세싱 요소 (PE : processing element)로서 동작할 수 있다. 유사하게, 복수의 공유 I/O 라인(155)의 데이터 경로에 컴퓨팅 유닛의 로직 스트라이프(109-0, ..., 109-N-1)의 복수의 컴퓨팅 컴포넌트(431-1, ..., 431-Z)는 어레이에서 감지된 메모리 셀의 행 및/또는 서브 행의 비트 벡터의 단일 비트상의 1 비트 PE로서 각각 동작할 수 있다.

[0034] I/O 라인을 인에이블하는 것은 디코드 신호 (예를 들어, 열 디코드 신호)에 결합된 게이트 및 I/O 라인에 결합된 소스/드레인을 갖는 트랜지스터를 인에이블 (예를 들어, 턴 온, 활성화(activating))하는 것을 포함할 수 있다. 그러나, 실시예들은 I/O 라인을 인에이블하지 않는 것으로 제한되지 않는다. 예를 들어, 다수의 실시예에서, 감지 회로부 (예를 들어, 150)는 어레이의 열 디코드 라인을 인에이블하지 않고 동작을 수행하는데 사용될 수 있다.

[0035] 그러나, 복수의 공유 I/O 라인(155)은 데이터 값을 컴퓨팅 연산이 훨씬 더 빠르게 제어될 수 있는 복수의 공유 I/O 라인(155)의 데이터 경로에 있는 컴퓨팅 유닛내 복수의 컴퓨팅 컴포넌트(431-1, ..., 431-Z) 및/또는 로직 스트라이프(109-0, ..., 109-N-1)에 로딩하기 위해 인에이블될 수 있다. 예를 들어, 컴퓨팅 유닛의 복수의 컴퓨팅 컴포넌트들(431-1, ..., 431-Z) 및/또는 로직 스트라이프들(109-0, ..., 109-N-1)에서, 계산 동작은 2ns의 속도로 수행될 수 있다. 이러한 속도 향상은 어레이에서 행에 발사하는데 사용되는 연관 시간(예를 들어, 60 ns)에 따라 데이터 값을 행 및/또는 서브 행으로 다시 이동시킬 필요가 없기 때문일 수 있다.

[0036] 대안적으로 또는 추가로, 복수의 공유 I/O 라인(155)은 데이터 값을 인메모리 데이터 스위칭 네트워크(172)에 로딩하기 위해 인에이블될 수 있다. 데이터 스위칭 네트워크의 다양한 실시예가 본 출원에서 설명된다. 일부 실시예들에서, 데이터 스위칭 네트워크는 (예를 들어, (372)에 도시되고 도 3과 관련하여 설명된) 데이터 스위칭 네트워크가 공유 I/O 라인에 의해 선택적으로 결합될 수 있는 메모리 셀의 어레이(예를 들어, (125) 및/또는 (126)에 도시된 서브 어레이를 포함하고 도 1b 및 도 1c에 관련되고 본 출원에 어디 다른 곳에서 설명된)의 칩 상에 (예를 들어, 물리적으로) 위치될 수 있다. 본 출원에 설명된, 어떤 다른 것의 칩 상에 존재한다는 것은 대응하는 서브 어레이에서 메모리 셀과 동일한 칩 상에 형성되는 것을 의미하도록 의도된다. 이와 같이, 다양한 실시예들에서, 데이터 스위칭 네트워크는 어레이에 인접하게 형성될 수 있고 및/또는 어레이의 제어기(140)와 연관되거나 또는 그 일부와 관련될 수 있다. 일부 실시예들에서, 데이터 스위칭 네트워크(예를 들어, (472)에 도시되고 도 4와 관련하여 설명된)는 어레이 (예컨대, 서브 어레이들(425-1, ..., 425-32))의 칩 및/또는 피치 상에 형성될 수 있고 컴퓨팅 유닛(460)의 일부일 수 있다(예를 들어, 데이터 스위칭 네트워크의 레벨은 컴퓨팅 유닛(460)의 로직 스트라이프(409-1, ..., 409-N)의 일부 또는 전부에 대응할 수 있다).

[0037] 도 1b 및 1c는 본 개시의 다수의 실시예에 따른 메모리 디바이스의 बैं크(bank) 섹션의 블록도이다. 도 1b는 메모리 섹션에 대한 बैं크 섹션(123)의 블록도이다. 예를 들어, बैं크 섹션(123)은 메모리 디바이스의 बैं크 (예를 들어, बैं크 섹션 0, बैं크 섹션 1, ..., बैं크 섹션 M) 에 대한 다수의 बैं크 섹션의 예시적인 섹션을 나타낼 수 있다. 도 1b에 도시된, बैं크 아키텍처는 수평으로 X (예를 들어, 예시적인 DRAM बैं크 및 बैं크 섹션에서 16,384 개의 열)로 도시된 복수의 메모리 열(122)을 포함할 수 있다. 추가적으로, बैं크 섹션(123)은 데이터 경로 (예를 들어, 본 출원에 설명된 공유 I/O 라인)에 결합되도록 구성된 증폭 영역에 의해 분리된 개별적으로 125-0, 125-1, ..., 125-N-1에 도시된 서브 어레이 0, 서브 어레이 1, ..., 서브 어레이 N-1(예를 들어, 서브 어레이(128))로 분할될 수 있다. 이와 같이, 서브 어레이들(125-0, 125-1, ..., 125-N-1)은 각각 감지 컴포넌트 스트라이프 0, 감지 컴포넌트 스트라이프1, ..., 감지 컴포넌트 스트라이프 N-1에 대응하는 124-0, 124-1, ..., 124-N-1로 도시된 증폭 영역을 가질 수 있다.

[0038] 각각의 열(122)은 도 1a 및 어디 다른 곳에서 설명된 감지 회로부(150)에 결합되도록 구성된다. 이와 같이, 서브 어레이의 각 열은 해당 서브 어레이에 대한 감지 컴포넌트 스트라이프에 기여하는 감지 증폭기 및 컴퓨팅 컴포넌트에 개별적으로 결합될 수 있다. 예를 들어, 도 1b에 도시된 바와 같이, बैं크 아키텍처는 다양한 실시예에서, 서브 어레이(125-0, 125-1, ..., 125-N-1)의 각각의 열(122)에 결합된 레지스터, 캐시 및 데이터 버퍼링으로 사용될 수 있는 감지 증폭기 및 컴퓨팅 컴포넌트를 갖는 감지 회로부(150)를 각각 갖는 감지 컴포넌트 스트라이프

프 0, 감지 컴포넌트 스트라이프 1, ..., 감지 컴포넌트 스트라이프 N-1을 포함할 수 있다.

[0039] 서브 어레이들(125-0, 125-1, ..., 125-N-1) 각각은 Y로 수직으로 도시된 복수의 행들(119)을 포함할 수 있다 (예를 들어, 각각의 서브 어레이는 예시적인 DRAM 뱅크에서 512 개의 행들을 포함할 수 있다). 일부 실시예들에서, 하나 이상의 서브 어레이들 (예를 들어, 모든 서브 어레이들)의 행 수는 실질적으로 동일할 수 있다 (예를 들어, 다른 가능성 중에서도 모두 128, 256, 512 행을 가짐). 예를 들어, 복수의 서브 어레이의 각각의 서브 어레이는 인접한 서브 어레이의 열내의 다수의 메모리 셀들과 실질적으로 동일한 열 내의 다수의 메모리 셀(예를 들어, 다른 가능성들 중 에서 모두 128, 256, 512 개의 메모리 셀을 갖는 것)을 포함할 수 있고 및/또는 각각의 서브 어레이의 감지 라인은 인접한 서브 어레이(예를 들어, 어레이의 모든 서브 어레이)의 열의 감지 라인의 길이와 실질적으로 동일한 길이를 가질 수 있다. 실시예는 본 출원에 설명된 열 및 행의 예시적인 수평 및 수직 배향 또는 그 예시 개수로 제한되지 않는다.

[0040] 도 1b에 도시된 바와 같이, 뱅크 아키텍처는 제어기(140)와 관련될 수 있다. 도 1b에 도시된 제어기(140)는 다양한 예에서, 도 1a에 도시된 제어기(140)에 의해 구현되고 함유된 기능의 적어도 일부를 나타낼 수 있다. 도 1a 및 본 명세서의 어디 다른 곳과 관련하여 설명된, 제어기는 인메모리 데이터 스위칭 네트워크(172)의 제어를 위한 스위칭 컴포넌트(171)를 포함할 수 있다. 본 출원에 설명된 다른 기능들 중에서, 제어기(140)는 명령 및 데이터(141)에 기초하여 본 출원에 설명된 뱅크 아키텍처로의 데이터 이동의 제어와 함께, 뱅크 아키텍처로부터의 데이터의 출력(예를 들어, 호스트(110) 로의 출력) 및 뱅크 아키텍처로 제어 신호의 입력을 지시(예를 들어, 제어)할 수 있다. 뱅크 아키텍처는 DRAM DQ에 대한 데이터 버스(156) (예를 들어, 64 비트 폭의 데이터 버스)를 포함할 수 있으며, 이는 도 1a와 관련하여 설명된 데이터 버스(156)에 대응할 수 있다.

[0041] 도 1c는 본 개시의 다수의 실시예들에 따른 메모리 디바이스의 뱅크 섹션(123)의 블록도이다. 뱅크 섹션(123)은 메모리 디바이스의 뱅크의 다수의 뱅크 섹션 (예를 들어, 뱅크 섹션 0, 뱅크 섹션 1, ..., 뱅크 섹션 M)의 예시적인 섹션을 나타낼 수 있다. 도 1c에 도시된 바와 같이, 뱅크 섹션(123)은 수평으로 X (예를 들어, DRAM 뱅크 및 뱅크 섹션의 예에서 16,384 개의 열)로 도시된 복수의 메모리 열(122)을 포함할 수 있다. 또한, 2 개의 숏(short) 디지털 라인 (예를 들어, 캐시)의 125-0 및 125-1 및 동일한 뱅크 섹션내 다수의 롱(long) 디지털 라인 (예를 들어, 저장) 126-0, ..., 126-N-1 예로 도시된 바와 같이 뱅크 섹션(123)은 서브 어레이 0, 서브어레이 1, ..., 서브 어레이 N-1(예를 들어, 서브어레이의 32, 64, 128, 또는 다양한 짝수가 아닌 서브 어레이의 수)로 분할될 수 있다. 도 1c에 도시된 실시예의 구성 (예를 들어, 숏 및 롱 디지털 라인 서브 어레이의 수 및/또는 위치)은 명료성을 위해 도시되며 이들 구성에 제한되지 않는다.

[0042] 숏 디지털 라인과 롱 디지털 라인 서브 어레이는 개별적으로 데이터 경로 (예를 들어, 본 출원에 설명된 공유 I/O 라인)에 결합되도록 구성된 증폭 영역에 의해 분리된다. 이와 같이, 숏 디지털 라인 서브 어레이(125-0 및 125-1) 및 롱 디지털 라인 서브 어레이(126-0, ..., 126-N-1)는 각각 감지 컴포넌트 스트라이프 0, 감지 컴포넌트 스트라이프 1, ... 및 감지 컴포넌트 스트라이프 N-1에 대응하는 증폭 영역(124-0, 124-1, ..., 124-N-1)을 가질 수 있다 .

[0043] 각각의 열(122)은 도 1a 및 본 출원에 어디 다른 곳과 관련하여 설명된 감지 회로부(150)에 결합되도록 구성될 수 있다. 이와 같이, 서브 어레이 내의 각 열은 해당 서브 어레이에 대한 감지 컴포넌트 스트라이프에 기여하는 감지 증폭기 및/또는 컴퓨팅 컴포넌트 중 적어도 하나에 개별적으로 결합될 수 있다. 예를 들어, 도 1c에 도시된 바와 같이, 뱅크 섹션(123)은 다양한 실시예에서 서브 어레이(125-0 및 125-1 및 126-0, ..., 126-N-1)의 각 열(122)에 결합된 레지스터, 캐시 및/또는 데이터 버퍼링 등으로 사용될 수 있는 적어도 감지 증폭기를 갖는 감지 회로부(150)를 각각 갖는 감지 컴포넌트 스트라이프 0, 감지 컴포넌트 스트라이프 1, ..., 감지 컴포넌트 스트라이프 N-1을 포함할 수 있다.

[0044] 일부 실시예들에서, 컴퓨팅 컴포넌트는 숏 디지털 라인 서브 어레이에 결합된 각각의 개별 감지 컴포넌트 스트라이프(예를 들어, 숏 디지털 라인 서브 어레이(125-0 및 125-1)에 개별적으로 결합된 감지 컴포넌트 스트라이프들(124-0 및 124-1))에 감지 회로부(150) 내의 각각의 감지 증폭기에 결합될 수 있다. 그러나, 실시예는 이에 제한되지 않는다. 예를 들어, 일부 실시예들에서, 감지 증폭기들의 수와 컴퓨팅 컴포넌트들의 수 사이에 1 : 1 상관 관계가 없을 수 있다 (예를 들어, 컴퓨팅 컴포넌트마다 하나 초과와 감지 증폭기 또는 감지 증폭기마다 하나 초과와 컴퓨팅 컴포넌트가 존재할 수 있음, 이는 서브 어레이, 파티션, 뱅크 간에 다를 수 있다).

[0045] 숏 디지털 라인 서브 어레이들(125-0 및 125-1) 각각은 Y로 수직으로 도시된 복수의 행들(119)을 포함할 수 있다 (예를 들어, 각각의 서브 어레이는 예시적인 DRAM 뱅크에서 512 개의 행들을 포함할 수 있다). 롱 디지털 라인 서브 어레이들(126-0, ..., 126-N-1) 각각은 Z로서 수직으로 도시된 복수의 행들(118)을 포함할 수 있다 (예

를 들어, 각각의 서브 어레이는 예시적인 DRAM 뱅크에서 1024 개의 행들을 포함할 수 있다). 이와 같이, 다양한 실시예에서, 하나 이상의 서브 어레이 (예를 들어, 모든 서브 어레이)의 행 수는 다른 서브 어레이의 행 수와 다를 수 있다. 예를 들어, 제 1 서브 세트의 서브 어레이의 열 (예를 들어, 쏘트 디지털 라인 서브 어레이)의 열에 있는 다수의 메모리 셀은, 일부 실시예에서, 제 2 서브 세트의 서브 어레이(예를 들어, 롱 디지털 라인 서브 어레이) 열에 있는 다수의 메모리 셀의 최대 절반일 수 있고 및/또는 제 1 서브 세트의 서브 어레이의 디지털 라인 (감지 라인)은 제 2 서브 세트의 서브 어레이의 디지털 라인의 길이의 최대 절반인 길이를 가질 수 있다. 실시예는 본 출원에 설명된 열 및 행의 예시적인 수평 및 수직 배향 또는 그 예시 개수로 제한되지 않는다.

[0046] PIM DRAM 아키텍처의 구현은 감지 증폭기 및 컴퓨팅 컴포넌트 레벨 (예를 들어, 감지 컴포넌트 스트라이프)에서 프로세싱을 수행할 수 있다. PIM DRAM 아키텍처의 구현예들은 한정된 수의 메모리 셀이 각각의 감지 증폭기 (예를 들어, 약 1K 또는 1024 메모리 셀)에 연결될 수 있게 한다. 감지 컴포넌트 스트라이프는 약 8K 내지 약 16K 감지 증폭기를 포함할 수 있다. 예를 들어, 롱 디지털 라인 서브 어레이를 위한 감지 컴포넌트 스트라이프는 16K 감지 증폭기를 포함할 수 있고, 열당 1K(1024) 개의 메모리 셀을 수득하기 위해 행 및 열의 각 인터섹션 (intersection)에서의 메모리 셀의 1K 행 및 약 16K 열의 어레이에 결합하도록 구성될 수 있다. 비교하면, 쏘트 디지털 라인 서브 어레이에 대한 감지 컴포넌트 스트라이프는 16K 감지 증폭기 및 컴퓨팅 컴포넌트를 포함할 수 있고, 열당 512 개의 메모리 셀을 수득하기 위해 예를 들어, 롱 디지털 라인 서브 어레이의 1K 행의 최대 절반의 어레이에 결합되도록 구성될 수 있다. 일부 실시예들에서, 개별 감지 컴포넌트 스트라이프들에서의 감지 증폭기들 및/또는 컴퓨팅 컴포넌트들의 수는 (예를 들어, 행의 다수의 메모리 셀들에 대응하는) 롱 디지털 디지털 라인 서브 어레이에 비해 쏘트 디지털 라인 서브 어레이들 중 적어도 일부 사이에서 변할 수 있다.

[0047] 제시된 행들, 열들, 열 당 메모리 셀들의 수 및/또는 롱 및 쏘트 디지털 라인 서브 어레이들 내의 열들 사이의 메모리 셀들의 수의 비율은 단지 예시의 방식으로 제공되고 제한적인 것이 아니다. 예를 들어, 롱 디지털 라인 서브 어레이는 각각 개별 1024 개의 메모리 셀을 갖는 열을 가질 수 있고, 쏘트 디지털 라인 서브 어레이는 각각 512보다 더 적은 다른 가능한 디지털 중에서 개별 512, 256 또는 128 개의 메모리 셀을 갖는 열을 가질 수 있다. 롱 디지털 라인 서브 어레이는 다양한 실시예에서, 열당 1024 개보다 적거나 많은 수의 메모리 셀을 가질 수 있으며, 쏘트 디지털 라인 서브 어레이의 열당 메모리 셀의 수는 전술한 바와 같이 구성된다. 대안적으로 또는 추가하여, 캐시 서브 어레이는 방금 설명된 쏘트 디지털 라인 서브 어레이가 아니도록 캐시 서브 어레이는 롱 디지털 라인 서브 어레이 (저장 서브 어레이)의 디지털 라인 길이보다 작거나 같거나 더 긴 디지털 라인 길이로 형성될 수 있다. 예를 들어, 캐시 서브 어레이의 디지털 라인 및/또는 메모리 셀의 구성은 저장 서브 어레이의 구성 (예를 들어, 1T1C 대신 2T2C, DRAM 대신 SRAM 등) 보다 빠른 계산을 제공할 수 있다.

[0048] 따라서, 캐시 서브 어레이 내의 메모리 셀의 행의 수 및/또는 디지털 라인 당 대응하는 메모리 셀의 수는 저장 서브 어레이의 디지털 라인 당 대응하는 개수의 메모리 셀 및/또는 저장 서브 어레이의 메모리 셀의 행의 수보다 적거나 같거나 더 클 수 있다. 일부 실시예에서, 롱 디지털 라인 서브 어레이의 행의 다수의 메모리 셀은 쏘트 디지털 라인 서브 어레이의 행의 다수의 메모리 셀과 상이할 수 있다. 예를 들어, 2T2C 메모리 셀은 2 개의 트랜지스터 및 2 개의 커패시터를 갖지만 1T1C 메모리 셀은 1 개의 트랜지스터 및 1 개의 커패시터를 갖기 때문에 2T2C로 구성된 쏘트 디지털 라인 서브 어레이의 메모리 셀은 1T1C로 구성된 롱 디지털 라인 서브 어레이의 메모리 셀의 약 2 배 폭일 수 있다. 칩 및/또는 뱅크 아키텍처 상에 이들 2 개의 서브 어레이 구성의 폭을 통합하기 위해, 행 내의 메모리 셀의 수는 조절될 수 있다 (예를 들어, 쏘트 디지털 라인 서브 어레이는 예를 들어, 롱 디지털 서브 어레이의 행에 많은 메모리 셀들의 약 절반을 가질 수 있다). 제어기는 이들 2 개의 서브 어레이 구성 사이에서 데이터 값의 이동을 수용하기 위한 명령을 갖거나 명령에 의해 지시할 수 있다.

[0049] 일부 실시예들에서, 롱 디지털 라인 서브 어레이(126-N-1)는 128 개의 서브 어레이에서 서브 어레이(32)일 수 있고, 본 출원에 설명된 바와 같이, 4 개의 서브 어레이 파티션의 제 1 파티션에서 제 1 방향의 최종 서브 어레이일 수 있다. 격리(isolation) 스트라이프 (미도시)는 선택된 공유 I/O 라인의 부분들을 선택적으로 (예를 들어, 제어기(140)에 의해 지시된 바와 같이) 연결 및 연결 해제하도록 구성된 다수의 격리 트랜지스터를 포함할 수 있다. 격리 트랜지스터를 선택적으로 활성화 (예를 들어, 활성화 및 비활성화)하는 것은 감지 증폭기 및/또는 컴퓨팅 컴포넌트(예를 들어, 본 출원에 설명된 감지 컴포넌트 스트라이프에서)로부터 및 거기로 공유 I/O 라인을 통해 파티션 사이에서 데이터 값들의 이동을 연결 및 연결 해제한다.

[0050] 이와 같이, 복수의 서브 어레이들(125-0 및 125-1 및 126-0, ..., 126-N-1), 복수의 감지 컴포넌트 스트라이프들 (124-0, 124-1, ..., 124-N-1) 및 격리 스트라이프는 단일 파티션(128)으로 간주될 수 있다. 그러나, 일부 실시예에서, 데이터 이동의 방향에 따라, 단일 격리 스트라이프는 2 개의 인접한 파티션에 의해 공유될 수 있다.

- [0051] 도 1c에 도시된 바와 같이, 뱅크 섹션(123)은 제어기(140)와 관련될 수 있다. 도 1c에 도시된 제어기(140)는 다양한 실시예에서 도 1a 및 도 1b에 도시된 제어기(140)에 의해 구현되고 제어기에 함유된 기능의 적어도 일부를 나타낼 수 있다. 제어기(140)는 본 출원에서 설명된 뱅크 섹션에서의 데이터 이동의 제어와 함께 뱅크 섹션(123)으로 명령 및/또는 데이터(141)의 입력, 뱅크 섹션(123) (예를 들어, 호스트(110))으로부터의 데이터의 출력을 지시(예를 들어, 제어)할 수 있다. 본 출원에 설명된 뱅크 섹션(123)은 DRAM DQ에 대한 데이터 버스(156) (예를 들어, 64 비트 폭의 데이터 버스)를 포함할 수 있으며, 이는 도 1a 및 도 1b와 관련하여 설명된 데이터 버스(156)에 대응할 수 있다. 제어기(140)는 (예를 들어, 명령에 응답하여) 본 출원에서 설명된 인메모리 동작들 (예를 들어, 스위치 컴포넌트(171)를 통한 데이터 스위칭 네트워크(172)의 제어)에서 데이터 값들에 대해 수행되는 이동 및/또는 동작들을 지시하는 책임을 위임받을 수 있다.
- [0052] 도 1d 및 1e는 본 개시의 다수의 실시예에 따른, 개별적으로 도 1b 및 1c에 대응하는 메모리 디바이스의 뱅크의 블록도이다. 도 1d는 본 개시의 다수의 실시예들에 따른 메모리 디바이스에 대한 뱅크(121)의 블록도이다. 예를 들어, 뱅크(121)는 메모리 디바이스 (예를 들어, 뱅크 0, 뱅크 1, ..., 뱅크 M)에 대한 예시적인 뱅크를 나타낼 수 있다. 도 1d에 도시된 바와 같이, 뱅크 아키텍처는 제어기(140)에 결합된 어드레스/제어 (A/C) 경로(153) (예를 들어, 버스)를 포함할 수 있다. 다시, 도 1d에 도시된 제어기(140)는 다양한 예에서 도 1a 내지 도 1c에 도시된 제어기(140)에 의해 구현되고 제어기에 함유된 기능의 적어도 일부를 나타낼 수 있다.
- [0053] 도 1d에 도시된 바와 같이, 뱅크 아키텍처는 특정 뱅크(121)에 복수의 뱅크 섹션 (예를 들어, 뱅크 섹션(123))을 포함할 수 있다. 도 1d에 추가로 도시된 바와 같이, 뱅크 섹션(123)은 도 2 내지 도 9와 관련하여 추가로 설명되고 도 1a에 도시된 감지 회로부(150) 및 로직 회로부를 포함하는 도 1b에 도시된 감지 컴포넌트 스트라이프(124-0, 124-1, ..., 124-N-1)에 의해 개별적으로 분리된 복수의 서브 어레이 (예를 들어, 125-1, 125-2, ..., 125-N-1)에 도시된 서브 어레이 0, 서브 어레이 1, ..., 서브 어레이 N-1)로 세분될 수 있다.
- [0054] 본 출원에 설명된 I/O 라인(155)은 각각의 서브 어레이에 결합된 감지 컴포넌트 스트라이프를 통해 메모리 셀의 복수의 파티션, 서브 어레이, 행, 특정 열 및/또는 인메모리 데이터 스위칭 네트워크에 의해 선택적으로 공유될 수 있다. 예를 들어, 다수의 열의 선택 가능한 서브 세트 각각의 감지 증폭기 및/또는 컴퓨팅 컴포넌트 (예를 들어, 총 열의 개수의 8 개의 열 서브 세트)는 복수의 공유 I/O 라인 각각으로 이동 (예를 들어, 전달, 전송 및/또는 공급)될 감지 컴포넌트 스트라이프에 저장된 (캐싱된) 데이터 값들에 대해 복수의 공유 I/O 라인 각각에 선택적으로 결합될 수 있다.
- [0055] 도 1d에 개략적으로 도시된 바와 같이, 뱅크(121) 및 뱅크의 각 섹션(123)의 아키텍처는 복수의 뱅크들 (도시되지 않음) 및 뱅크 섹션(123)의 메모리 셀들(125-0, 125-1, ..., 125-N-1)에 결합하도록 구성된 복수의 공유 I/O 라인(155) (예를 들어, 데이터 경로, 버스)을 포함할 수 있다. 공유 I/O 라인(155)은 메모리 셀들의 서브 어레이, 행, 특정 열, 및/또는 도 1b에 도시된 (124-0, 124-1, ..., 124-N-1)로 표시된 감지 컴포넌트 스트라이프를 통해 인메모리 데이터 스위칭 네트워크 사이에서 선택적으로 결합될 수 있다. 언급된 바와 같이, 감지 컴포넌트 스트라이프(124-0, 124-1, ..., 124-N-1)는 도 2-9와 관련하여 추가로 설명되고 도 1a에 도시된 각각의 서브 어레이내 메모리 셀의 각각 열에 결합하도록 구성된 감지 증폭기 및 컴퓨팅 컴포넌트를 갖는 감지 회로부(150)를 각각 포함한다.
- [0056] 공유 I/O 라인(155)은 PIM 어레이 (예를 들어, 서브 어레이 및/또는 인메모리 데이터 스위칭 네트워크 사이)에서 데이터 이동의 속도, 레이트(rate) 및 효율을 증가시키기 위해 이용될 수 있다. 적어도 하나의 실시예에서, 공유 I/O 라인(155)을 사용하는 것은 적어도 1000 비트 폭을 제공함으로써 개선된 데이터 경로를 제공한다. 일 실시예에서, 2048 개의 공유 I/O 라인은 16,384 개의 열에 연결되어 2048 비트 폭을 제공한다. 예시된 공유 I/O 라인(155)은 어레이의 메모리 셀의 피치 상에 형성될 수 있다.
- [0057] 일부 실시예들에서, 제어기(140)는 명령들 (명령들에 기초한 제어 신호들) 및 데이터를 메모리 어레이(130) 내의 특정 뱅크(121)의 복수의 위치들에, 감지 컴포넌트 스트라이프들(124-0, 124-1, ..., 124-N-1)에, 명령 관독 경로(161) 및/또는 제어 및 데이터 레지스터(151)와 공유 I/O 라인(155)을 통해 인메모리 데이터 스위칭 네트워크(172)에 제공하도록 구성될 수 있다. 예를 들어, 관독 명령 경로(161) 및/또는 제어 및 데이터 레지스터(151)는 감지 컴포넌트 스트라이프들(124-0, 124-1, ..., 124-N-1)내 감지 회로부(150)의 감지 증폭기들 및 컴퓨팅 컴포넌트들에 의해 사용되어 실행될 명령들을 제공할 수 있다. 도 1d는 뱅크(121)의 데이터 스위칭 네트워크(172) 및/또는 각각의 서브 어레이들(125-0, ..., 125-N-1)에 대한 기록 경로(149)에 결합되고 제어기(140)와 관련된 스위칭 컴포넌트(171)를 도시한다.
- [0058] PIM DRAM 아키텍처의 구현은 감지 증폭기 및 컴퓨팅 컴포넌트 레벨에서 프로세싱을 수행할 수 있다. PIM DRAM

아키텍처의 구현은 한정된 수의 메모리 셀만이 각각의 감지 증폭기 (예를 들어, 약 512 개의 메모리 셀)에 연결될 수 있게 한다. 감지 컴포넌트 스트라이프(124)는 약 8,000 내지 약 16,000 개의 감지 증폭기를 포함할 수 있다. 예를 들어, 감지 컴포넌트 스트라이프(124)는 512 개의 행 및 약 16,000 개의 열의 어레이에 결합되도록 구성될 수 있다. 감지 컴포넌트 스트라이프는 더 큰 메모리를 구성하기 위한 빌딩 블록으로서 사용될 수 있다. 메모리 디바이스를 위한 어레이에서, 본 출원에 설명된 128 개의 서브 어레이에 대응하는 128 개의 감지 컴포넌트 스트라이프가 있을 수 있다. 따라서, 512개의 행 곱하기(times) 128 개의 감지 컴포넌트 스트라이프는 약 16,000 개의 열에 의해 교차된 약 66,000 개의 행을 생성하여 약 1 기가비트 DRAM을 형성할 것이다.

[0059] 이와 같이, 감지 증폭기 레벨에서 프로세싱할 때, 서로 로직 기능을 수행하기 위해 이용 가능한 512 행의 메모리 셀만이 존재하며, 데이터가 상이한 감지 컴포넌트 스트라이프에 결합되는 다수의 행에서 로직 기능을 용이하게 수행하는 것이 불가능할 수 있다. 상이한 감지 컴포넌트 스트라이프에 결합된 상이한 서브 어레이에서의 데이터 프로세싱을 달성하기 위해, 프로세싱될 모든 데이터는 동일한 감지 컴포넌트 스트라이프에 결합되도록 하기 위해 동일한 서브 어레이로 이동된다.

[0060] 그러나, DRAM 구현예들은 하나의 감지 컴포넌트 스트라이프로부터 다른 감지 컴포넌트 스트라이프로 및/또는 메모리 어레이 및/또는 감지 컴포넌트 스트라이프로부터 인메모리 데이터 스위칭 네트워크 (예를 들어, 제한이 아닌 예시로서 버터 플라이 네트워크(butterfly network))로 데이터를 이동 시키기 위해 이용되지 않았다. 언급된 바와 같이, 감지 컴포넌트 스트라이프는 약 16,000 개의 감지 증폭기를 포함할 수 있으며, 이는 각 행으로부터 저장 (예를 들어, 캐시)될 데이터의 약 16,000 개의 열 또는 약 16,000 개의 데이터 값 (예를 들어, 비트)에 대응한다. DRAM DQ 데이터 버스 (예를 들어, 도 1a 내지 도 1c의 (156)에 도시된)는 64 비트 부분으로 구성될 수 있다. 이와 같이, DRAM DQ 데이터 버스를 사용하여 하나의 감지 컴포넌트 스트라이프에서 다른 감지 컴포넌트 스트라이프로 16,000 비트 행으로부터 전체 데이터를 전달 (이동)하기 위해서는, 예를 들어, 256 사이클 (예를 들어, 16,000을 64로 나눔)이 필요하다.

[0061] PIM DRAM 구현예들에서 하나의 감지 컴포넌트 스트라이프로부터 다른 감지 컴포넌트 스트라이프로 및/또는 데이터 스위칭 네트워크(172)로 고속, 레이트 및 효율로 수행되는 데이터 이동을 달성하기 위해, 공유 I/O 라인(155)이 본 출원에서 설명된다. 예를 들어, 2048 비트 폭 공유 I/O 라인 (155)로 구성된 2048 개의 공유 I/O 라인을 사용에서, 방금 설명한대로 전체 행으로부터 데이터의 이동은 8 사이클이 걸리며, 데이터 이동의 속도, 레이트 및 효율이 32배 증가한다. 이와 같이, 다른 PIM DRAM 구현(예를 들어, 64 비트 폭 데이터 경로에 대한)과 비교하여, 본 개시에 설명된 구조 및 프로세스의 이용은 데이터 이동에 대한 시간을 절약한다. 다양한 실시예들에서, 예를 들어, 하나의 뱅크, 뱅크 섹션 및 그 서브 어레이로부터 데이터를 판독할 필요가 없고, 데이터를 저장한 다음, 다른 위치에 데이터를 기록하고 및/또는 데이터의 이동에 대한 사이클의 수를 감소시킴으로써 시간이 절약될 수 있다.

[0062] 따라서, 예를 들어, 도 1a, 1b 및 1d와 관련하여 도시되고 설명된 바와 같이, 메모리 디바이스(120)는 어레이와 관련된 인메모리 데이터 스위칭을 위한 데이터 경로로 공유된 I/O 라인(155)을 갖는 메모리 셀들의 어레이 및 메모리 셀의 어레이에 선택적으로 결합된 감지 회로부를 포함할 수 있다. 메모리 디바이스(120)는 개별 공유 I/O 라인(155)에 선택적으로 결합된 인메모리 데이터 스위칭 네트워크(예를 들어, (172 및 372)에 도시되고 각각 도 1a 및 도 3과 관련하여 설명된)를 포함할 수 있다. 메모리 디바이스(120)는 인메모리 데이터 스위칭 네트워크에 결합되고 본 출원에서 설명된 스위치 프로토콜의 직접 인에이블을 위해 (예를 들어, 스위칭 컴포넌트 (171)를 통해) 구성된 제어기(140)를 더 포함할 수 있다.

[0063] 일부 실시예들에서, 인메모리 데이터 스위칭 네트워크는 공유 I/O 라인 (예를 들어, (155 및 355)에 도시되고 도 1b 및 도 3과 관련하여 각각 설명된) 및 어레이 (예를 들어, (125-0, 125-1, ..., 125-N-1) 및 (325)에 도시되고 각각 도 1b 및 도 3과 관련하여 설명된 서브 어레이에서)의 대응하는 메모리 셀들에 대한 감지 라인 (예를 들어, (205 및 305)에 도시되고 도 2 및 도 3과 관련하여 각각 설명된 디지털 라인들)에 선택적으로 결합될 수 있다. 일부 실시예들에서, 인메모리 데이터 스위칭 네트워크는 감지 회로부 (예를 들어, (150 및 350)에 도시되고 각각 도 1a 및 도 3과 관련하여 설명된) 및 공유 I/O 라인에 선택적으로 결합될 수 있다. 본 출원에 설명된, 감지 회로부는 어레이의 대응하는 메모리 셀에 대한 상보적 감지 라인에 피치 상에 형성될 수 있다. 감지 회로부는 감지 라인을 선택적으로 결합한 감지 증폭기(예를 들어, (206 및 306)에 도시되고 도 2 및 3과 관련되고 본 출원에 어디 다른곳에서 설명된) 를 포함할 수 있다.

[0064] 도 1e는 본 개시의 다수의 실시예들에 따른 메모리 디바이스의 뱅크(121)의 블록도이다. 뱅크(121)는 메모리 디바이스의 뱅크 (예를 들어, 뱅크 0, 뱅크 1, ..., 뱅크 M-1)를 나타낼 수 있다. 도 1c에 도시된 바와 같이, 뱅

크(121)는 제어기(140)에 결합된 A/C 경로(153) (예를 들어, 버스)를 포함할 수 있다. 다시, 도 1e에 도시된 제어기(140)는 다양한 예에서 도 1a 내지 도 1d에 도시된 제어기(140)에 의해 구현되고 제어기에 함유된 기능의 적어도 일부를 나타낼 수 있다.

[0065] 도 1e에 도시된 바와 같이, 뱅크(121)는 복수의 뱅크 섹션 (예를 들어, 뱅크 섹션(123))을 포함할 수 있다. 도 1e에 추가로 도시된 바와 같이, 뱅크 섹션(123)은 복수의 서브 어레이 (예를 들어, 룡 디지털 라인 서브 어레이)에 대하여 (126-0, 126-1, ..., 126-N-1)에 도시된 그리고 숫 디지털 라인 서브 어레이에 대하여 (125-0, 125-1 및 125-3)에 도시된 서브 어레이 0, 서브 어레이 1, ..., 서브 어레이 N-1)로 세분될 수 있다. 도 1e에 도시된 숫 및 룡 디지털 라인 서브 어레이의 수 및/또는 위치의 구성은 명확성을 위해 도시되며 이들 구성에 제한되지 않는다. 뱅크 섹션(123)이 룡 디지털 라인 서브 어레이(126-0) 상부에 숫 디지털 라인 서브 어레이(125-0)로 도시된 바와 같이 구성될 수 있지만, 다른 룡 디지털 라인 서브 어레이(126-1) 상부에 또 다른 숫 디지털 라인 서브 어레이(125-1)가 오고, 총 4 개의 서브 어레이는 1 : 1 비율 (예를 들어, 파티션 (128-0)에서)로 균등하게 산재되고, 다른 디지털 및/또는 숫 및/또는 룡 디지털 라인 서브 어레이의 비율이 가능하다. 예를 들어, 임의의 실행 가능한 수의 숫 및/또는 룡 디지털 라인 서브 어레이는 숫 디지털 라인 서브 어레이 대 룡 디지털 라인 서브 어레이의 특정 구현에 적합한 것으로 결정된 임의의 순서화 배열 (예를 들어, 1:1, 1:2, 1:4, 1:8 등의 비율)에 뱅크 섹션(123) 및/또는 그 파티션(128)에 포함될 수 있고 하나 이상의 숫 디지털 라인 서브 어레이의 각각의 그룹화는 다른 구성들 중에서 하나 이상의 룡 디지털의 그룹에 인접하여 위치된다. 따라서, 일부 실시예들에서, 하나 초과와 숫 디지털 라인 서브 어레이는 서로 인접하여 직렬로 위치될 수 있고 및/또는 하나 초과와 룡 디지털 라인 서브 어레이는 서로 인접하여 직렬로 위치될 수 있다.

[0066] 숫 디지털 라인 서브 어레이에 대해 (125-0, 125-1 및 125-3)에 도시된 복수의 서브 어레이 및 룡 디지털 라인 서브 어레이에 대한 (126-0, 126-1, ..., 126-N-1)은 감지 회로부(150) 및 로직 회로부(예를 들어, (713)에 도시되고 도 7과 관련하여 설명된)를 포함할 수 있는 감지 컴포넌트 스트라이프(124-0, 124-1, ..., 124-N-1)에 의해 각각 분리 및/또는 결합될 수 있다. 지칭된 바와 같이, 감지 컴포넌트 스트라이프(124-0, 124-1, ..., 124-N-1)는 각각 도면들 3-9와 관련하여 추가로 설명되고 도 2에 도시된 각각의 서브 어레이에 메모리 셀의 각 열에 결합하도록 구성된 감지 증폭기를 갖는 감지 회로부(150)를 포함한다. 서브 어레이들 및 관련 감지 컴포넌트 스트라이프들은 본 출원에서 더 설명되는 I/O 라인(155)을 공유하는 다수의 파티션들 (예를 들어, 128-0, ..., 128-1, ..., 128-M-1)로 분할될 수 있다.

[0067] 도 1e에 개략적으로 도시된 바와 같이, 뱅크(121) 및 뱅크의 각 섹션(123)은 명령 및/또는 데이터에 (예를 들어, 프로그램 명령 (PIM 명령) 복수의 제어/데이터 레지스터(151), 관독 경로(161)에 결합되고 복수의 뱅크 섹션 (예를 들어, 특정 뱅크(121)의 뱅크 섹션(123))에 결합된 데이터 경로 (예를 들어, 버스)로서 공유 I/O 라인(155)을 포함할 수 있다. 제어기(140)는 주어진 뱅크(예를 들어, 뱅크(121-1))의 동작의 수행을 시작하는 명령을 수신하도록 구성될 수 있다. 제어기(140)는 감지 회로부(150)의 컴퓨팅 컴포넌트를 사용하여 동작을 수행하고 특정 뱅크에 대한 복수의 위치들로부터 명령들 및/또는 상수 데이터를 검색하도록 (예를 들어, 제어 및 데이터 레지스터(151)에 결합된 공유 I/O 라인(155)을 사용하여) 구성될 수 있다. 제어기(140)는 특정 뱅크에 대한 로컬인 (예를 들어, 스위칭 컴포넌트(171) 및/또는 로직 회로부(713)에서) 명령 및/또는 상수 데이터를 캐시할 수 있다.

[0068] 본 출원에 설명된 바와 같이, I/O 라인은 각각의 서브 어레이에 결합된 감지 컴포넌트 스트라이프를 통해 메모리 셀들의 복수의 파티션, 서브 어레이, 행, 특정 열 및/또는 데이터 스위칭 네트워크(172)에 의해 선택적으로 공유될 수 있다. 예를 들어, 다수의 열의 선택 가능한 서브 세트 각각의 감지 증폭기 및/또는 컴퓨팅 컴포넌트 (예를 들어, 총 열의 개수의 8 개의 열 서브 세트)는 복수의 공유 I/O 라인 각각으로 이동 (예를 들어, 전달, 전송 및/또는 공급)될 감지 컴포넌트 스트라이프에 저장된 (캐싱된) 데이터 값들에 대해 복수의 공유 I/O 라인 각각에 선택적으로 결합될 수 있다.

[0069] 일부 실시예들에서, 제어기(140)는 제어 및 데이터 레지스터(151)에 결합된 공유 I/O 라인(155)를 통하여 명령들 (명령어(command)들) 및 데이터를 메모리 어레이(130) 내의 특정 뱅크(121)의 복수의 위치 및 감지 컴포넌트 스트라이프(124-0, 124-1, ..., 124-N-1)에 제공함으로써 지시하도록 구성될 수 있다. 예를 들어, 제어 및 데이터 레지스터(151)는 감지 컴포넌트 스트라이프(124-0, 124-1, ..., 124-N-1)의 감지 회로부(150)의 컴퓨팅 컴포넌트 및/또는 감지 증폭기에 의해 실행될 명령을 중계할 수 있다. 도 1e는, 예를 들어, 제어기(140)가 스위칭 컴포넌트(171)와 관련되고 뱅크(121) 및/또는 데이터 스위칭 네트워크(172)에서의 숫 디지털 라인 서브 어레이 (125-0, 125-1 및 125-3), 룡 디지털 라인 서브 어레이(126-0, 126-1, ..., 126-N-1) 및/또는 감지 컴포넌트 스

트라이프(124-0, 124-1, ..., 124-N-1) 각각에 기록 경로(149)를 통해 결합된 것으로 도시된다.

[0070] 그러나, 본 출원에서 설명된 공유 I/O 라인(155) 및/또는 연결 회로부(232)는 단일 동작 또는 순차적인 복수의 동작의 수행 결과를 메모리 어레이(130)의 서브 어레이들의 제 1 서브 세트(125) 및 제 2 서브 세트(126)로 되돌리는 것을 제외하고 적절한 위치로 이동 시키도록 구성 (예를 들어, 형성 및/또는 인에이블)될 수 있다. 예를 들어, 결과 데이터 값은 다양한 실시예에서 공유 I/O 라인(155) 및/또는 연결 회로부 (232)를 통해 외부 레지스터로 이동될 수 있다. 이러한 외부 레지스터들의 실시예들은 메모리 디바이스(120)의 뱅크(121)의 제어기(140) 및/또는 호스트(110)과 관련된 레지스터들 (도시되지 않은) (예를 들어, I/O 회로부(144)에 의해 데이터 버스(156)를 통해 직접 및/또는 대역 외 버스(157)를 통해 제어기(140)를 통해 간접적으로 액세스될 수 있는) 와 연관된 (예컨대, 선택적으로 결합된) 다수의 뱅크 레지스터들 (도시되지 않음)을 포함할 수 있다. 또한, 특정 룬 디지털 라인 저장 서브 어레이 및/또는 특정 숫 디지털 라인 캐시 서브 어레이에 의한 저장 및/또는 프로세싱을 위한 데이터 값, 및/또는 그렇게하기 위한 명령이 입력될 수 있다. 입력은 그 중에서도 예를 들어, DDR4와 같은 데이터 전송 프로토콜을 사용하여, I/O 회로부(144)에 의해 데이터 버스(156)를 통해 호스트 CPU로부터 직접 및/또는 제어 버스(154)를 통해 제어기(140)를 통해 간접적으로 수행될 수 있다.

[0071] 도 1c와 관련하여 설명된 바와 같이, 복수의 서브 어레이들 (예를 들어, 도 1c에 예로서 도시된 4 개의 서브 어레이들(125-0, 125-1, 126-0 및 126-1)) 및 그들의 각각의 감지 컴포넌트 스트라이프들은 제 1 파티션(128-0)을 구성한다. 서브 어레이(126-1)가 제 1 파티션(128-0)의 제 1 방향 (예를 들어, 도 1e의 상황에서 아래쪽)에서 최종 서브 어레이이고 서브 어레이(125-2)가 제 2 파티션(128-1)의 제 1 방향의 제 1 서브 어레이이도록 서브 어레이 3(126-1)과 서브 어레이 4(125-2) 사이에 격리 스트라이프 (도시되지 않음)가 위치될 수 있다. 다수의 서브 어레이들 및 그들의 각각의 감지 컴포넌트 스트라이프들은 제 2 격리 스트라이프 (미도시)가 제 3 파티션(128-M-1)의 제 1 서브 어레이(126-N-1) 와 제 2 파티션(128-1)사이에 위치될 때까지 제 1 방향으로 더 연장될 수 있다. 전술한 바와 같이, 서브 어레이는 각각의 뱅크 섹션(123) 및/또는 파티션(128)에서 임의의 순서로 배열될 수 있어서, 다른 가능한 구성 중에서도, 예를 들어, 숫 디지털 라인 서브 어레이(125-0 및 125-2)는 개별적으로 파티션(128-0 및 128-1)에서 제 1 서브 어레이일 수 있지만 룬 디지털 라인 서브 어레이(126-N-1)는 파티션(128-M-1)의 제 1 서브 어레이일 수 있다.

[0072] 그러나, 실시예는 이에 제한되지 않는다. 예를 들어, 다양한 실시예에서, 뱅크 섹션(123)에는 임의의 수의 숫 디지털 라인 서브 어레이(125) 및 임의의 수의 룬 디지털 라인 서브 어레이(126)가 존재할 수 있으며, 이는 격리 스트라이프에 의해 임의의 수의 파티션으로 분리될 수 있다 (예를 들어, 다양한 파티션들에서 적어도 하나의 숫 디지털 라인 서브 어레이와 적어도 하나의 룬 디지털 라인 서브 어레이의 조합이 있기 때문에). 다양한 실시예들에서, 파티션들은 각각 구현에 따라 동일한 수 또는 상이한 수의 숫 및/또는 룬 디지털 라인 서브 어레이, 감지 컴포넌트 스트라이프 등을 포함할 수 있다.

[0073] 따라서, 예를 들어, 도 1a, 1c 및 1e와 관련하여 도시되고 설명된 바와 같이, 메모리 디바이스(120)는 메모리 셀의 어레이 및 메모리 셀의 어레이에 선택적으로 결합된 감지 회로부를 포함할 수 있고, 감지 회로부는 감지 증폭기 (예를 들어, 적어도 하나의 감지 증폭기)를 포함한다. 메모리 디바이스(120)는 소스 위치로부터 어레이 내의 목적지 위치로 데이터 값들의 이동 및 어레이와 관련된 인메모리 데이터를 스윗칭하기 위한 데이터 경로로 선택적으로 공유된 붓의 I/O 라인(155)들을 포함할 수 있다. 다양한 실시예들에서, 소스 위치는 제 1 서브 어레이 일 수 있거나 그 안에 있을 수 있고 목적지 위치는 어레이의 제 2 서브 어레이 일 수 있거나 그 안에 있을 수 있다 (예를 들어, 도 1c와 관련하여 설명되고, (125-0 및 125-1) 및(126-0, ..., 126-N-1)에 도시된 임의의 서브 어레이).

[0074] 메모리 디바이스(120)는 인 메모리 데이터 스윗칭 네트워크를 포함할 수 있다 (예를 들어, 개별적으로 도 1a 및 도 3과 관련하여 설명되고, (172 및 372)에 도시된). 메모리 디바이스(120)는 인메모리 데이터 스윗칭 네트워크의 본 출원에서 설명된 스위치 프로토콜의 인에이블을 지시하고 (예를 들어, 스윗칭 컴포넌트(171)을 통해) 및 인메모리 데이터 스윗칭 네트워크와 개별 복수의 공유 I/O 라인과 선택적으로 결합하도록 구성된 제어기(140)를 더 포함할 수 있다. 일부 실시예들에서, 제어기는 복수의 스위치 프로토콜을 선택적으로 인에이블하도록 구성될 수 있다. 인에이블된 스위치 프로토콜은 다수의 스윗칭 동작을 수행하여 복수의 공유 I/O 라인을 통해 이동된 데이터 값의 시퀀스내 데이터 값의 위치를 어레이로부터 인메모리 데이터 스윗칭 네트워크로 스윗칭할 수 있다.

[0075] 메모리 디바이스(120)는 개별 복수의 공유 I/O 라인들에 결합된 복수의 제 1 감지 증폭기를 사용하여 복수의 데이터 값들을 소스 위치로부터 이동 시키고 복수의 공유 I/O 라인에 결합된 복수의 제 2 감지 증폭기를 이용하여 복수의 데이터 값들을 목적지 위치로 이동 시키도록 구성될 수 있다. 메모리 디바이스(120)는, 일부

실시예에서, 선택적으로 개별 복수의 공유 I/O 라인(155)에 결합된 복수의 감지 증폭기들을 통해 인메모리 데이터 스위칭 네트워크로 복수의 데이터 값을 이동 시키도록 추가로 구성될 수 있다. 일부 실시예들에서, 메모리 디바이스(120)는 개별 복수의 공유 I/O 라인(155)에 선택적으로 결합된 복수의 감지 라인들 (예를 들어, (205 및 305)에 도시되고 개별적으로 도 2 및 도 3과 관련하여 설명된 디지털 라인들)을 통해 복수의 데이터 값들을 인메모리 데이터 스위칭 네트워크로 이동 시키도록 추가로 구성될 수 있다.

[0076] 본 출원에 설명된 바와 같이, 인메모리 데이터 스위칭 네트워크는 각각 복수의 스위치 노드를 갖는 복수의 레벨들을 포함할 수 있다. 데이터 스위칭 네트워크(472)의 복수의 레벨은 (409-0, ..., 409-N-1)에 도시되고 도 4와 관련하여 설명된다. 대안적으로 또는 추가적으로, 데이터 스위칭 네트워크(972-1 및 972-2)의 복수의 레벨은 (967-0, ..., 967-N-1)에 도시되고 도 9a 및 도 9b와 관련하여 설명된다. 스위치 노드(예를 들어, (966)에 도시되고 도 9a와 관련하여 설명된)는 다양한 실시예에서 다수의 래치 및 다수의 스위치를 포함할 수 있다 (예를 들어, 개별적으로 (970 및 963)에 도시되고 도 9a와 관련하여 설명된). 일부 실시예에서, 레벨 당 복수의 스위치 노드 (예를 들어, (966-0, ..., 966-M-1)에 도시되고 도 9a 및 도 9b와 관련하여 설명된)의 수는 어레이에 결합된 복수의 감지 증폭기의 수에 대응할 수 있다.

[0077] 다양한 실시예에서, 스위치 노드의 수는 어레이에 결합된 감지 증폭기의 수와 동일하거나 스위치 노드의 수는 감지 증폭기의 수의 배수 또는 분수 (예를 들어, 제 8, 제 16 등)일 수 있다(예를 들어, 다른 가능성 중에서도 도 3과 관련하여 도시되고 설명된 열 선택 회로부(358-1 및 358-2)를 이용한 다중화를 통해). 예를 들어, 메모리 디바이스(120)는 일부 실시예에서, 데이터 값을 인메모리 데이터 스위칭 네트워크로 이동 시키기 위해 메모리 셀 어레이의 대응하는 복수의 열에 결합된 복수의 감지 증폭기 및 공유 I/O 라인에 결합할 감지 증폭기를 선택하도록 구성된 다중화기(multiplexer)를 포함할 수 있다. 대안적으로 또는 추가로, 메모리 디바이스(120)는 일부 실시예에서 메모리 셀 어레이의 복수의 열 및 열 선택 회로부를 포함하는 다중화기를 포함할 수 있다. 다중화기는 데이터 값을 인메모리 데이터 스위칭 네트워크로 이동 시키기 위해 공유 I/O 라인에 연결될 열의 메모리 셀을 선택하도록 구성될 수 있다.

[0078] 메모리 디바이스(120)는 다양한 실시예에서, 메모리 셀들의 복수의 서브 어레이 (예를 들어, (125-0, 125-1, ..., 125-N-1)에 도시되고 도 1b와 관련하여 설명된)를 포함할 수 있다. 감지 회로부는 메모리 셀들의 복수의 열을 통해 복수의 서브 어레이에 결합될 수 있다 (예를 들어, (122)에서 도시되고 도 1b 및 1c와 관련하여 설명되고 (322-0)에 도시되고 및 도 3과 관련하여 설명된). 이러한 감지 회로부는 복수의 열 각각에 결합된 감지 증폭기 및 컴퓨팅 컴포넌트 (예를 들어, (231 및 331)에 도시되고 도 2 및 도 3과 관련하여 설명된)를 포함할 수 있다. 이러한 메모리 디바이스의 개별 복수의 서브 어레이의 각각의 서브 어레이는, 일부 실시예에서, 인접한 서브 어레이의 열에 다수의 메모리 셀과 실질적으로 동일한 열에 다수의 메모리 셀을 포함할 수 있다 (예를 들어, 동일한 모든 서브 어레이에서와 같이).

[0079] 메모리 디바이스(120)는 다양한 실시예에서, 메모리 셀의 복수의 서브 어레이의 제 1 서브 세트 (예를 들어, (125-0 및 125-1)에 도시되고 도 1c 및 도 1e와 관련하여 설명된 숫 디지털 라인 서브 어레이)를 포함할 수 있다. 다양한 실시예에서, 메모리 디바이스(120)는 개별 복수의 서브 어레이 의 제 2 서브 세트 (예를 들어, (126-0, ..., 126-N-1)로 도시되고 도 1c 및 도 1e와 관련하여 설명된 룡 디지털 라인 서브 어레이)를 더 포함할 수 있다. 감지 회로부는 제 1 및 제 2 서브 세트에 선택적으로 결합될 수 있다. 감지 회로부는 제 1 서브 세트의 개별 감지 라인 (숫 디지털 라인 서브 어레이)에 결합된 감지 증폭기 및 컴퓨팅 컴포넌트 및 컴퓨팅 컴포넌트없이, 제 2 서브 세트의 개별 감지 라인(룡 디지털 라인 서브 어레이)에 결합된 감지 증폭기를 포함할 수 있다. 일부 실시예들에서, 제 1 서브 세트의 서브 어레이의 열에 있는 다수의 메모리 셀은 제 2 서브 세트의 서브 어레이의 열에 있는 다수의 메모리 셀의 최대 절반일 수 있다.

[0080] 메모리 디바이스(120)는 다양한 실시예들에서, 서브 어레이에서의 복수의 메모리 셀들의 열의 수에 대응하는 복수의 감지 증폭기 및/또는 컴퓨팅 컴포넌트의 수를 포함할 수 있는 감지 컴포넌트 스트라이프 (예를 들어, (124-0, ..., 124-N-1)에 도시되고 도 1b-1e와 관련하여 설명된)를 포함할 수 있다. 복수의 감지 증폭기 및/또는 컴퓨팅 컴포넌트의 수는 대응하는 복수의 데이터 값을 인메모리 데이터 스위칭 네트워크로 이동 시키기 위한 개별 복수의 공유 I/O 라인에 선택적으로 결합될 수 있다.

[0081] 도 1f는 본 개시의 다수의 실시예들에 따른 어레이의 बैं크 섹션(123-0, 123-1, ..., 123-N-1)에 로컬 데이터 경로에 I/O 라인(155)을 갖는 메모리 디바이스를 포함하는 컴퓨팅 시스템 형태의 장치의 다른 블록도이다. 예를 들어, बैं크(121-1)는 메모리 디바이스(120)의 예시적인 बैं크를 나타낼 수 있다. 도 1f에 도시된 바와 같이, बैं크(121-1)는 (X로 수평으로 도시된) 복수의 메인 메모리 열 (예를 들어, 예시의 DRAM बैं크의 16,384 개의 열)을

포함할 수 있다. 또한, 뱅크(121-1)는 뱅크 섹션 (예를 들어, 32 개의 서브 어레이의 사분면(quadrant))(123-0, 123-1, ..., 123-N-1)로 분할될 수 있다. 각각의 뱅크 섹션은 복수의 공유 I/O 라인(155)의 데이터 경로의 컴퓨팅 유닛(460)에서 로직 스트라이프(109-0, 109-1, ..., 109-N-1)의 복수의 컴퓨팅 컴포넌트(431-1, ..., 431-Z)와 연관될 수 있다. 뱅크 섹션들(123-0, ..., 123-N-1) 각각은 복수의 행 (수직으로 Y로 도시 됨)을 포함할 수 있다 (예를 들어, 각각의 섹션은 예시적인 DRAM 뱅크에서 행 당 512 개의 행 및 16 개의 서브 행을 각각 포함할 수 있는 32 개의 서브 어레이를 포함하는 사분면일 수 있다). 실시예는 본 출원에서 설명된 열 및 행 및 서브 행의 예시적인 수평 및/또는 수직 배향 또는 그 예시 번호로 제한되지 않는다.

[0082] 일부 실시예들에서, 각각의 뱅크 섹션은 관련된 복수의 공유 I/O 라인(155)의 데이터 경로에서 컴퓨팅 유닛(460) 내의 복수의 컴퓨팅 컴포넌트들(431-1, ..., 431-Z) 및 로직 스트라이프들(109-0, ..., 109-N-1)을 가질 수 있다. 다양한 실시예에서, 로직 스트라이프는 또한 복수의 스위치 노드를 포함할 수 있다 (예를 들어, (966)에 도시되고 도 9a 및 도 9b와 관련하여 설명된). 일부 실시예에서, 복수의 컴퓨팅 컴포넌트의 수는 복수의 컴퓨팅 컴포넌트의 수 및/또는 복수의 공유 I/O 라인의 수에 대응할 수 있다. 예를 들어, 데이터 값을 로직 스트라이프의 컴퓨팅 컴포넌트로 이동 시키는데 사용되는 공유 I/O 라인의 수는 데이터 값을 로직 스트라이프의 스위치 노드로 이동 시키는데 사용되는 공유 I/O 라인의 수에 대응할 수 있다. 일부 실시예에서, 동일한 공유 I/O 라인은 데이터 값을 컴퓨팅 컴포넌트 또는 스위치 노드로 선택적으로 이동 시키기 위해 사용될 수 있다. 일부 실시예에서, 컴퓨팅 컴포넌트는 스위치 노드와 연관되거나 스위치 노드의 일부일 수 있다. 뱅크(121-1)는 제어기(140) 및/또는 복수의 공유 I/O 라인(155)의 데이터 경로에서 컴퓨팅 유닛(460)의 로직 스트라이프(109-0, ..., 109-N-1)의 스위치 노드(966-0, 966-1, ..., 966-M-1) 및/또는 복수의 컴퓨팅 컴포넌트(431-1, ..., 431-Z)에 로딩된 데이터 값에 대한 스위칭 동작 (예를 들어, 스위칭 컴포넌트(171)를 통해) 및/또는 이동(예를 들어, 공유 I/O 라인(155)을 통해)을 지시하는 각각의 뱅크 섹션 및/또는 서브 어레이와 관련된 다수의 제어기를 포함할 수 있다.

[0083] 도 2는, 다양한 실시예에서, 본 개시의 다수의 실시예들에 따른 감지 회로부(250) 및/또는 로직 스트라이프(124)에 각각 포함될 수 있는 감지 증폭기(206) 및 컴퓨팅 컴포넌트(231)를 포함하는 메모리 디바이스(120)의 회로부를 나타내는 개략도이다. 감지 회로부(250)는 도 1a에 도시된 감지 회로부(150)에 대응할 수 있다.

[0084] 도 2의 예시적인 실시예에 도시된 바와 같이, 메모리 셀은 저장 요소 (예를 들어, 커패시터) 및 액세스 디바이스 (예를 들어, 트랜지스터)를 포함할 수 있다. 예를 들어, 제 1 메모리 셀은 트랜지스터(202-1) 및 커패시터(203-1)를 포함할 수 있고, 제 2 메모리 셀은 트랜지스터(202-2) 및 커패시터(203-2) 등을 포함할 수 있다. 구성의 다른 실시예 (예를 들어, 메모리 셀당 2 개의 트랜지스터 및 2 개의 커패시터를 갖는 2T2C)가 사용될 수 있지만, 이 실시예에서, 메모리 어레이(230)는 메모리 셀의 1T1B (하나의 트랜지스터 하나의 커패시터) DRAM 어레이이다. 다수의 실시예들에서, 메모리 셀들은 파괴적인 판독 메모리 셀 들일 수 있다 (예를 들어, 셀에 의해 저장된 데이터를 판독하는 것은 셀에 의해 원래 저장된 데이터가 판독된 후에 리프레시(refresh)되도록 데이터를 파괴한다).

[0085] 메모리 어레이(230)의 셀은 액세스 (워드) 라인(204-X) (행 X), 204-Y (행 Y) 등에 의해 결합된 행, 및 상보적 감지 라인 쌍 (예를 들어, 도 2에 도시된 디지털 라인 DIGIT(D) 및 DIGIT(D)_에 의해 결합된 열로 배열될 수 있다. 각각의 상보적 감지 라인 쌍에 대응하는 개별 감지 라인은 개별적으로 DIGIT(D)에 대해 디지털 라인(205-1) 및 DIGIT(D)_에 대해 (205-2), 또는 도 3의 대응하는 도면 번호로 지칭될 수 있다. 상보적 디지털 라인의 한 쌍만이 도 2에 도시되어 있고, 본 개시의 실시예는 이에 제한되지 않으며, 메모리 셀의 어레이는 메모리 셀 및 디지털 라인의 추가 열 (예를 들어, 4,096, 8,192, 16,384 등)을 포함할 수 있다.

[0086] 행 및 열이 평면에서 직교 배향된 것으로 도시되어 있지만, 실시예는 이에 제한되지 않는다. 예를 들어, 행 및 열은 임의의 실행 가능한 3 차원 구성에서 서로에 대해 배향될 수 있다. 예를 들어, 행 및 열은 서로에 대해 임의의 각도로 배향될 수 있고, 실질적으로 수평 평면 또는 실질적으로 수직 평면으로 배향될 수 있고 및/또는 다른 가능한 3 차원 구성 중에서 폴딩된(folded) 토폴로지로 배향될 수 있다.

[0087] 메모리 셀은 상이한 디지털 라인 및 워드 라인에 결합될 수 있다. 예를 들어, 트랜지스터(202-1)의 제 1 소스/드레인 영역은 디지털 라인(205-1(D))에 결합될 수 있고, 트랜지스터(202-1)의 제 2 소스/드레인 영역은 커패시터(203-1)에 결합될 수 있고, 트랜지스터(202-1)의 게이트는 워드 라인(204-Y)에 결합될 수 있다. 트랜지스터(202-2)의 제 1 소스/드레인 영역은 디지털 라인(205-2(D))에 결합될 수 있고, 트랜지스터(202-2)의 제 2 소스/드레인 영역은 커패시터(203-2)에 결합될 수 있고, 트랜지스터(202-2)는 워드 라인(204-X)에 결합될 수 있다. 도 2에 도시된 바와 같이 셀 플레이트(cell plate)는 커패시터(203-1, 203-2) 각각에 결합될 수 있다. 셀 플레

이트는 다양한 메모리 어레이 구성에 기준 전압 (예를 들어, 접지)이 인가될 수 있는 공통 노드(common node)일 수 있다.

[0088] 메모리 어레이(230)는 본 개시의 많은 실시예들에 따라 감지 회로부(250)에 연결되도록 구성된다. 이 실시예에서, 감지 회로부(250)는 메모리 셀의 각 열에 대응하는 (예를 들어, 개별 쌍의 상보적 디지털 라인에 결합된) 감지 증폭기(206) 및 컴퓨팅 컴포넌트(231)를 포함한다. 그러나, 일부 실시예에서, 로직 스트라이프의 컴퓨팅 컴포넌트에 의해 수행되는 데이터 경로 계산 동작에 사용되는 감지 회로부(250)는 감지 회로부(250)의 컴퓨팅 컴포넌트를 포함하지 않을 수 있다. 감지 증폭기(206)는 한 쌍의 상보적 디지털 라인(205-1 및 205-2)에 결합될 수 있다. 존재한다면, 컴퓨팅 컴포넌트(231)는 패스 게이트(pass gate)(207-1 및 207-2)를 통해 감지 증폭기(206)에 결합될 수 있다. 패스 게이트(207-1, 207-2)의 게이트는 동작 선택 로직(213)에 결합될 수 있다.

[0089] 동작 선택 로직(213)은 감지 증폭기(206)와 컴퓨팅 컴포넌트(231) 사이에 전치되지 않은(un-transposed) 한 쌍의 상보적 디지털 라인에 결합하는 패스 게이트를 제어하기 위한 패스 게이트 로직 및 감지 증폭기(206)와 컴퓨팅 컴포넌트(231) 사이에 전치된 한 쌍의 상보적인 디지털에 결합하는 스왑 게이트(swap gate)를 제어하기 위한 스왑 게이트 로직을 포함할 수 있다. 동작 선택 로직(213)은 또한 한 쌍의 상보적 디지털 라인(205-1 및 205-2)에 결합될 수 있다. 동작 선택 로직(213)은 선택된 동작에 기초하여 패스 게이트(207-1 및 207-2)의 연속성을 제어하도록 구성될 수 있다.

[0090] 감지 증폭기(206)는 선택된 메모리 셀에 의해 저장된 데이터 값 (예를 들어, 로직 상태)을 결정하도록 동작될 수 있다. 감지 증폭기(206)는 본 출원에서 1 차 래치(primary latch)로 지칭될 수 있는 교차 결합 래치(cross coupled latch)를 포함할 수 있다. 도 2에 도시된 예에서, 감지 증폭기(206)에 대응하는 회로부는 한 쌍의 상보적 디지털 라인 (D 205-1 및(D)_205-2)에 결합된 4 개의 트랜지스터를 포함하는 래치(215)를 포함한다. 그러나 실시예는 이 예에 한정되지 않는다. 래치(215)는 n-채널 트랜지스터 (예를 들어, NMOS 트랜지스터)(227-1 및 227-2)와 같은 교차 결합 래치 (예를 들어, 한 쌍의 트랜지스터의 게이트) 일 수 있고, 다른 한 쌍의 트랜지스터 (예를 들어, p- 채널 트랜지스터 (예를 들어, PMOS 트랜지스터)(229-1 및 229-2))의 게이트와 교차 결합될 수 있다. 트랜지스터(227-1, 227-2, 229-1, 229-2)를 포함하는 교차 결합 래치(215)는 1 차 래치로 지칭될 수 있다.

[0091] 동작시, 메모리 셀이 감지 (예를 들어, 판독)될 때, 디지털 라인(205-1(D) 또는 205-2(D)_) 상의 하나의 전압은 다른 하나의 디지털 라인 205-1(D) 또는 205-2(D)_상의 전압보다 약간 더 클 것이다. ACT 신호 및 RNL^{*} 신호는 감지 증폭기(206)를 인에이블 (예를 들어, 발사)하기 위해 로우(low)로 구동될 수 있다. 더 낮은 전압을 갖는 디지털 라인(205-1(D) 또는 205-2(D)_은 PMOS 트랜지스터(229-1 또는 229-2) 중 하나를 PMOS 트랜지스터(229-1 또는 229-2)의 다른 것보다 더 큰 정도로 턴 온할 것이고, 그렇게 함으로써 다른 디지털 라인(205-1(D) 또는 205-2(D)_보다 더 큰 정도로 더 높은 전압을 갖는 디지털 라인(205-1(D) 또는 205-2(D)_을 하이로 구동하여 하이로 구동된다.

[0092] 유사하게, 더 높은 전압을 갖는 디지털 라인(205-1(D) 또는 205-2(D)_은 NMOS 트랜지스터(227-1 또는 227-2) 중 하나를 NMOS 트랜지스터(227-1 또는 227-2) 것 보다 더 큰 정도로 턴 온 할 것이고, 그렇게 함으로써 다른 디지털 라인(205-1(D) 또는 205-2(D)_보다 더 큰 정도로 더 낮은 전압을 갖는 디지털 라인(205-1(D) 또는 205-2(D)_을 로우로 구동하여 로우로 구동된다. 결과적으로, 짧은 지연 후에, 약간 더 큰 전압을 갖는 디지털 라인 (205-1(D) 또는 205-2(D)_은 소스 트랜지스터를 통해 서플라이 전압 (V_{CC})의 전압으로 구동되고, 다른 디지털 라인(205-1(D) 또는 205-2(D)_은 싱크 트랜지스터를 통해 기준 전압 (예를 들어, 접지)의 전압으로 구동된다. 따라서, 교차 결합된 NMOS 트랜지스터(227-1 및 227-2) 및 PMOS 트랜지스터(229-1 및 229-2)는 감지 증폭기 쌍으로서 기능하여, 이는 디지털 라인(205-1(D) 및 205-2(D)_의 차동 전압을 증폭시키고 선택된 메모리 셀로부터 감지된 데이터 값을 래치하도록 동작한다.

[0093] 실시예는 도 2에 도시된 감지 증폭기(206) 구성으로 제한되지 않는다. 일 예로서, 감지 증폭기(206)는 전류 모드 감지 증폭기 및 단일 종단 감지 증폭기 (예를 들어, 하나의 디지털 라인에 결합된 감지 증폭기)일 수 있다. 또한, 본 개시의 실시예는 도 2에 도시된 것과 같은 풀딩된 디지털 라인 아키텍처로 제한되지 않는다.

[0094] 감지 증폭기(206)는 컴퓨팅 컴포넌트(231)와 함께 어레이로부터의 데이터를 입력으로서 사용하여 다양한 동작을 수행하도록 동작될 수 있다. 다수의 실시예들에서, 동작의 결과는 디지털 라인 어드레스 액세스를 통해 데이터를 전송하지 않고 (예를 들어, 데이터가 로컬 I/O 라인을 통해 감지 회로부 및 어레이로부터 외부의 회로부로 전달되도록 열 디코드 신호를 발사하지 않고) 어레이로 다시 저장될 수 있다. 이와 같이, 본 개시의 다수의 실

시에는 다양한 이전의 접근법보다 적은 전력을 사용하여 동작을 수행하고 이와 관련된 기능을 인에이블할 수 있다. 추가적으로, 다수의 실시예는 계산 기능을 수행하기 위해 (예를 들어, 메모리와 이산 프로세서 사이에서) 로컬 및 글로벌 I/O 라인을 통해 데이터를 전달할 필요가 없기 때문에, 많은 실시예는 이전 접근 방식과 비교하여 증가 (예를 들어, 더 빠른) 프로세싱 성능을 인에이블할 수 있다.

- [0095] 감지 증폭기(206)는 평형 회로부(equilibration circuitry)(214)를 더 포함할 수 있으며, 이는 디지털 라인(205-1(D) 및 205-2(D)_))을 평형화하도록 구성될 수 있다. 이 예에서, 평형 회로부(214)는 디지털 라인(205-1(D) 및 205-2(D)_)) 사이에 결합된 트랜지스터(224)를 포함한다. 평형 회로부(214)는 또한 평형 전압 (예를 들어, $V_{DD}/2$)에 결합된 제 1 소스/드레인 영역을 각각 갖는 트랜지스터(225-1 및 225-2)를 포함하며, 여기서 V_{DD} 는 어레이와 관련된 서플라이 전압이다. 트랜지스터(225-1)의 제 2 소스/드레인 영역은 디지털 라인(205-1(D))에 결합될 수 있고, 트랜지스터(225-2)의 제 2 소스/드레인 영역은 디지털 라인(205-2(D)_))에 결합될 수 있다. 트랜지스터(224, 225-1 및 225-2)의 게이트는 함께 평형 (EQ) 제어 신호 라인(226)에 결합될 수 있다. 이와 같이, EQ 활성화는 트랜지스터(224, 225-1 및 225-2)를 인에이블시키고, 이는 디지털 라인들(205-1(D) 및 205-2(D)_))을 함께 평형 전압 (예를 들어, $V_{CC}/2$)으로 효과적으로 단락시킨다.
- [0096] 비록 도 2는 평형 회로부(214)를 포함하는 감지 증폭기(206)를 도시하지만, 실시예는 이에 제한되지 않으며, 평형 회로부(214)는 감지 증폭기(206)로부터 이산적으로 구현되거나, 도 2에 도시된 것과 다른 구성으로 구현되거나, 또는 모두 구현되지 않을 수 있다.
- [0097] 아래에 더 설명되는 바와 같이, 다수의 실시예들에서, 감지 회로부(250) (예를 들어, 감지 증폭기(206) 및 컴퓨팅 컴포넌트(231))는 로컬 또는 글로벌 I/O 라인(예를 들어, 열 디코드 신호의 활성화를 통한 감지 라인 어드레스 액세스를 수행하지 않음)을 통해 감지 회로부로부터 데이터를 전송하지 않고 선택된 동작을 수행하고 초기에 결과를 감지 증폭기(206) 또는 컴퓨팅 컴포넌트(231) 중 하나에 저장하도록 동작될 수 있다.
- [0098] 그러나, 본 출원에 설명된 실시예에서, 일부 실시예에서도 2에 도시된 바와 같이 컴퓨팅 컴포넌트(231)를 포함할 수 있는 감지 증폭기(206)를 갖는 감지 회로부(250)는 또한 메모리 셀 어레이의 다중화된 열로부터의 메모리 셀을 도 4와 관련하여 논의된 바와 같이 어레이에 로컬인 복수의 공유 I/O 라인들(455)의 데이터 경로에서 컴퓨팅 유닛(460)의 컴퓨팅 컴포넌트들(431-1, ..., 431-Z) 및/또는 로직 스트라이프들(409-0, ..., 409-N-1)에 결합시킬 수 있다. 이러한 방식으로, 컴퓨팅 컴포넌트들(431-1, ..., 431-Z) 및/또는 로직 스트라이프들(409-0, ..., 409-N-1)은 선택 로직을 통해 (도 3-9와 관련하여 논의됨) 복수의 공유 I/O 라인(455)을 통해 열의 메모리 셀들에 간접적으로 결합될 수 있다.
- [0099] 연산 수행 (예를 들어, 데이터 값을 수반하는 불리언 로직 연산)은 기본적으로 일반적으로 사용된다. 불리언 로직 연산은 많은 상위 레벨 연산에서 사용된다. 결과적으로, 개선된 동작으로 실현될 수 있는 속도 및/또는 전력 효율은 고차 기능의 속도 및/또는 전력 효율로 해석될 수 있다.
- [0100] 도 2에 도시된 바와 같이, 컴퓨팅 컴포넌트(231)는 본 출원에서 2 차 래치(264)로 지칭될 수 있는 래치를 포함할 수 있다. 2차 래치 (264)는 한 쌍의 교차 결합된 p-채널 트랜지스터 (예를 들어, PMOS 트랜지스터)가 2차 래치에 포함된 것을 제외하고는 제 1 래치 (215)와 관련하여 전술한 것과 유사한 방식으로 구성되고 동작될 수 있고, 각각의 소스는 서플라이 전압 (예를 들어, V_{DD})에 연결되고, 2 차 래치의 한 쌍의 교차 결합된 n-채널 트랜지스터 (예를 들어, NMOS 트랜지스터)는 기준 전압 (예를 들어, 접지)에 선택적으로 결합된 그들의 각각의 소스를 가질 수 있어서, 2차 래치가 지속적으로 인에이블된다. 컴퓨팅 컴포넌트(231)의 구성은 도 2에 도시된 것에 제한되지 않으며, 예를 들어, 도 4의 로직 스트라이프(409-0, ..., 409-N-1)와 관련하여 설명된 컴퓨팅 컴포넌트(431-1, ..., 431-Z) 로서 사용하기 위한 다양한 다른 실시예가 실행 가능하다.
- [0101] 로직 스트라이프들(409-0, ..., 409-N-1)은 본 출원에서 설명된 인메모리 데이터 스위칭 네트워크(472)에 대응할 수 있다. 로직 스트라이프들 (예를 들어, 컴퓨팅 유닛(460)의 로직 스트라이프들 또는 서브 세트 또는 전부)은 데이터 스위칭 네트워크(472)의 레벨들 (예를 들어, (967-0, 967-1, 967-N-1)에 도시되고 도면들 도 9a 및 9b와 관련하여 설명된)에 대응할 수 있다.
- [0102] 본 출원에 설명된, 메모리 디바이스 (예를 들어, 도 1a의 120)는 데이터 버스 (예를 들어, 156) 및 제어 버스 (예를 들어, 154)를 통해 호스트 (예를 들어, 110)에 결합되도록 구성될 수 있다. 메모리 디바이스(120) 내의 뱅크(121)는 메모리 셀들의 복수의 뱅크 섹션 (도 1f에서 123-0, ..., 123-N-1)을 포함할 수 있다. 뱅크(121)는 메모리 셀의 복수의 열 (도 1b 및 도 1c)을 통해 복수의 어레이에 결합된 감지 회로부 (예를 들어, 도 1a의 (150) 및 도 2 및 3의 대응하는 도면 번호)를 포함할 수 있다. 감지 회로부는 각각의 열에 결합된 감지 증폭기

및/또는 컴퓨팅 컴포넌트 (예를 들어, 도 2에서 각각 (206 및 231))를 포함할 수 있다.

[0103] 각각의 बैं크 섹션(123)은 어레이(230)에 로컬인 복수의 공유 I/O 라인(도 1f의 155)의 데이터 경로의 컴퓨팅 유닛에 복수의 로직 스트라이프 (예를 들어, 도 1f의 (109-0, 109-1,..., 109-N-1))와 연관될 수 있다. बैं크에 결합된 제어기 (예를 들어, 도 1a 및 도 1b의 (140))는 본 출원에 설명된 데이터 값의 이동을 어레이(230)에 로컬인 공유 I/O 라인(355/455) (도 3 및 4)의 데이터 경로의 컴퓨팅 유닛(360/460) (도 3 및 4)의 로직 스트라이프(409) (도 4)내 컴퓨팅 컴포넌트(431)(도 4)에 지시하도록 구성될 수 있다.

[0104] 메모리 디바이스는 각각이 서브 행(예를 들어, 도 4의 465-1,..., 465-16)의 메모리 셀의 복수의 열의 수(도 1b 및 도 1c)에 대응할 수 있는 복수의 컴퓨팅 컴포넌트 (예를 들어, 도 4의 431-1,..., 431-Z)를 갖는 로직 스트라이프 (예를 들어, 도 1f의 (109) 및 도 4의 (409))를 포함할 수 있다. . 도 3과 관련하여 추가로 논의된 바와 같이, 감지 회로부(250)의 감지 증폭기(206) 및/또는 컴퓨팅 컴포넌트(231)의 수는 복수의 공유 I/O 라인 (355) (도 3)에 선택적으로 결합될 수 있다(예를 들어, 도 3의 열 선택 회로부(358-1 및 358-2)를 통해 다중화된). 열 선택 회로부는 복수의 (예를 들어, 다른 가능성 중에서도 4 개, 8 개 및 16 개) 감지 증폭기 및/또는 컴퓨팅 컴포넌트에 선택적으로 결합됨으로써 어레이의 특정 열의 메모리 셀에서 데이터를 선택적으로 감지하도록 구성될 수 있다.

[0105] 일부 실시예들 에서, बैं크 내의 복수의 로직 스트라이프들 (예를 들어, 도 1f에서 (109-0,..., 109-N-1))의 수는 बैं크내 बैं크 섹션들(도 1b의 (123-0,..., 123-N-1))의 수에 대응할 수 있다 (예를 들어, 복수의 서브 어레이를 갖는 사분면). 대안적으로 또는 추가로, बैं크 내의 복수의 로직 스트라이프의 수는 DRAM 어레이의 행의 복수의 서브 행의 수에 대응할 수 있다. 로직 스트라이프는 도 2에 도시된 컴퓨팅 컴포넌트들(231)과 같이 구성 및/또는 동작할 수 있는 어레이(230)에 공유 I/O 로컬(455) (도 4)의 데이터 경로의 복수의 컴퓨팅 컴포넌트(431-1,..., 431-Z) (도 4)를 포함할 수 있다. 로직 스트라이프는 복수의 스위치 노드 (966-0, 966-1,..., 966-M-1)를 더 포함할 수 있고 그에 의해 복수의 로직 스트라이프 (예를 들어, 도 1f의 (109-0,..., 109-N-1) 및/또는 도 9a 및 9b의 (967-0,..., 967-N-1))는 본 출원에서 설명된 인메모리 데이터 스위칭 네트워크로서 구성 및/또는 동작할 수 있다 (예를 들어, (172 및 472)에 도시되고 도 1a 및 4와 관련하여 본 출원의 어디 다른 곳에서 설명된). 도 3에 도시된 바와 같이, 어레이의 행 또는 서브 행으로부터 감지된 데이터 값은 복수의 공유 I/O 라인(355) (도 3)을 통해 열 선택 로직에 의해 병렬로 복수의 컴퓨팅 컴포넌트(431)(도 4) 및/또는 복수의 공유 I/O 라인(355/455) (도 3 및 4)의 데이터 경로의 컴퓨팅 유닛(360/460) (도 3 및 4)에 스위치 노드 (966) (도 9a 및 도 9b)로 이동될 수 있다. 일부 실시예들에서, 데이터의 양은 복수의 공유 I/O 라인의 1K 비트 폭에 대응할 수 있고, 이는 또한 메모리 셀의 수 및/또는 서브 행의 데이터 값에 대응할 수 있다.

[0106] 다양한 실시예에서, 연결 회로부(232-1)는 예를 들어, (217-1)에서 결합될 수 있고 연결 회로부(232-2)는 동작이 수행된 로직 스트라이프의 감지, 저장 및/또는 데이터 값의 이동을 위해 (217-1)에서 1 차 래치(215) (예를 들어, 로직 스트라이프에서의 컴퓨팅 컴포넌트(231)와 관련된 래치로서 기능 하는 감지 증폭기(206))에 결합될 수 있다. 데이터 값들은 본 출원에서 설명된 바와 같이 연결 회로부(232-1 및 232-2) (예를 들어, 공유 I/O 라인을 통한 이동 없음)를 통해 직접 (예를 들어, 비트 직렬 링크로서) 다른 로직 스트라이프의 선택된 래치, 컴퓨팅 컴포넌트(231) 및/또는 스위치 노드 (966)로 이동될 수 있다.

[0107] 비록 도 2가 1 차 래치(215)의 (217-1 및 217-2)에서 각각 연결될 연결 회로부(232-1 및 232-2)를 도시하지만, 실시예는 이에 제한되지 않는다. 예를 들어, 연결 회로부(232-1 및 232-2)는 예를 들어, 연결 회로부 (232-1 및 232-2)를 통해 다른 로직 스트라이프에서 선택된 래치 및/또는 컴퓨팅 컴포넌트(231)로 데이터 값의 이동을 위해 2 차 래치(264) (예를 들어, 컴퓨팅 컴포넌트(231))에 결합될 수 있다. 예를 들어, 이러한 연결 회로부(232-1 및 232-2)는 제 1 로직 스트라이프에 래치, 컴퓨팅 컴포넌트 및/또는 스위치 노드로부터 복수의 로직 스트라이프의(예를 들어, 도 9a 및 9b와 관련되고 본 출원에 어디 다른 곳에서 설명된) 일련의 컴퓨팅 및/또는 스위칭 동작의 수행을 위해 제 2 로직 스트라이프 (예를 들어, 인접한 로직 스트라이프)의 대응하는 래치 및/또는 컴퓨팅 컴포넌트로 데이터 값 (비트)의 캐스캐이드를 인에이블 (예를 들어, 제어기(140)에 의해 지시된 대로)할 수 있다.

[0108] 도 3은 본 개시의 다수의 실시예에 따른 어레이의 데이터 경로에서 복수의 공유 I/O 라인에 대한 회로부를 도시한 개략도이다. 도 3과 관련하여 설명된 바와 같이, 장치는 공유 I/O 라인(예를 들어, 도 3의 355)에 대한 제 1 개수의 감지 증폭기 및/또는 컴퓨팅 컴포넌트와 관련된 특정 행 (예를 들어, 도 3의 319) 및 관련된 열 어드레스를 포함하는 소스 위치로부터 데이터를 이동 (예를 들어, 복사, 전달 및/또는 전송)하도록 구성될 수 있다. 추가하여, 장치는 컴퓨팅 유닛(360) (도 3) 및/또는 공유 I/O 라인(355)(도 3)의 데이터 경로의 인메모리 데이

터 스위칭 네트워크(372)와 관련된 특정 로직 스트라이프(409) (도 4)를 포함하는 목적지 위치로 데이터를 이동시키도록 구성될 수 있다. 예를 들어, 데이터 스위칭 네트워크(372)는 일부 실시예에서 컴퓨팅 유닛(360/460)의 로직 스트라이프(409)의 일부로 구성될 수 있다. 그러나, 일부 실시예에서, 데이터 스위칭 네트워크(372)는 메모리 디바이스(예를 들어, 도 1b 내지 도 1e와 관련하여 도시되고 설명된 실시예에서)의 메모리 어레이와 관련될 수 있다 (예를 들어, 온 칩상에 그러나 분리되어 있는).

[0109] 독자가 이해할 수 있는 바와 같이, 각각의 공유 I/O 라인(355) (도 3)은 단일 라인 일 수 있거나 또는 한 쌍의 상보적인 공유 I/O 라인 (예를 들어, 도 3의 공유 I/O 라인 및 공유 I/O 라인*)을 포함할 수 있다. 일부 실시예들에서, 2K 공유 I/O 라인들 (예를 들어, 상보적인 공유 I/O 라인 쌍들)은 2K 비트 폭 공유 I/O 라인으로서 구성될 수 있다. 일부 실시예에서, 1K 공유 I/O 라인 (예를 들어, 상보적인 공유 I/O 라인 쌍)은 1K 비트 폭 공유 I/O 라인으로 구성될 수 있다.

[0110] 도 3은 개별 쌍의 상보적인 공유 I/O 라인(355)(예를 들어, 공유 I/O 라인 및 공유 I/O 라인*)에 각각 결합된 8개의 감지 증폭기 (예를 들어, 개별적으로 (306-0, 306-1, ..., 306-7)에 도시된 감지 증폭기 0, 1, ..., 7)를 도시한다. 도 3은 또한 개별 패스 게이트(307-1 및 307-2) 및 디지털 라인(305-1 및 305-2)을 통해 개별 감지 증폭기 (예를 들어, 306-0에서 감지 증폭기(0)에 대해 도시된 바와 같이)에 각각 결합된 8개의 컴퓨팅 컴포넌트 (예를 들어, (331-0, 331-1, ..., 331-7)에 도시된 컴퓨팅 컴포넌트 0, 1, ..., 7)를 도시한다. 패스 게이트는 도 2에 도시된 바와 같이 연결될 수 있고 동작 선택 신호, Pass에 의해 제어될 수 있다. 예를 들어, 선택 로직의 출력은 패스 게이트(307-1 및 307-2)의 게이트 및 디지털 라인(305-1 및 305-2)에 결합될 수 있다. 일부 실시예들에서, 감지 증폭기들 및 컴퓨팅 컴포넌트들의 대응하는 쌍들은 (350-0, 350-1, ..., 350-7)에 표시된 감지 회로부의 형성에 기여할 수 있다.

[0111] 상보적 디지털 라인(305-1 및 305-2)의 쌍 상에 존재하는 데이터 값은 도 2와 관련하여 설명된 감지 증폭기 (306-0)에 로딩될 수 있다. 일부 실시예에서, 패스 게이트(307-1 및 307-2)가 활성화되면, 한 쌍의 상보적 디지털 라인(305-1 및 305-2)의 데이터 값은 감지 증폭기로부터 컴퓨팅 컴포넌트 (예를 들어, 306-0 내지 331-0)로 전달될 수 있다. 한 쌍의 상보적 디지털 라인(305-1 및 305-2)의 데이터 값은 감지 증폭기가 발사될 때 감지 증폭기(306-0)에 의해 저장된 데이터 값일 수 있다.

[0112] 도 3의 감지 증폭기(306-0, 306-1, ..., 306-7)는 각각 도 2에 도시된 감지 증폭기(206)에 대응할 수 있다. 도 3에 도시된 컴퓨팅 컴포넌트(331-0, 331-1, ..., 331-7)는 각각 도 2에 도시된 컴퓨팅 컴포넌트(231)에 대응한다. 개별 감지 증폭기, 또는 하나의 감지 증폭기와 하나의 컴퓨팅 컴포넌트의 조합은 공유 I/O 라인(355)의 데이터 경로에서 컴퓨팅 유닛(360)의 다수의 로직 스트라이프에 의해 공유되는 공유 I/O 라인(355)에 결합된 DRAM 메모리 서브 어레이(325)의 부분의 감지 회로부(예를 들어, 350-0, 350-1, ..., 350-7)에 기여할 수 있다.

[0113] 도 3에 도시된 실시예의 구성은 명확성을 위해 도시되어 있으며, 이에 제한되지는 않는다. 예를 들어, 컴퓨팅 컴포넌트(331-0, 331-1, ..., 331-7) 및 공유 I/O 라인(355)과 결합된 감지 증폭기(306-0, 306-1, ..., 306-7)에 대하여 도 3에 도시된 구성은 메모리 셀의(미도시) 열 (322)의 위에 형성된 감지 회로부의 감지 증폭기(306-0, 306-1, ..., 306-7) 및/또는 컴퓨팅 컴포넌트(331-0, 331-1, ..., 331-7)의 조합의 절반 및 메모리 셀의 열(322) 아래에 형성된 절반으로 제한되지 않는다. 공유 I/O 라인에 결합되도록 구성된 감지 회로부를 형성하는 감지 증폭기 및/또는 컴퓨팅 컴포넌트의 이러한 조합의 수가 8개로 제한되지도 않는다. 예를 들어, 공유 I/O 라인에 결합하도록 구성된 감지 회로부를 형성하는 감지 증폭기 및/또는 컴퓨팅 컴포넌트의 수는 행 당 서브 행의 수 및/또는 로직 스트라이프 수가 16일 때 16일 수 있다. 추가하여, 공유 I/O 라인(355)의 구성은 두 세트의 상보적 디지털 라인(305-1 및 305-2) 각각을 개별적으로 결합하기 위해 2개로 분할되는 것으로 제한되지 않으며, 공유 I/O 라인(355)의 위치 설정도 감지 회로부를 형성하는 감지 증폭기 및/또는 컴퓨팅 컴포넌트의 조합의 중간에 있는 것으로 제한되지 않는다 (예를 들어, 감지 증폭기와 컴퓨팅 컴포넌트의 조합의 어느한쪽 끝에 있는 것이 아니라).

[0114] 도 3에 도시된 회로부는 또한 특정 감지 회로부(350) (예를 들어, 감지 증폭기 및/또는 그 컴퓨팅 컴포넌트), 서브 어레이(325)의 특정 열(322), 이와 관련된 상보적 디지털 라인(305-1 및 305-2), 데이터 스위칭 네트워크(372) 및/또는 공유 I/O 라인(355) (예를 들어, 도 1a-1f에 도시된 제어기(140)에 의해 지시된)에 대해 다중화함으로써 데이터 이동 동작을 구현하도록 구성된 열 선택 회로부(358-1 및 358-2)를 도시한다. 예를 들어, 열 선택 회로부(358-1)는 예컨대, 열 0(332-0), 열 2, 열 4 및 열 6과 같은 대응하는 열과 결합하도록 구성된 선택 라인 0, 2, 4 및 6을 갖는다. 선택 회로부(358-2)는 예컨대, 열 1, 열 3, 열 5 및 열 7과 같은 대응하는 열과

결합하도록 구성된 선택 라인 1, 3, 5 및 7을 갖는다. 도 3과 관련하여 설명된 열 선택 회로부(358)는 다양한 실시예들에서, 다중화기 (예를 들어, 8 웨이(way) 다중화기, 16 웨이 다중화기 등)에 의해 구현되고 그에 함유된 기능의 적어도 일부를 나타낼 수 있다.

[0115] 제어기(140)는 열 선택 회로부(358)에 결합되어 감지 증폭기, 컴퓨팅 컴포넌트들에 의해 저장된, 및/또는 한 쌍의 상보적 디지털 라인 (예를 들어, 선택 트랜지스터들(359-1 및 259-2)가 선택 라인 0으로부터의 신호를 통해 활성화된 때의 (305-1 및 305-2)상에 존재하는 데이터 값에 액세스하기 위해 선택 라인들(예를 들어, 선택 라인 0)를 제어한다. 선택 트랜지스터(359-1 및 359-2)(예를 들어, 제어기(140)에 의해 지시되는)를 활성화시키는 것은 감지 증폭기(306-0), 컴퓨팅 컴포넌트(331-0) 및/또는 열 0(322-0)의 상보적 디지털 라인(305-1 및 305-2)의 결합을 가능하게 하여 디지털 라인 0 및 디지털 라인 0* 상의 데이터 값을 공유된 I/O 라인(355)로 이동시킨다. 예를 들어, 이동된 데이터 값은 감지 증폭기(306-0 및/또는 컴퓨팅 컴포넌트(331-0)에 저장 (캐시)된 특정 행(319)으로부터의 데이터 값일 수 있다. 열 0 내지 7 각각의 데이터 값은 적절한 선택 트랜지스터를 활성화하는 제어기(140)에 의해 유사하게 선택될 수 있다.

[0116] 또한, 선택 트랜지스터 (예를 들어, 선택 트랜지스터(359-1 및 359-2))를 인에이블하는 것은 (예를 들어, 활성화) 특정 감지 증폭기 및/또는 컴퓨팅 컴포넌트 (예를 들어, 각각 306-0 및/또는 331-0) 및/또는 공유 I/O 라인(355)과 결합될 열 0(322-0)의 상보적 디지털 라인(305-1 및 305-2)를 인에이블할 수 있어서 데이터 값이 공유 I/O 라인(355)로 동 (예를 들어, 배치 및/또는 전달)될 수 있다. 일부 실시예에서, 한 번에 하나의 열 (예를 들어, 열 322-0)이 특정 공유 I/O 라인(355)에 결합되어 저장된 데이터 값들을 이동(예를 들어, 복사, 전달, 및/또는 전송)시킨다. 도 3의 예시적인 구성에서, 공유 I/O 라인(355)은 공유, 차동 I/O 라인 쌍 (예를 들어, 공유 I/O 라인 및 공유 I/O 라인*)으로 예시된다. 따라서, 열 0(322-0)의 선택은 행의 서브 행 (예를 들어, 행 319)으로부터 및/또는 상보적 디지털 라인(305-1 및 305-2)과 관련된 감지 폭기 및/또는 컴퓨팅 컴포넌트에 의해 저장된 2 개의 데이터 값 (예를 들어, 0 및/또는 1의 값을 갖는 2 개의 비트)을 획득할 수 있다. 이들 데이터 값은 공유 차동 I/O 라인(355)의 각각의 공유 차동 I/O 쌍 (예를 들어, 공유 I/O 및 공유 I/O*)에 병렬로 입력될 수 있다.

[0117] 도 4는 본 개시의 다수의 실시예들에 따라 어레이(130)에 로컬인 데이터 경로의 복수의 공유 I/O 라인(455)에 의해 복수의 로직 스트라이프(409-0, ..., 409-N-1)를 갖는 컴퓨팅 유닛(460)에 결합된 어레이(130) (도 1a)의뱅크 섹션(423)을 도시하는 블록도이다.

[0118] 본 출원에 사용된 서수는 컴포넌트들 사이의 특정 순서화 및/또는 관계를 나타내기 위해 사용되지 않을 수 있다. 예를 들어, 공유 I/O 라인을 통해 메모리 어레이의 제 1 행의 제 1 서브 행으로부터 제 1 로직 스트라이프의 제 1 컴퓨팅 컴포넌트로의 제 1 데이터 값의 이동은 특정 행의 서브 행 (이는 반드시 아니지만, 일련의 서브 행의 제 1 서브 행일 수 있음)으로부터의 특정 데이터 값이 특정 로직 스트라이프(각각 반드시 아니지만 일련의 컴퓨팅 컴포넌트 및/또는 로직 스트라이프에서 첫 번째)의 특정 컴퓨팅 컴포넌트로 이동될 수 있다는 것을 나타내는 것으로 의도된다. 유사하게, 제 1 행의 제 2 서브 행으로부터의 제 2 데이터 값의 이동 (앞에서 언급된 제 1 서브 행에 인접한 다음 서브 행일 수 있지만 반드시 아니지만 서브 행 시퀀스의 제 2 서브 행일 수 있음)은 동일한 행의 제 2 서브 행으로부터의 특정 데이터 값이 상이한 로직 스트라이프의 특정 컴퓨팅 컴포넌트로 이동될 수 있다는 것을 나타내도록 의도된다. 예를 들어, 제 2 데이터 값이 제 2 로직 스트라이프의 제 2 컴퓨팅 컴포넌트로 이동되는 것의 언급은 제 2 데이터 값을 제 1의 이러한 컴포넌트로 지칭된 것과 상이한 컴퓨팅 컴포넌트 및/또는 로직 스트라이프와 연관시키기 위해 사용된다. 이와 같이, 제 2 컴퓨팅 컴포넌트는 반드시 아니지만 제 2 로직 스트라이프의 일련의 컴퓨팅 컴포넌트의 제 1 컴퓨팅 컴포넌트일 수 있지만, 및/또는 제 2 로직 스트라이프는 반드시 아니지만, 일련의 로직 스트라이프의 제 2 로직 스트라이프일 수 있다.

[0119] 유사하게, 본 출원에 설명된, 제 1 동작 사이클에서, 제 1 로직 스트라이프의 복수의 대응하는 제 1 컴퓨팅 컴포넌트의 수로의 제 1 서브 행의 복수의 데이터 값의 수의 제 1 병렬 이동 (예를 들어, 공유 I/O 라인을 통한)을 지시하도록 구성된 제어기는 제어기가 제 1 로직 스트라이프의 동일한 수의 컴퓨팅 컴포넌트에 제 1 서브 행의 복수의 데이터 값에 대응하는 특정 수의 이동의 특정 동작 사이클 (예를 들어, 약 2 내지 60 나노초 (ns)의 시간 프레임)에서 수행을 지시할 수 있음을 나타내는 것으로 의도된다. 제 2 동작 사이클에서, 제 2 로직 스트라이프의 복수의 대응하는 제 2 컴퓨팅 컴포넌트의 수로 제 2 서브 행의 복수의 데이터 값의 수의 제 2 병렬 이동을 지시하도록 구성된 제어기는 제 2 동작 사이클에서 (반드시 아니지만 다음의 예를 들어, 2-60 ns 시간 프레임에 인접한), 제어기는 제 2 로직 스트라이프의 동일한 수의 컴퓨팅 컴포넌트에 대한 제 2 서브 행의 복수의 데이터 값에 대응하는 특정 수의 이동 수행을 지시할 수 있다는 것을 표시하는 것으로 의도된다. 제 2 로직

스트라이프의 제 2 서브 행 및/또는 제 2 컴퓨팅 컴포넌트의 복수의 데이터 값의 특정 수는 반드시는 아니지만, 제 1 로직 스트라이프의 제 1 서브 행 및/또는 제 1 컴퓨팅 컴포넌트의 데이터 값의 개수와 동일할 수 있다.

[0120] 본 출원에 설명된 바와 같이, 복수의 공유 I/O 라인(455)은 각 어레이에 결합된 선택 로직을 통해 메모리 셀의 복수의 서브 어레이, बैं크 섹션, 사분면, 행, 서브 행 및/또는 특정 열에 의해 선택적으로 공유될 수 있다. 예를 들어, 다수의 열 (예를 들어, 전체 수의 열의 열 서브 세트, 8, 16 등)의 각각의 선택 가능한 개수의 서브 세트를 다중화하기 위한 감지 증포기 및 선택 로직을 포함하는 감지 회로부(150) 및/또는 추가 래치(170)는 복수의 공유 I/O 라인(455)의 데이터 경로에서 컴퓨팅 유닛(460)의 복수의 컴퓨팅 컴포넌트들(431-1, ..., 431-Z) 및/또는 로직 스트라이프들(409-0, ..., 409-N-1)로 이동될 데이터 값을 위하여 복수의 공유 I/O 라인들(455) 각각에 선택적으로 결합될 수 있다. 일부 실시예에서, 복수의 공유 I/O 라인(455)의 각각에 선택적으로 결합된 복수의 컴퓨팅 컴포넌트(431-1, ..., 431-Z)는 복수의 공유 I/O 라인 (예를 들어, 1K, 2K 등)에 선택적으로 결합된 열의 수에 대응할 수 있다.

[0121] 복수의 공유 I/O 라인(455)은 감지 회로부를 통해 어레이의 행의 제 1 서브 행을 데이터 경로의 제 1 컴퓨팅 컴포넌트(431) 및/또는 스위치 노드(966) (예를 들어, 도 9a 및 도 9b와 관련하여 설명된 각각의 스위치 노드(966)의 다수의 래치(970) 및/또는 스위치(963))에 선택적으로 결합하여 제 1 데이터 값을 제 1 서브 행으로부터 제 1 컴퓨팅 컴포넌트(431) 및/또는 스위치 노드(966)로 이동시킬 수 있다. 본 출원에서 사용되는 "서브 행"은 미리 결정된 수의 데이터 값을 저장하는 어레이의 행의 메모리 셀의 미리 결정된 서브 세트를 의미하도록 의도된다. 예를 들어, 행의 하나의 서브 행은 16,384(16K) 메모리 셀을 갖는 행의 미리 결정된 1024(1K) 메모리 셀일 수 있으며, 그에 따라 행의 16 서브 행을 초래할 수 있다 (예를 들어, (465-1, 465-2, ..., 465-16)에 도시되고 도 4 및 본 출원의 어디 다른 곳과 관련하여 설명된). 복수의 공유 I/O 라인은 감지 회로부를 통해 개별 행의 제 2 서브 행을 데이터 경로의 제 2 컴퓨팅 컴포넌트 및/또는 스위치 노드에 선택적으로 결합하여 제 2 데이터 값을 제 2 서브 행으로부터 제 2 컴퓨팅 컴포넌트 및/또는 스위치 노드로 이동시킨다. 동작은 제 1 컴퓨팅 컴포넌트 및/또는 스위치 노드를 사용하여 제 1 서브 행으로부터의 제 1 데이터 값에 대해 실질적으로 동시에 제 2 서브 행으로부터 제 2 컴퓨팅 컴포넌트 및/또는 스위치 노드로 제 2 데이터 값의 이동에 수행될 수 있다 (예를 들어, 제어기에 의해 지시된)

[0122] 일부 실시예들에서, 컴퓨팅 컴포넌트 및/또는 스위치 노드는 데이터의 공유 I/O 라인과 관련된 로직 스트라이프에 있을 수 있다 (예를 들어, (409-0, 409-1, ..., 409-N-1)에 도시되고 도 4 및 본 출원의 어디 다른 곳에서 설명된). 어레이는 어레이에 로컬인 데이터 경로에 대한 복수의 공유 I/O 라인을 가질 수 있고, 각각의 로직 스트라이프는 복수의 컴퓨팅 컴포넌트 (예를 들어, (431-1, 431-2, ..., 431-Z)에 도시되고 도 4 및 본 출원의 어디 다른 곳과 관련하여 설명된) 및/또는 복수의 스위치 노드 (예를 들어, (966-0, 966-1, ..., 966-M-1)에 도시되고 도 9a 및 9b 및 본 출원의 어디 다른 곳에서 설명된)를 가질 수 있다. 복수의 컴퓨팅 컴포넌트들 및/또는 스위치 노드들 각각은 데이터 경로의 복수의 공유 I/O 라인들 중 적어도 하나와 연관될 수 있다. 일부 실시예들에서, 복수의 컴퓨팅 컴포넌트들 및/또는 스위치 노드들 각각 중 하나는 데이터 경로의 복수의 공유 I/O 라인들 중 특정 하나와 연관될 수 있다.

[0123] 다양한 실시예들에서, 복수의 컴퓨팅 컴포넌트들 및/또는 스위치 노드들 각각은 데이터 경로의 복수의 공유 I/O 라인들 중 다른 하나로 시프트될 수 있다. 예를 들어, 다수의 행(예를 들어, (319)에 도시되고 도 3과 관련하여 본 출원의 어디 다른 곳에서 설명된) 메모리 셀 (예를 들어, 다른 가능한 구성 중에서 16,384 개의 열 및/또는 메모리 셀) 및/또는 열은 다중화되어 예를 들어, 16 개의 서브 행은 복수의 열 및/또는 행 내의 메모리 셀들(도 4에 도시된 각각 1024 개의 인접한 열들 및/또는 메모리 셀들을 갖는 16 개의 서브 행들)에 연결한 복수의 공유 I/O 라인 (예를 들어, 1024 개의 개별 공유 I/O 라인)을 통한 데이터 값의 커플링 및 병렬 이동을 선택함으로써 획득되어 연결한 메모리 셀들 (예를 들어, 1024 데이터 값들)로부터의 데이터 값들이 병렬로 이동될 수 있다. 대안적으로 또는 추가로, 다수의 행의 메모리 셀 및/또는 열은 다중화될 수 있으며, 예를 들어, 16 개의 서브 행은 공유 I/O를 통해 매 16 번째 메모리 셀 (예를 들어, 1024 개의 데이터 값)로부터의 데이터 값이 병렬로 이동될 수 있도록 매 16 번째 열 및/또는 행의 메모리 셀의 데이터 값의 커플링 및 병렬 이동을 선택함으로써 획득될 수 있다. 일부 실시예들에서, 어레이는 DRAM 어레이일 수 있고, 선택된 메모리 셀들에서 데이터 값들을 감지 및/또는 증폭하기 위해 사용되는 감지 회로부는 감지 증폭기 및/또는 컴퓨팅 컴포넌트를 포함할 수 있다.

[0124] 메모리 디바이스(120)는 제어기 (예를 들어, (140)에 도시되고 도 1a 내지 도 1f와 관련되고 본 출원의 어디 다른 곳에서 설명된)를 포함한다. 다른 기능들 중에서, 제어기(140)는 어레이의 메모리 셀의 행 (예를 들어, 선택된 서브 행)으로부터 데이터 경로의 복수의 공유 I/O 라인 중 하나와 연관된 컴퓨팅 컴포넌트 및/또는 스위치

노드로 데이터 값의 이동을 지시하도록 구성될 수 있다.

[0125]

본 개시는 본 출원에서 설명도니 데이터 경로 계산 동작 (예를 들어, AND, OR, 리프레쉬, 행 복사, 시프트, 더하기, 곱하기 등과 같은 PIM 동작) 및 메모리 셀들에 의해 저장된 값들 (예를 들어, 본 출원에 설명된 컴퓨팅 컴포넌트 및/또는 스위치 노드들 로 이동될 때)에 수행될 스위칭 동작 실질적으로 동시에 예를 들어, 동일한 서브 어레이(예를 들어, 다른 유형의 메모리 어레이 중에서 DRAM 어레이에서)의 동일한 행 및/또는 동일한 행에 동일한 서브 어레이, 동일한 행으로부터 데이터 값들에 대한 관독 및/또는 기록 동작들의 수행의 인에이블을 설명한다. . 예를 들어, 이동 동작은 예를 들어, 본 출원에 설명된 바와 같이, 제어기 및/또는 호스트에 의해 지시된 데이터 경로에서 (예를 들어, 선택된 로직 스트라이프로) 컴퓨팅 컴포넌트 및/또는 스위치 노드로 앞에서 이동된 동일한 데이터 값들에 대한 로직 연산들의 수행과 실질적으로 동시에 서브 어레이의 행에서 메모리 셀들의 서브 행에 저장된 데이터 값들에 대해 수행될 수 있다.

[0126]

따라서, 서브 행이 어레이에서 감지되도록 활성화될 때, 서브 행의 메모리 셀에 의해 저장된 복수의 데이터 값 (예를 들어, 전체 서브 행에 대한 데이터 값)은 어레이와 관련된 데이터 경로에 대응하는 복수의 컴퓨팅 컴포넌트 및/또는 스위치 노드 (예를 들어, 각각이 (460)에 도시되고 도 4와 관련하여 본 출원의 어디 다른 곳에서 설명된 컴퓨팅 유닛에 로직 스트라이프(409)의 적어도 일부를 형성함)로 이동 (예를 들어, 복사, 전달 및/또는 전송)될 수 있다. 복수의 공유 I/O 라인은 데이터 값을 데이터 경로 의 복수의 컴퓨팅 컴포넌트 및/또는 스위치 노드에 결합한다. 일부 실시예들 에서, 컴퓨팅 유닛에서의 다수의 로직 스트라이프들의 복수의 컴퓨팅 컴포넌트 들 및/또는 스위치 노드들은 어레이의 행의 각각의 행 섹션과 연관될 수 있다. 공유 I/O와 관련된 컴퓨팅 컴포넌트 및/또는 스위치 노드는 어레이에 로컬인 공유 I/O의 데이터 경로에 결합하도록 구성될 수 있다(예를 들어, 본 출원에 설명된 바와 같이 직접 또는 간접적으로 연결). 일부 실시예에서, 컴퓨팅 컴포넌트(431), 스위치 노드(966), 로직 스트라이프(409), 및/또는 컴퓨팅 유닛(460)은 와 추가로 결합될 수 있다 메모리 디바이스에 있지 않는 호스트(110)에 연결된 데이터 버스 및/또는 메모리 디바이스의 어레이 상의 다른 행에 어레이의 행을 연결하는 데이터 버스에 추가로 결합될 수 있다.

[0127]

본 개시는, 일부 실시예들에서, 행이 감지될 때, 행의 데이터 값들 (예를 들어, 행의 모든 16,384(16K) 메모리 셀들로부터의 데이터 값들)은 래치 컴포넌트 (예를 들어, 감지 증폭기)에 저장되도록 (예를 들어, 캐시됨) 이동되어 어레이에 로컬인 공유 I/O의 데이터 경로에서 컴퓨팅 유닛의 로직 스트라이프로 공유 I/O 라인상에서 추가로 이동될 수 있다. 일부 실시예들에서, 2048(2K) 공유 I/O 라인들은 2K 비트 폭 공유 I/O 라인으로서 구성될 수 있다. 일부 실시예들에 따라, 소스 위치의 제 1 행으로부터 목적지 위치의 제 2 행으로 데이터를 이동시키기 위한 다수의 사이클은 어레이의 메모리 셀의 행에 의해 교차되는 어레이의 열의 수를 복수의 공유 I/O 라인의 2K 비트 폭으로 분할함으로써 결정될 수 있다. 예를 들어, 어레이 (예를 들어, 행, 행 섹션 또는 그 서브 어레이)는 16K 열을 가질 수 있으며, 이는 행의 16K 데이터 값에 대응할 수 있고, 이는 행을 교차하는 복수의 공유 I/O의 2K 비트 폭으로 나눈 경우 8 사이클을 수득할 수 있고, 각각의 개별 사이클은 행의 데이터의 각각의 2K 비트 분수의 이동에 대해 실질적으로 동일한 시점 (예를 들어, 병렬)에 있어서 행의 모든 16K 데이터 비트가 8사이클 완료 후 이동된다. 예를 들어, 소스 위치의 감지 회로부(350)에서 감지 증폭기(306) 또는 컴퓨팅 컴포넌트(331)의 복수 (예를 들어, 도 3에 도시된 8의 서브 세트) 중 하나만이 한번에 개별 공유 I/O 라인 (355)에 결합될 수 있다. 16K 공유 I/O 라인을 갖는 실시예에서, 모든 16K 데이터 비트는 병렬로 이동될 수 있다.

[0128]

일 예에서, 2K 데이터 값은 8 웨이 다중화기에 의해 16K 열(예를 들어, 디지털 라인 쌍)의 2K 감지 증폭기로부터 2K 공유 I/O 라인을 통해 컴퓨팅 유닛의 각각의 로직 스트라이프 (예를 들어, 2K 컴퓨팅 컴포넌트 및/또는 스위치 노드를 갖는 각각의 로직 스트라이프)에 2K 컴퓨팅 컴포넌트 및/또는 스위치 노드 (예를 들어, 총 2K 비트를 저장 및/또는 프로세싱하기 위해)로 한 번에 (예를 들어, 병렬로) 다중화될 수 있다. 일부 실시예들에서, 컴퓨팅 유닛은 로직 스트라이프 당 2K 데이터 값을 저장하기 위해 8 개의 로직 스트라이프를 가질 수 있어서, 2K 공유 I/O 라인에 의해 8 사이클로 이동된 컴퓨팅 유닛 당 16K 데이터 값을 저장할 수 있다. 다른 예에서, 1K 데이터 값은 16K 열의 1K 감지 증폭기로부터 1K 공유 I/O 라인을 통해 컴퓨팅 유닛의 로직 스트라이프 (예를 들어, 각각의 로직 스트라이프는 1K 컴퓨팅 컴포넌트를 가짐)에 1K 컴퓨팅 컴포넌트 및/또는 스위치 노드 (예를 들어, 총 1K 비트를 저장 및/또는 프로세싱 하기 위해)로 16 웨이 다중화기에 의해 한번에 다중화될 수 있다. 일부 실시예에서, 컴퓨팅 유닛 (예를 들어, (460)에 도시되고 도 4와 관련하여 설명된)은 로직 스트라이프 당 1K 데이터 값을 저장하기 위해 열 여섯(16) 개의 로직 스트라이프를 가질 수 있어서, 1K 공유 I/O 라인에 의해 16 사이클로 이동되어진 컴퓨팅 유닛 당 16K 데이터 값을 저장할 수 있다. 예를 들어, 16 개의 로직 스트라이프 각각 (예를 들어, (409-0, 409-1, ..., 409-N-1)에 도시되고 도 4와 관련하여 설명된) 및 각 로직 스트라이프의

1K 컴퓨팅 컴포넌트 및/또는 스위치 노드는 1K 데이터 값이 개별 1K 공유 I/O 라인을 통해 이동된 서브 행 (예를 들어, (465-1, 465-2, ..., 465-16)에 도시되고 도 4와 관련하여 설명된)에 대응할 수 있다.

[0129] 이와 같이, 데이터 값이 이동된 बैं크, 서브 어레이, 행 및/또는 서브 행내의 메모리 셀은 그 안에 저장된 다른 데이터 값에 대한 계산 및/또는 스위칭 동작을 수행하기 위해 이용될 수 있다 (예를 들어, 어레이에 로컬인 공유 I/O의 데이터 경로에서 컴퓨팅 유닛의 로직 스트라이프로 이동된 원래 데이터 값을 가짐으로써). 다양한 실시예들에서, 각각의 로직 스트라이프는 컴퓨팅 컴포넌트 및/또는 스위치 노드와 관련된 래치에 의해 저장된 데이터 값에 대한 다수의 동작 (예를 들어, 로직 및/또는 스위칭 동작)의 수행을 인에이블 하기 위해 다른 बैं크, 서브 어레이, 행 및/또는 서브 행으로부터 이동된 복수의 데이터 값들을 저장하기 위해 컴퓨팅 컴포넌트들 및/또는 스위치 노드들의 수에 대응하는 (예를 들어, 동일 또는 정수배의) 복수의 래치들의 수를 포함할 수 있다.

[0130] 데이터 경로 계산 동작을 위한 DRAM 아키텍처의 구현은 래치 및 스위치 레벨에서의 스위칭 동작 및/또는 감지 증폭기 및 컴퓨팅 컴포넌트 레벨 (예를 들어, 로직 스트라이프)에서의 프로세싱을 수행할 수 있다. 데이터 경로 계산 및/또는 스위칭 동작을 위한 DRAM 아키텍처의 구현은 한정된 수의 메모리 셀만이 공유 I/O 라인의 데이터 경로에서 로직 스트라이프의 컴퓨팅 컴포넌트에 연결되도록 할 수 있다 (예를 들어, 위의 일 예에서 주어진 1K 메모리 셀). 어레이는 약 8K 내지 약 16K 열 (디지털 라인들의 쌍) 및 관련 감지 증폭기를 포함할 수 있다. 일부 실시예에서, 예를 들어 도 4에 도시된 바와 같이, 어레이의 बैं크 섹션(423)은 4 개의 사분면으로 분할될 수 있고, 각각의 사분면은 복수의 서브 어레이 (예를 들어, 32 개의 서브 어레이)를 가질 수 있다. 각각의 서브 어레이는 복수의 행 (예를 들어, 512 개의 행)을 가질 수 있고 16K 열에 결합될 수 있다. 본 출원에 설명된 바와 같이, 각각의 행은 각각 1K 메모리 셀을 갖는 16 개의 서브 행을 포함할 수 있다 (예를 들어, 메모리 셀이 다중화에 의해 결정된 감지 회로부를 통해 특정 공유 I/O 라인에 결합된 1K를 구성하는 선택). 그러나, 실시예는 이 예시적인 예에 제한되지 않는다.

[0131] 일부 실시예들에서, 컴퓨팅 유닛의 일부로서 복수의 로직 스트라이프들이 각각의 사분면과 연관될 수 있다. 예를 들어, 공유 I/O 라인의 데이터 경로에서 컴퓨팅 유닛의 각 로직 스트라이프는 बैं크의 각 사분면의 서브 어레이와 연관될 수 있다. 따라서, 위의 예에서, 어레이에 로컬 공유 I/O 라인의 데이터 경로의 컴퓨팅 유닛은 128 개의 로직 스트라이프(4 개의 사분면, 사분면 당 32 개의 서브 어레이 각각에 대한 하나의 로직 스트라이프)를 가질 수 있다. 그러나, 실시예는 이 예시적인 예에 제한되지 않는다. 일부 실시예들에서, 메모리 बैं크 (예를 들어, DRAM 어레이 내의 메모리 셀들의 बैं크)는 약 1 기가비트의 메모리를 제공하기 위해 64K 행 x 16K 열의 DRAM을 포함할 수 있다.

[0132] 본 개시는 어레이와 관련된 감지 회로부로부터 이동된 (예를 들어, 복사, 전달 및/또는 전송된) 데이터 값들을 저장 (캐시)하기 위한 감지 증폭기로서 기능하는 복수의 래치를 포함할 수 있는 어레이에 로컬인 공유 I/O 라인의 데이터 경로의 컴퓨팅 컴포넌트 및/또는 스위치 노드를 설명한다. 컴퓨팅 컴포넌트들 및/또는 스위치 노드들은 어레이에 로컬인 복수의 공유 I/O 라인의 데이터 경로의 컴퓨팅 유닛의 복수의 로직 스트라이프에 있을 수 있어서, 복수의 로직 스트라이프는 컴퓨팅 컴포넌트 및/또는 스위치 노드의 전체 수의 서브 세트들 각각 포함한다. 로직 스트라이프들(409-0, ..., 409-N-1)(예를 들어, 개별적으로 도면들 4 및 9a 및 9b와 관련하여 도시되고 설명된)의 컴퓨팅 컴포넌트들(431-1, ..., 431-Z 및/또는 스위치 노드들(966-0, ..., 966-M-1)은 어레이의 बैं크 (121-1)에 로컬인 복수의 공유 I/O 라인(455)의 데이터 경로의 피치와 동일한 피치를 가질 수 있다. 일부 실시예에서, 복수의 공유 I/O 라인(455)의 데이터 경로의 피치는 메모리 셀 어레이의 디지털 라인의 피치의 함수일 수 있다 (예를 들어, 도 2에 (205-1 및 205-2)에 그리고 도 3에 (305-1 및 305-2)에 도시됨). 컴퓨팅 컴포넌트, 스위치 노드 및/또는 로직 스트라이프는 감지 회로부(150) (예를 들어, 감지 회로부의 감지 증폭기 (206)) 및/또는 도 1f에 도시된 추가 래치(170)에 의해 복수의 공유 I/O 라인(455)의 데이터 경로에 결합될 수 있다.

[0133] 이와 같이, 데이터 경로에서의 계산 동작들에 대한 아키텍처는 행의 서브 행에 저장된 데이터 값을 어레이에 로컬인 복수의 공유 I/O 라인의 데이터 경로에서의 컴퓨팅 컴포넌트, 스위치 노드, 및/또는 로직 스트라이프로 이동 (예를 들어, 복사, 전달, 및/또는 반송) 가능하게 할 수 있다. 일부 실시예에서, 도 2에 도시된 바와 같이 컴퓨팅 컴포넌트를 포함할 수 있는 감지 증폭기를 갖는 감지 회로부(150)는 어레이의 메모리 셀의 다중화된 열로부터의 메모리 셀들을 복수의 공유된 I/O 라인들 (455)의 데이터 경로의 컴퓨팅 유닛의 컴퓨팅 컴포넌트, 스위치 노드 및/또는 로직 스트라이프에 결합할 수 있다. 이러한 방식으로, 컴퓨팅 컴포넌트들, 스위치 노드들 및/또는 로직 스트라이프들은 복수의 공유 I/O 라인들(455)를 통해 다중화기 (예를 들어, (358)에 도시되고 도 3과 관련하여 설명된) 및 관련 선택 로직(도 3-9와 관련하여 논의된)로서 열 선택 회로부 동작을 통해 열의 메

모리 셀들에 간접적으로 결합될 수 있다.

[0134] 메모리 어레이 아키텍처는 방금 기술된 것 외에도 많은 이점을 제공할 수 있다. 예를 들어, 다른 동작의 수행 (예를 들어, DDR4 I/O 동작의 수행)과 병행하여 메모리 셀에 의해 저장된 데이터에 대해 로직 연산 및/또는 스위칭 동작을 인에이블함으로써 전체 프로세싱 속도가 증가될 수 있다. 예를 들어, 로직 연산 및/또는 스위칭 동작은 컴퓨팅 컴포넌트 (431-1, ..., 431-Z), 스위치 노드 (966-0, ..., 966-M-1) 및/또는 어레이에 로컬 공유 I/O 라인(455)의 데이터 경로의 로직 스트라이프(409-0, ..., 409-N-1)를 갖는 복수의 컴퓨팅 유닛에서 수행될 수 있다. 제한이 아닌 예시의 방식으로, 데이터 값들이 복수의 컴퓨팅 컴포넌트들, 스위치 노드들 및/또는 어레이의 서브 행들로부터 컴퓨팅 유닛의 로직 스트라이프들에 로딩되면, 계산 동작들은 60 ns의 어레이의 행들에서 행들을 발사하는데 요구되는 예시적인 시간과 비교하여, 데이터 값들을 행들로 다시 이동시킬 필요없이 2ns의 속도로 컴퓨팅 유닛에서 제어될 수 있다. 이러한 방식으로, 컴퓨팅 컴포넌트, 스위치 노드 및/또는 로직 스트라이프 (관련 래치와 함께)는 특정 기능 (예를 들어, AND, OR, NOR, XOR, 더하기, 빼기, 곱하기, 나누기, 스위칭 동작들)의 수행을 위한 이동된 데이터 값들의 저장을 제공할 수 있고 동시에 서브 행의 원래 데이터 값은 행에 다시 저장하거나 다른 곳에 저장하거나 덮어 쓸 수 있다. 도 5 및 도 6과 관련하여 더 논의된 바와 같이, 복수의 공유 I/O 라인의 데이터 경로에서 컴퓨팅 유닛에서의 컴퓨팅 컴포넌트, 스위치 노드 및/또는 로직 스트라이프의 동작은 뱅크 (121)의 제어기(140)에 의해 지시될 수 있다.

[0135] 도 4의 실시예에서, 뱅크 섹션(423)(예를 들어, 복수의 뱅크 사분면을 갖는)은 사분면 당 복수의 서브 어레이 (425-1, ..., 425-32)를 갖는 것으로 도시된다. 도 4에서, 32 개의 서브 어레이가 뱅크 사분면 1에 도시된다. 그러나 실시예는 이 예에 한정되지 않는다. 이 예는 16K 열을 갖는 뱅크 섹션(423)을 도시되는데, 이는 공유 I/O 라인(455)에 대한 행당 16 개의 서브 행(465-1, ..., 465-16)으로 (예를 들어, (358-1 및 358-2)에 도시되고 도 3과 관련하여 설명된 열 선택 회로부를 통해) 다중화될 수 있다. 일부 실시예에서, 매 16 번째 열마다, 및 결합된 메모리 셀은 병렬로 1K 비트의 그룹으로서 컴퓨팅 유닛(460)에 서브 행으로서 이동될 수 있는 데이터 값을 제공할 수 있다. 대안적으로 또는 추가로, 연결된 1K 열들 및 결합된 메모리 셀들은 병렬로 1K 비트의 그룹으로서 컴퓨팅 유닛(460)에 대한 서브 행으로서 이동될 수 있는 1K 데이터 값들을 제공할 수 있다. 다른 잠재적 실시예 중 각각의 실시예에서, 1K 비트의 그룹은 공유 I/O 라인(455)을 통해 16 개의 지정된 로직 스트라이프 (409-0, ..., 409-N-1)의 1K 지정된 컴퓨팅 컴포넌트(431-1, ..., 431-Z) 및/또는 스위치 노드(966-0, ..., 966-M-1)로 16 사이클내에서 순차적으로 이동될 수 있다.

[0136] 예를 들어, 일련의 제 1 서브 행(465-1)에서 제 1 감지 증폭기 및/또는 메모리 셀로부터의 비트는 제 1 컴퓨팅 컴포넌트(431-1) 및/또는 제 1 스위치 노드(966-0) 또는 제 1 로직 스트라이프(409-0)의 컴퓨팅 컴포넌트의 시퀀스에서 연관된 래치에 의해 저장하도록 (예를 들어, 제어기(140)에 의해) 지시될 수 있다. 일련의 제 1 서브 행(465-1)에서 제 2 감지 증폭기 및/또는 메모리 셀로부터의 비트는 제 2 컴퓨팅 컴포넌트(431-2) 및/또는 제 2 스위치 노드(966-1) 또는 제 1 로직 스트라이프(409-0)의 컴퓨팅 컴포넌트 및/또는 스위치 노드들의 시퀀스에서 연관된 래치에 의해 저장하도록 지시될 수 있다. 더구나, 일련의 제 2 서브 행(465-2)에서 제 1 감지 증폭기 및/또는 메모리 셀로부터의 비트는 제 1 컴퓨팅 컴포넌트(431-1) 및/또는 제 1 스위치 노드(966-0) 또는 제 2 로직 스트라이프(409-1)의 컴퓨팅 컴포넌트의 시퀀스에서 연관된 래치에 의해 저장하도록 지시될 수 있다. 일련의 제 2 서브 행(465-2)에서 제 2 감지 증폭기 및/또는 메모리 셀로부터의 비트는 제 2 컴퓨팅 컴포넌트 및/또는 제 2 스위치 노드 또는 제 2 로직 스트라이프(409-1)의 컴퓨팅 컴포넌트의 시퀀스에서 연관된 래치에 의해 저장하도록 지시될 수 있다. 행당 서브 행(465-2 465-1, ..., 465-16)의 시퀀스에서 각각의 감지 증폭기 및/또는 메모리 셀에 대응하는 비트는 대응하는 컴퓨팅 컴포넌트 및/또는 스위치 노드, 또는 로직 스트라이프(409-0, ..., 409-N-1)의 시퀀스의 시퀀스에 연관된 래치에 의해 저장되도록 유사하게 지정될 수 있다 (예를 들어, 서브 행(465-1)으로부터의 데이터 값은 로직 스트라이프(409-0)로 이동되고, 서브 행(465-2)으로부터의 데이터 값은 로직 스트라이프(409-1)로 이동됨). 이동은 공유 I/O 라인(455)을 통해 지정된 로직 스트라이프로 향할 수 있으며, 이는 컴퓨팅 유닛(460)에 1K 비트 폭의 데이터 경로를 제공할 수 있다.

[0137] 도 4의 예에서, 각각의 로직 스트라이프(409-0, ..., 409-N-1)는 도 2의 감지 회로부(250)와 관련하여 본 출원에서 설명된 컴퓨팅 컴포넌트(231)로서 복수의 컴퓨팅 컴포넌트(431-1, ..., 431-Z)를 가질 수 있다. 일부 실시예들에서, 복수의 로직 스트라이프들(409-0, ..., 409-N-1) 각각은 복수의 컴퓨팅 컴포넌트들(431-1, ..., 431-Z)을 사용하여 계산 기능을 수행하도록 구성될 수 있다. 일부 실시예들에서, 복수의 로직 스트라이프들(409-0, ..., 424-Z) 각각은 복수의 컴퓨팅 컴포넌트들(431-1, ..., 431-Z)을 사용하여 상이한 로직 연산을 수행할 수 있다. 예를 들어, 복수의 로직 스트라이프(409-0, ..., 409-N-1) 중 적어도 하나는 AND 연산을 수행하고 복수의 로직 스트라이프(409-0, ..., 409-N-1) 중 적어도 하나는 로직 연산의 다양한 조합 및/또는 시퀀스 중에서 NOR

연산을 수행하도록 구성될 수 있다.

- [0138] 일부 실시예들에서, 뱅크 섹션과 연관된 제어기(140) (도 1a)는 복수의 서브 어레이들(425-1, ..., 425-32) 중 특정 액세스된 서브 행과 관련하여 대응하는 1K 다중화된 열들로부터 컴퓨팅 유닛(460)의 특정 로직 스트라이프(409-0, ..., 409-N-1)의 특정 컴퓨팅 컴포넌트(431-1, ..., 431-Z) 및/또는 특정 스위치 노드(966-0, ..., 966-M-1)로 병렬로 1K 데이터 값들의 이동을 지시하기 위한 마이크로 코드 명령들을 실행할 수 있다.
- [0139] 일부 실시예들에서, 공유 I/O 라인들은 1K 데이터 값들을 복수의 로직 스트라이프들(409-0, ..., 409-N-1) 중 각각에 복수의 컴퓨팅 컴포넌트들(431-1, ..., 431-Z) 및/또는 스위치 노드들(966-0, ..., 966-M-1) 중 개개의 것에 연결하는 데 사용될 수 있다. 제한이 아닌 예로서, 데이터 값의 1K 비트가 각각의 서브 행과 관련된 특정 로직 스트라이프에 병렬로 이동될 수 있다. 다양한 실시예들에서, 예를 들어, 뱅크 섹션(423)의 4 개의 사분면 각각에 32 개의 서브 어레이들(425-1, ..., 425-32) 각각과 연관된 컴퓨팅 유닛(460)이 있을 수 있거나 또는 컴퓨팅 유닛들은 서브 어레이, 사분면 및/또는 뱅크 섹의 다양한 조합들 사이에서 공유될 수 있다. 컴퓨팅 유닛(460)의 로직 스트라이프(409-0, ..., 409-N-1)에서 복수의 컴퓨팅 컴포넌트(431-1, ..., 431-Z) 및/또는 스위치 노드(966-0, ..., 966-M-1)에 로딩된 데이터 값은 제어기(140) (도 1a)로부터의 마이크로 코드 명령에 따라 동작하여 본 출원의 어디 다른 곳 그리고 도 2의 감지 회로부(250) 관련하여 본 출원에서 설명된 것과 동일하게 데이터 값에 대한 연산 (예를 들어, AND, OR, NOR, XOR, 더하기, 빼기, 곱하기, 나누기, 스위치 등)을 수행할 수 있다.
- [0140] 본 출원에 설명된 바와 같이, 예를 들어, 제 1 서브 행(465-1)의 1K 데이터 값이 컴퓨팅 유닛(460)의 제 1 로직 스트라이프(409-0)로 이동 (예를 들어, 로딩)되면, 제 2 서브 행(465-2)으로부터의 데이터 값이 컴퓨팅 유닛(460)의 제 2 로직 스트라이프(409-1)로 이동되기 전 및/또는 실질적으로 동시에 이러한 데이터 값에 대해 컴퓨팅 및/또는 스위칭 동작이 개시될 수 있다. 컴퓨팅 유닛의 로직 스트라이프에서 수행되는 이러한 동작은 데이터 값을 어레이(130)(도 1a)의 행으로 다시 이동시킬 필요없이 제어기(140) (도 1a)에 의해 실행된 마이크로 코드 명령에 따라 훨씬 더 빠르게(예를 들어, 대략 2ns의 속도로) 제어될 수 있다. 예를 들어, 계산 동작은 어레이(130) (도 1a)의 행을 발사하고 액세스하는 데 필요할 수 있는 예시적인 시간 (예를 들어, 대략 60 ns)과 비교하여 훨씬 빠른 속도로 컴퓨팅 유닛(460)을 사용하여 수행될 수 있다. 도 2와 관련하여 설명된 바와 같이, 연결 회로부(232-1 및 232-2)는 공유 I/O 라인을 통한 이동없이 로직 스트라이프들 사이에서 동작이 수행된 로직 스트라이프의 감지, 저장 및/또는 데이터 값들의 이동을 가능하게할 수 있다.
- [0141] 따라서, 메모리 디바이스(120)는 다양한 실시예에서, 메모리 셀의 어레이(130)와 관련된 데이터 경로 계산 동작을 위한 데이터 경로로서 공유된 복수의 I/O 라인을 포함할 수 있다. 복수의 공유 I/O 라인은 감지 회로부 (예를 들어, 350)를 통해 어레이의 행의 제 1 서브 행 (예를 들어, 465-1)을 제 1 컴퓨팅 컴포넌트 (예를 들어, 431-1) 및/또는 데이터 경로의 제 1 스위치 노드 (예를 들어, 966-0)에 선택적으로 결합할 수 있고 제 1 데이터 값을 제 1 서브 행으로부터 제 1 컴퓨팅 컴포넌트 및/또는 제 1 스위치 노드로 이동시킬 수 있다. 복수의 공유 I/O 라인은 감지 회로부를 통해 개별 행의 제 2 서브 행 (예를 들어, 465-2)를 제 2 컴퓨팅 컴포넌트 및/또는 데이터 경로 내의 스위치 노드 (예를 들어, 제 1 로직 스트라이프 내의 제 1 컴퓨팅 컴포넌트 및/또는 스위치 노드에 대응하는)에 선택적으로 결합시켜 제 2 서브 행으로부터 제 2 컴퓨팅 컴포넌트 및/또는 스위치 노드로 제 2 데이터 값을 이동시킬 수 있다. 예를 들어, 제 1 로직 스트라이프 (예를 들어, 409-0)는 제 1 컴퓨팅 컴포넌트 및/또는 제 1 스위치 노드를 포함할 수 있고, 제 2 로직 스트라이프 (예를 들어, 409-1)는 제 2 컴퓨팅 컴포넌트 및/또는 제 2 스위치 노드를 포함할 수 있다. 본 출원에 설명된 바와 같이, 제 2 서브 행으로부터 제 2 컴퓨팅 컴포넌트로의 제 2 데이터 값의 이동과 실질적으로 동시에 제 1 컴퓨팅 컴포넌트를 사용하여 제 1 서브 행으로부터의 제 1 데이터 값에 대한 동작이 수행될 수 있다.
- [0142] 다양한 실시예들에서, 데이터 경로는 제 1 서브 행 (예를 들어, 465-1)의 다수의 복수의 메모리 셀들(미도시)에 대응하는 다수의 복수의 제 1 컴퓨팅 컴포넌트들 및/또는 제 1 스위치 노드들을 포함할 수 있는 제 1 로직 스트라이프 (예를 들어, 409-0) 및 제 2 서브 행(예를 들어, 465-2)의 다수의 복수의 메모리 셀에 대응하는 다수의 복수의 제 2 컴퓨팅 컴포넌트들 및/또는 스위치 노드들을 포함할 수 있는 제 2 로직 스트라이프 (예를 들어, 409-1)를 더 포함할 수 있다. 복수의 로직 스트라이프 (예를 들어, 409-0, ..., 424N)의 수는 각각의 행의 복수의 서브 행 (예를 들어, 465-1, ..., 465-16)의 수에 대응할 수 있다. 컴퓨팅 유닛 (예를 들어, 460)은 각각 복수의 컴퓨팅 컴포넌트 (예를 들어, 431-1, ..., 431-Z) 및/또는 스위치노드들 (예를 들어, 966-0, ..., 966-M-1)를 포함할 수 있는 복수의 로직 스트라이프 (예를 들어, 409-0, ..., 424N)를 포함할 수 있고, 여기서, 복수의 컴퓨팅 컴포넌트들 각각은 해당 어레이에 로컬인 복수의 공유 I/O 라인들(455) 중 적어도 하나와 연관될 수 있다 (예를 들어, 선택적으로 결합됨). 복수의 공유 I/O 라인의 수는 개별 행의 서브 행의 복수의 메모리 셀의

수 (예를 들어, 다른 가능한 구성 중에서 서브 행 또는 행의 매 8 또는 16 개의 메모리 셀 및/또는 열에 대한 개별 공유 I/O 라인)에 대응할 수 있다. 로직 스트라이프 (예를 들어, 409-0)는 개별 로직 스트라이프에 결합된 서브 행의 복수의 메모리 셀의 수에 대응하는 복수의 컴퓨팅 컴포넌트 및/또는 스위치 노드의 수를 포함할 수 있다.

[0143] 도 5는 본 개시의 다수의 실시예들에 따른 메모리 디바이스(520)의 제어기(540)의 예를 나타내는 블록도이다. 일부 구현들에서, 도 5의 블록도는 도 1a의 메모리 디바이스(120)와 같은 PIM 가능 디바이스의 일 예의 일부에 대한 보다 상세한 내용을 제공한다. 도 5의 예에서, 제어기(540-0, ..., 540-7) (일반적으로 제어기(540)로 지칭 됨)는 PIM 가능 디바이스(520)에 대한 각각의 बैं크(521-0, ..., 521-7) (일반적으로 बैं크(521)으로 지칭 됨)와 연관될 수 있다. 8 개의 बैं크가 도 5의 예에 도시된다. 그러나, 실시예는 이 예시 수에 제한되지 않는다. 제어기(540)는 예를 들어 도 1a 및 본 출원에 어디 다른 곳에서 도시된 제어기(140)를 나타낼 수 있다. 각 बैं크는 하나 이상의 메모리 셀 어레이 (미도시)를 포함할 수 있다. 예를 들어, 각각의 बैं크는 도 1a의 어레이(130)와 같은 하나 이상의 어레이를 포함할 수 있고, 도 1a에 도시된 디코더, 다른 회로부 및/또는 레지스터를 포함할 수 있다. 도 5에 도시된 예시적인 메모리 디바이스(520)에서, 제어기(540-0, ..., 540-7)는 메모리 디바이스(520)의 하나 이상의 메모리 बैं크(521)상에 제어기(540)의 일부로서 제어 로직(531-0, ..., 531-7), 시퀀서(532-0, ..., 532-7) 및 타이밍 회로부(533-0, ..., 533-7)를 갖는 것으로 도시된다. PIM 가능한 디바이스(520)는 도 1a에 도시된 메모리 디바이스(120)의 부분으로 나타낼 수 있다.

[0144] 도 5에 도시된 바와 같이, 메모리 디바이스(520)는 PIM 가능 디바이스(520)에서 데이터, 어드레스, 제어 신호 및/또는 명령을 수신하기 위한 고속 인터페이스 (HSI)(541)를 포함할 수 있다. 다양한 실시예에서, HSI(541)는 PIM 가능 디바이스(520)와 관련된 बैं크 중재기(545)에 결합될 수 있다. HSI(541)는 호스트 (예를 들어, 도 1a의 110)로부터 명령 및/또는 데이터를 수신하도록 구성될 수 있다. 도 5에 도시된 바와 같이, बैं크 중재기(545)는 복수의 बैं크(521-0, ..., 521-7)에 결합될 수 있다.

[0145] 도 5에 도시된 예에서 제어 로직(531-0, ..., 531-7)은 각 बैं크(521-0, ..., 521-7)의 일부인 메모리 셀 어레이 (예를 들어, 도 1a의 어레이(130))로부터 머신 명령 (예를 들어, 마이크로 코드 명령)를 페치(fetch) 및 실행할 책임이 있는 마이크로 코드 엔진의 형태일 수 있다. 시퀀서들(532-0, ..., 532-7)은 또한 마이크로 코드 엔진의 형태일 수 있다. 대안적으로, 제어 로직(531-0, ..., 531-7)은 매우 큰 명령 워드 (VLIW) 유형 프로세싱 자원의 형태 일 수 있고 시퀀서(532-0, ..., 532-7) 및 타이밍 회로부(533-0, ..., 533-7)는 상태 머신과 트랜지스터 회로부의 형태일 수 있다.

[0146] 제어 로직(531-0, ..., 531-7)은 마이크로 코드 명령을 시퀀서(532-0, ..., 532-7)에 의해 구현된 함수 호출 (예를 들어, 마이크로 코드 함수 호출 (uCODE))로 디코딩할 수 있다. 도 6은 본 개시의 실시예에 따른 시퀀서의 더 상세한 부분을 도시하는, 도 6에서 642로 도시된 제어기(540)의 다른 실시예를 도시한다. 마이크로 코드 함수 호출은 시퀀서(532-0, ..., 532-7)가 메모리 디바이스(520)로 하여금 도 1a의 감지 회로부(150)와 같은 감지 회로부를 사용하거나 도 9a 및 9b에 도시된 스위치 노드들(966-0, ..., 966-M-1) 및/또는 도 4, 6에 각각 도시된 컴퓨팅 유닛들(460 및 660)의 컴퓨팅 컴포넌트(431-1, ..., 431-Z 및 631-1, ..., 631-Z)를 사용하여 특정한 로직 및/또는 스위칭 동작 (예를 들어, 이러한 동작의 대안으로부터 선택된, 이는 다른 가능성 중에서도 특정 애플리케이션 특정 집적 회로의 선택에 의해 인에이블될 수 있는 및/또는 메모리에 저장된 명령을 가질 수 있는)을 수신하고 실행하는 동작일 수 있다. 타이밍 회로부(533-0, ..., 533-7)는 도 9a 및 도 9b와 관련하여 설명된 및/또는 도 1a의 어레이(130)와 같은 어레이에 대한 충돌없는 액세스를 제공할 책임이 있는 스위칭 동작, 개별적으로 도 4 및 도 6에 도시된 컴퓨팅 유닛(460 및 660)의 로직 스트라이프(409-0, ..., 409-N-1 및 609-0, ..., 609-N-1)에 의해 로직 연산의 수행을 조정하기 위한 타이밍을 제공할 수 있다.

[0147] 도 1a와 관련하여 설명된 바와 같이, 제어기(540-0, ..., 540-7)는 감지 회로부(150), 데이터 스위칭 네트워크(472), 컴퓨팅 유닛(460/660) 및/또는 캐시, 버퍼, 감지 증폭기, XRA (Extended Row Address) 래치 및/또는 (555-0, ..., 555-7)로서 도 5에 도시된 제어 라인과 데이터 경로를 통해 메모리 셀 어레이와 관련된 레지스터를 포함하는 추가 로직 회로부(713)에 결합될 수 있다. 이와 같이, 회로부(150), 컴퓨팅 유닛(460/660) 및 도 1a, 4 및 6에 도시된 로직(170)은 메모리 셀(130) 어레이와 연관될 수 있다(예를 들어, 도 5에 555-0, ..., 555-7 에 도시된 공유 I/O 라인 및/또는 다른 I/O 회로부를 사용). 제어기들(540-0, ..., 540-7)은 판독, 기록, 복사 및/또는 소거 동작 등과 같은 어레이에 대한 규칙적인 DRAM 동작을 제어할 수 있다. 추가적으로, 그러나, 제어 로직(531-0, ..., 531-7)에 의해 검색되고 실행되는 마이크로 코드 명령, 시퀀서(532-0, ..., 532-7)에 의해 수신되고 실행될 마이크로 코드 함수 호출은 도 1a, 4 및 6에 도시된 감지 회로부(150) 및/또는 컴퓨팅 유닛(460/660)으로 하여금 추가의 로직 연산 예컨대, 더하기, 곱하기 또는 보타 특정 예, 불리언 연산 예컨대, AND, OR,

XOR 등 및/또는 일반 DRAM 판독 및 기록과 다른 스위칭 동작(예를 들어, 보다 복잡한)을 수행하게 할 수 있다. 따라서, 이 예시적인 메모리 디바이스(520)에서, 마이크로 코드 명령 실행, 로직 연산 및/또는 스위칭 동작이 PIM 가능 디바이스의 뱅크(521-0, ..., 521-7) 상에서 수행될 수 있다.

- [0148] 다양한 실시예에서, 제어 로직(531-0, ..., 531-7), 시퀀서(532-0, ..., 532-7) 및 타이밍 회로부(533-0, ..., 533-7)는 DRAM 어레이에 대한 동작 사이클 시퀀스를 생성하도록 동작할 수 있고, 및/또는 메모리 디바이스(520) (예를 들어, 공유 I/O 라인 (455-0, ..., 455-7)의 데이터 경로에 컴퓨팅 유닛(460/660)에서 포함하는 뱅크 (521-0, ..., 521-7))상에서 동작 (예를 들어, 로직 및/또는 스위칭 동작)의 수행을 지시한다. PIM 가능 디바이스 예에서, 각각의 시퀀스는 불리언 로직 연산 AND, OR, XOR 등과 같은 연산을 수행하여 특정 기능을 달성하도록 디자인될 수 있다. 예를 들어, 동작 시퀀스는 다중 비트 합을 계산하기 위해 일(1) 비트 합에 대한 로직 연산을 반복적으로 수행할 수 있다. 다른 예에서, 동작 시퀀스에 대한 명령은 다양한 다른 유형의 동작 중에서 다수의 스위칭 동작을 수행하도록 실행될 수 있다. 각각의 동작 시퀀스는 감지 회로부(150), 컴퓨팅 유닛 (460/660), 및/또는 도 1a에 도시된 메모리 셀 어레이(130) (예를 들어, DRAM 어레이)와 관련된 추가 로직 회로부(713)로 타이밍 조정을 제공하기 위해 타이밍 회로부(533-0, ..., 533-7)에 결합된 FIFO (first in/first out) 버퍼로 공급될 수 있다.
- [0149] 도 5에 도시된 예시적인 PIM 가능 메모리 디바이스(520)에서, 타이밍 회로부(533-0, ..., 533-7)는 타이밍을 제공할 수 있고 4 개의 FIFO 큐로부터 어레이에 대한 충돌없는 액세스를 제공할 수 있고 및/또는 컴퓨팅 유닛 (460/660)에서의 동작에 대한 타이밍을 조정할 수 있다. 이 예에서, 하나의 FIFO 큐는 어레이 계산을 지원할 수 있고, 하나는 마이크로 코드 (예를 들어, Ucode) 명령 폐치용이고, 하나는 공유 I/O 라인, 로직 스트라이프, 컴퓨팅 유닛, 연결 회로부와 관련된 데이터 경로의 제어용일 수 있고, 하나는 DRAM I/O용이다. 제어 로직(531-0, ..., 531-7) 및 시퀀서(532-0, ..., 532-7)는 FIFO 인터페이스를 통해 뱅크 중재기(545)로 다시 라우팅될 수 있는 상태 정보를 생성할 수 있다. 뱅크 중재기(545)은 이 상태 데이터를 집계하여 예를 들어, HSI(541)를 통해 호스트(110)에 다시 보고할 수 있다.
- [0150] 도 6은 메모리 디바이스(520)(도 5)의 제어기(642)의 일부의 다른 예를 도시한 블록도이다. 제어기(642)는 다른 기능들 중에서도 본 개시의 다수의 실시예들에 따른 어레이(130) (도 1a)에 로컬인 데이터 경로에 공유 I/O 라인(655)을 사용하여 복수의 로직 스트라이프(609-0, ..., 609-N-1)를 갖는 컴퓨팅 유닛(660)으로의 데이터 값들의 이동을 제어하도록 구성된다. 도 6의 예에서, 제어기(642)의 부분은 도 5의 시퀀서(532)와 같은 제어기의 시퀀서 부분의 예이다.
- [0151] 도 6의 실시예에서, 제어기(642)의 시퀀서 부분은 어레이 동작, 컴퓨팅 컴포넌트 동작, 스위치 노드 동작 및 제어 동작의 4 가지 부류의 마이크로 코드 명령에 대해 동작할 수 있다. (601)에 도시된 바와 같이, 비트 값은 상술한 바와 같이 뱅크 섹션의 사분면에서 특정 서브 어레이를 식별하기 위해 서브 어레이 마스크의 일부로서 제공될 수 있다. (602-1 및 602-2)에서, 도 2의 감지 회로부(250)와 관련하여 설명되고 도 7에 (731 (A) 및 706 (B))로 보다 상세히 도시된 1 차 래치 및 2 차 래치와 관련된 A 및 B 어드레스 포인터는 어레이(130) (도 1a)의 데이터 값에 대한 물리적 어드레스에 대한 포인터를 제공한다. (603)에서, 비트 값은 추가로 어레이(130)에 추가 인덱스를 제공할 수 있다 (도 1a). 도 6의 예에 도시된 바와 같이, 어드레스 포인터(602-1 및 602-2) 및 인덱스(603)는 어레이(130) (도 1a)의 특정 행 및 감지 라인 (예를 들어, 행 워드 라인 및 비트 라인)에 액세스하는 데 사용된다.
- [0152] 본 출원에 설명된 복수의 공유 I/O 라인(655)은 어레이에 로컬인 공유 I/O(655)의 데이터 경로에서 어레이(130) (도 1a)를 컴퓨팅 유닛(660)에 연결할 수 있다. 공유 I/O 라인(655)으로부터 컴퓨팅 유닛(660)의 주어진 로직 스트라이프(609-0, ..., 609-N-1)에 주어진 컴퓨팅 컴포넌트(631-1, ..., 631-Z) 및/또는 스위치 노드(966-0, ..., 966-M-1)로 데이터 값을 로딩하기 위한 명령이 제어기(642)로부터 컴퓨팅 유닛으로 제공된다. 컴퓨팅 유닛(660)에 대한 마스크 스트라이프(641)는 감지 라인 선택을 인에이블할 수 있고 판독 또는 기록을 위한 컴포넌트 값을 계산할 수 있다.
- [0153] (604)에서, 유선 OR 로직 구성으로부터의 조건 코드는 컴퓨팅 유닛(660)과의 유선 OR 연산의 비트 값 결과를 제공할 수 있다. (611)에서 비트 값은 컴퓨팅 컴포넌트 동작 및/또는 스위치 노드 작동 명령을 위한 제 2 레지스터 소스에 대한 포인터로서 레지스터 어드레스를 제공할 수 있다. (612)에서, 비트 값은 컴퓨팅 컴포넌트 동작 및/또는 스위치 노드 동작 명령(611)을 위한 제 2 레지스터 소스에 대한 레지스터 어드레스 포인터와 함께 컴퓨팅 유닛(660)의 로직 스트라이프(609-0, ..., 609-N-1)의 레지스터 인덱스를 나타낼 수 있다.
- [0154] 도 7은 본 개시의 다수의 실시예에 따른 로직 스트라이프(예를 들어, (109, 409 및 609)에 도시되고 도 1f, 4

및 6과 관련하여 설명된)의 컴퓨팅 컴포넌트(731)를 도시하는 개략도이다. 도 7은 또한 본 개시의 다수의 실시예에 따라 로직 연산을 구현할 수 있는 컴퓨팅 유닛(460/660) 회로부를 예시하는 개략도이다.

- [0155] 도 7은 일부 실시예에서 한 쌍의 상보적인 공유 I/O 라인(755-1 및 755-2)(예를 들어, 도 3의 공유 I/O 라인(355)과 관련하여 도시되고 설명된) 및/또는 로직 연산 선택 로직(713), 및 패스 게이트(707-1 및 707-2)를 통해 래치(706)에 결합된 컴퓨팅 컴포넌트(731)에 직접 결합된 래치(706)를 도시한다. 래치(706)는 제한적인 것이 아니라 예시적인 방식으로 한 쌍의 상보적인 공유 I/O 라인(755-1 및 755-2)에 직접 결합되도록 도 7에 도시된다. 예를 들어, 공유 I/O 라인은 단일 공유 I/O 라인(755)일 수 있거나 도 7에 도시된 한 쌍의 상보적인 공유 I/O 라인을 포함할 수 있다. 공유 I/O 라인의 어느 실시예는 다양한 실시예에서, 선택적으로 및/또는 직접적으로 래치(706)에 결합되어 2 개의 저장된 데이터 값을 사용하여 컴퓨팅 컴포넌트(731)에 의한 로직 연산의 수행을 가능하게 하기 위해 컴퓨팅 컴포넌트(731)에 선택적으로 및/또는 직접 결합된 어레이의 제 1 행의 제 1 서브 행으로부터 제 1 데이터 값을 로딩 (예를 들어, 저장)할 수 있고 제 2 행의 제 2 서브 행으로부터의 제 2 데이터 값을 로딩 (예를 들어, 저장)할 수 있다
- [0156] 일부 실시예에서, 래치는 다양한 실시예에서 각각의 래치에 데이터 값을 로딩하기 위해 공유 I/O 라인에 선택적으로, 직접 및/또는 간접적으로 결합될 수 있도록 컴퓨팅 컴포넌트(731)와 연관된 복수의 래치(706)가 있을 수 있고, 이는 그런 다음 복수의 로직 연산 (예를 들어, 래치의 수 제공에 의해 결정됨)의 수행을 위해 관련 컴퓨팅 컴포넌트에 의해 (예를 들어, 제어기에 의해 지시된) 선택적으로 사용될 수 있다. 따라서, 패스 게이트(707-1 및 707-2)는 다양한 실시예에서 래치(706), 컴퓨팅 컴포넌트(731) 및/또는 로직 연산 선택 로직(713)을 서로 직접 및/또는 간접적으로 결합하기 위해, 및/또는 공유 I/O 라인(755)을 래치(706), 컴퓨팅 컴포넌트(731) 및/또는 로직 연산 선택 로직(713)에 간접적으로 연결하기 위해 사용될 수 있다.
- [0157] 도 7에 도시된 래치(706)는 감지 회로부(250)와 관련하여 도 2와 관련하여 도시되고 설명된 감지 증폭기(206) (예를 들어, 1 차 래치)와 유사한 방식으로 기능할 수 있다. 도 7에 도시된 컴퓨팅 컴포넌트(731)은 감지 회로부(250)와 관련하여 도 2에 도시된 컴퓨팅 컴포넌트(231)(예를 들어, 2차 래치)와 유사하게 기능할 수 있다. 도 7에 도시된 로직 연산 선택 로직(713)은 로직 연산 선택 로직(250)과 관련하여 도 2에 도시된 로직 연산 선택 로직(213)과 유사하게 기능할 수 있다. 패스 게이트들(707-1 및 707-2)의 게이트들은 로직 연산 선택 로직(713) 신호 (예를 들어, Pass)에 의해 제어될 수 있다. 예를 들어, 로직 연산 선택 로직(713)의 출력은 패스 게이트(707-1 및 707-2)의 게이트에 결합될 수 있다. 더구나, 컴퓨팅 컴포넌트(731)는 데이터 값을 좌우로 시프트하도록 구성된 로딩 가능한 시프트 레지스터를 포함할 수 있다.
- [0158] 도 7에 도시된 실시예에서, 컴퓨팅 컴포넌트(731)는 데이터 값을 좌우로 시프트하도록 구성된 로딩 가능한 시프트 레지스터의 개별 스테이지 (예를 들어, 시프트 셀)를 포함할 수 있다. 예를 들어, 도 7에 도시된 바와 같이, 시프트 레지스터의 각각의 컴퓨팅 컴포넌트(731) (예를 들어, 스테이지)는 한 쌍의 우측 시프트 트랜지스터(781 및 786), 한 쌍의 좌측 시프트 트랜지스터(789 및 790) 및 한 쌍의 인버터(787 및 788)를 포함한다. 위상 (PHASE) 1R, 위상 2R, 위상 1L 및 위상 2L 신호는 각각의 제어 라인(782, 783, 791 및 792)에 인가되어 본 출원에 설명된 실시예들에 따른 로직 연산 및/또는 시프트 데이터 수행과 관련하여 대응하는 컴퓨팅 컴포넌트(731)의 래치에 대한 피드백을 인에이블/디스에이블할 수 있다.
- [0159] 도 7에 도시된 컴퓨팅 유닛(460/660) 회로부는 ISO, TF, TT, FT 및 FF를 포함하는 다수의 로직 선택 제어 입력 제어 라인에 결합된 동작 선택 로직(713)을 도시한다. 복수의 로직 연산으로부터 로직 연산의 선택은 격리 트랜지스터(750-1 및 750-2)가 어서트되는 ISO 제어 신호를 통해 인에이블될 때 상보적인 공유 I/O 라인(755-1 및 755-2)의 쌍에 존재하는 데이터 값 뿐만 아니라 로직 선택 제어 입력 라인 상의 로직 선택 제어 신호의 조건으로부터 결정된다.
- [0160] 다양한 실시 예에 따르면, 동작 선택 로직 (713)은 4 개의 로직 선택 트랜지스터를 포함 할 수 있다 : 스왑 트랜지스터 (742)의 게이트와 TF 신호 제어 라인 사이에 결합된 논리 선택 트랜지스터 (762), 패스 게이트 (707-1, 707-2)의 게이트와 TT 신호 제어 라인 사이에 결합된 로직 선택 트랜지스터 (752); 패스 게이트 (707-1, 707-2)의 게이트와 FT 신호 제어 라인 사이에 결합된 로직 선택 트랜지스터 (754), 및 스왑 트랜지스터 (742)의 게이트와 FF 신호 제어 라인 사이에 결합된 논리 선택 트랜지스터 (764). 로직 선택 트랜지스터(762 및 752)의 게이트는 격리 트랜지스터(750-1)를 통해 (ISO 신호 제어 라인에 결합된 게이트를 갖는) 실제 감지 라인에 결합된다. 로직 선택 트랜지스터(764 및 754)의 게이트는 격리 트랜지스터(750-2) (또한 ISO 신호 제어 라인에 결합된 게이트를 가짐)를 통해 상보적 감지 라인에 결합된다.
- [0161] 한 쌍의 상보적인 공유 I/O 라인(755-1 및 755-2) 상에 존재하는 데이터 값은 패스 게이트(707-1 및 707-2)를

통해 컴퓨팅 컴포넌트(731)에 로딩될 수 있다. 컴퓨팅 컴포넌트(731)는 로딩 가능한 시프트 레지스터(shift register)를 포함할 수 있다. 패스 게이트(707-1 및 707-2)가 OPEN인 경우, 상보적인 공유 I/O 라인(755-1 및 755-2) 쌍의 데이터 값 ("A")은 컴퓨팅 컴포넌트(731)로 전달되어 로딩 가능한 시프트 레지스터로 로딩된다. 한 쌍의 상보적인 공유 I/O 라인(755-1 및 755-2)의 데이터 값은 감지 증폭기가 발사될 때 감지 증폭기(706)에 의해 저장된 데이터 값 ("B")일 수 있다. 이 예에서, 로직 동작 선택 로직 신호 (Pass)는 패스 게이트(707-1 및 707-2)를 OPEN하기 위해 하이에 있다.

[0162] ISO, TF, TT, FT 및 FF 제어 신호는 감지 증폭기(706)의 데이터 값 ("B") 및 컴퓨팅 컴포넌트(731)의 데이터 값 ("A")에 기초하여 구현할 로직 기능을 선택하도록 동작할 수 있다. 특히, ISO, TF, TT, FT 및 FF 제어 신호는 상보적인 공유 I/O 라인 쌍(755-1 및 755-2) 상에 존재하는 데이터 값과 독립적으로 구현하기 위해 로직 기능을 선택하도록 구성된다 (구현된 로직 연산의 결과는 상보적인 공유 I/O 라인(755-1 및 755-2) 쌍에 존재하는 데이터 값에 의존할 수 있지만. 예를 들어, ISO, TF, TT, FT 및 FF 제어 신호는 상보적인 공유 I/O 라인(755-1 및 755-2) 쌍에 존재하는 데이터 값이 패스 게이트(707-1 및 707-2)의 게이트를 동작시키기 위한 로직을 전달되지 않기 때문에 직접 구현할 로직 연산을 선택한다.

[0163] 또한, 도 7은 감지 증폭기(706)와 컴퓨팅 컴포넌트(731) 사이의 상보적인 공유 I/O 라인(755-1 및 755-2)의 방향을 스왑(swap)하도록 구성된 스왑 트랜지스터(742)를 도시한다. 스왑 트랜지스터 (742)가 OPEN 인 경우, 스왑 트랜지스터 (742)의 감지 증폭기 (706) 측의 상보적인 공유 I/O 라인 (755-1 및 755-2) 쌍의 데이터 값은 스왑 트랜지스터 (742)의 컴퓨팅 컴포넌트 (731) 측의 한 쌍의 상보적 공유 I/O 라인(755-1 및 755-2) 쌍과 반대로 결합되어 컴퓨팅 컴포넌트 (731)의 로딩 가능한 시프트 레지스터에 로딩된다.

[0164] 로직 연산 선택 로직(713) 신호 Pass는 ISO 제어 신호 라인이 활성화되고 실제 공유 I/O 라인의 데이터 값이 "1"로 TT 제어 신호가 활성화되거나(예를 들어, 하이) 또는 상보적인 공유 I/O 라인의 데이터 값이 "1"로 FT 제어 신호가 활성화될 때 (예를 들어, 하이) 패스 게이트(707-1 및 707-2)를 OPEN하기 위해(예를 들어, 도전) 활성화될 수 있다 (예를 들어, 하이) .

[0165] "1" 인 실제 공유 I/O 라인의 데이터 값은 로직 선택 트랜지스터(752 및 762)를 OPEN 한다. "1" 인 상보적인 공유 I/O 라인의 데이터 값은 로직 선택 트랜지스터(754 및 764)를 OPEN 한다. ISO 제어 신호 또는 개별 TT/FT 제어 신호 또는 대응하는 공유 I/O 라인 (예를 들어, 특정 로직 선택 트랜지스터의 게이트가 결합된 공유 I/O 라인)의 데이터 값이 하이가 아닌 경우, 패스 게이트(707-1 및 707-2)는 특정 로직 선택 트랜지스터에 의해 OPEN 되지 않을 것이다.

[0166] 로직 연산 선택 로직 신호 Pass*는 ISO 제어 신호 라인이 활성화되고 실제 공유 I/O 라인의 데이터 값이 "1"로 TF 제어 신호가 활성화되거나(예를 들어, 하이) 또는 상보적인 공유 I/O 라인의 데이터 값이 "1"로 FF 제어 신호가 활성화될 때 (예를 들어, 하이) 스왑 트랜지스터(742)를 OPEN하기 위해(예를 들어, 도전) 활성화될 수 있다 (예를 들어, 하이). 개별 제어 신호 또는 대응하는 공유 I/O 라인 (예를 들어, 특정 로직 선택 트랜지스터의 게이트가 결합된 공유 I/O 라인)의 데이터 값이 하이가 아닌 경우, 스왑 트랜지스터(742)는 특정 로직 선택 트랜지스터에 의해 OPEN되지 않을 것이다.

[0167] Pass* 제어 신호가 반드시 Pass 제어 신호에 상보적이지는 않다. Pass 및 Pass* 제어 신호가 동시에 활성화되거나 둘모두 비활성화될 수 있다. 그러나 Pass와 Pass* 제어 신호를 동시에 활성화하면 상보적인 공유 I/O 라인 쌍이 단락되므로 이는 피해야할 와해 구성(disruptive configuration)이 될 수 있다.

[0168] 도 7에 도시된 컴퓨팅 유닛(460/660) 회로부는 4 개의 로직 선택 제어 신호로부터 직접 구현하기 위해 복수의 로직 연산 중 하나를 선택하도록 구성된다 (예를 들어, 로직 연산 선택은 상보적인 공유 I/O 라인 쌍에 존재하는 데이터 값에 의존하지 않음). 로직 선택 제어 신호의 일부 조합은 패스 게이트(707-1 및 707-2)와 스왑 트랜지스터(742)가 동시에 OPEN되게 함으로써, 이는 상보적인 공유 I/O 라인(755-1 및 755-2)의 쌍을 함께 단락시킨다. 본 개시의 다수의 실시예들에 따르면, 도 7에 도시된 컴퓨팅 유닛(460/660) 회로부에 의해 구현될 수 있는 로직 연산들은 도 8에 도시된 로직 테이블들에 요약된 로직 연산 들일 수 있다.

[0169] 도 8은 본 개시의 다수의 실시예에 따라 도 7에 도시된 컴퓨팅 컴포넌트(731) 및 관련 회로부에 의해 구현되는 선택 가능한 로직 연산 결과를 예시하는 로직 테이블이다. 선택 가능한 로직 연산 결과는 도 7에 도시된 복수의 공유 I/O 라인(755-1 및 755-2)의 데이터 경로에서 컴퓨팅 유닛(460/660) 회로부에 의해 구현될 수 있다. 4 개의 로직 선택 제어 신호 (예를 들어, TF, TT, FT 및 FF)는 상보적인 공유 I/O 라인에 존재하는 특정 데이터 값

과 함께 컴퓨팅 유닛(460/660) 회로부의 감지 증폭기(706) (예를 들어, 1 차 래치) 및 컴퓨팅 컴포넌트(731) (예를 들어, 2 차 래치)에 의해 저장된 시작 데이터 값 ("A" 및 "B")을 포함하는 것을 구현하는 복수의 로직 연산 중 하나를 선택하는 데 사용될 수 있다. 상보적인 공유 I/O 라인 상에 존재하는 특정 데이터 값과 함께 4 개의 제어 신호는 패스 게이트(707-1 및 707-2) 및 스위칭 트랜지스터(742)의 연속성을 제어하며, 이는 결국 발사 전/후에 컴퓨팅 컴포넌트(731) 및/또는 감지 증폭기(706)에 데이터 값에 영향을 미친다. 스위칭 트랜지스터(742)의 연속성을 선택적으로 제어하는 성능은 무엇보다도 역 데이터 값 (예를 들어, 역 피연산자 및/또는 역 결과)을 포함하는 로직 연산을 구현하는 것을 가능하게 한다.

[0170] 도 8에 도시된 로직 테이블 8-1은 844에서 열 A에 도시된 컴퓨팅 컴포넌트(731) (예를 들어, 2 차 래치)에 의해 저장된 시작 데이터 값 및 845에서 열 B에 도시된 래치 (예를 들어, 1차 래치로서 감지 증폭기(706))에 의해 저장된 시작 데이터 값을 도시한다. 로직 테이블 8-1의 다른 3 개의 열 헤딩(heading)은 패스 게이트(707-1 및 707-2) 및 스위칭 트랜지스터(742)의 연속성을 나타내며, 이는 상보적인 공유 I/O 라인들(755-1 및 755-2)의 쌍 상에 존재하는 특정 데이터 값과 함께, 4 개의 로직 선택 제어 신호 (예를 들어, TF, TT, FT 및 FF)의 상태에 따라 OPEN 또는 CLOSED 되도록 개별적으로 제어될 수 있다. "Not Open"열은 패스 게이트(707-1 및 707-2) 및 스위칭 트랜지스터(742) 둘 모두가 비 도전 상태 있는 것에 대응하고, "Open True"는 패스 게이트(707-1 및 707-2)가 도전 상태에 있는 것에 대응하고, "Open Invert"는 스위칭 트랜지스터(742)는 도전 상태에 있는 것에 대응한다. 패스 게이트들(707-1 및 707-2) 및 스위칭 트랜지스터들(742)에 둘 모두가 도전 상태에 있는 것에 대응하는 구성은 감지 라인들이 함께 단락되기 때문에 로직 테이블 8-1에 반영되지 않는다.

[0171] 패스 게이트(707-1, 707-2) 및 스위칭 트랜지스터(742)의 연속성을 선택적으로 제어함으로써, 로직 테이블 8-1의 상단 부분의 3 개의 열 각각은 로직 테이블 8-1의 하단 부분의 3 개의 열 각각과 결합될 수 있어서 875에 도시된 다양한 접속 경로에 의해 표시된 바와 같이, 9 개의 상이한 로직 연산에 대응하는 $3 \times 3 = 9$ 개의 상이한 결과 조합을 제공한다. 컴퓨팅 유닛(460/660)회로부에 의해 구현될 수 있는 9 개의 상이한 선택 가능한 로직 연산은 AND, OR, NOT, NOT, NAND, NOR 및 XOR 로직 연산을 포함하여 도 8에 예시된 로직 테이블 8-2에 요약되어 있다.

[0172] 도 8에 도시된 로직 테이블 8-2의 열은 로직 선택 제어 신호의 상태를 포함하는 헤딩(880)를 도시한다. 예를 들어, 제 1 로직 선택 제어 신호의 상태는 테이블 8-2의 행 876에 제공되고, 제 2 로직 선택 제어 신호의 상태는 테이블 8-2의 행 877에 제공되고, 제 3 로직 선택 제어 신호의 테이블 8-2의 행 878에 제공되고, 제 4 로직 선택 제어 신호의 상태는 테이블 8-2의 행 879에 제공된다. 결과에 대응하는 특정 로직 연산은 테이블 8-2의 행 847에 요약되어 있다.

[0173] 도 9a 및 9b는 본 개시의 다수의 실시예에 따른 인메모리 데이터 스위칭 네트워크를 도시한 개략도이다. 도 9a에 도시된 실시예는 레벨들(967-0, ..., 977-N-1)로서 구현된 인메모리 데이터 스위칭 네트워크(972-1)의 예를 예시하도록 의도된다. 본 출원에 설명된, 레벨은 로직 스트라이프 (예를 들어, 도 4 및 6에 도시된 컴퓨팅 유닛(460 및 660)의 (409-0, ..., 409-N-1 및 609-0, ..., 609-N-1))에 대응할 수 있고 및/또는 메모리 셀의 어레이 (예를 들어, (125 및/또는 126)에 도시되고 도 1b 및 1c와 관련하여 본 출원에 어디 다른 곳에 설명된 서브 어레이를 포함하는)와 함께 칩 상에 (예를 들어, 물리적으로) 위치될 수 있는 데이터 스위칭 네트워크의 레벨일 수 있고 데이터 스위칭 네트워크는 공유 I/O 라인들에 의해 선택적으로 결합될 수 있다 (예를 들어, 도 3과 관련하여 설명되고 (372)에 도시된). 도 9a에 도시된 레벨의 수는 제한이 아닌 예로서 6 레벨로 도시된다. 예를 들어, 레벨은 복수의 레벨 일 수 있지만, 의도된 완료된 스위칭 동작을 달성하기 위해 수행될 의도된 스위칭 동작에 의해 결정되는 실제 레벨의 수는 2, 3, 4, 16 또는 그 이상의 레벨일 수 있다 (예를 들어, 선택된 스위치 프로토콜에 의해 결정된).

[0174] 레벨들(967-0, ..., 977-N-1) 각각은 복수의 스위치 노드들(966-0, ..., 966-M-1)을 포함하는 것으로 도시된다. 복수의 스위치 노드들(966-0, ..., 966-M-1)의 수는 어레이의 행 (예를 들어, 도 1b 및 도 1c와 관련하여 설명된 4K, 8K, 16K 등의 메모리 셀들)의 메모리 셀들의 수 및/또는 행의 서브 행에 메모리 셀들의 수에 대응할 수 있다 (예를 들어, 도 4와 관련하여 설명된 1K 메모리 셀). 일부 실시예들에서, 데이터 스위칭 네트워크의 레벨에서 스위치 노드들의 수가 감소될 수 있다. 예를 들어, 공유 I/O 라인을 통해 제 1 레벨(967-0)로 이동된 데이터 값의 수는 행 및/또는 서브 행으로부터의 데이터 값을 다중화를 통해 감소될 수 있다 (예를 들어, 도 3 및 본 출원의 어디 다른 곳에 관련하여 설명된 총 데이터의 1/8 또는 1/16로).

[0175] 스위치 노드(966)로 이동된 데이터 값은 스위치 노드의 다수의 래치(970)에 의해 저장될 수 있고, 스위칭 동작은 스위치 노드의 스위치(963)에 의해 저장된 데이터 값에 대해 수행될 수 있다. 일부 실시예에서, 래치는 여러

실시예에서, 데이터 값을 각각의 래치들에 로딩하기 위해 공유 I/O 라인에 선택적으로, 직접 및/또는 간접적으로 결합될 수 있도록 스위치(963)와 연관된 복수의 래치(970)가 있을 수 있고, 이는 그런 다음 복수의 스위칭 동작들의 (예를 들어, 제공된 래치의 수에 의해 결정되는) 수행에 연관된 스위치에 의해 선택적으로 사용될 수 있다(예를 들어, 제어부의 지시에 따라).

[0176] 일부 실시예들에서, 레벨의 스위치 노드들 각각은 고정된 스위칭 동작을 수행하도록 구성될 수 있다. 예를 들어, 제 1 레벨(967-0)의 각각의 스위치 노드(966-0, ..., 966-M-1)는 수신된 데이터 값을 레벨의 시퀀스에 지정된 스위치 노드를 통과함으로써 데이터 값에 대해 의도된 완료된 스위칭 동작을 달성하도록 구성된 레벨(967-0, ..., 967-N-1)의 복수 (예를 들어, 시퀀스)의 제 2 레벨(967-1)에 미리 결정된 위치로 스위칭하도록 구성될 수 있다(예를 들어, 본 출원에 설명된 연결 회로부(232)를 통해). 도 9a에 도시된 바와 같이, 각각의 레벨에서 대응하는 위치에 있는 스위치 노드는 일부 실시예에서 데이터 값을 데이터 값이 선행 및/또는 후속 레벨로 스위칭되는 위치와 다른 위치에 있는 스위치 노드로 이동 (예를 들어, 스위칭)하도록 구성될 수 있다. 스위칭 동작이 완료되면 결과 데이터 값이 그것들의 새 위치에 저장될 수 있다. 다양한 실시예에서, 최종 데이터 값은 최종 레벨(967-N-1)에서 스위치 노드의 래치(970)에 의해 저장될 수 있고 및/또는 결과 데이터 값은 최종 레벨(967-N-1)에 스위치 노드에 결합된 래치(968-0, ..., 968-M-1)에 의한 저장을 위해 이동될 수 있다.

[0177] 일부 실시예에서, 레벨의 스위치 노드 각각은 데이터 값의 복수의 이동 (예를 들어, 스위칭)을 수행하도록 구성될 수 있다. 제어기(140)는 (예를 들어, 도 5 및 도 6과 관련되고 본 출원의 어디 다른 곳에서 설명된) 데이터 값의 이동 방향을 다음 레벨(예를 들어, 제 1 스위치 프로토콜의 선택에 의해 결정된)의 제 1 스위치 노드에 다음 레벨의 다른 제 2 스위치 노드에 (예를 들어, 제 2 스위치 프로토콜의 선택에 의해 결정된)로 스위칭하기 위해 스위칭 노드(966)에 명령을 발송하도록 구성될 수 있다(예를 들어, 스위칭 컴포넌트(171)를 통해). 다양한 실시예들에서, 제어기(140)는 인메모리 데이터 스위칭 네트워크에서 스위치 노드(966)의 각각의 스위치(963)에 의한 특정 스위칭 동작의 수행을 지시 (예를 들어, 인에이블)하기 위해 마이크로 코드 명령을 실행하도록 구성될 수 있다. 다양한 실시예에서, 스위치 노드(966)의 스위치(963)는 도 2의 (232-1 및 232-2)에 도시된 연결 회로부, 도 5의 (555-0, ..., 555-7)에 도시된 공유 I/O 라인 및 및/또는 예컨대, 다중화기 (도시되지 않음)와 같은 다른 I/O 회로부를 이용하여 인에이블될 수 있다. 이와 같이 특정 스위치 프로토콜을 인에이블함으로써, 데이터 스위칭 네트워크를 통한 각 데이터 값의 이동이 스위치 프로토콜의 의도된 완료된 스위칭 동작을 달성하기 위해 미리 결정된 루트를 따르도록 각 레벨의 각 스위치 노드에 의해 수행되는 미리 결정된 스위칭 동작으로 귀결될 수 있다.

[0178] 일부 실시예들에서, 각각의 스위치 노드(966-0, ..., 966-M-1) 자체는 프로그램 가능 다중화기로 간주될 수 있다. 예를 들어, 레벨(967-0, ..., 967-N-1)로서 구현된 데이터 스위칭 네트워크(972-1)를 따르는 실시예 (예를 들어, 이에 제한되지는 않지만 2 차원 토폴로지에서는)는 $(k + 1)2^k$ 스위치 노드로 이루어진 네트워크 토폴로지를 가질 수 있다. 스위치 노드는 $k + 1$ 랭크로 배열될 수 있으며, 각각은 $n = 2k$ 스위치 노드를 가지며, 여기서 k 는 네트워크의 순서를 나타낸다. 각각의 레벨이 예를 들어, $256(2^8)$ 스위치 노드를 포함하는 (예를 들어, 2^8 비트 폭인) 데이터 스위칭 네트워크에서, 데이터 스위칭 네트워크의 깊이는 : 9 레벨(예를 들어, $2304 \div 256 = 9$)로 균일하게 분배될 수 있는 $(8 + 1)2^8 = 2304$ 스위치 노드에 의해 결정될 수 있다.

[0179] 예를 들어, 제 1 레벨(967-0)의 각각의 스위치 노드(966-0, ..., 966-M-1)는 특정 스위치 프로토콜을 인에이블하기 위해 명령이 스위칭 컴포넌트(171)로부터 발송된지에 따라 레벨 (967-0, ..., 967-N-1) 의 복수의 제 2 레벨(967-1)의 복수의 위치로 수신된 데이터 값을 스위칭하도록 구성될 수 있다. 따라서, 레벨의 시퀀스에서 지정된 스위치 노드를 통한 데이터 값의 통과는 의도된 완료된 스위칭 동작 (예를 들어, 복수의 스위치 프로토콜로부터의 선택에 의해 결정된)을 달성하기 위해 복수의 스위칭 동작 (예를 들어, 각 레벨에서의 다른 스위칭 동작)을 달성하도록 구성될 수 있다.

[0180] 메모리 디바이스(120)는 메모리 셀 의 어레이 (예를 들어, 도 4와 관련하여 설명되고 서브 어레이(425-1, ..., 425-32)를 포함하는 (423)에 도시된 어레이의 बैं크 섹션))를 포함할 수 있다. 메모리 디바이스(120)는 메모리 셀들의 어레이에 선택적으로 결합된 감지 회로부를 포함할 수 있으며, 감지 회로부는 감지 증폭기를 포함할 수 있다. I/O 라인(예를 들어, (455)에 도시되고 도 4와 관련하여 설명된)은 어레이와 연관된 인메모리 데이터 스위칭을 위한 데이터 경로로서 공유될 수 있다. 공유 I/O 라인(455)은 공유 I/O 라인의 데이터 경로에 스위치 노드 (예를 들어, (966-0, ..., 966-M-1)에 도시되고 도 9a 및 9b와 관련하여 설명된)에 감지 회로부를 선택적으로 결합할 수 있다. 메모리 디바이스(120)는 데이터 경로에 복수의 로직 스트라이프를 더 포함할 수 있다. 복수의 로직 스트라이프는, 예를 들어, (409-0, ..., 409-N-1 및 609-0, ..., 609-N-1)에 도시되고 도 9a 및 도 9b와 관

련하여 설명되고 (967-0, ..., 967-N-1)에서 그리고 도 4 및 도 6과 관련하여 설명된다. 제 1 로직 스트라이프 (예를 들어, 409-0, 609-0 및/또는 967-0)는 예를 들어, 실시예가 동일하게 제한되지 않지만 어레이의 행의 제 1 서브 행 (예를 들어, (465-1)에 도시되고 도 4와 관련하여 설명된 서브 행)의 복수의 메모리 셀의 수에 대응하는 복수의 제 1 스위치 노드 (예를 들어, 1K 스위치 노드)의 수를 포함할 수 있다. 예를 들어, 스위치 노드의 수는 (예를 들어, 본 출원에 설명된 다중화에 의해) 서브 행의 메모리 셀의 수와 상이할 수 있다.

- [0181] 메모리 디바이스(120)는 어레이와 연관된 제어기 (예를 들어, (140)에 도시되고 도 1a 내지 도 1f 및 도 5와 관련하여 설명 및 (642)에 도시되고 도 6과 관련하여 설명된)를 더 포함할 수 있다. 일부 실시예들에서, 제어기는 감지 회로부를 통해 어레이의 제 1 행의 제 1 서브 행으로부터 공유 I/O 라인을 통해 데이터 경로의 제 1 로직 스트라이프의 제 1 스위치 노드로의 이동을 지시하도록 구성될 수 있다. 제어기는 제 1 서브 행으로부터의 제 1 데이터 값에 대해 제 1 스위치 노드를 사용하여 스위치 프로토콜의 제 1 스위칭 동작의 수행을 지시하도록 구성될 수 있다. 제어기는 연결 회로부를 통한 제 1 로직 스트라이프로부터 데이터 경로의 제 2 로직 스트라이프의 제 2 스위치 노드로 제 1 스위칭 동작의 수행으로 인한 제 1 스위치 데이터 값의 이동을 지시하도록 추가로 구성될 수 있다.
- [0182] 일부 실시예들에서, 제 1 로직 스트라이프 (예를 들어, 도 4의 409-0)는 스위치 프로토콜의 복수의 스위칭 동작을 수행을 위한 인메모리 데이터 스위칭 네트워크(972)의 복수의 레벨의 제 1 레벨 (예를 들어, 도 9a 및 도 9b의 967-0)에 대응할 수 있다. 복수의 스위칭 동작들은 복수의 레벨들에 의해 순차적으로 데이터 값에 대해 수행될 수 있다 (예를 들어, 레벨들(967-0, ..., 967 -N-1)을 통해 데이터 값을 순차적으로 전달함으로써). 제 1 데이터 값에 대한 스위치 프로토콜의 수행 완료로 인한 데이터 값은 인-메모리 데이터 스위칭 네트워크(972-1)의 최종 레벨 (예를 들어, 레벨 (967-M-1))의 스위치 노드에 결합된 래치에 의해 저장될 수 있다 (예를 들어, 래치 (968-0, ..., 968-M-1)에 도시되고 도 9a와 관련하여 설명된) .
- [0183] 제어기는 공유 I/O 라인을 통해 제 1 데이터 값에 스위치 프로토콜의 수행이 완료로 인해 데이터 값의 어레이로 (예를 들어, 도 4와 관련하여 설명되고 도시된 서브 어레이(425-1, ..., 425-32)의 행의 메모리 셀로) 이동을 지시하도록 추가로 구성될 수 있다. 결과 데이터 값은 인메모리 데이터 스위칭의 최종 레벨의 스위치 노드에 결합된 래치 (예를 들어, (968-0, ..., 968-M-1)에 도시되고 도 9a와 관련하여 설명된)로부터 이동될 수 있다.
- [0184] 제어기는 또한 복수의 스위치 프로토콜로부터 제 1 스위치 프로토콜을 선택적으로 인에이블하도록 구성될 수 있다. 제 1 스위치 프로토콜은 복수의 스위치 노드들에 의해 제 1 스위치 프로토콜의 복수의 스위칭 동작의 수행의 선택 가능한 인에이블을 위해 복수의 레벨의 인메모리 데이터 스위칭 네트워크 사이에 분배된 복수의 스위치 노드들에 발송된(예를 들어, 도면들 5 및 6에 관련하여 설명된 명령 및 스위칭 컴포넌트(171)을 통해) 명령의 실행에 의해 인에이블될 수 있다.
- [0185] 다양한 실시예에서, 제 1 로직 스트라이프 (예를 들어, 도 4의 409-0)는 어레이의 행의 제 1 서브 행 (예를 들어, 465-1)의 메모리 셀의 수에 대응하는 복수의 컴퓨팅 컴포넌트 (예를 들어, (431-1, ..., 431Z)에 도시된)의 수를 더 포함할 수 있다. 제어기는 공유 I/O 라인을 통해 본 출원에서 설명된 로직 연산의 수행을 위한 선택된 컴퓨팅 컴포넌트(예를 들어, 본출원에서 설명된 그중에서도 불리언 연산들에서 선택된) 또는 스위칭 동작의 수행을 위한 선택된 스위치 노드로 이동을 선택적으로 지시하도록 추가로 구성된다.
- [0186] 도 9b에 도시된 실시예는 레벨들(967-0, ..., 977-N-1)로서 구현된 인메모리 데이터 스위칭 네트워크(972-2)의 예를 예시하도록 의도된다. 일부 실시예에서, 도 9b에 도시된 레벨의 수는 도 1a에 도시된 것보다 더 적은 레벨에 대응할 수 있다. 예를 들어, 도 9b에 도시된 구성에서 스위칭 동작을 수행하는 가역성은 의도된 완료된 스위칭 동작을 달성하기 위해 도 9a에 도시된 구성에서 사용되는 레벨의 수의 분수 (예를 들어, 1/2, 1/3 등)로 감소될 수 있게 할 수 있다.
- [0187] 일부 실시예들에서, 제어기(140)(예를 들어, 스위칭 컴포넌트(171))는 각각의 레벨(967-0, ..., 966-M-1) (예를 들어, 4 개의 레벨)에서 스위치 노드들(966-0, ..., 966-M-1)이 스위칭 동작의 시퀀스의 제 1 부분(969-1)을 수행하도록 구성되게 (예를 들어, 인에이블된, 프로그래밍된 등) 지시할 수 있다. 시퀀스의 제 1 부분(969-1)이 완료되면, 결과 데이터 값은 (예를 들어, 최종 레벨(967-M-1)의 스위치 노드에 결합된 대응하는 래치(968-0, ..., 968-M-1)들의 수에) 저장될 수 있다.
- [0188] 제어기(140)는 그러다음 각각의 레벨(967-0, ..., 966-M-1) (예를 들어, 4 개의 레벨)의 스위치 노드(966-0, ..., 966-M-1)가 스위칭 동작 시퀀스의 제 2 부분(969-2)을 수행하도록 재구성되도록 지시할 수 있다 (예를 들어, 스위칭 동작은 시퀀스의 제 1 부분(969-1)에서 수행된 스위칭 동작과 다른 적어도 하나의 레벨에서 수행된

다). 일부 실시예들에서, 시퀀스의 제 2 부분(969-2)은 제 1 부분(969-1)의 통과에 비해 레벨을 통한 반대 방향의 데이터 값의 통과에 의해 수행될 수 있다. 시퀀스의 제 2 부분(969-2)이 완료되면, 결과 데이터 값들은 (예를 들어, 제 1 레벨(967-0)의 스위치 노드들에 결합된 대응하는 수의 래치들(968-0, ..., 968-M-1))에 저장될 수 있다. 일부 실시예에서, 시퀀스의 제 2 부분(969-2)은 예를 들어, 최종 레벨(967-N-1)로부터 제 1 레벨(967-0)로 결과 데이터 값을 루핑(loop)함으로써 제 1 부분(969-1)의 통과와 동일한 방향으로 데이터 값을 통과시킴으로써 수행될 수 있다.

[0189] 이와 같이 수행되는 스위칭 동작 시퀀스의 부분 (예를 들어, 969-1, 969-2, ..., 969-M)의 수는 무제한이며, 이는 각 통로에서 수행되는 시퀀스의 비율을 지속적으로 작게할 수 있다. 의도된 완성된 스위칭 동작을 달성하기 위해 동일한 레벨이지만 복수의 부분에 데이터 값을 전달하는 것은 인메모리 데이터 스위치 네트워크의 레벨 및/또는 그 비율에 대해 칩 상에 이용되는 영역을 감소시킬 수 있다. 일부 실시예들에서, 방금 설명된 부분들(969)은 어레이(예를 들어, (128)에 도시되고 도 1e와 관련하여 설명된)의 파티션들 및/또는 컴퓨팅 유닛의 파티션들 (예를 들어, 도면들 4 및 6과 관련하여 설명된 컴퓨팅 유닛들(460 및 660)의 파티션들)에 대응할 수 있다.

[0190] 따라서, 메모리 디바이스(120)는 방금 설명된 바와 같이 감지 회로부, 공유 I/O 라인, 연결 회로부 및/또는 데이터 경로에 위치한 스위치 노드를 통해 스위칭 동작을 수행하도록 구성될 수 있다. 따라서, 본 출원에서 설명된 스위칭 동작은 데이터 경로 외부에 위치한 버터 플라이 네트워크의 이전 구현에 의해 수행된 동작 (예를 들어, 본 출원에서 설명된 데이터 경로 이외의 위치에 위치한 하드웨어, 펌웨어 및/또는 소프트웨어 컴포넌트를 포함하는 버터 플라이 네트워크)과 다른 동작을 포함한다.

[0191] 따라서, 본 출원에서 설명된 실시예들은 프로세싱 자원에 의해 비 일시적 명령의 실행에 의해 수행될 수 있는 인메모리 데이터 스위칭 네트워크를 위한 메모리 디바이스를 동작시키는 방법을 제공한다. 본 출원에 설명된 바와 같이, 방법은 제 1 로직 스트라이프 (예를 들어, (967-0)에 도시되고 도 9b와 관련하여 설명된 제 1 레벨에 대응하는 도 4와 관련하여 도시되고 로직 스트라이프(409-0))에 의해 데이터 값에 대해 복수의 스위칭 동작 중 제 1 서브 세트의 제 1 스위칭 동작 (예를 들어, (969-1)에 도시되고 도 9b와 관련하여 설명된) 수행하는 단계를 포함할 수 있다. 데이터 값은 어레이 및 제 1 로직 스트라이프에 의해 공유된 I/O를 통해 어레이의 메모리 셀로부터 이동되었을 수 있다. 방법은 복수의 스위칭 동작의 제 1 서브 세트가 수행되는 데이터 값을 제 1 로직 스트라이프에서 최종 로직 스트라이프로 로직 스트라이프를 선택적으로 결합하는 연결 회로부 (예를 들어, 도 2와 관련하여 설명된 연결 회로부(232))를 통해 최종 로직 스트라이프 (예를 들어, 도 9b와 관련하여 설명되고 (967-N-1)에 도시된 최종 레벨에 대응하는 도 4와 관련하여 도시되고 설명된 로직 스트라이프(409-N-1))로 순차적으로 이동시키는 단계를 포함할 수 있다. 방법은 또한 최종 로직 스트라이프에 의해 제 1 서브 세트의 최종 스위칭 동작을 수행하는 단계 및 복수의 스위칭 동작의 제 1 서브 세트의 수행의 완료로 인한 데이터 값에 대한 복수의 스위칭 동작의 제 2 서브 세트의 (예를 들어, 969-2에 도시된 바와 같은) 제 1 스위칭 동작을 최종 로직 스트라이프에 의해 수행하는 단계를 포함할 수 있다.

[0192] 방법은 복수의 스위칭 동작 중 제 1 서브 세트의 수행의 완료로 인한 데이터 값을 최종 로직 스트라이프로부터 제 1 로직 스트라이프로 순차적으로 이동시킴으로써 복수의 스위칭 동작의 제 2 서브 세트의 수행을 완료하는 단계를 더 포함할 수 있다. 방법은 일부 실시예들에서, 제어기에 의해, 제 1 서브 세트의 최종 스위칭 동작이 최종 로직 스트라이프에 의해 수행되는 스위칭 동작이 최종 로직 스트라이프에 의해 수행된 제 2 서브 세트의 제 1 스위칭 동작과 상이하도록 지시하는 단계를 더 포함할 수 있다.

[0193] 방법은 제 1 서브 세트 (969-1)의 최종 스위칭 동작의 최종 로직 스트라이프에 의한 수행으로 인한 데이터 값을 최종 로직 스트라이프의 스위치 노드 (예를 들어, 최종 레벨 (967-N-1))에 연결된 래치 (예를 들어, 968-0, ..., 968-M-1에 도시된)에 의해 저장하는 단계 및 최종 로직 스트라이프에 의해, 저장된 데이터 값에 대한 복수의 스위칭 동작의 제 2 서브 세트 (969-2)의 제 1 스위칭 동작의 수행을 개시하는 단계를 더 포함할 수 있다. 방법은 제 2 서브 세트(969-2)의 최종 스위칭 동작의 제 1 로직 스트라이프에 의한 수행으로 인한 데이터 값을 제 1 로직 스트라이프의 스위치 노드 (예를 들어, 제 1 레벨(967-0))에 결합된 래치 (예를 들어, (968-0, ..., 968-M-1)에 도시된)에 의해 데이터 값을 저장하는 단계, 및 공유 I/O 라인을 통해 저장된 데이터 값을 어레이 (예를 들어, 도 4와 관련하여 도시되고 설명된 서브 어레이(425-1, ..., 425-32) 내의 행의 메모리 셀)로 이동시키는 단계를 더 포함할 수 있다.

[0194] 감지 회로부, 감지 증폭기, 컴퓨팅 컴포넌트, 래치, 로직 스트라이프, 공유 I/O 라인, 열 선택 회로부, 연결 회로부, 다중화기, 인메모리 데이터 스위칭 네트워크, 레벨, 스위치 노드, 스위치 등의 다양한 조합 및 구성을 포

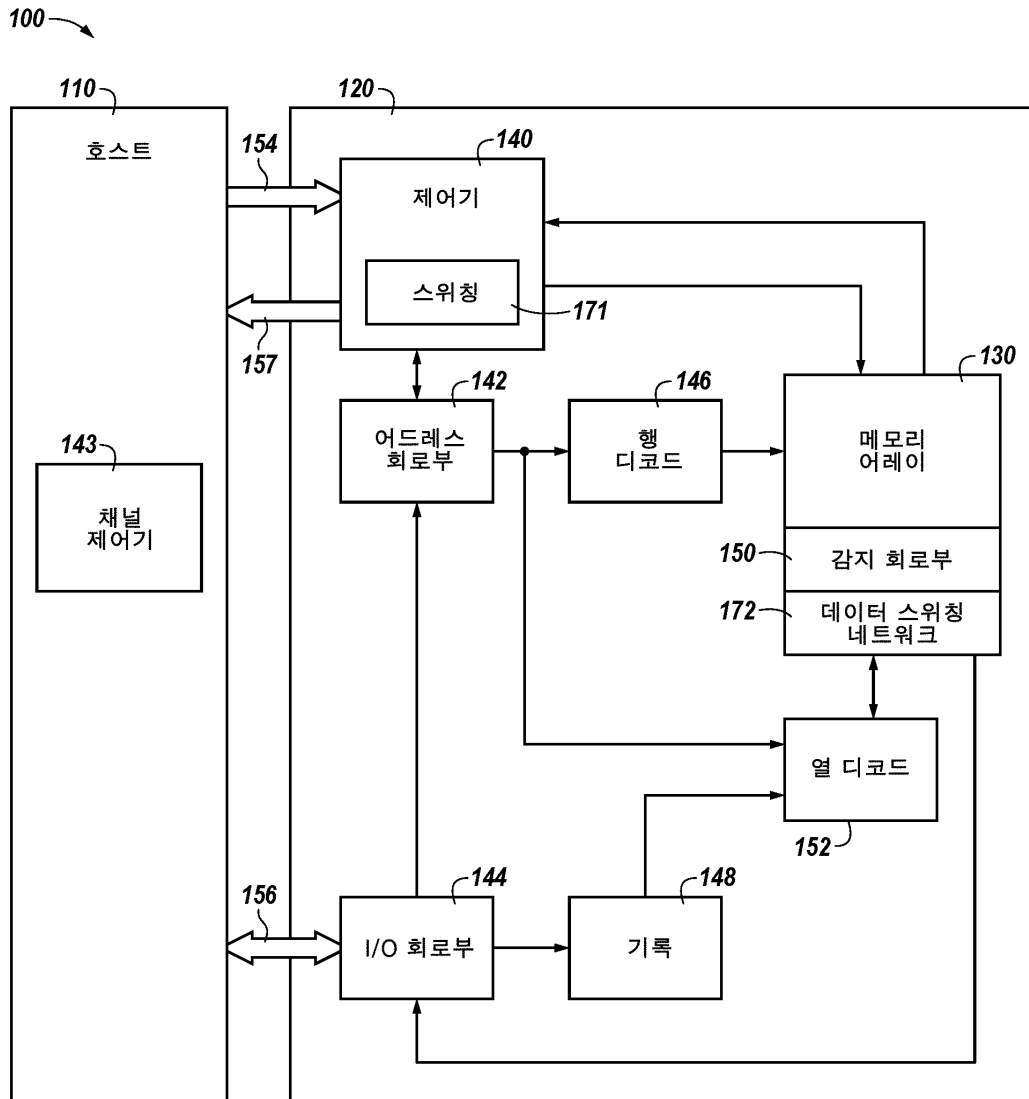
합하는 예시적인 실시예가 본 출원에서 예시되고 설명되었지만, 본 개시의 실시예는 본 출원에서 명시적으로 지칭된 조합으로 제한되지 않는다. 본 출원에 개시된 감지 회로부, 감지 증폭기, 컴퓨팅 컴포넌트, 래치, 로직 스트라이프, 공유 I/O 라인, 열 선택 회로부, 연결 회로부, 다중화기, 인메모리 데이터 스위칭 네트워크, 레벨, 스위치 노드, 스위치 등의 다른 조합 및 구성은 본 개시의 범위 내에 명백히 포함된다.

[0195] 특정 실시예들이 본 출원에 도시되고 설명되었지만, 당업자는 동일한 결과들을 달성하기 위해 산출된 배열이 도시된 특정 실시예들을 대체할 수 있음을 이해할 것이다. 본 개시는 본 개시의 하나 이상의 실시 형태의 적응 또는 변형을 포함하도록 의도된다. 상기 설명은 제한적인 것이 아니라 예시적인 방식으로 이루어진 것으로 이해되어야 한다. 상기 실시예들과 본 출원에서 구체적으로 설명되지 않은 다른 실시예들의 조합은 상기 설명을 검토할 때 당업자에게 명백할 것이다. 본 개시의 하나 이상의 실시예들의 범위는 상기 구조들 및 프로세스들이 사용되는 다른 애플리케이션들을 포함한다. 그러므로, 본 개시의 하나 이상의 실시예의 범위는 그러한 청구 범위가 부여되는 전체 범위의 등가물과 함께 첨부된 청구 범위를 참조하여 결정되어야 한다.

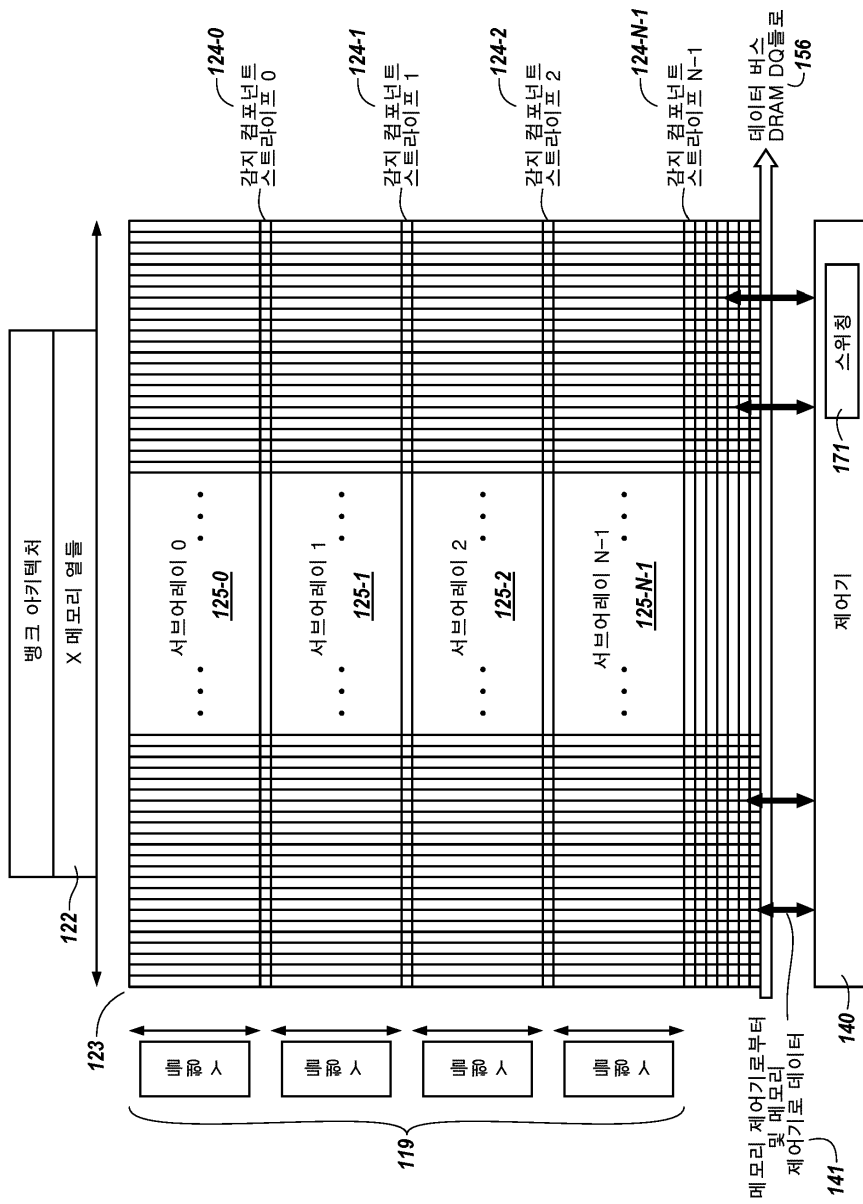
[0196] 전술한 상세한 설명에서, 일부 특징들은 본 개시를 간소화하기 위해 단일 실시예에서 함께 그룹화된다. 이 개시 방법은 본 개시의 개시된 실시예가 각 청구 범위에 명시적으로 나열된 것보다 더 많은 특징을 사용해야 한다는 의도를 반영하는 것으로 해석되어서는 안된다. 오히려, 다음의 청구 범위가 반영하는, 본 개시의 주제는 단일의 개시된 실시예의 모든 특징보다 적다. 따라서, 이하의 청구 범위는 상세한 설명에 포함되며, 각 청구 범위는 그 자체가 별도의 실시예로서 있다.

도면

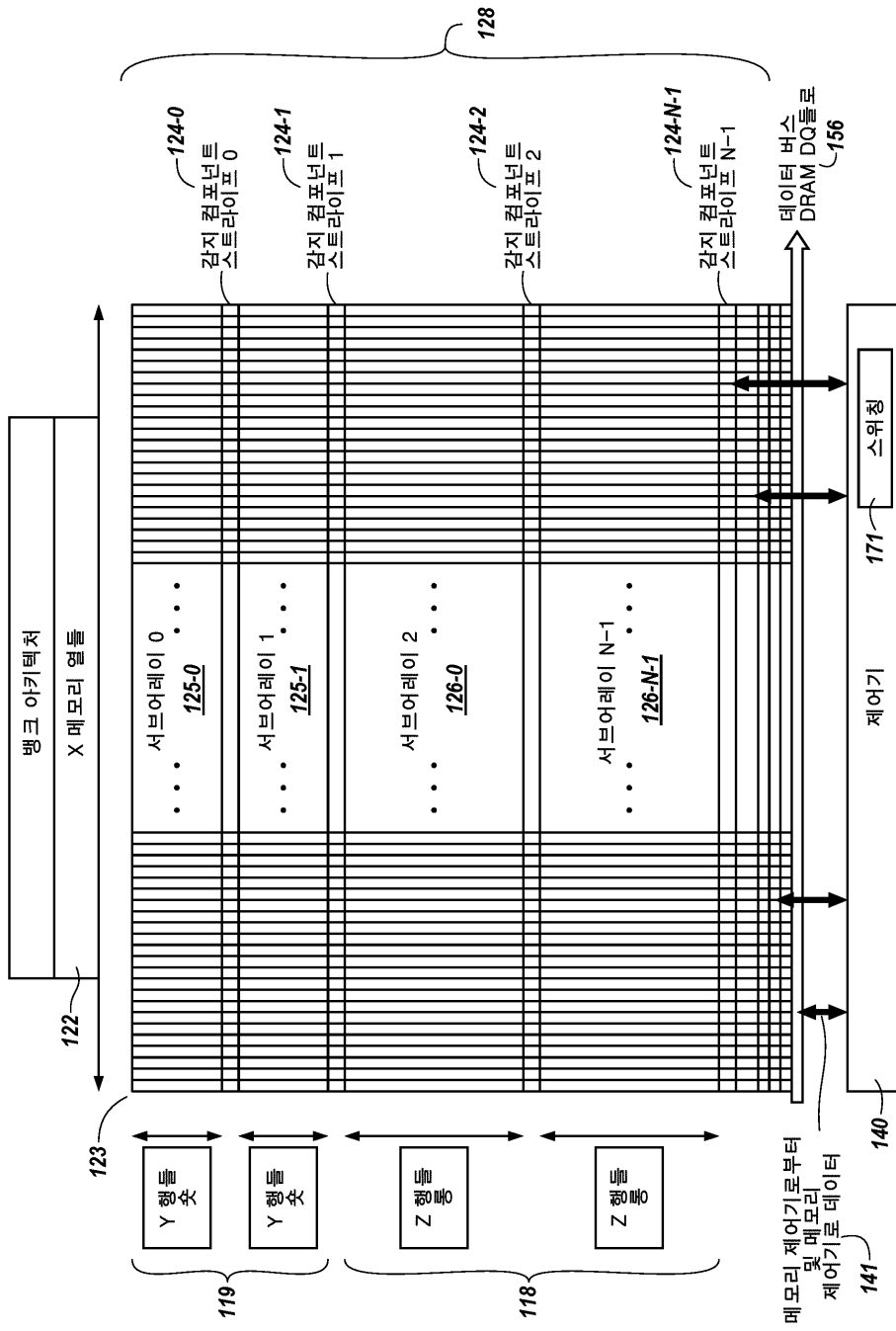
도면1a



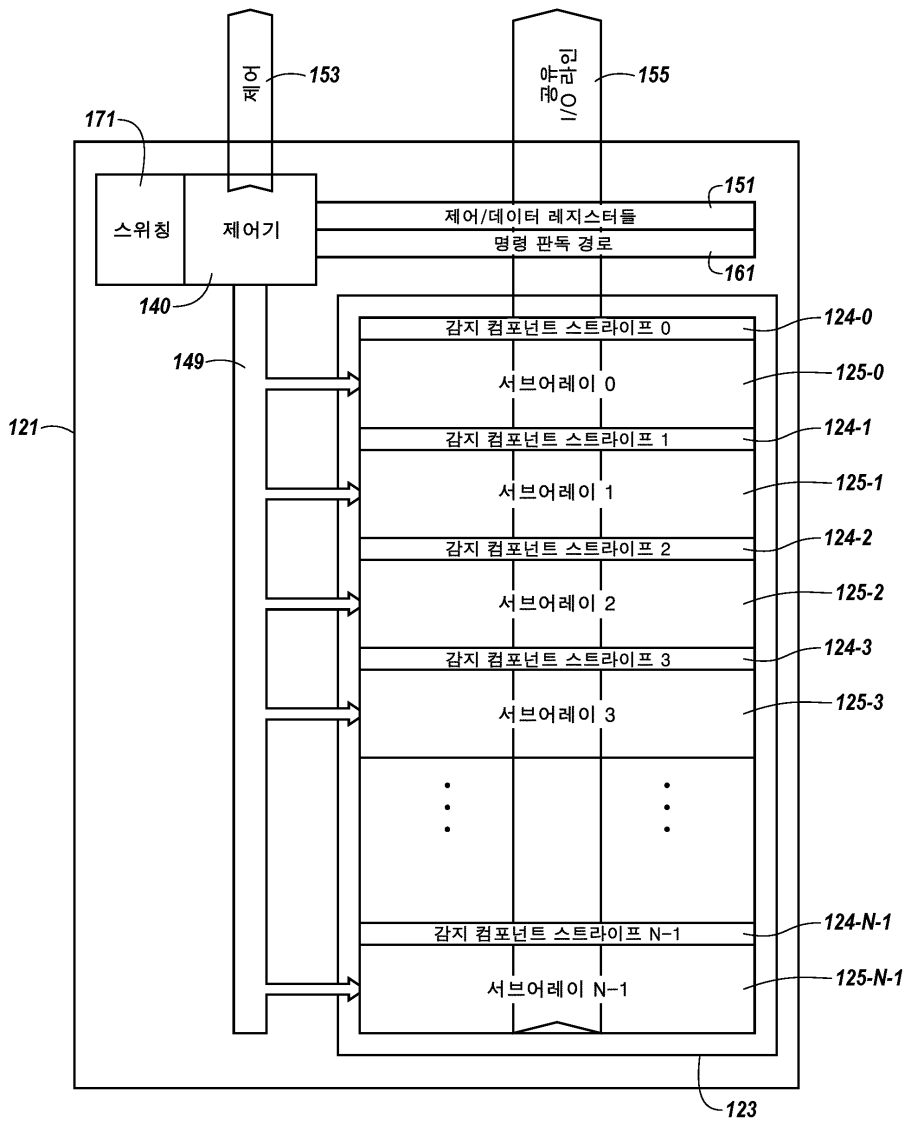
도면1b



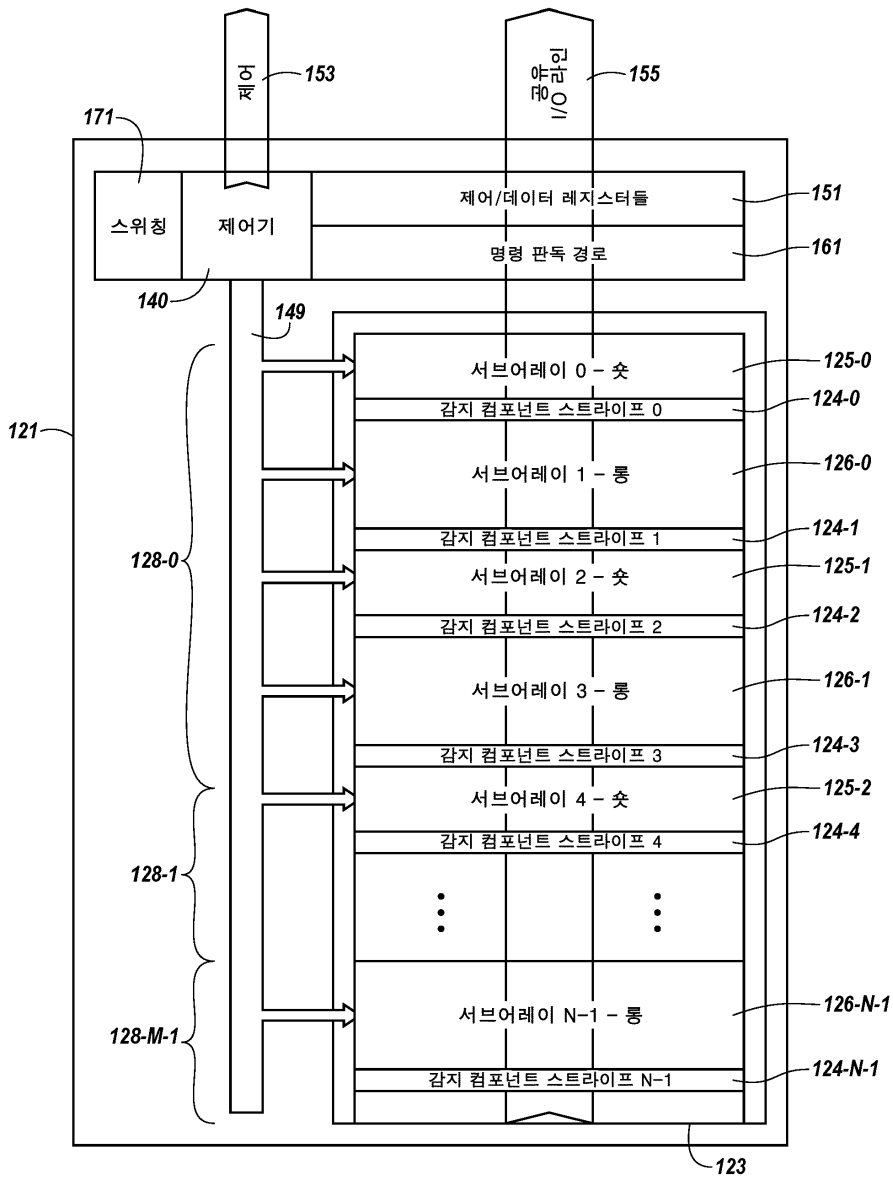
도면1c



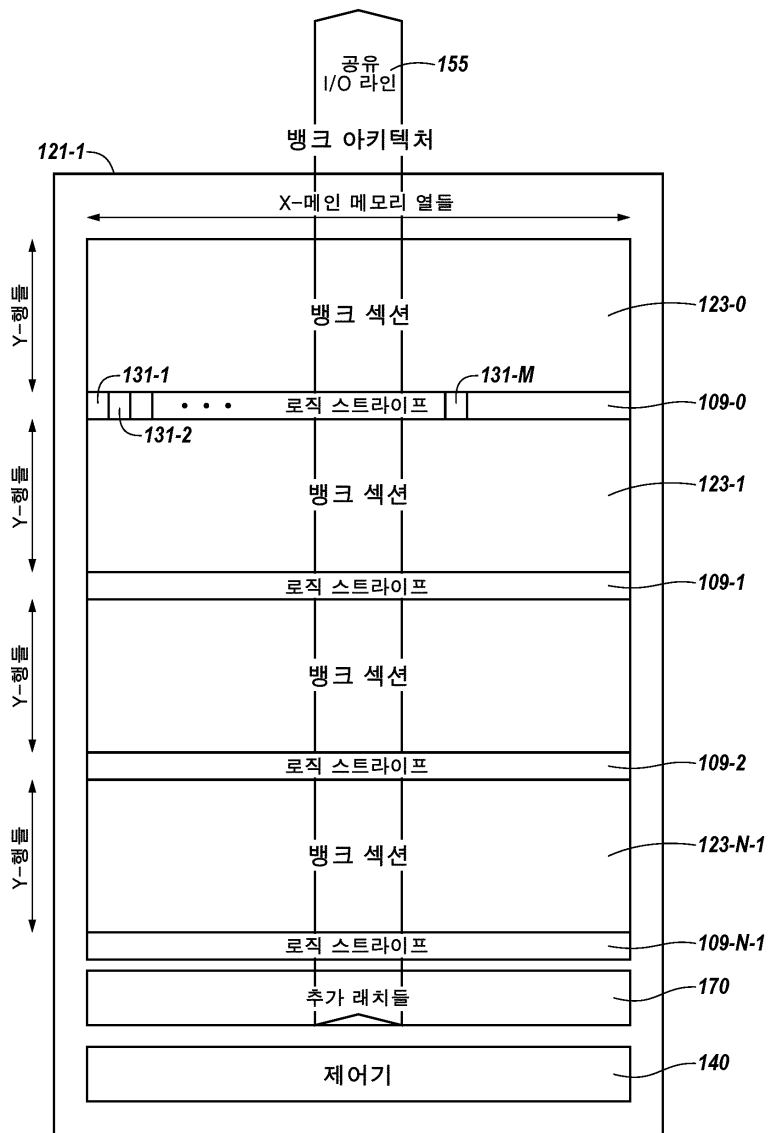
도면1d



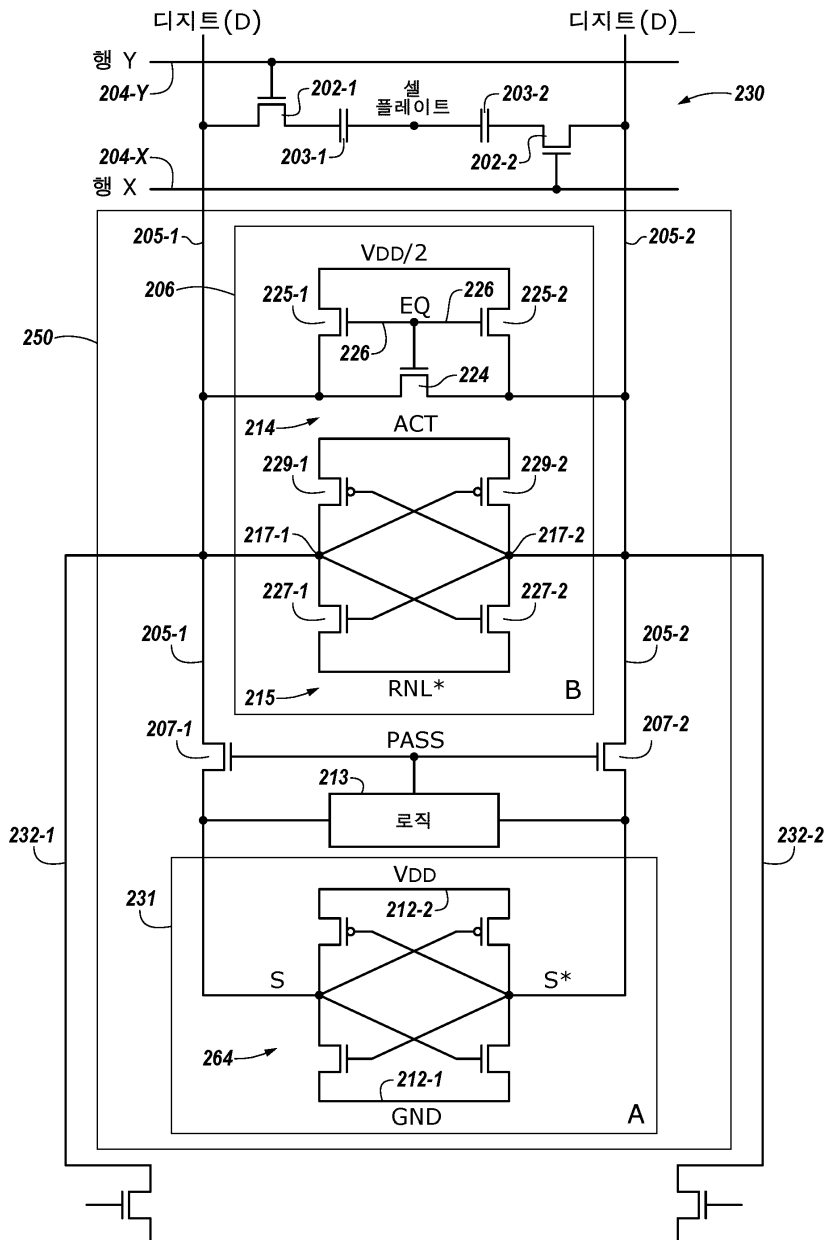
도면1e



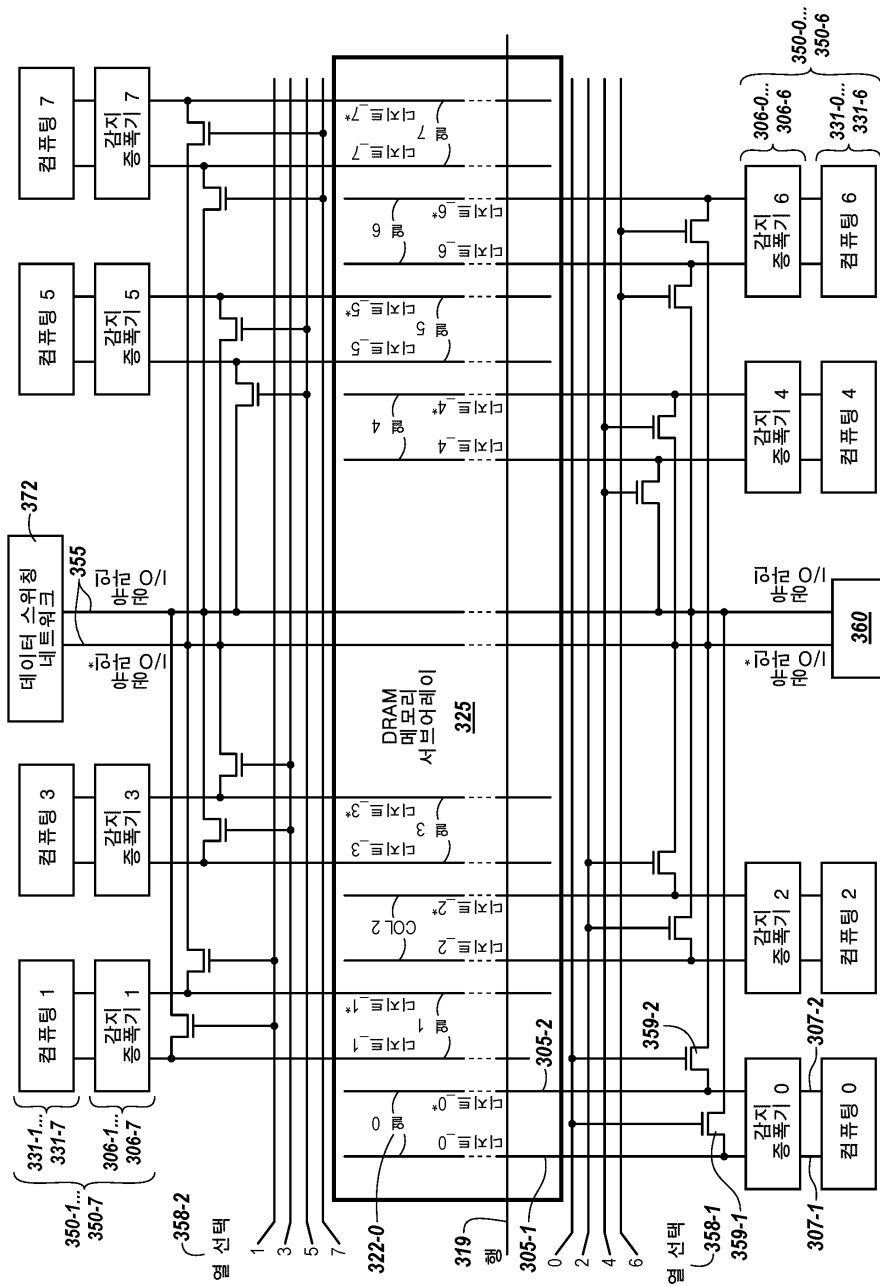
도면1f



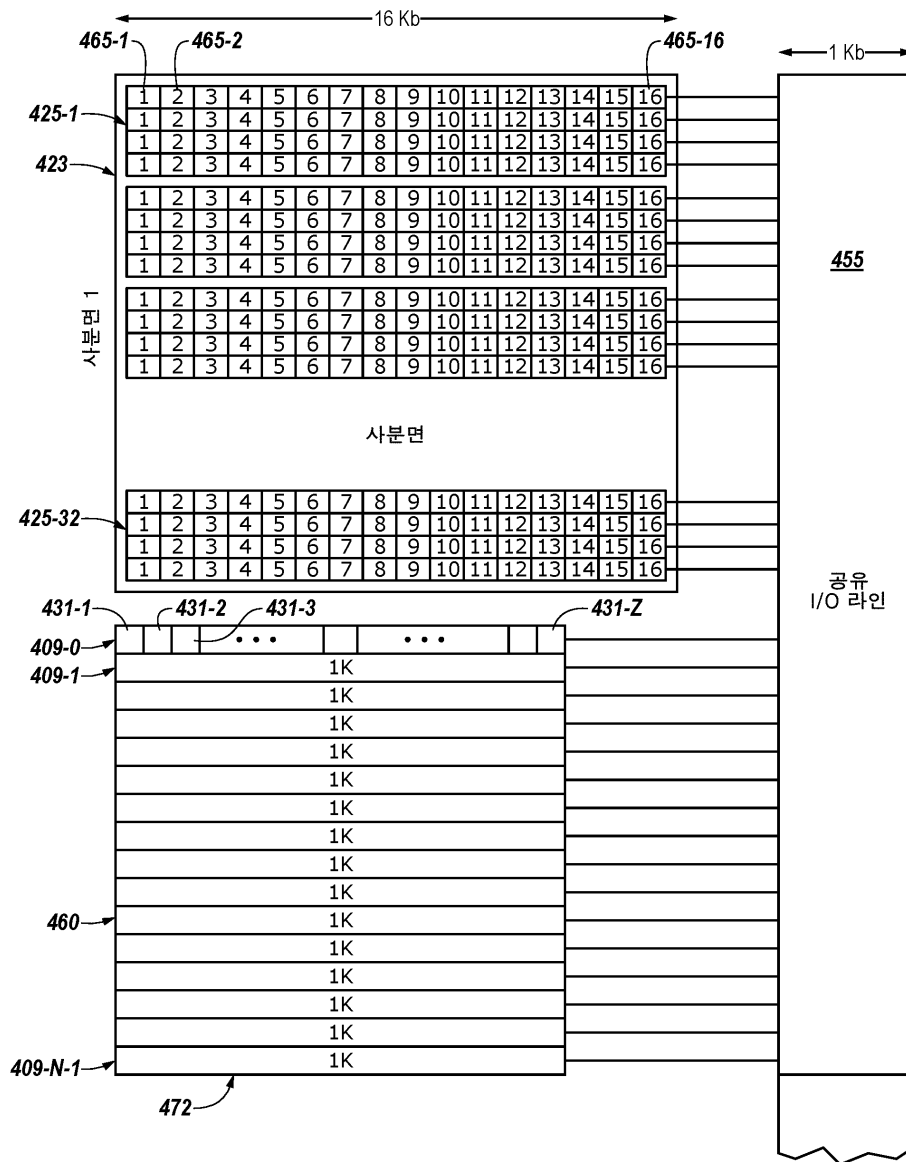
도면2



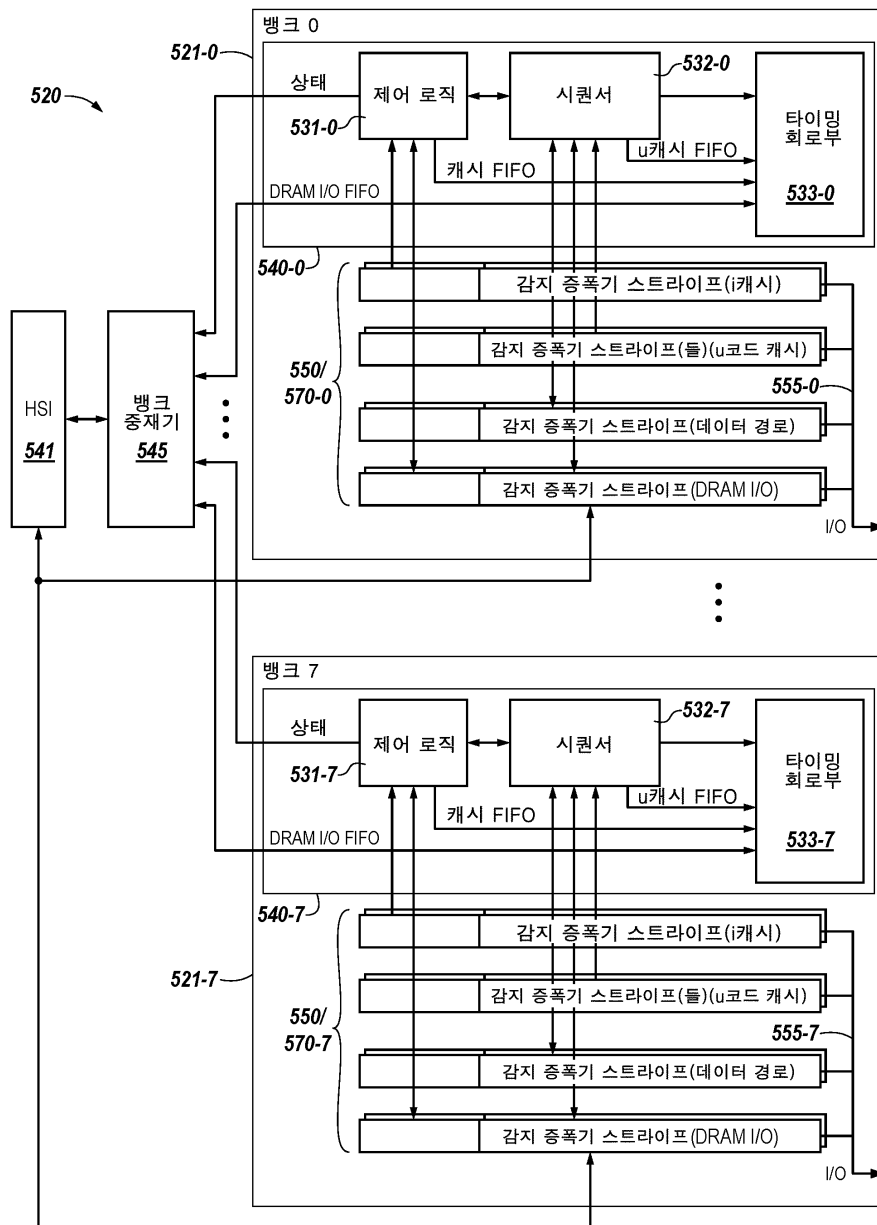
도면3



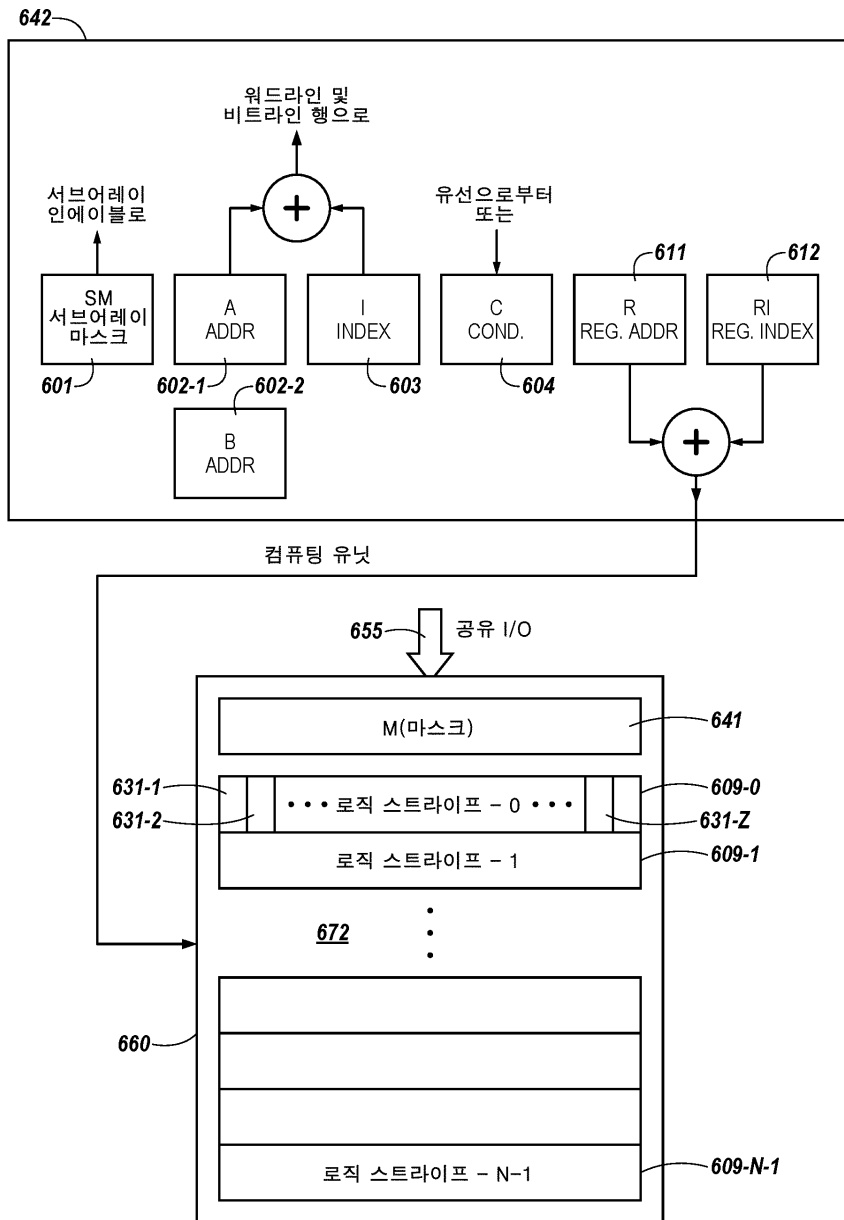
도면4



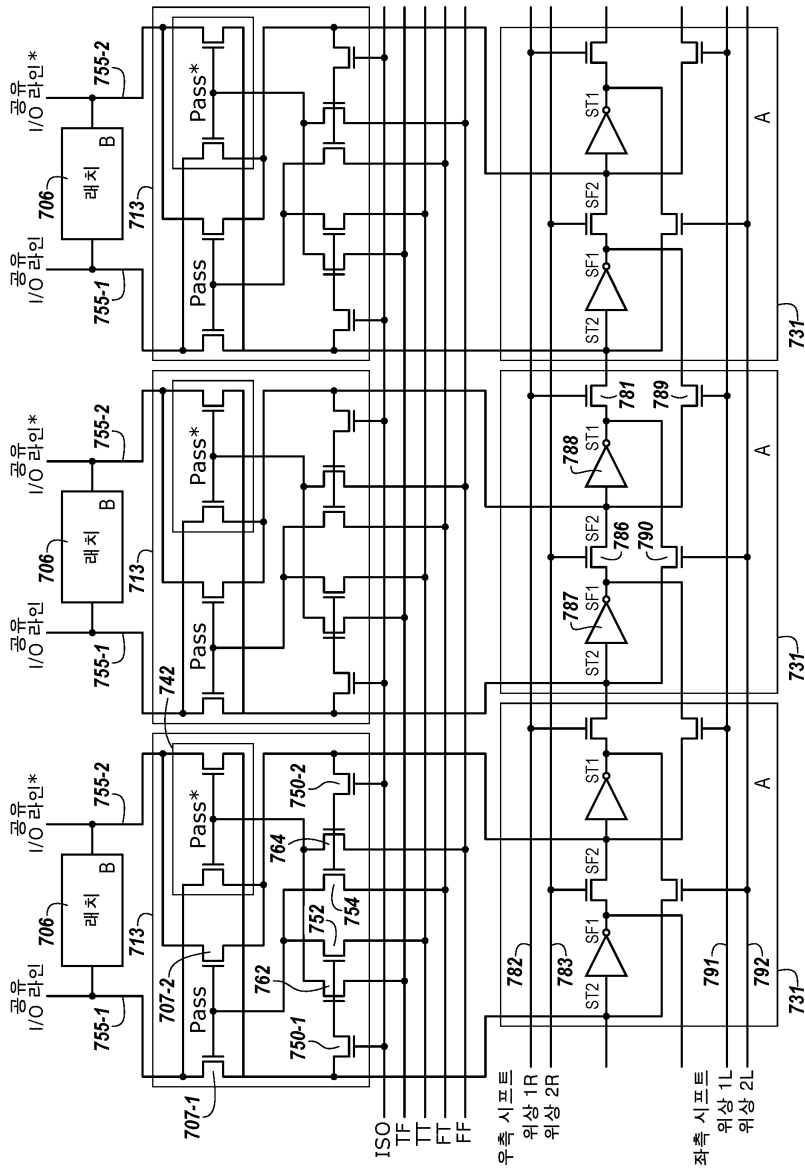
도면5



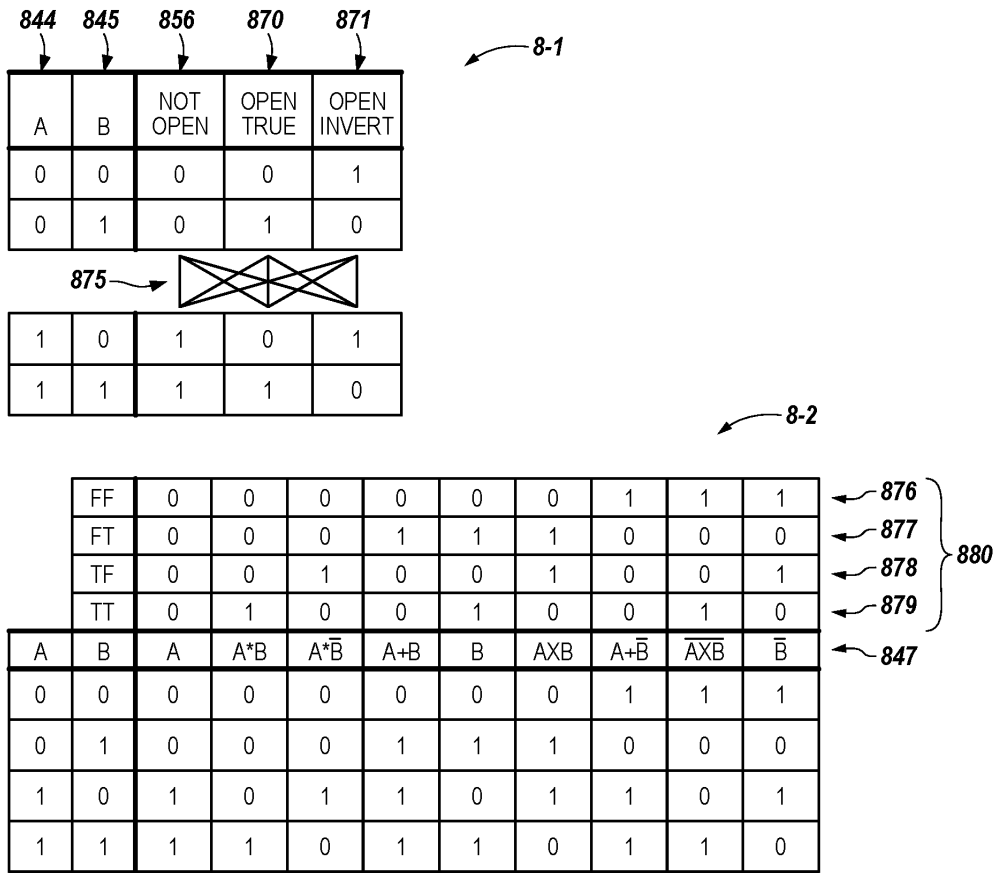
도면6



도면7



도면8



도면9b

