

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 33/00 (2006.01)

H01L 27/15 (2006.01)



[12] 发明专利说明书

专利号 ZL 01817035.8

[45] 授权公告日 2009 年 12 月 2 日

[11] 授权公告号 CN 100565942C

[22] 申请日 2001.8.8 [21] 申请号 01817035.8

[30] 优先权

[32] 2000.8.8 [33] DE [31] 10038671.7

[32] 2000.11.30 [33] DE [31] 10059532.4

[86] 国际申请 PCT/DE2001/003033 2001.8.8

[87] 国际公布 WO2002/013281 德 2002.2.14

[85] 进入国家阶段日期 2003.4.8

[73] 专利权人 奥斯兰姆奥普托半导体有限责任公司

地址 德国雷根斯堡

[72] 发明人 S·伊莱克 A·普勒斯尔

K·施特罗伊贝尔 W·维格莱特

R·维尔斯

[56] 参考文献

US3813587A 1974.5.28

US5309001A 1994.5.3

EP0022486A1 1981.1.21

DE2716205A1 1977.11.10

US6091085A 2000.7.18

US5491350A 1996.2.13

EP0905797A2 1999.3.31

JP6-318731A 1994.11.15

US4933601A 1990.6.12

审查员 章放

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 胡强 赵辛

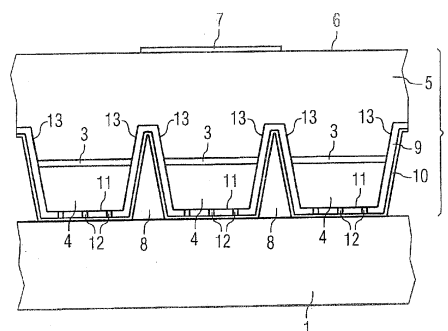
权利要求书 3 页 说明书 16 页 附图 17 页

[54] 发明名称

用于光电子学的半导体芯片及其制造方法

[57] 摘要

半导体芯片，尤其是发射辐射的半导体芯片，它具有一个有源薄膜层(2)和一个用于薄膜层(2)的载体衬底(1)，在该薄膜层中形成一个发射光子的区域(3)，该衬底设置在薄膜层(2)的背对芯片辐射方向的那侧上并与该薄膜层连接。在有源薄膜层(2)中，从载体衬底(1)起形成至少一个孔洞(8)，通过该孔洞，在载体衬底(1)与薄膜层(2)之间的分界处形成许多个台面(4)。



1. 发射辐射的半导体芯片，它具有一个薄膜层，在该薄膜层中形成一个发射光子的有源区(3)，所述薄膜层在背对半导体芯片的发射方向的一侧上设有至少一个孔洞，通过所述孔洞形成了多个台面，使得所述薄膜层包括所述多个台面以及一个与所述台面邻接的覆层，其中所述孔洞的深度构造成使孔洞并不断开所述有源区，从而使所述有源区形成在所述覆层内。

2. 如权利要求 1 所述的半导体芯片，其特征在于，孔洞(8)的横截面随着离开覆层而变大。

3. 如权利要求 1 或 2 所述的半导体芯片，其特征在于，该薄膜层具有一个基于 $\text{In}_{1-x-y}\text{Al}_x\text{Ga}_y\text{P}$ 的层序列，其中 $0 \leq x \leq 1$ ， $0 \leq y \leq 1$ 且 $x+y \leq 1$ 。

4. 如权利要求 1 或 2 所述的半导体芯片，其特征在于，所述台面(4)通过只在构成薄膜层(2)的产生辐射的区域内形成的多个孔洞(8)来形成。

5. 如权利要求 1 或 2 所述的半导体芯片，其特征在于，由有源区(3)发出的光子的至少一条轨迹(18)从各个台面(4)通向相邻的台面(4)中之一。

6. 如权利要求 4 所述的半导体芯片，其特征在于，台面(4)随着离开覆层而逐渐缩小。

7. 如权利要求 6 所述的半导体芯片，其特征在于，台面(4)具有凹侧面(13)。

8. 如权利要求 4 所述的半导体芯片，其特征在于，台面(4)成截头金字塔形。

9. 如权利要求 4 所述的半导体芯片，其特征在于，覆层(5)对由所述发射光子的有源区(3)所发出的光子来说是尽可能透射的。

10. 如权利要求 1 或 2 所述的半导体芯片，其特征在于，覆层(5)是高度掺杂的。

11. 如权利要求 1 或 2 所述的半导体芯片，其特征在于，台面(4)被一个反射层覆盖住。

12. 如权利要求 11 所述的半导体芯片，其特征在于，该反射层具有一个垫有一绝缘层(9)的金属化层(10)。

13. 如权利要求 1 或 2 所述的半导体芯片，其特征在于，薄膜层(2)具有 5-50 微米的厚度。

14. 如权利要求 13 所述的半导体芯片，其特征在于，薄膜层(2)具有

5-25 微米的厚度。

15. 如权利要求 1 或 2 所述的半导体芯片, 其特征在于, 所述至少一个孔洞(8)的深度大于薄膜层(2)厚度的一半。

16. 如权利要求 1 或 2 所述的半导体芯片, 其特征在于, 在所述薄膜层的朝向台面的一侧上设有用于所述薄膜层的载体衬底。

17. 如权利要求 16 所述的半导体芯片, 其特征在于, 所述载体衬底(1)是导电的, 并且在背对薄膜层(2)的那侧上具有一个电接触面(44)。

18. 如权利要求 16 所述的半导体芯片, 其特征在于, 载体衬底(1)是导电的或电绝缘的, 并且在面向薄膜层(2)的那侧上除薄膜层(2)外还有一个电接触面(46)。

19. 如权利要求 1 或 2 所述的半导体芯片, 其特征在于, 薄膜层(2)的与台面(4)相反一侧的表面(6)有一个用于改善光耦合输出的光学抗反射涂覆层(42)。

20. 如权利要求 19 所述的半导体芯片, 其特征在于, 该光学抗反射涂覆层(42)由氮化硅构成。

21. 如权利要求 19 所述的半导体芯片, 其特征在于, 该光学抗反射涂覆层(42)由导电的 In-Sn 氧化物构成。

22. 如权利要求 1 或 2 所述的半导体芯片, 其特征在于, 薄膜层(2)在与一个或多个接触部位(7,43)相对的区域中没有孔洞(8), 其中所述接触部位(7,43)位于薄膜层(2)的与台面(4)相反的一侧上, 并用于施加电接触材料。

23. 如权利要求 1 或 2 所述的半导体芯片, 其特征在于, 台面(4)随着离开覆层而逐渐缩小。

24. 如权利要求 23 所述的半导体芯片, 其特征在于, 台面(4)具有截头金字塔形或截锥形形状, 并且斜的侧面具有一个在 5° - 60° 之间的、与薄膜层(2)的横延伸方向相对的迎角 ψ 。

25. 如权利要求 24 所述的半导体芯片, 其特征在于, 迎角 ψ 为 10° - 40° 。

26. 如权利要求 25 所述的半导体芯片, 其特征在于, 迎角 ψ 为 15° - 30° 。

27. 用于同时制造多个用于光电子学的并有一个薄膜层(2)的半导体芯片的方法, 在该薄膜层中形成一个发射光子的有源区(3), 该方法包括以下步骤:

- 在一个生长衬底(20)上使一个包含了所述发射光子的有源区(3)的层

序列外延生长;

- 在该层序列中形成至少一个孔洞(8),使得在该层序列中形成多个台面(4),从而使得所述薄膜层包括了所述多个台面以及一个与所述台面邻接的覆层,其中,所述孔洞构造成具有较小的深度而导致所述发射光子的有源区(3)不被断开,而是形成在所述覆层内;

- 将由生长衬底和层序列构成的复合体安装到一个载体衬底(21)上,使得台面(4)面对载体衬底(21),并且使该复合体与载体衬底(21)连接;

- 将一个电触点接通部(7,43,49)安置到该层序列的与台面(4)相对的那面上;

- 沿分离轨迹(22)将由载体衬底(21)和结构化的层序列所构成的复合体分割成半导体芯片(23)。

28. 如权利要求 27 所述的方法,其特征在于,所述生长衬底(20)被至少部分地去除。

29. 如权利要求 27 或 28 所述的方法,其特征在于,在所述层序列的设有孔洞(8)的表面上设有至少一层绝缘层(9),并且分别在所述台面(4)上形成至少一个触点接通部(12)。

30. 如权利要求 27 或 28 所述的方法,其特征在于,在连接该层序列与载体衬底晶片(21)之前,沿分离轨迹(22)断开该层序列。

31. 如权利要求 30 所述的方法,其特征在于,所述生长衬底(20)在连接层序列与载体衬底之前被至少部分地去除,之后在断开载体衬底(21)之前在一个单独步骤中沿着分离轨迹(22)断开该层序列。

用于光电子学的半导体芯片及其制造方法

技术领域

本发明涉及用于光电子学的半导体芯片，尤其涉及发射辐射的半导体芯片，它具有：

- 一个有源薄膜层且尤其基于 $\text{In}_{1-x-y}\text{Al}_x\text{Ga}_y\text{P}$ （其中 $0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$ ）的薄膜层，在该薄膜层中形成一个发射光子的区域，
- 一个用于薄膜层的载体衬底，它设置在该薄膜层的背对芯片发射方向的那侧上并与该薄膜层连接。

本发明还涉及同时制造许多这样的半导体芯片的方法。

背景技术

衬底本身是半导体芯片的一部分并且是薄膜层的机械支承层即薄膜层的主要支承元件，薄膜层本身在与衬底相对的那侧上不再有自支承层。

基于 $\text{In}_{1-x-y}\text{Al}_x\text{Ga}_y\text{P}$ （其中 $0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$ ）的薄膜层意味着，薄膜层具有许多层，它们由掺杂或未掺杂的 $\text{In}_{1-x-y}\text{Al}_x\text{Ga}_y\text{P}$ （其中 $0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$ ）系材料制成。

US5008718 和 US5367580 公开了上述类型的半导体芯片。为了制造上述类型的半导体芯片，通常通过外延方法在一个衬底上涂敷上一个有源半导体层序列。然后，在该有源半导体层序列的表面上，固定着一个载体衬底。其上淀积着该半导体层序列的基底的至少一部分被去除掉。最好在该载体衬底和该有源半导体层序列之间有一个金属反射层，使载体衬底不吸收光。

这种已知的半导体芯片的一个缺点是，设置在载体衬底和有源半导体层序列之间的金属反射层在波长短时一般没有令人满意的反射率。尤其是当波长短于 600 纳米时，作为金属反射层的金的效率越来越低，因为反射率明显降低。当波长短于 600 纳米时，例如可以采用元素 Al 和 Ag，它们的反射率在波长短于 600 纳米的情况下保持比较稳定。

另外，接合大面积反射层如金属反射层带来了困难。另外，由于金属接触层的接合和合金化，还存在损害金属反射层的质量的相当大的危险。

此外，DE19807758A1 公开了一种截金字塔形半导体芯片，它在一个

上窗口层和一个下窗口层之间具有一个有源发光区。该上窗口层和该下窗口层一起构成该截金字塔形基体。窗口层侧壁的倾斜取向使来自有源区的光在侧面上全反射并且几乎垂直地射向截金字塔形主体的起发光面作用的底面。这样一来，从有源区发出的光的一部分在半导体元件的出射锥内射向表面。

在这里，出射锥是指并且以下应该是指这样的锥体，即它由光线构成，所述光线入射到出射面的入射角小于全反射临界角并且这些光线因而没有被全反射，而是直接从半导体材料中被耦合输出。因此，出射锥的开口角是全反射临界角的两倍。那些在出射锥外延伸的或者说以一个比全反射临界角更大的角度击中出射面的光线被全反射。

为了显著增大光输出，这种构想的前提就是上、下窗口具有最小厚度。在已知的截金字塔形半导体元件中，上、下窗口层的厚度至少为 50.8 微米（2millizoll）。这样的层厚仍然在可作到的范围内。但是，如果要提高已知半导体芯片的功率，则必须标定整个尺寸。在这样的情况下，很快就得到了只能通过外延方式很费事地形成的层厚。所以，这种已知的半导体芯片通常只能技术上很费事地标定。

发明内容

基于这样的现有技术，本发明的任务是提供一种可按照薄膜技术制造的并具有更好的光耦合输出的半导体芯片及其制造方法。

根据本发明，通过如下所述的半导体芯片和方法来完成上述任务。优选的实施形式和半导体芯片制造方法同时见下文。

根据本发明的第一方面，提供了一种发射辐射的半导体芯片，它具有一个薄膜层，在该薄膜层中形成一个发射光子的有源区，所述薄膜层在背对半导体芯片的发射方向的一侧上设有至少一个孔洞，通过所述孔洞形成了多个台面，使得所述薄膜层包括所述多个台面以及一个与所述台面邻接的覆层，其中所述孔洞的深度构造成使孔洞并不断开所述有源区，从而使所述有源区形成在所述覆层内。

根据本发明的第二方面，提供了一种用于同时制造多个用于光电子学的并具有一个薄膜层的半导体芯片的方法，在该薄膜层中形成一个发射光子的有源区，该方法包括以下步骤：在一个生长衬底上使一个包含了所述发射光子的有源区的层序列外延生长；在该层序列中形成至少一个孔洞，使

得在该层序列中形成多个台面，从而使得所述薄膜层包括了所述多个台面以及一个与所述台面邻接的覆层，其中，所述孔洞构造成具有较小的深度而导致所述发射光子的有源区不被断开，而是形成在所述覆层内；将由生长衬底和层序列构成的复合体安装到一个载体衬底上，使得台面面对载体衬底，并且使该复合体与载体衬底连接；将一个电触点接通部安置到该层序列的与台面相对的那面上；沿分离轨迹将由载体衬底和结构化的层序列所构成的复合体分割成半导体芯片。

在半导体芯片的一个特别优选的实施形式中，孔洞横截面从外向内地缩小，就是说，从与载体衬底的界面向薄膜层内部地缩小，孔洞的深度大于薄膜层一半厚度。

孔洞或由孔洞形成的许多台面一方面有利地造成薄膜层在其连接到载体衬底上的连接侧上具有压紧面，该压紧面与芯片的整个横截面相比很小。这带来了以下优点，即在缩小的压紧面区域内，可以产生比较大的局部压力，该压力促进了衬底和薄膜层的可靠连接，但同时，对薄膜层的施压可保持得足够小，以便尽可能地消除薄膜层在与载体衬底连接时受损的危险。

另一方面，可供使用的连接面因有孔洞而增大，这也能够导致载体衬底与薄膜层之间连接的改善。此外，孔洞用于容纳多余的粘合剂或焊料，这有利地使得其定量变得不太重要。

此外，通过孔洞而有利地提供了这样的侧面，即在这些侧面上，部分来自有源区的辐射被转向，从而这部分辐射在出射锥内击中有源薄膜层的背对载体衬底的出射面。与现有技术相比，在本发明的半导体芯片中，在台面的侧面上的反射至少部分代替了在一个连续的平面反射层上的反射。

在这里有利的是，侧面尽可能深地突入薄膜层中以便使尽可能多的来自有源区的并且没有直接击中出射面并在那里耦合输出的辐射如此（甚至多次）反射即转向，即这部分辐射以一个在出射锥内的角度击中出射面。

实验表明，当孔洞深度大于薄膜层厚度的一半时，耦合输出效率明显提高。

在本发明的一个实施形式中，孔洞的深度能够使有源薄膜层的有源区被孔洞分断开。

事实证明，其有源区通过一个从固定侧起开设于有源薄膜层中的孔洞被分断开的半导体芯片具有特别高的光输出。因为在这种情况下，不仅是

射向固定侧的光子，而且至少一部分射向有源薄膜层出射面的光子通过在台面的侧面上的反射而以一个位于出射锥内的角度转向出射面。

在台面分界面上的反射造成大部分来自有源区的光子在出射锥内击中出射面并且可以离开半导体芯片。

在另一个优选实施形式中，薄膜层是如此构成的，即从有源区发出的光子的至少一条轨迹从当时的台面通向其中一个相邻的台面。

通过使台面光学耦合，没有在原台面的其中一个侧面上反射的光子进入其中一个相邻台面中并在那里在当时的台面的侧面上被如此反射，即这部分光子在出射锥内击中出射面。

另外，在本发明的一个有利的实施方式中，台面配备有凹侧面。

通过这些措施，辐射的走向是这样的，即它们首先在出射面上反射并且随后每次相对出射面更陡地在一个台面的一侧面上继续反射，从而这些辐射最终在出射锥内击中出射面。

在另一个优选实施形式中，这些台面被一个反射层覆盖住。

通过这个措施，全部击中台面侧面的光辐射被转向半导体芯片的出射侧。

在一个优选实施形式中，薄膜层具有 5-50 微米、尤其是 5-25 微米的厚度。

附图说明

从以下结合附图描述的实施例，得到了本发明的半导体芯片的和本发明方法的其它有利实施形式，其中：

图 1 是本发明半导体芯片的横截面示意图；

图 2 是本发明半导体芯片的另一个实施例的横截面示意图，其中有源区分别设置在截金字塔形台面内；

图 3 是本发明半导体芯片的横截面示意图，该半导体芯片配备有具有凹侧面的台面；

图 4 是一曲线图，它示出了本发明半导体芯片的光输出与传统半导体芯片相比升高的情况；

图 5 是一个台面的横截面示意图，该台面由一个下方的扁截锥和一个上方的陡截锥构成；

图 6a-6d 是台面的不同横截面形状的示意图和一曲线图，该曲线图示

出了耦合输出效率与图5所示台面的下截金字塔和上截金字塔之间的界面的半径的关系；

图7是一曲线图，它表示耦合输出效率与设置在图5所示台面尖头上的接触层的反射率的关系；

图8是一曲线图，它示出了耦合输出效率与图5所示台面的侧面的反射率的关系；

图9是一曲线图，从中可以看出耦合输出效率与在有源区内的一光斑尺寸的关系；

图10a-10d是一个台面的不同横截面形状的示意图和一曲线图，在台面中，有源区高度是变化的，该曲线图示出了耦合输出效率与一个下分界面的厚度的关系；

图11是一曲线图，它示出了耦合输出效率与一个具有图10b所示横截面形状的台面的侧面的凸缘角的关系；

图12是另一曲线图，它示出了耦合输出效率与一个具有图10b所示横截面形状的台面的凸缘角的关系；

图13是一曲线图，它示出了在厚度保持不变时的耦合输出效率与有源薄膜层宽度的关系；

图14是一曲线图，它示出了耦合输出效率与用于各种台面形状的台面的连接台面覆层的厚度的关系；

图15是本发明半导体芯片的另一个实施例的横截面示意图；

图16是本发明半导体芯片的另一个实施例的横截面示意图；

图17a-17e是用于制造本发明的多个半导体芯片的第一方法的过程的示意图；

图18a-18e是用于制造本发明的多个半导体芯片的第二方法的过程的示意图；

图19a-19e是用于制造本发明的多个半导体芯片的第三方法的过程的示意图；

图20是本发明半导体芯片的俯视图；

图21是在形成孔洞后的薄膜层表面的斜视图；

图22是图21的局部放大图。

具体实施方式

在这些图中，相同的或作用相同的实施例组成部分用相同的附图标记表示。

图1所示的用于发光二极管的半导体芯片具有一个载体衬底1，在该载体衬底上涂敷有有源薄膜层2。为清楚起见，在图1中，与衬底1厚度相比夸大地示出了有源薄膜层2的厚度。有源薄膜层2具有一个发射光子的有源区3，该有源区总是在中间高度上形成在台面4中。台面4可以成截金字塔形或截锥形。因此，半导体芯片就是一个发光二极管。

台面4设置在覆层5上，该覆层在一个平的前侧面6上具有一个中心前侧接触部位7，该接触部位最好由一个金属化层构成。由孔洞8构成的背面台面4被一反射层覆盖着，该反射层由一个介电绝缘层9和一个涂覆在该介电绝缘层上的金属化层10构成。绝缘层9沿台面4底面11被触点接通部12隔断开，所述触点接通部由金属化部分构成。

绝缘层9最好具有一个比薄膜层2的相邻半导体层更小的折射率。该绝缘层还被构造成用于金属化层10的防扩散层。代替绝缘层9，也可以使用一个导电层。该层的光学性能是决定性的。

为了制造如图1所示的半导体芯片，首先，在一个生长衬底上外延生长有源薄膜层2。有源薄膜层2例如可以基于InGaAlP地制成，其中，覆层5首先形成在生长衬底上，随后，以高于 10^{18}cm^{-3} 以上的浓度掺杂，以确保覆层5的良好导电性，这是因为覆层5的良好导电性是以下的前提条件，即在发光二极管芯片的正面6上，一个中心接触部位7足以给许多台面4的有源区供应电流。另外，覆层5的成分是如此选择的，即它对在有源区内产生的光子是透明的。通常，这可以通过利用覆层5的材料成分来调节禁带间隙来实现。

随后，在覆层5上涂覆上另一层，在该层中，通过适当的化学湿式或化学干式蚀刻法形成台面4，这些蚀刻方法不是本申请的内容。台面4最好只形成在为半导体芯片而设的区域内并且最好在那里又只在可以发生光耦合输出的区域内，而不是在薄膜层2表面上的接触层7、43、49的下面。这些为半导体芯片而设的区域具有400微米见方的典型横向外尺寸。台面4具有这样的外尺寸，即该外尺寸在有源薄膜层2的层厚范围内。因此，台面4的外尺寸在10微米范围内。

在另一个步骤中，在台面4上淀积绝缘层9并且形成触点接通部12。随后，涂覆上金属化层10。

随后，有源薄膜层 2 根据规定的芯片数量被分开。这例如通过湿式蚀刻来实现。

接着，分开的有源薄膜层 2 例如通过共晶接合被固定在衬底 1 上并且通过湿式蚀刻去除生长衬底。接着，在有源薄膜层 2 的敞露前面上形成接触部位 7 并且半导体芯片通过分离载体衬底 1 被分开。

图 1 所示的半导体芯片具有以下优点，即由有源区 3 产生的光子没有射到吸收光子的半导体芯片成分上，因为通过金属化层 10 使光子远离载体衬底 1。因此，衬底在导电和/或传热能力和/或热膨胀方面有利地得到很好的优化。

另一个优点是，在图 1 的半导体芯片中，由有源区 3 发出的光子的绝大部分在台面 4 的侧面 13 上全发射。在侧面 13 上全反射的光子以一个大的角度射向前面 6。尤其是，未在侧面 13 上反射而在前面上全发射的一部分光子在出射锥内射向前面 6 并因而可以离开半导体芯片。所以，在图 1 的半导体芯片中，至少部分地通过在侧面 13 上的全反射代替了从现有技术中公开的在连续底面上的反射。因此，图 1 的半导体芯片与没有孔洞 8 的传统半导体芯片相比具有几乎增加了两倍的光输出。

以下，结合图 2、3 所示的其它实施例来详细描述上述效果。

注意一束光辐射，其中术语“光辐射”不是指局限于一定的波长，而是指局限于与波长无关的几何光学方法。

在图 2 所示的实施例中，台面 4 成截金字塔形状并且它只在台面 4 底面 11 上通过一个接触层 14 被固定在载体衬底 1 上。通过接触层 4，给有源区 3 供应电流。

由于半导体与浇注树脂之间的折射率差一般高达 3.5:1.5，所以在半导体与浇注树脂之间的界面上，只能从半导体中耦合输出光辐射，所述光辐射在一个出射锥内以约 16° 的开口角射入界面。在光辐射等角度均分射入时，这约等于单位面积射入的光辐射的 2%。

通过台面 4，来自有源区 3 的光辐射转向前面 6。台面 4 的作用是使射向侧面 13 的光辐射转向前面 6 并且在那里在出射锥内击中，从而所述光辐射可以离开半导体芯片。此外，光输出可以通过适当选择底面 11 的尺寸、侧面 13 倾斜角大小以及台面 4 高度和有源区 3 位置而得到优化。

在图 2 中示出一光辐射 15，它首先在侧面 13 上全反射并从那里转向前面 6。在前面 6 上，光辐射在出射锥内射向界面并因而可以离开半导体

芯片。在没有在侧面 13 上全反射的情况下，光辐射 15 会在前面 6 上全反射并且回射向一个从现有技术中公开的反射层，在这里，光辐射又会被反射。在图 2 所示的实施例中，在传统的连续反射层上的反射被在侧面 13 上的反射代替了。

这也适用于光辐射 16，它首先在底面 11 上并接着在侧面 13 上反射。光辐射 16 也在第二次反射后转向前面 6，在那里，该光辐射在出射内击中。在没有在侧面 13 上反射的情况下，光辐射 16 也会在前面 6 上全反射并回射向一个背面反射层。

还有利的是，台面 4 通过覆层 5 被光学耦合。在这里，光学耦合是指，至少一个来自薄膜层 2 的光辐射可超过中心线 17 地从其中一个台面 4 的区域到达一个相邻台面 4 的区域。因为借助覆层 5 进行光学耦合可以使没有射向当时的台面 4 的一侧面 13 的光辐射 18 击中其中一个相邻台面 4 的其中一个侧面 13 并在那里转向前面 6，在这里，光辐射在一个出射锥中击中。所以，通过借助覆层 5 的光学耦合，进一步增加了光输出。

最后，在图 3 中示出了半导体芯片的一个变型实施例的横截面，其中台面 4 成具有凹侧面 13 的截锥形。这种侧面 13 设计结构导致了，一个在前面 6 和侧面 13 之间来回反射的光辐射 18 在接近中心线 17 时逐渐转向前面，直到它在出射锥内击中前面 6。这也适用于光辐射 19，所述光辐射 19 首先通过覆层 5 从各自的台面 4 到达相邻的台面 4 并在那里以一个大角度到达前面 6。

最后，在图 4 中示出了一个曲线图，在该曲线图中，一条测量曲线 20 表示按照有关单位的光输出在一个按照薄膜技术制成的传统发光二极管脉冲工作时与工作电流的相互关系。另一条测量曲线 21 表示按照有关单位的光输出与根据图 3 所示实施例的发光二极管的工作电流的相互关系。可从图 4 中看到，在图 3 所示实施例中的光输出大约是没有孔洞 8 的传统半导体芯片的光输出的两倍。

为了确定台面 4 的最佳形状，进行了一系列实验。以下，结合图 5-图 14 来详细说明实验结果。

首先，结合图 5 来说明在实验中改变的参数。在图 5 中，示出了其中一个台面 4 的横截面形状。在所示情况下，台面 4 由一个下截锥 22 和一个上截锥 23 构成。下截锥 22 以一个基面 24 与覆层 5 相邻。在上截锥 23 中形成该有源区 3。此外，在图 5 中设有一个设置于台面 3 的底面 11 上的

接触部位 25。

台面 4 的侧面 13 由下截锥 22 的一个凸缘 26 和上截锥 23 的一个凸缘 27 构成。沿共同的界面 28 的下截锥 22 的几何尺寸是如此选择的, 即凸缘 26 直接过渡到凸缘 27 中。

以下涉及台面 4 的各尺寸。下截锥 22 基面 24 的半径用 r_n 表示, 界面 28 的半径用 r_t 表示, 底面 11 半径用 r_p 表示。另外, 台面 4 可以被分成一个在基面 24 和有源区 3 之间的下分界层 29 与一个在有源区 3 和底面 11 之间的上分界层 30。在这里, 下分界层 29 具有厚度 h_u , 上分界层具有厚度 h_o 。还用 H 表示台面的总厚度。在所有实验中, 总厚度都被设定为 6 微米。至于覆层 5 的厚度 h_w , 在所有的其厚度 h_w 都不变的实验中, 它被设定为 2 微米。

在图 6a-6d 中示出了计算结果, 其中底面 11 的半径被 r_p 被设定为 5 微米, 基面 24 的半径 r_n 被设定为 20 微米。在图 6a-6d 所示的横截面形状中, 界面 28 的半径 r_t 在 6 微米-18 微米之间变化。

在这些实验中, 3.2 折射率被用于有源区 3。下分界层 29 的折射率、上分界层 30 的折射率以及覆层 5 的折射率都是 3.3。在不改变的情况下, 采用了等于 0.3 的接触部位 25 反射率。未被接触部位 25 盖住的底面 11 以及凸缘 26、27 的反射率被设定为 0.8。在这里, 反射率分别是指与能量有关的反射系数。

另外, 通过 10.000/cm 的吸收系数考虑了有源区 3 的自吸收。所有实验是通过光子循环进行的。为此假定内部量子效率为 0.8。不考虑当因载流子重组而产生光子时的量子效率。因此, 在曲线图中指明的耦合输出效率 η 等于从半导体芯片中耦合输出的光子与实际所产生光子量之比。因此, 指明的耦合输出效率 η 的值必须乘以系数 0.8, 以便得到外部效率。

还假定, 在接触部位 25 和凸缘 26、27 上的反射与角度无关。所以, 在实验中出现这样的情况, 即首先介电绝缘层 9 被涂覆到台面 4 上并补充上成镜像的金属化层 10, 在实验中低估了它的作用, 这是因为, 在实验中没有考虑到在此情况下出现的全反射。

图 6c 表示一曲线图, 其中, 相对半径 r_t 地以一条曲线 31 示出了耦合输出效率 η 。为了比较, 也示出了一个普通薄膜半导体芯片的耦合输出效率, 其中只在光子循环范围内测量散射。边缘长 300 微米的薄膜半导体芯片具有与在下截锥 22 和上截锥 23 内的台面 4 一样的外延组织。假定, 半

导体芯片在 p 型区具有一个镜面，其反射率为 0.72。该值是反射层和接触层的用覆盖率加权的反射率平均值，其中，对于反射层的反射率来说，该值为 0.8 反射层的覆盖率为 0.85，对于接触层的反射率来说，该值为 0.3，并且采用 0.15 覆盖率。

可以从图 6 中看到，在根据图 6a 的横截面形状的上截锥 23 的迎角很大的情况下，耦合输出效率 η 不见得高于传统的薄膜发光二极管的耦合输出效率 η ，在图 6d 中通过直线 32 示出了其耦合输出效率。这也是可以理解的，因为具有图 6a 所示平坦的面横截面形状的台面 4 不见得就使来自有源区 3 的光辐射以锐角射向发光面 6。而确切地说，这只能通过具有图 6c 所示横截面形状的台面 4 来实现，在这种情况下，耦合输出效率 η 也几乎是传统的薄膜发光二极管的耦合输出效率 η 的两倍。

此外，实验了耦合输出效率 η 与接触部位 25 反射率之间的关系。为此，根据接触部位 25 的反射率计算了耦合输出效率 η ，在这里，台面 4 的横截面形状等于图 6b 所示的横截面形状。另外假定，接触部位 25 覆盖整个底面 11。可以从图 7 中看到，耦合输出效率 η 与接触部位 25 的反射率没有太大关系。所以，与传统的薄膜发光二极管相比，在此所述的、具有设在固定侧的台面 4 的半导体芯片看来对接触部位 25 的较低反射率要不敏感得多，因为导致耦合输出的多次反射显然只有小部分在底面 11 和发光面 6 之间进行，而在台面 4 中是立体进行的。

与接触部位 25 反射率的相对无关性是特别有利的，这是因为，实际上，在接触部位 25 与上分界层 30 之间的低欧姆电阻一般与低反射率有关。因为良好的欧姆接触需要原子从构成接触部位 25 的层中扩散到其下的材料中。

与同接触部位 25 反射率的关系相反地，耦合输出效率 η 与在底面 11 和凸缘 26、27 上的镜面的反射率 R_s 的关系是非常抢眼的。这样的计算结果表明了，该计算是通过半导体芯片的一个模型进行的，该半导体芯片的台面 4 的半径为， $r_n=20$ 微米， $r_l=16$ 微米， $r_p=5$ 微米。

所以，台面 4 大致具有图 6b 所示的横截面形状。

这种计算结果就是一条图 8 所示的曲线 33，它单调地随反射率 R_s 增大而升高。在图 8 的曲线图中绘出的点 34 表示用于这样的半导体芯片的计算结果，即在該半导体芯片上，不曾涂覆镜面层，而是该半导体芯片埋入作为包围物质的树脂中。不过在这里出现了全反射，从而与具有镜面层

的半导体芯片相比,产生一个更大的耦合输出效率。在图 1 所示的实施例中,情况也是如此,在该实施例中,在金属化层 10 之间设有电绝缘层,也可以在该电绝缘层上发生全反射。

图 9 包含这样的计算的结果,即该计算是在具有台面的半导体芯片上进行的,其半径为 $r_n=20$ 微米, $r_t=16$ 微米, $r_p=5$ 微米。所以,该台面 4 大致具有图 6b 所示的横截面形状。在这里,有源区 3 位于基面 24 和底面 11 之间的中间高度上。在这种计算中,在其有源区 3 中出现光子的区域被限制为一个光斑,该光斑直径 d_L 绘制在横坐标上。结合图 9 的曲线图,可以看到,耦合输出效率在光斑较小时特别高。这意味着,光子在有源区 3 的中心被特别好地耦合输出。就此而言,存在较弱的外氏效应。

另外,实验了有源区 3 位置的影响。在图 10a-10c 中示出了各种横截面形状,其中如此改变下分界层 29 的厚度 h_u 与上分界层 30 的厚度 h_o ,即台面的总厚度 H 保持不变。图 10d 示出了计算结果,在该图中,与下分界层 29 的厚度 h_u 有关地绘制出耦合输出效率 η 。如图所示,耦合输出效率 η 与有源区 3 位置的关系不大。优选一个位于台面 4 下半部中的有源区 3,这是因为流经有源区 3 的电流密度低并因而有源区 3 的电流负荷保持低,这避免了老化问题和线性问题。

此外,实验了凸缘 27 迎角 ϕ_o 与凸缘 26 迎角 ϕ_u 的影响。在这里,基于这样一个横截面形状,其中下截锥 22 和上截锥 23 分别具有相同的迎角 ϕ_o 、 ϕ_u 值。在这里,有源区 3 的半径 ϕ_o 始终为 10 微米,迎角 $\phi=\phi_o=\phi_u$ 改变。在此注意两种情况。一方面,实验用于周期性边界条件的耦合输出效率 η ,其中基点间距为 10 微米。在图 11 的曲线图中,在曲线 35 中确定了结果。此外,实验了非周期性情况。为此计算一个具有一独立台面 4 的半导体芯片的耦合输出效率 η ,在这里,所有射入覆层 5 的光子被覆层 5 吸收。在图 11 中,通过曲线 36 描绘出了非周期性情况。如图 11 所示,覆层 5 对耦合输出效率 η 有明显贡献。

对于凸缘角 ϕ 来说,也存在一个最佳区域。该区域如图 12 所示。在基础计算中,设半径 r_p 等于 10 微米。如此改变有源区 3 的半径 r_a 和基面 24 的半径 r_n ,即凸缘 27、26 的迎角 ϕ 覆盖 1.5° - 85° 的范围。如图 12 所示,存在一个最佳的迎角 ϕ 角度范围。凸缘角 ϕ 应该为 5° - 60° 并最好是 10° - 40° 。当迎角 ϕ 为 15° - 30° 时,得到非常好的耦合输出效率 η 值。

最后实验了改变台面 4 的宽度对耦合输出效率 η 有什么样的影响。因

此在这里,台面4厚度 H 保持不变,半径 r_p 、 r_a 、 r_n 均匀一致地延伸。在图13的曲线37表示这样的情况,即接触部位25的反射率 R_K 等于0.3。另一条曲线38涉及接触部位25的反射率 R_K 等于0.8的情况。曲线37、38都表示耦合输出效率 η 与有源区3直径 $2r_a$ 的关系。在接触部位25具有高反射率时,耦合输出效率 η 只随着有源区3直径的增大而略微降低。不过,表示接触部位25的反射率 R_K 低的实际情况的曲线37表明,耦合输出效率 η 随着有源区3直径的增大而显著降低。所以台面4的横向延伸越小,耦合输出效率 η 越高。

覆层5的厚度对耦合输出效率 η 也很重要。在图14中,与覆层5厚度 h_w 有关地示出了用于各种情况的耦合输出效率 η 。曲线39说明上述周期性状况。另一曲线40涉及非周期性状况,第三曲线41涉及300 μm 见方的方形半导体芯片通过一个连接层相互连接的状况。可以从图14中看到,层厚增大的覆层5越发有利。尤其是,如果层厚 h_w 小于在这里为6 μm 的台面4厚度,则这是很有利的。结果,孔洞8的深度应大于有源薄膜层2厚度的一半。

不过,如图14所示,分别有一个台面4的许多独立的半导体芯片表明最佳情况,因为耦合输出效率在厚度 $h_w=0$ 时是最高的。可是,独立的芯片具有这样的缺点,即其功率不能随意扩大,因为也必须随功率来标定半导体芯片的尺寸。但从实际出发,外延层厚度是有限的。这造成无法为任意高的功率来设计独立的半导体芯片。不过,图1-4所示的半导体芯片可以几乎随意地规划,因为,只需要按照覆层5的增大面积来提高台面4的数量,以便提高半导体芯片的光功率。

另一项实验与有源区3是否也可设置在覆层5中的疑问有关。为此,计算用于传统薄膜发光二极管的耦合输出效率并且设其为1。一个其有源区3设在覆层5中的半导体芯片与传统的薄膜发光二极管相比具有1.25的耦合输出效率。最后,对于图1-4所示的半导体芯片来说,得到了1.67的相对耦合输出效率。这表明,当有源区3设置在覆层5内时,可以获得耦合输出效率 η 的提高。

图15示意表示本发明的薄膜发光二极管芯片的优选实施形式。在这里,薄膜层2包括一个高掺杂有Te的且约4 μm 厚的n-InGaAlP层2a(浓度大于 10^{17}cm^{-3} 并最好大于 10^{18}cm^{-3})以及一个约3.5 μm 厚的掺杂有Mg的P-GaP层2b。

在薄膜层 2 的面对载体衬底 1 的固定侧 11 上,如结合图 11 所述的那样,涂覆上一个如由 Si_3N_4 构成的绝缘层 9 和一个金属反射接触层 10。与由有源区发出的光的波长有关的 Si_3N_4 层具有最好大约是所发光辐射波长的三倍的厚度,这样的 Si_3N_4 层除了其电绝缘作用外还导致了更好的金属反射层的镜面效果并且在使用适当材料的情况下同时构成在薄膜层 2 与金属反射层 10 之间的扩散阻挡层。

或者,绝缘层 9 可以是如由氮化硅层和氧化硅层交替构成的叠层。

p 型区给有源区 3 的供电通过合金化 AuZn 触点 12 来保证,该触点设置在台面 4 的面向载体衬底 1 的那面上并且穿过绝缘层 9。

反射接触层 10 最好是一个 AuZn/TiW(N)/Au 层。但是,它也可以完全由 Au、Al 或 Ag 或它们的合金构成。

为了获得足够高的力学稳定性,通过接合将薄膜层 2 涂覆到导电载体衬底 1 上,在这个实施例中,它附设在 n-GaAs 衬底上。而且,在载体衬底 1 的上表面和下表面上,例如有 AuGe 接触层 44、45。在面向薄膜层 2 的那侧上,例如还有一个 TiPtAu/AuSn 层 47 位于 AuGe 接触层 45 上。

在芯片的前面或耦合输出侧上,设有一个中心触点 7 和一个金属框 43 或另一个导电框,它通过两个未示出的导电桥与中心触点 7 连接。中心触点 7 和金属框 43 例如包括一个 TiPtAu 层和一个设置在该 TiPtAu 层与薄膜层 2 之间的 TiAuGe 层。

n-InGaAlP 层的强导电性保证了所需的电流扩大。给有源区 3 的 p 型区供电借助在载体衬底 1 底面上的接触层 44 并通过过该载体衬底来实现。

为进一步改善光耦合输出,在薄膜层 2 的前面上设置一个光学抗反射涂覆层 42,在这个实施例中,它是一个 $\lambda/4$ 的 Si_3N_4 层。

如已结合图 2 所述的那样,在薄膜层 2 中,从载体衬底 1 和薄膜层 2 之间的接合平面起地形成许多个截金字塔形孔洞 8,它们明显加强了发光二极管的光耦合输出。在这个实施例中,孔洞 8 足够深地进入薄膜层 2 中,从而它们断开了 pn 结 3。不过,也可以如此深地形成孔洞 8,即它们没有断开 pn 结。

除了加强光耦合输出外,孔洞 8 还有这样的优点,即它们明显降低了当薄膜层 2 共晶接合在载体衬底上时因各材料的热膨胀系数不同而出现的应力。因此,提高了过程安全性和加工生产率。

这同样适用于根据在温度因损耗功率而升高时的不同热膨胀情况来

补偿在半导体芯片工作中出现的机械应力。

图 16 示意表示根据本发明的另一个半导体芯片。在这个实施形式中，薄膜层 2 被涂覆在一个电绝缘载体衬底 1 上，从而给 pn 结 3 的 p 型区供电通过一个除薄膜层 2 外还设置在 Au-Ge 接触层上的 p 触点 46 来进行。

p-InGaAlP 层 2b 具有 6 微米的厚度，而以 $1 \times 10^{18} \text{cm}^{-3}$ 的掺杂的 n-InGaAlP:Te 层 2a 具有 3 微米厚度。在这个实施例中，孔洞 8 的延伸深度为 5.5 微米。在这个实施例中，它们没有断开 pn 结 3。

在这个实施例中，例如在薄膜层 2 的背对载体衬底 1 的前面上安置一个由导电 In-Sn 氧化物构成的光学抗反射涂覆层 48，除了改善光耦合输出外，这个层也有助于电流扩大。所以，在这里，n 层 2a 有时可以被设计得比采用电绝缘抗反射涂覆层时更薄，因为电流扩大不必唯一地在薄膜层 2 里进行。

这样的导电抗反射涂覆层 48 也可以被用在本发明半导体芯片的所有其它实施形式中。在图 16 的实施例中，也可以在 In-Sn 氧化物层 48 的位置上使用一个绝缘的抗反射涂覆层 42。

图 16 所示的结构也适用于采用导电载体衬底 1 的应用场合并且不局限于使用电绝缘载体衬底 1 的应用场合。

图 16 的实施形式的结构具有以下优点，即载体衬底 1 尤其是可在热膨胀和/或导热性能方面有利地得到优化，而不必关注导电性。

如果需要，在处理薄膜层时，用适当材料填充孔洞 8。

在制造方法的各不同时刻的晶片垂直剖面示意图表明了图 17a、17b 所示的用于同时制造许多本发明的半导体芯片的工艺过程。为简明起见，在这里并且在说明图 18a-图 19e 的方法时也省掉了尤其是薄膜层 2 以及在载体衬底和薄膜层之间的上述层及其所有细节。

薄膜层 2、绝缘层 9、接触层 7、43-47、49 和抗反射涂覆层 42、48 例如是通过从半导体技术中知道的传统淀积方法制成的。

在第一工序中，使一个有源薄膜层 2 生长到一个生长衬底 20 上（图 17a）。如上所述，这样的薄膜层 2 一般具有许多具有各种成分的半导体层。

随后，在薄膜层 2 中形成孔洞 8，以便在随后要在其中进行半导体芯片发光的区域内产生台面 4。这例如是通过适当的掩模技术和各向异性的湿法化学蚀刻（图 17b）来实现的。

接着，在薄膜层 2 的具有孔洞 8 的那侧上，涂覆上反射层 9、10（在此未示出，但例如参见图 15、16）并在台面 4 上形成触点接通部 12（在此未示出，但例如参见图 15、16），随后使这一侧与一个载体衬底晶片 21 连接，在该载体衬底晶片的主面上最好有接触层 44、45（图 17c）。

在至少部分并最好完全去除生长衬底 20 后，在薄膜层 2 的空闲面的每个要形成半导体芯片的表面区内涂覆上焊垫 7，一个供电框 43 通过连接片 49（见图 20）与该焊垫连接，所述供电框在随后的芯片的薄膜层 2 的外边缘上延伸。例如，这样的接触层材料如上所述。后来芯片的位于焊垫 7 和接通框 70 之间的光耦合输出面具有一个光学抗反射涂覆层 42。为此参见图 17d。

在分开这样加工成的晶片前，沿分离线 22 并最好通过蚀刻分断开薄膜层 2，根据需要，在由此出现的薄膜层凸缘上进行损伤蚀刻。如果需要，薄膜层 2 的凸缘可以有一个抗反射涂覆层和/或钝化层。

在该步骤之后，载体衬底晶片 21 例如借助锯齿或刻痕和折断沿分离线 22 被分断开，从而形成独立的半导体芯片 23。

因此，半导体芯片的整体形成有利地按照复合晶片的形式进行，就是说，晶片被分断开是工艺过程的、在将芯片如安装在壳体中之前的最后步骤。

图 18a-18e 所示的方法与图 17a-17e 所示方法的区别主要在于，可以省略掉在分断载体衬底晶片 21 前对薄膜层进行分割并且薄膜层 2 的分割和载体衬底晶片 21 的分割一起沿分离线 22 在一个步骤中完成。

图 19a-19e 所示的方法与图 17a-17e 所示方法的区别主要在于，分割开薄膜层 2 是在使薄膜层 2 与载体衬底晶片 21 连接前进行的。

代替磨削和/或湿法化学蚀刻方式，生长衬底的去除也可以借助爆破进行。为此，最好在薄膜层和生长衬底之间涂上一个吸收层，它具有比生长衬底更小的能带间距。穿过生长衬底，吸收层借助具有适当波长的激光器被破坏。在由 GaAs 构成生长衬底的场合下，吸收层例如由 InGaAs 构成并且激光器例如是 IR 激光器。

在图 20 所示的本发明芯片的俯视图中，可以看到借助孔洞 8 产生的台面 4。尤其是能看到，在触点 7 区域、连接片 49 区域、供电框 43 区域和分离轨线区中没有孔洞 8。这些区域是本来光辐射耦合输出就没有或很少的所有区域。在这些区域中省掉孔洞有利地造成薄膜层 2 的相当高的机

械稳定性。这尤其是在触点 7 区域内产生有利的影响，因为在那里，当把半导体芯片装到一壳体内时，一般要蚀刻并印制出接合线。

图 21 示出了在形成孔洞 8 后的一个薄膜层 2 表面的斜视图。在此也能看到，在触点 7 区域 70、连接片 49 区域 80 和供电框 43 区域 90 中，没有台面 4。

图 22 表示图 21 的局部放大图。

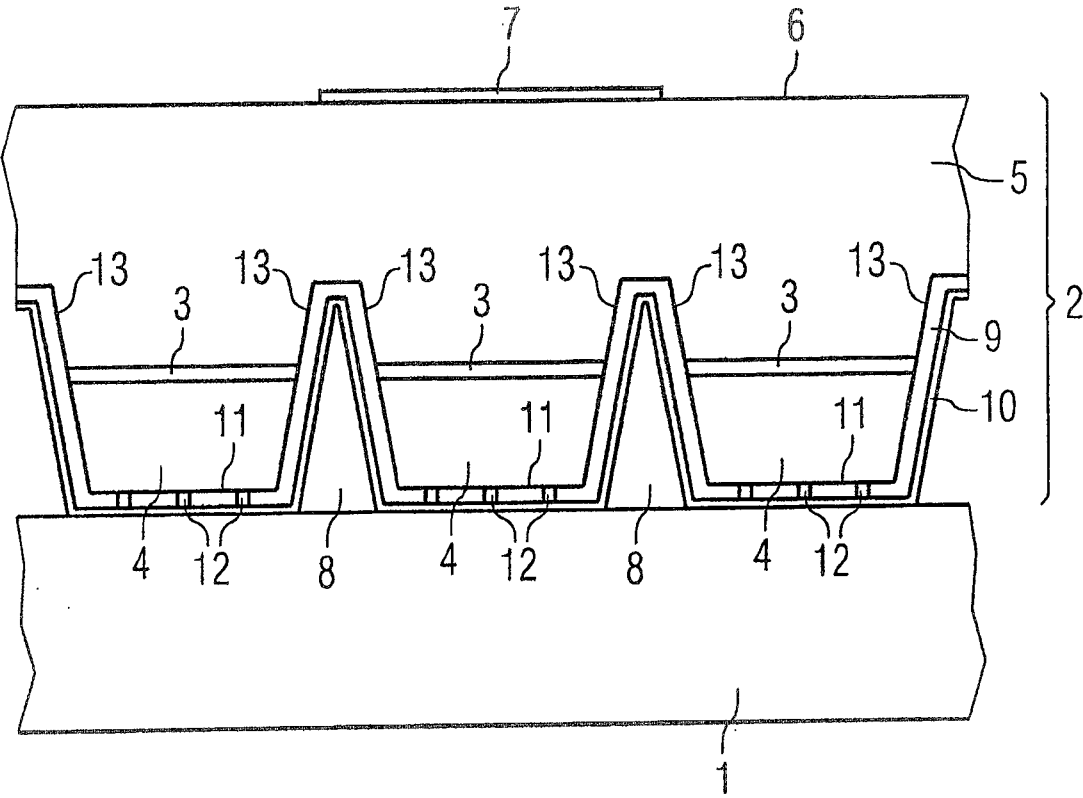


图 1

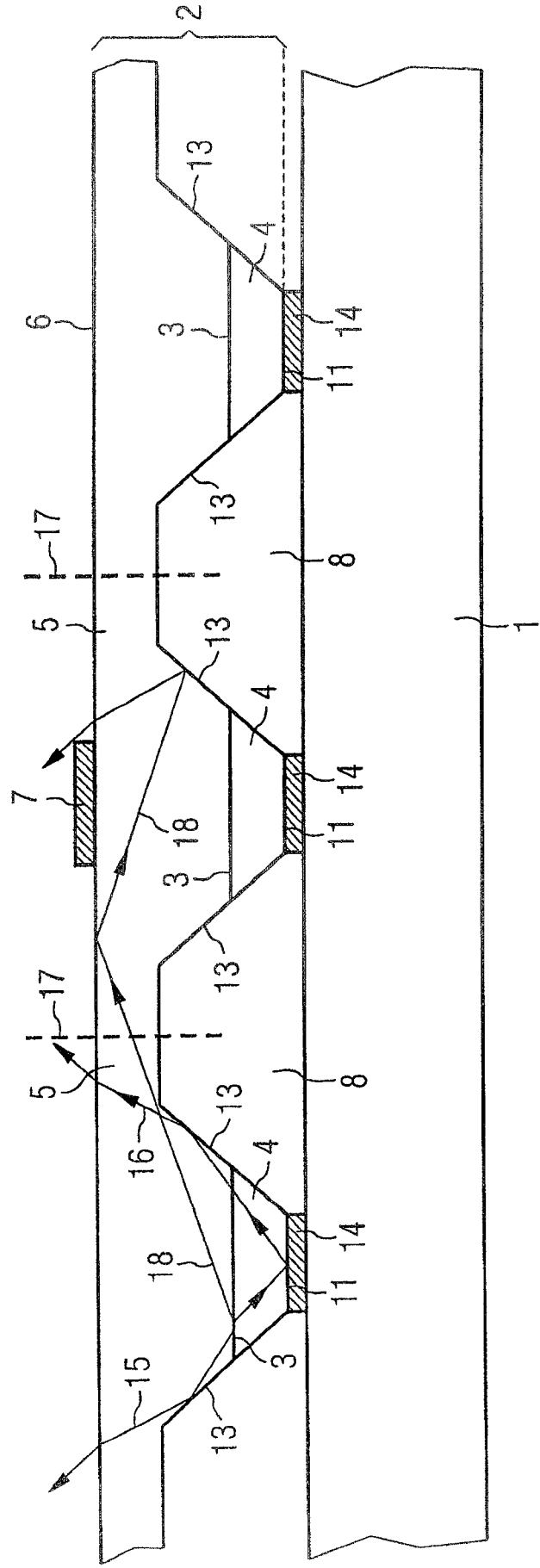


图 2

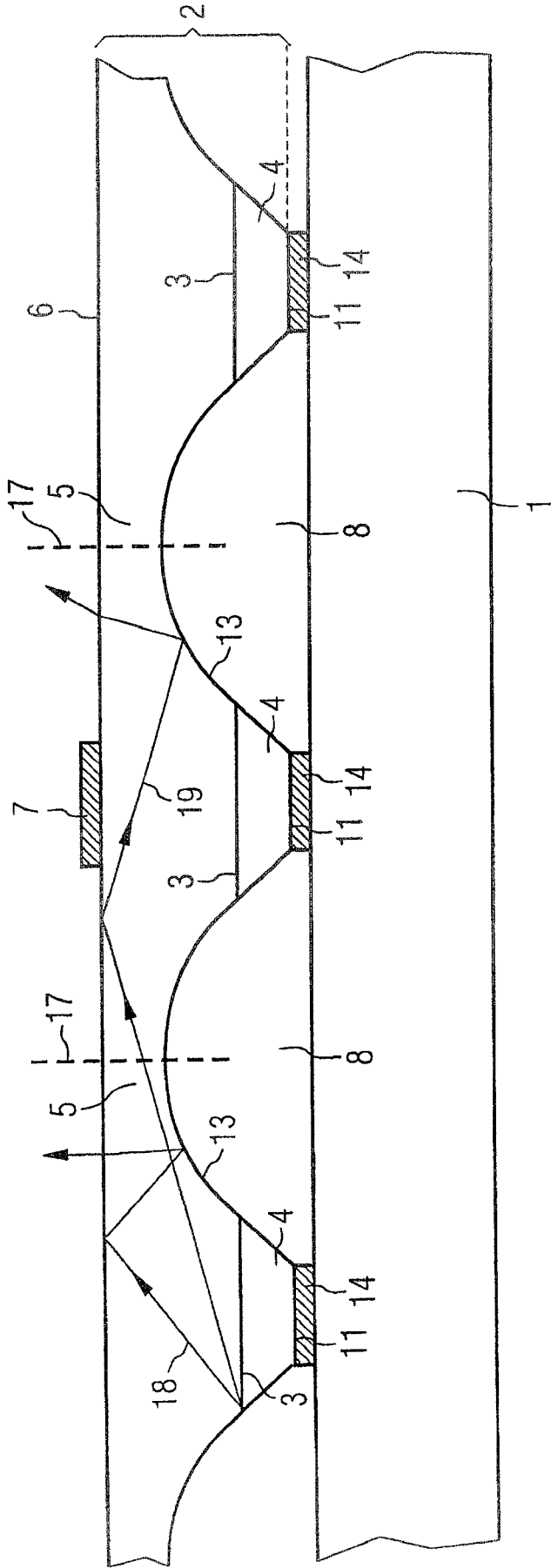


图 3

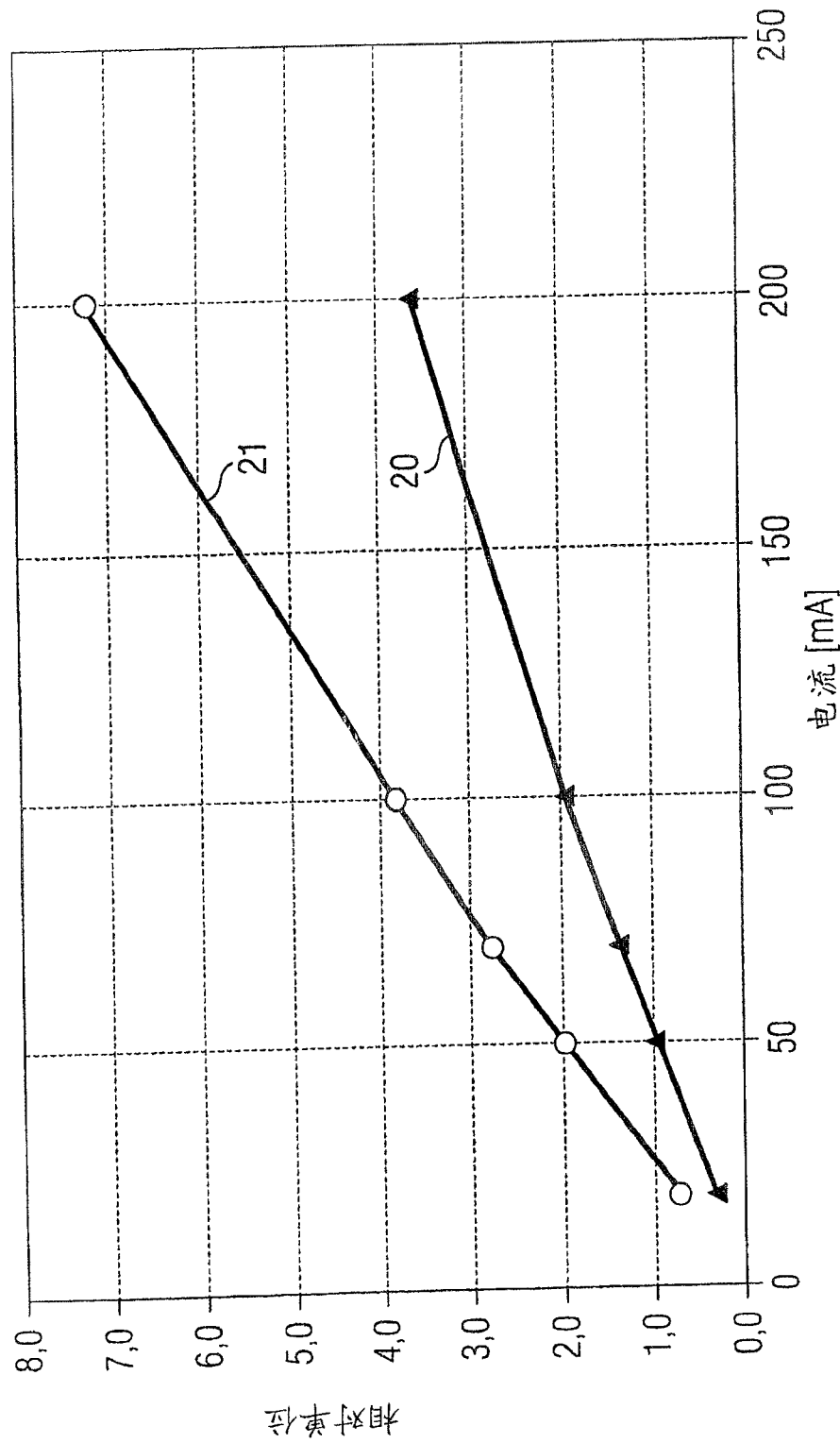


图 4

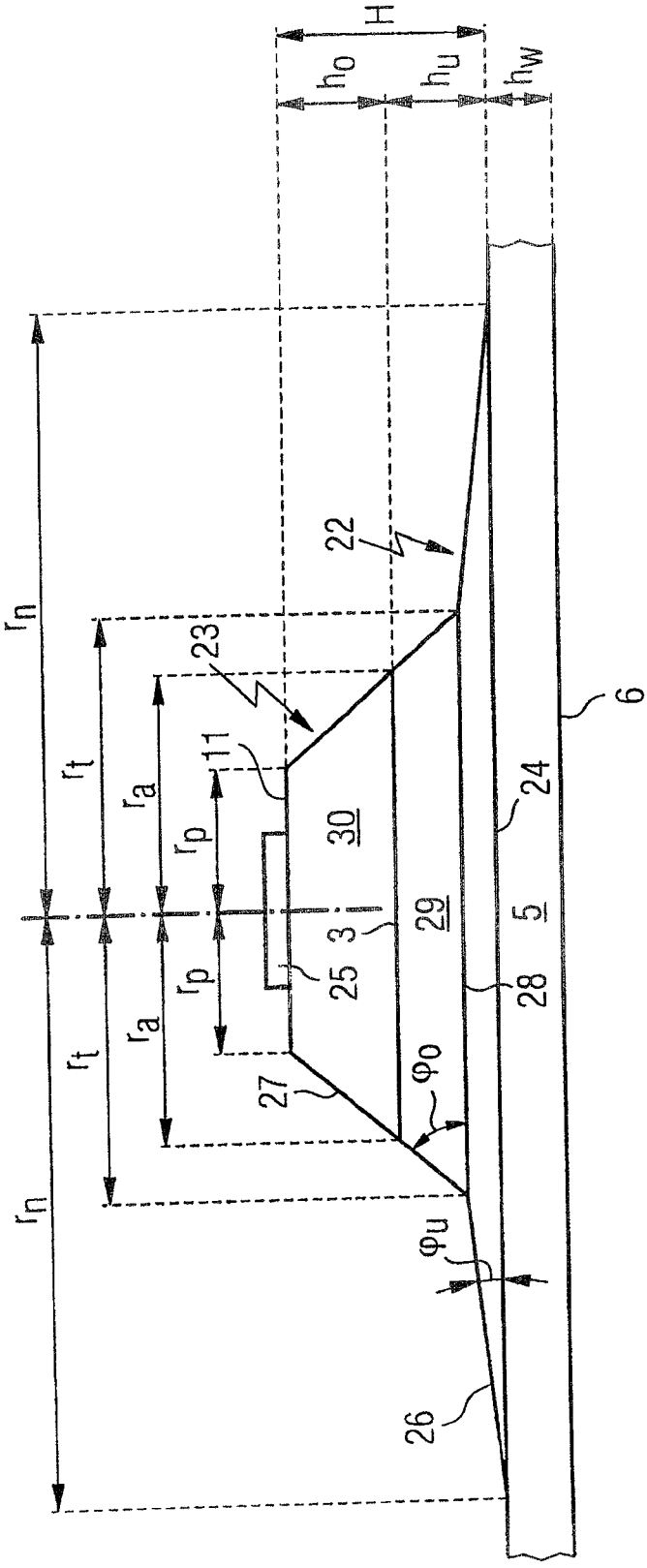


图 5

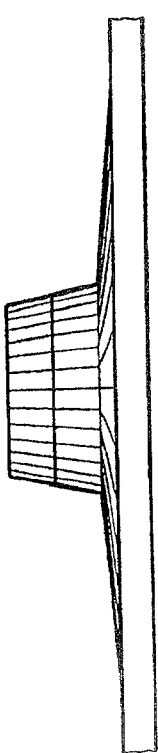


图 6a

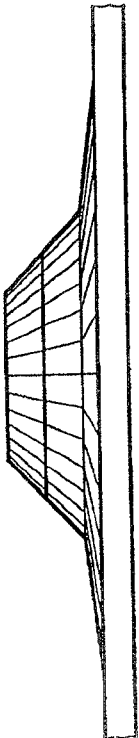


图 6b

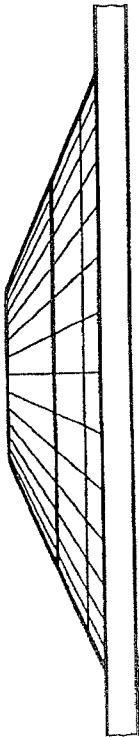


图 6c

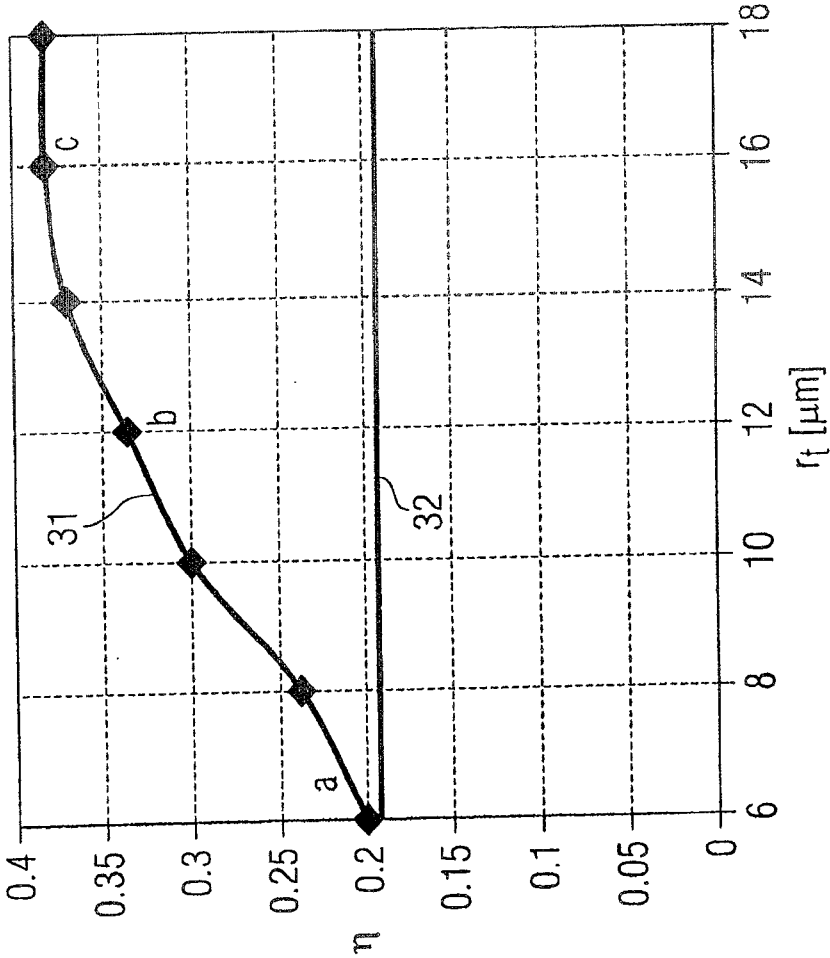


图 6d

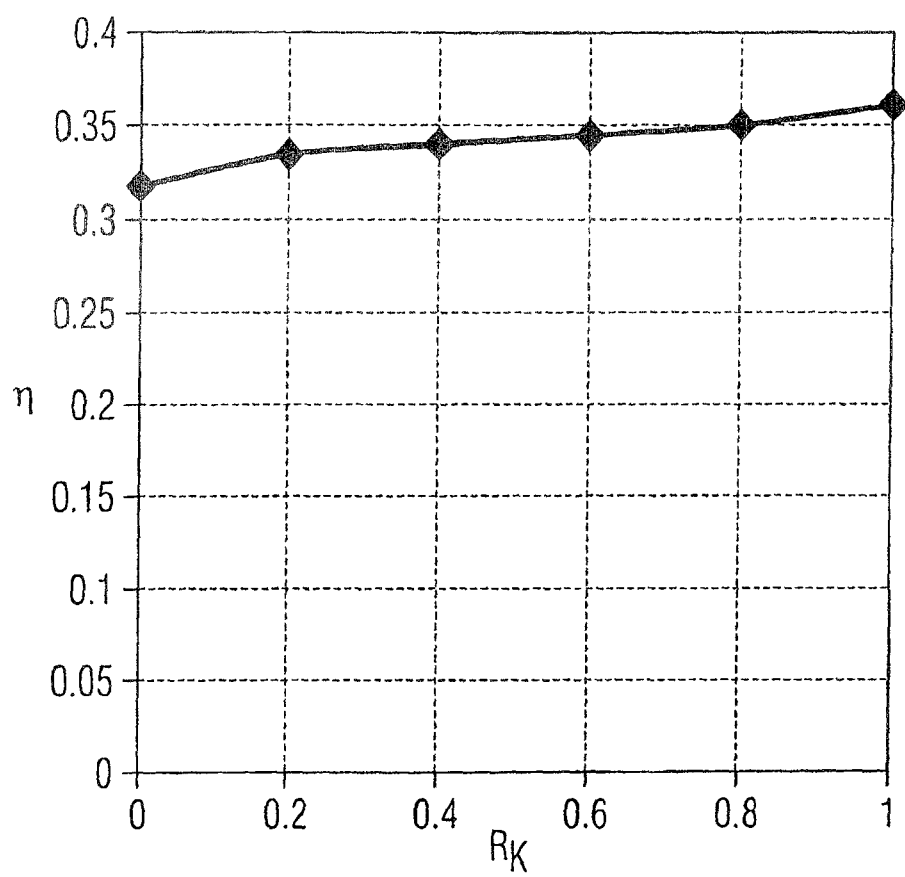


图 7

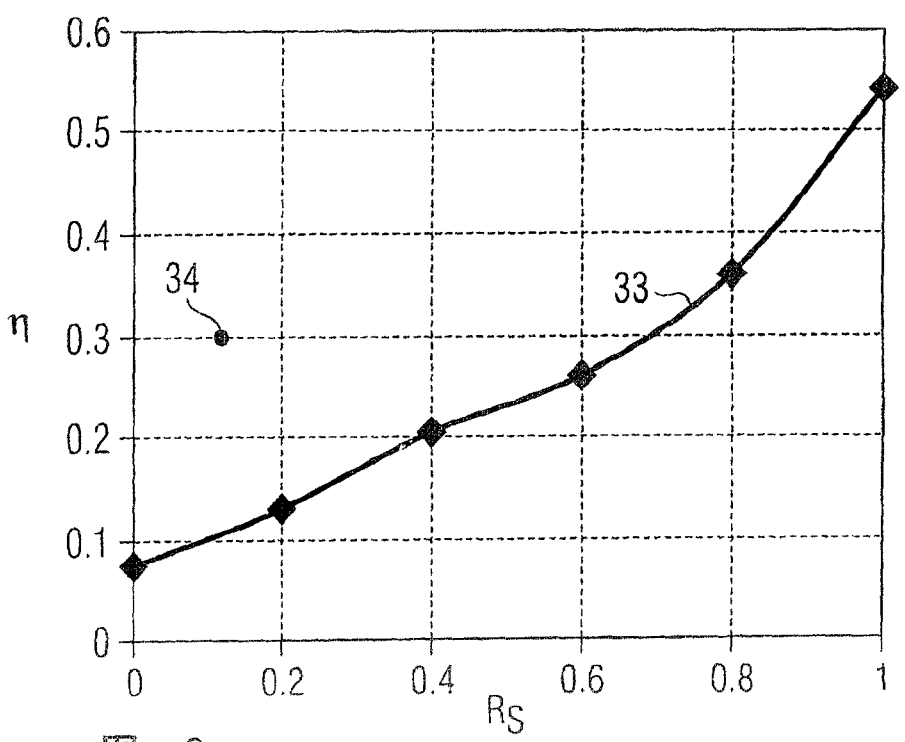


图 8

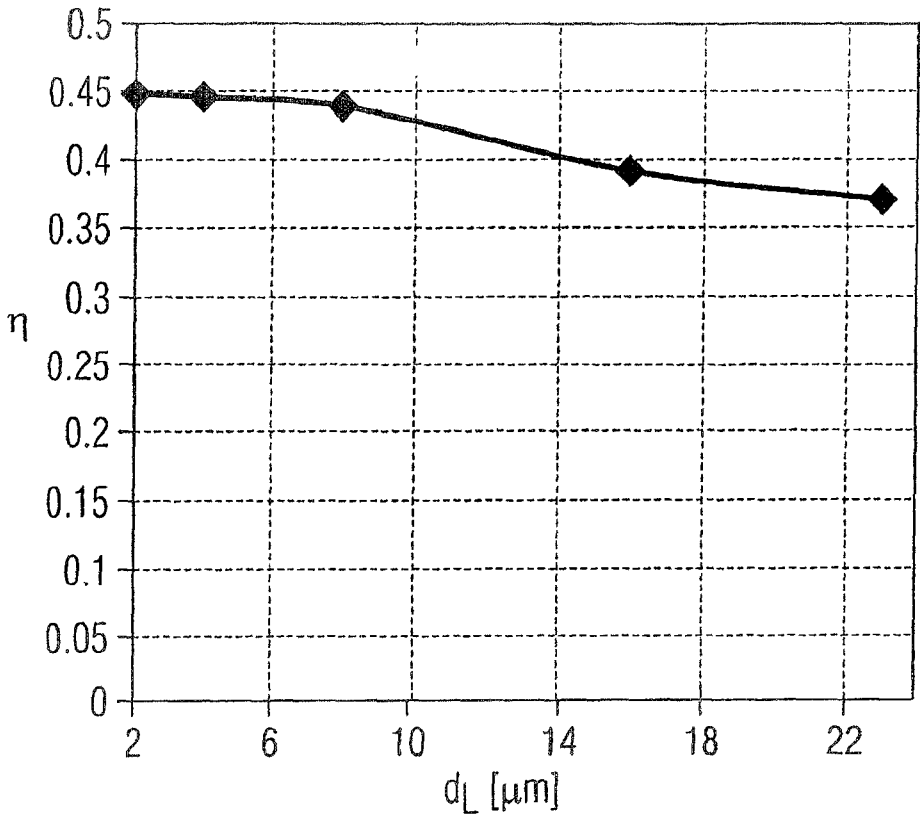


图 9

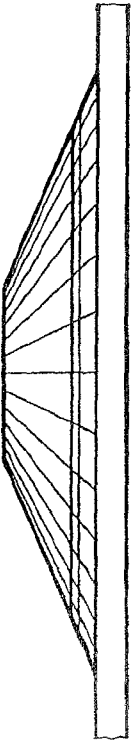


图 10a

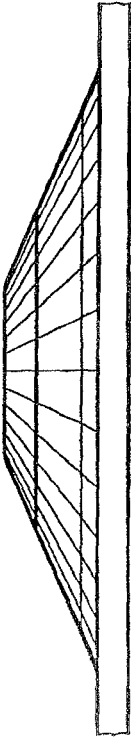


图 10b

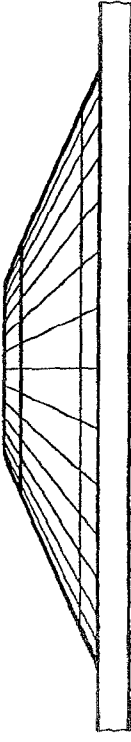


图 10c

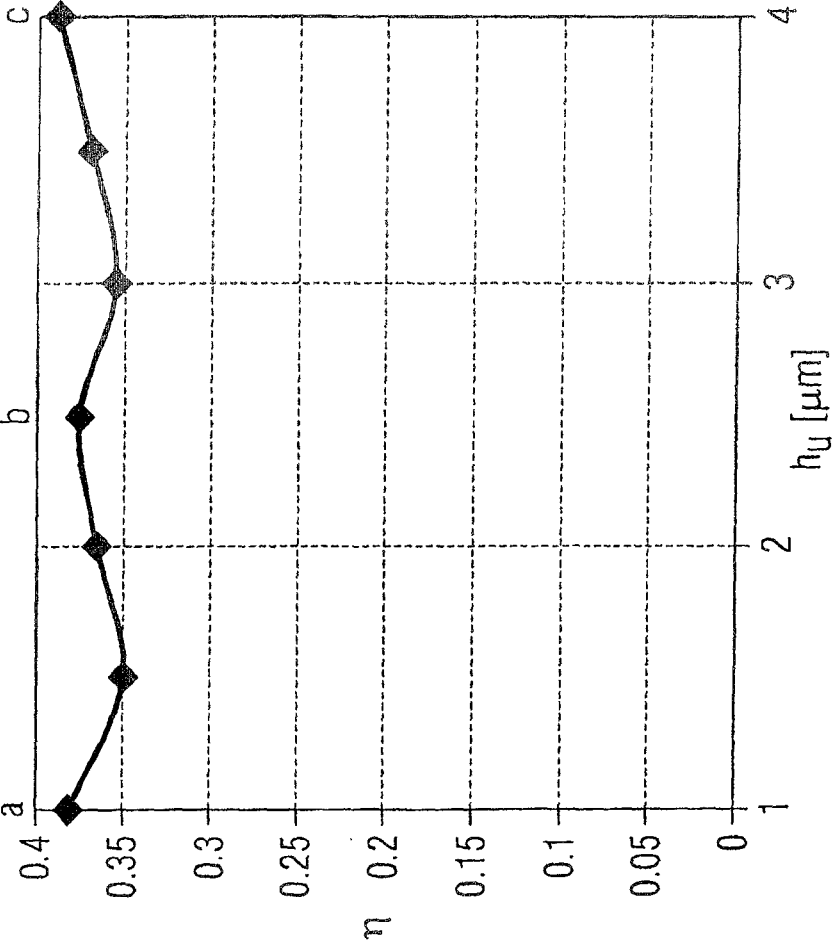


图 10d

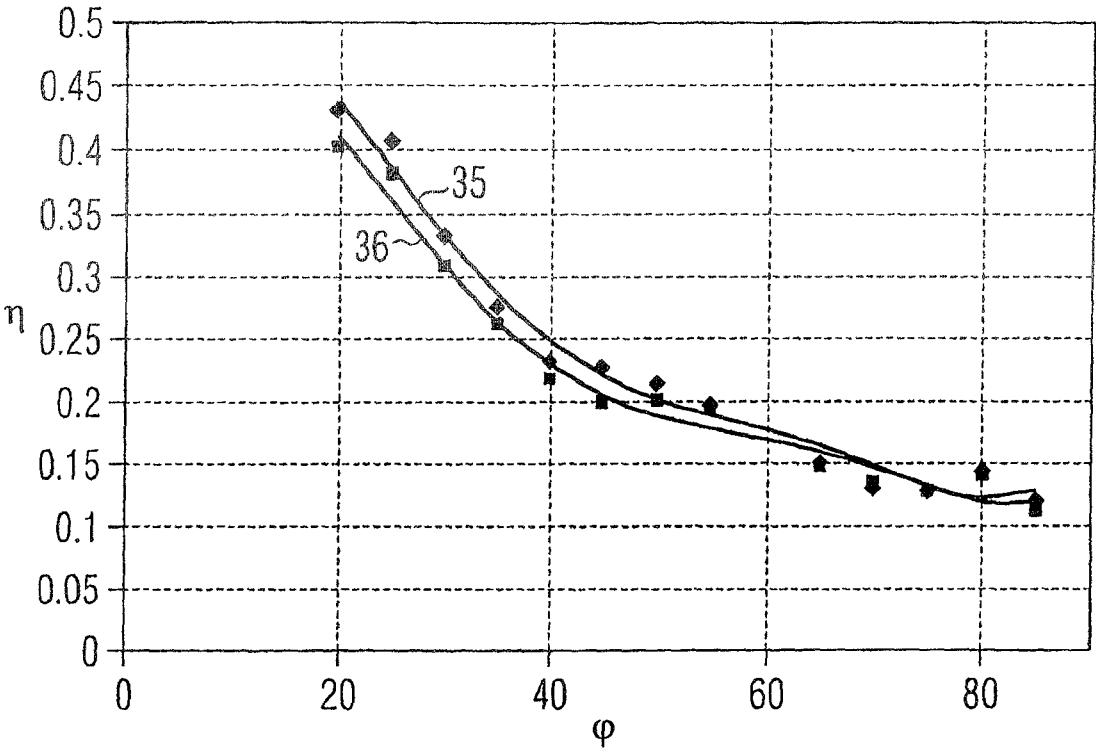


图 11

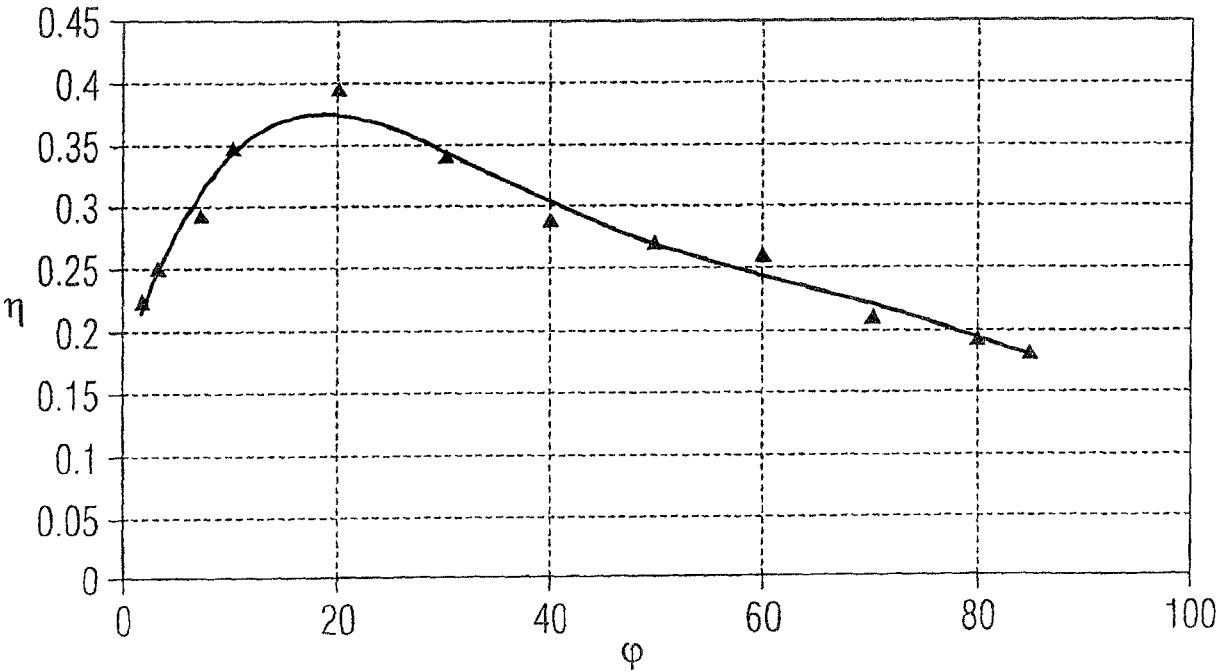


图 12

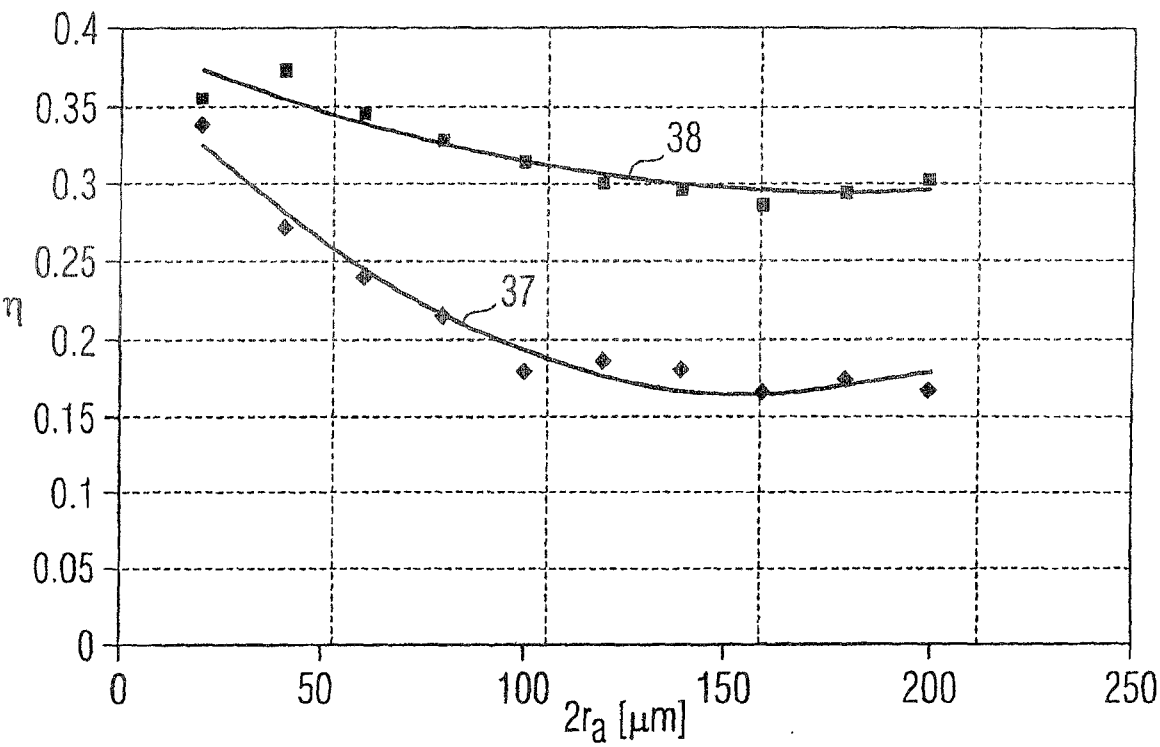


图 13

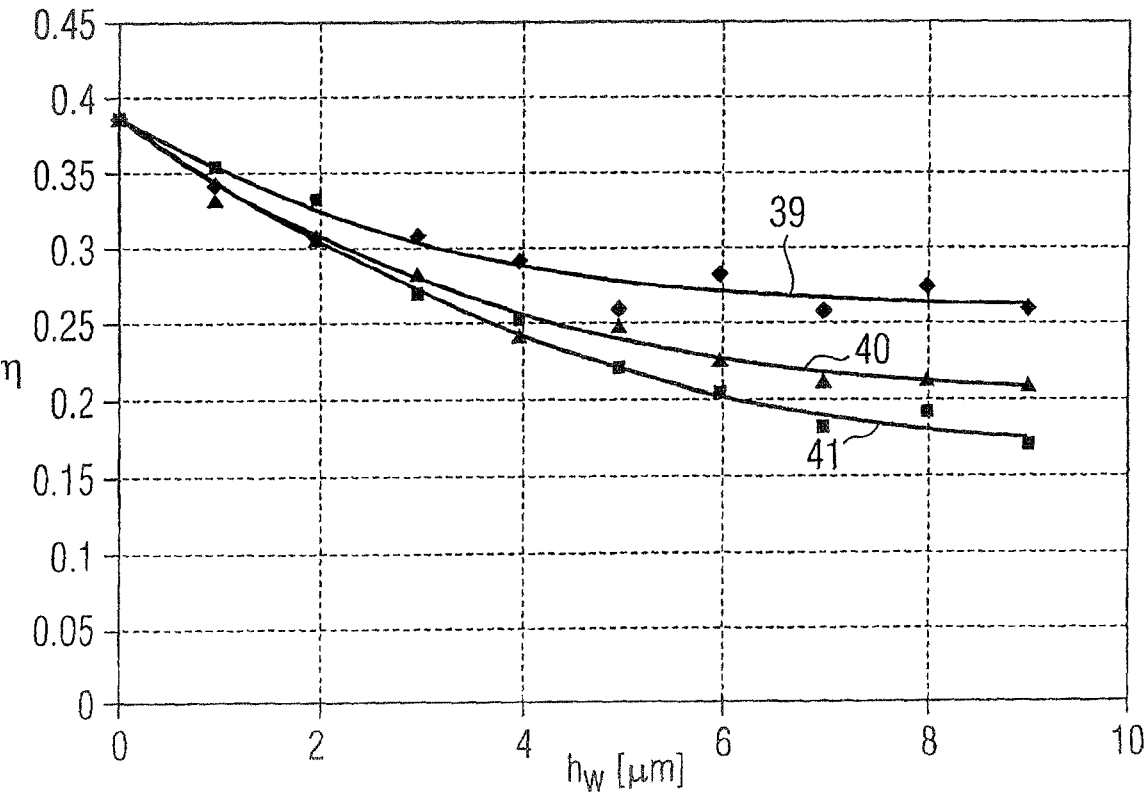


图 14

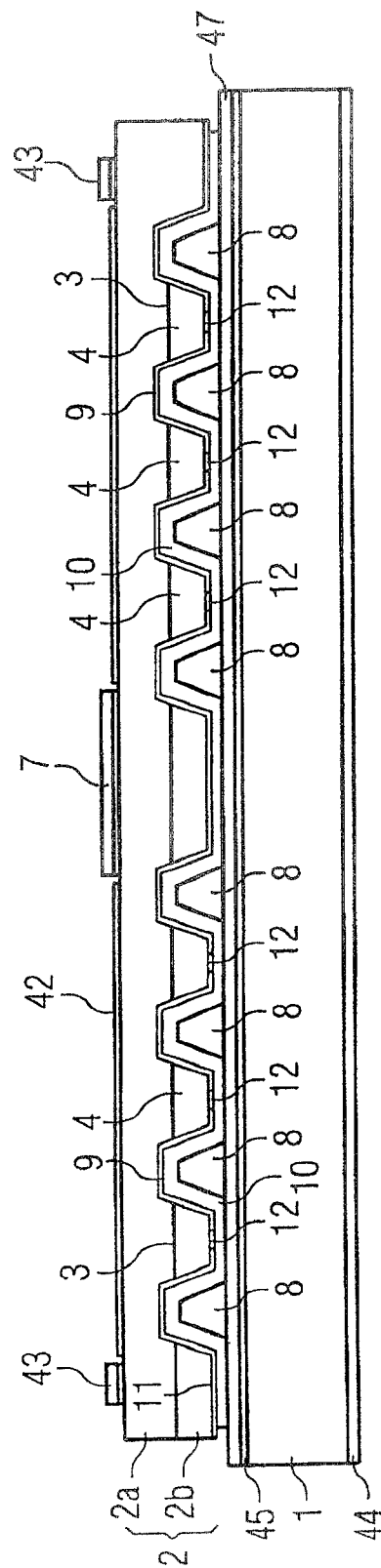


图 15

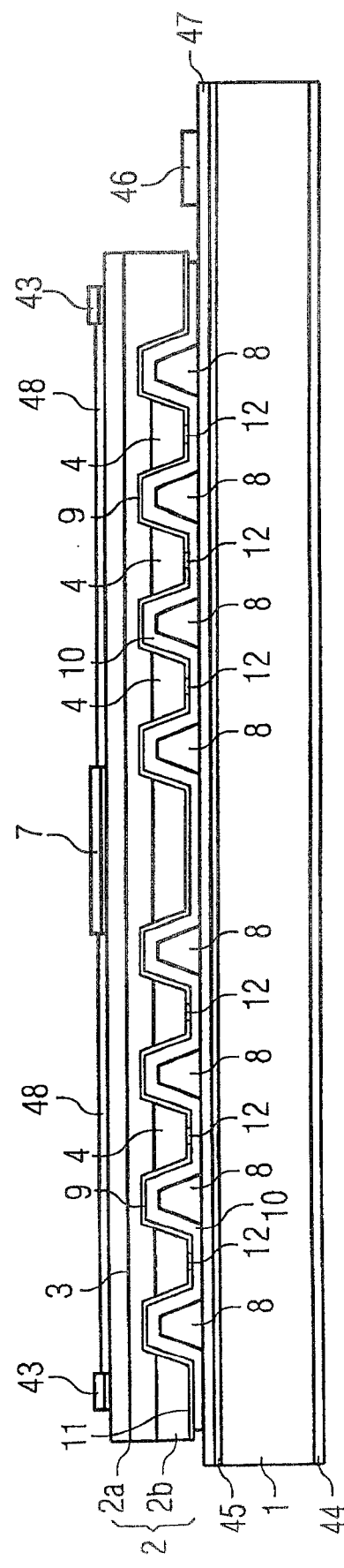


图 16



图 17a

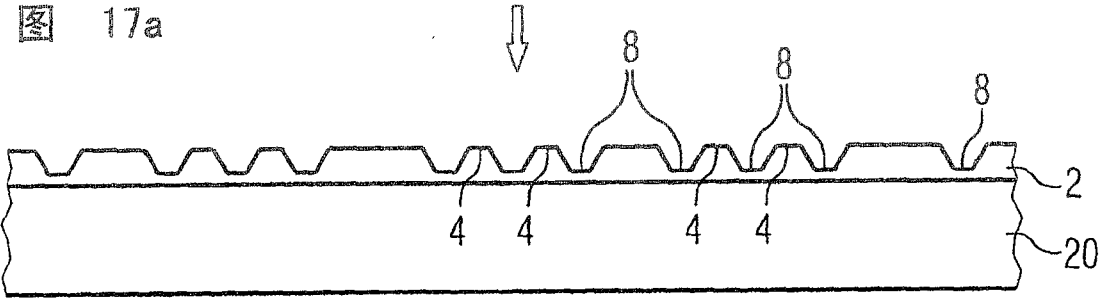


图 17b

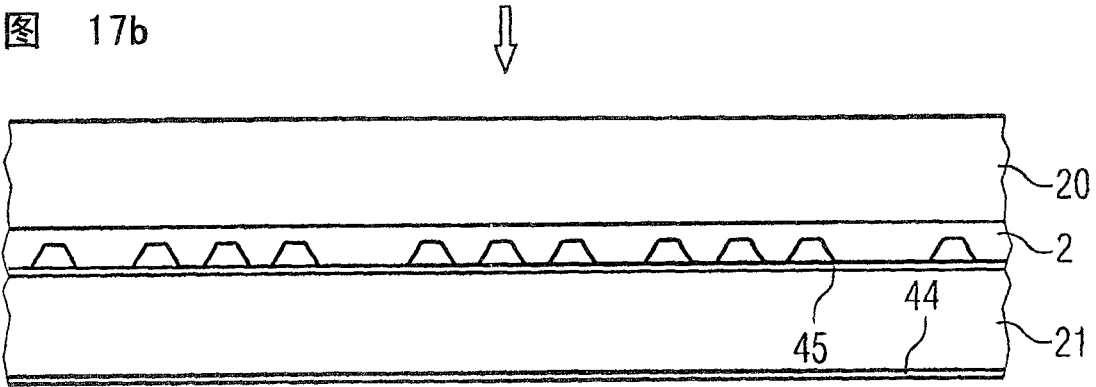


图 17c

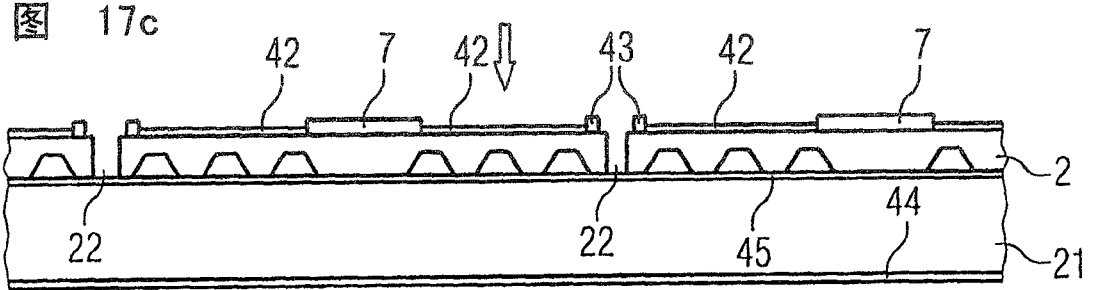


图 17d

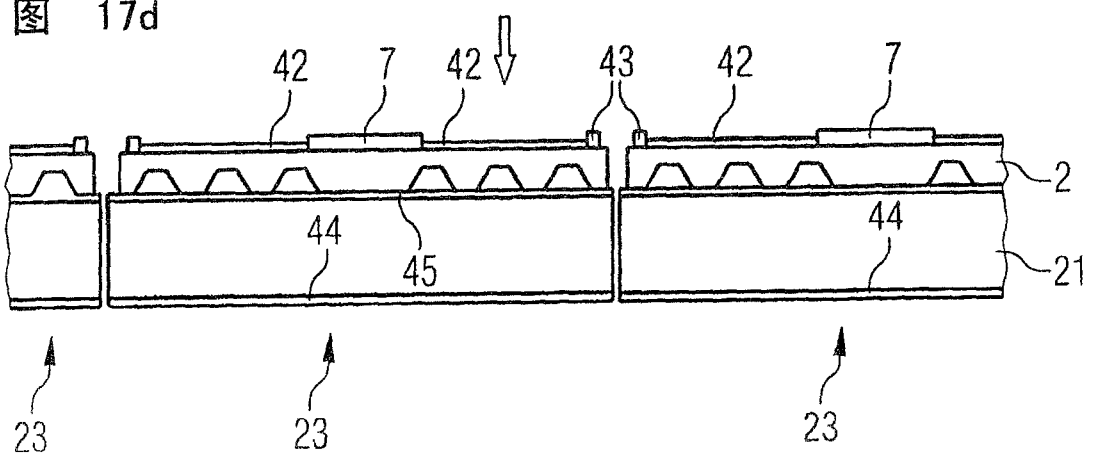


图 17e

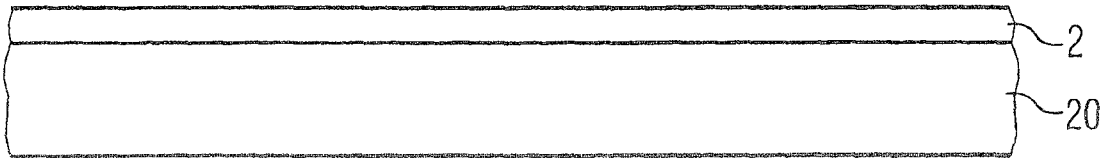


图 18a

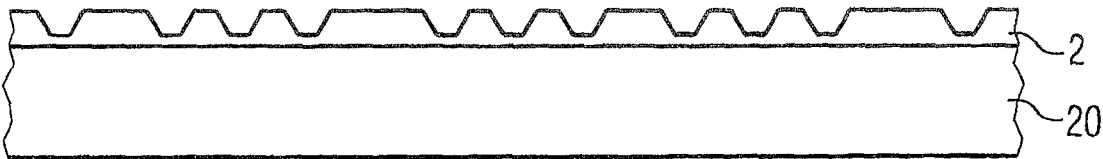


图 18b

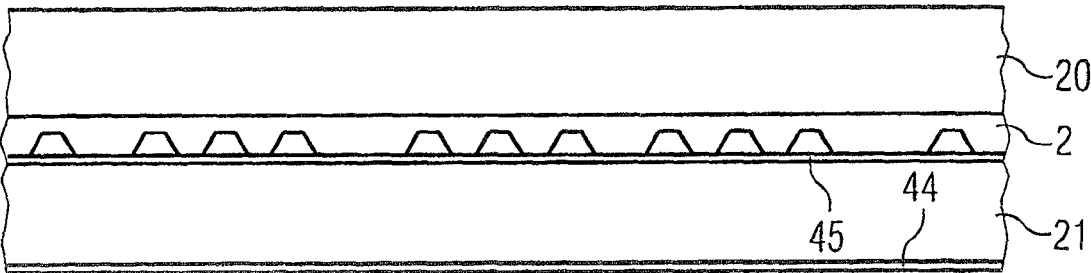


图 18c

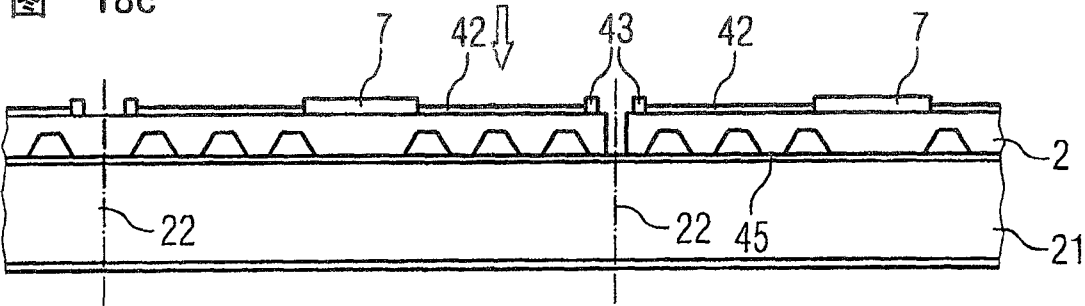


图 18d

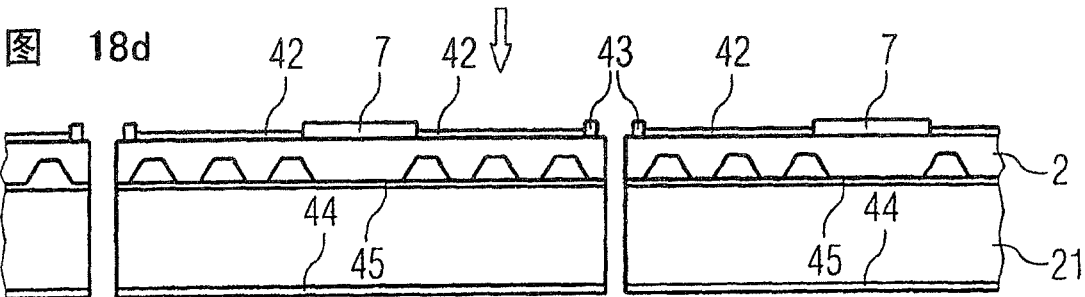


图 18e



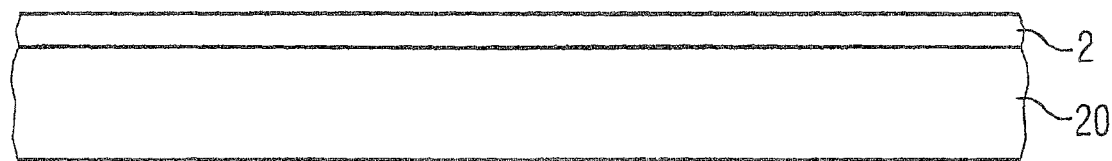


图 19a

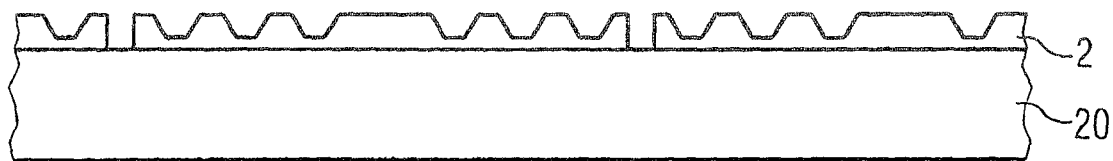


图 19b

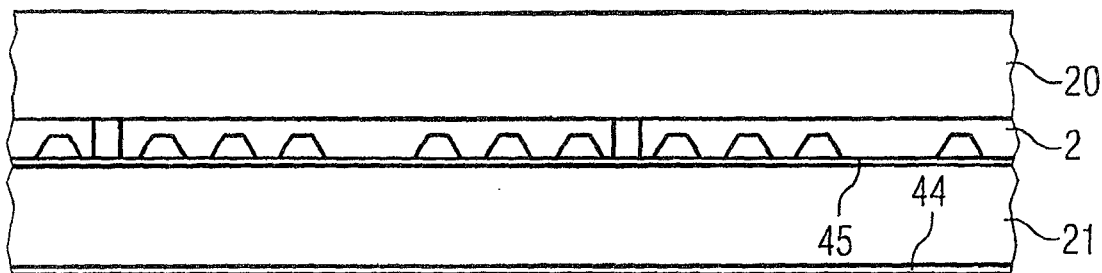


图 19c

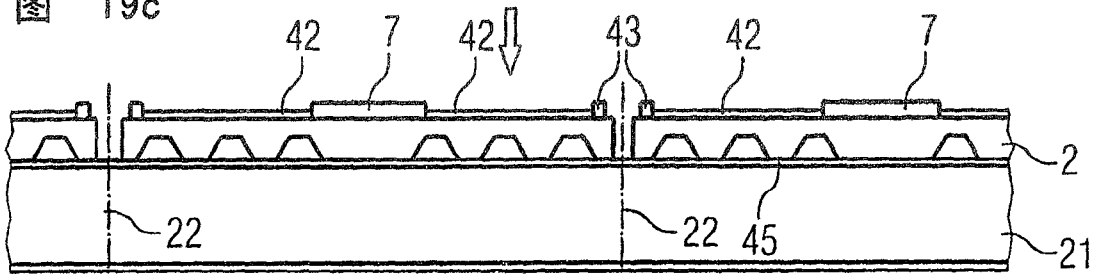


图 19d

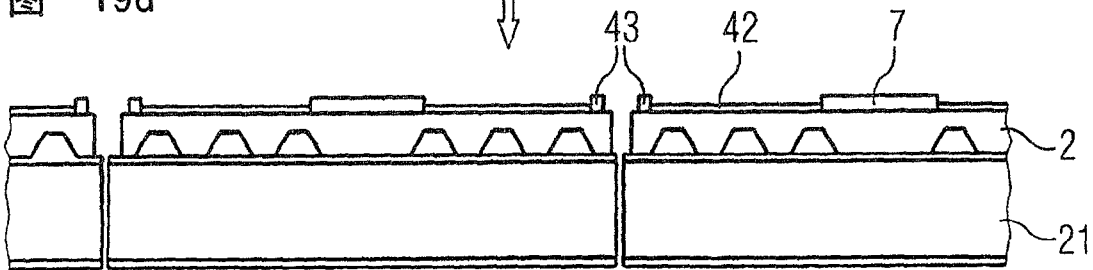


图 19e



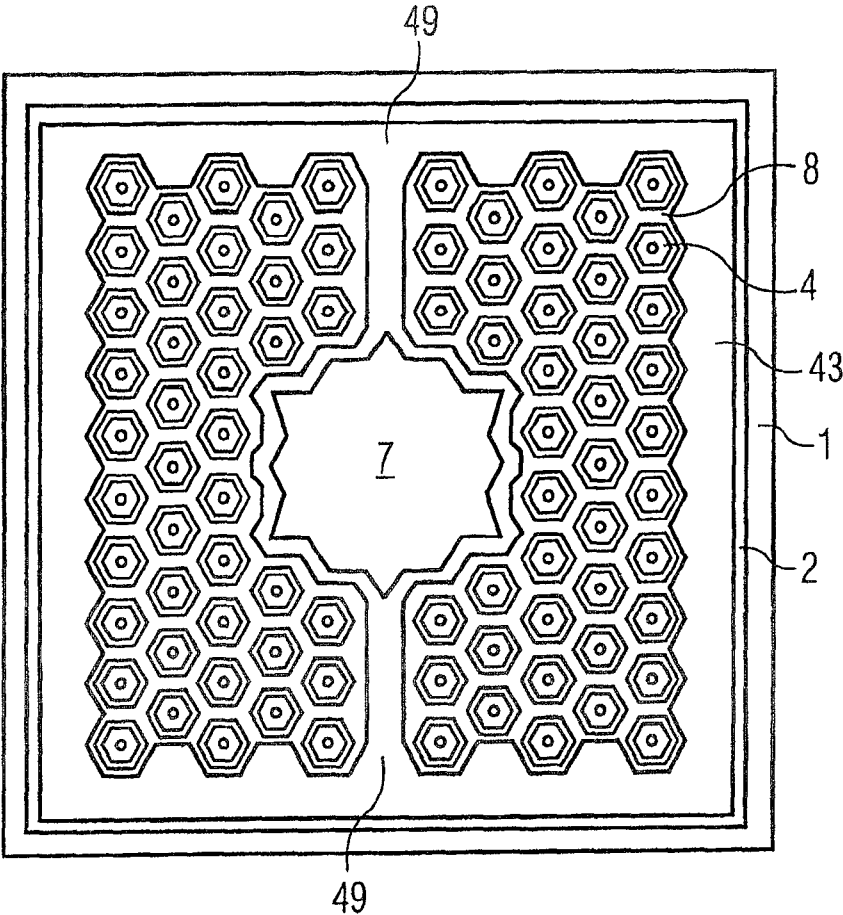


图 20

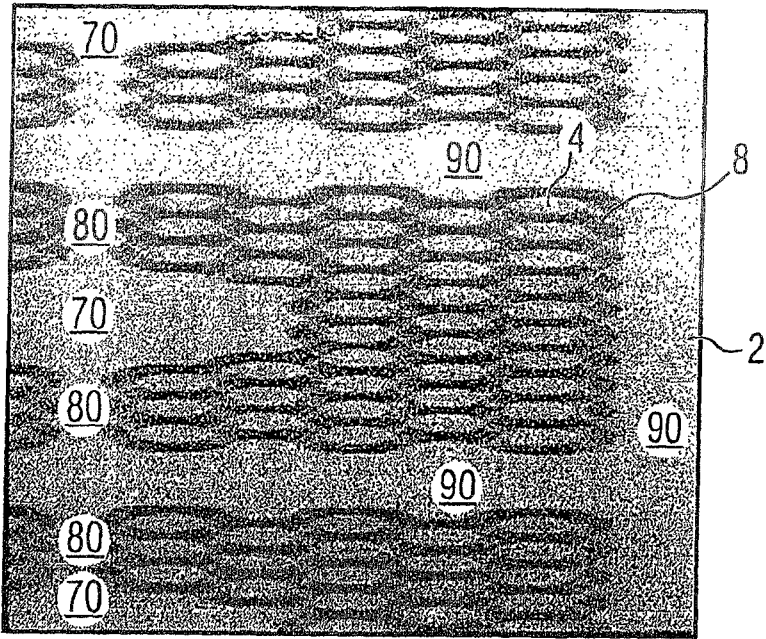


图 21

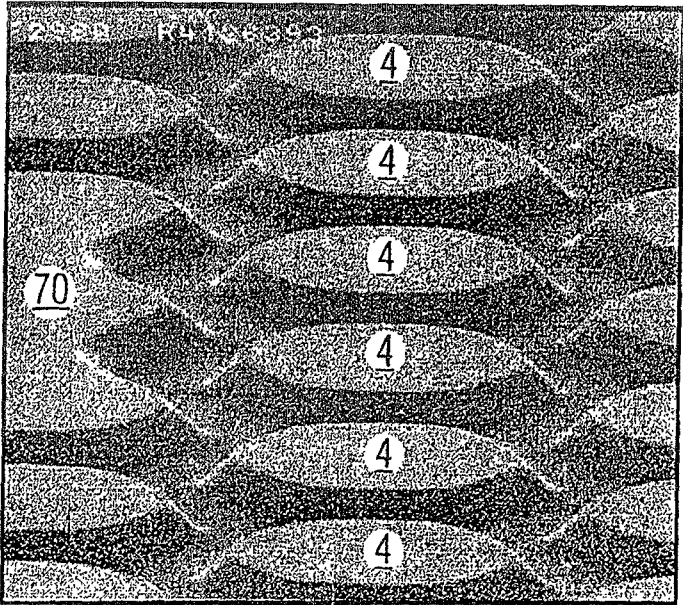


图 22