

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 16 年 12 月 2 日 (2004.12.2)

【公開番号】特開 2001-167575 (P2001-167575A)

【公開日】平成 13 年 6 月 22 日 (2001.6.22)

【出願番号】特願 平 11-350541

【国際特許分類第 7 版】

G 1 1 C 11/407

G 1 1 C 11/409

G 1 1 C 11/401

【F I】

G 1 1 C 11/34 3 6 2 S

G 1 1 C 11/34 3 5 4 Q

G 1 1 C 11/34 3 6 2 C

【手続補正書】

【提出日】平成 15 年 12 月 16 日 (2003.12.16)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリセルから読み出される並列データを複数のスイッチでそれぞれ受け、該スイッチを順次に接続して該並列データを直列データに変換する並列直列変換器と、
複数の記憶段を有し、前記各記憶段の出力が前記各スイッチにそれぞれ接続されるシフトレジスタと、アドレス信号に応じて前記シフトレジスタの記憶段の一つにプリセット信号を出力する設定回路とを有するスイッチ制御回路とを備え、
前記シフトレジスタの初期値は、前記アドレス信号に応じて設定されることを特徴とする半導体集積回路。

【請求項 2】

請求項 1 記載の半導体集積回路において、
 前記並列直列変換器が出力する前記直列データを外部に出力する出力回路を備えたことを特徴とする半導体集積回路。

【請求項 3】

請求項 1 記載の半導体集積回路において、
 前記各スイッチは、外部から供給されるクロック信号に同期して動作することを特徴とする半導体集積回路。

【請求項 4】

請求項 1 記載の半導体集積回路において、
 前記アドレス信号は、前記メモリセルの読み出し動作に対応して外部から供給されることを特徴とする半導体集積回路。

【請求項 5】

請求項 4 記載の半導体集積回路において、
 前記アドレス信号は、所定の前記メモリセルを選択するために供給されることを特徴とする半導体集積回路。

【請求項 6】

請求項 1 記載の半導体集積回路において、

前記シフトレジスタは、反転信号を受けてシフト方向を反転することを特徴とする半導体集積回路。

【請求項 7】

メモリセルに書き込むデータを直列データとして複数のスイッチで受け、該スイッチを所定の順序で接続して該直列データを並列データに変換する直列並列変換器と、

制御信号を受け、該制御信号に応じて前記スイッチの接続順序を制御するスイッチ制御回路とを備えたことを特徴とする半導体集積回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

【課題を解決するための手段】

請求項 1 の半導体集積回路は、メモリセルから読み出される並列データを直列データに変換する並列直列変換器と、アドレス信号を受け、並列直列変換器を制御するスイッチ制御回路とを備えている。並列直列変換器は、所定の順序で接続する複数のスイッチを有している。スイッチ制御回路は、アドレス信号に応じてスイッチの接続順序を制御し、並列データは、所定の順序で直列データに変換される。具体的には、スイッチ制御回路は、各記憶段の出力がスイッチに接続されたシフトレジスタを備えている。シフトレジスタの初期値は、アドレス信号に応じて設定される。そして、シフトレジスタをシフト動作することで、各スイッチが所定の順序で接続される。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

このため、並列データの伝送経路上に形成される遅延要素を最小限にできる。具体的には、例えば、並列データを並び替えるための変換回路が不要になる。すなわち、簡単な回路で直列データの並び順を制御できる。この結果、メモリセルからのデータの読み出し動作が高速になる。また、回路が簡単なため、タイミング設計、レイアウト設計が容易になる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

請求項 4 の半導体集積回路では、アドレス信号は、メモリセルの読み出し動作に対応して外部から供給される。このため、直列データの並び順を読み出し動作毎にリアルタイムで変更することができる。

請求項 5 の半導体集積回路では、所定のメモリセルを選択するアドレス信号により、直列データの並び順が変更される。例えば、1 ビットのアドレス信号を使用することで、2 ビットの並列データを所定の並び順の直列データに変換できる。2 ビットのアドレス信号を使用することで、4 ビットの並列データを所定の並び順の直列データに変換できる。すなわち、バースト出力機能を有する半導体集積回路において、アクセス時間を遅らせることなく出力データを所定の並び順に変換できる。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】 0 0 2 0

【補正方法】 削除

【補正の内容】

【手続補正 6】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 2 1

【補正方法】 削除

【補正の内容】

【手続補正 7】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 2 2

【補正方法】 変更

【補正の内容】

【 0 0 2 2】

請求項 6 の半導体集積回路では、シフトレジスタは、反転信号を受けてシフト方向を反転する。このため、同じシフトレジスタを使用して、異なる並び順の直列データを生成することができる。例えば、シフト方向を反転することでインタリーブモードを容易に適用できる。

請求項 7 の半導体集積回路では、メモリセルに書き込む直列データを並列データに変換する直列並列変換器と、制御信号を受け、直列並列変換器を制御するスイッチ制御回路とを備えている。直列並列変換器は、所定の順序で接続する複数のスイッチを有している。スイッチ制御回路は、制御信号に応じてスイッチの接続順序を制御し、直列データは、所定の順序で並列データに変換される。

【手続補正 8】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 2 5

【補正方法】 変更

【補正の内容】

【 0 0 2 5】

図 1 は、本発明の半導体記憶装置の第 1 の実施形態を示している。この実施形態は、請求項 1 ないし請求項 5 に対応している。なお、従来技術で説明した回路と同一の回路については、同一の符号を付し、これ等回路については、詳細な説明を省略する。また、以降の説明では、“アドレス信号 AD”を“AD 信号”のように、信号名を略して称する場合がある。信号名に“/”が付く信号は、負論理の信号である。各図面において太線で示した信号線は、複数本で構成されていることを示している。また、太線が接続されたブロックの一部は、複数の回路で構成されている。

【手続補正 9】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 5 3

【補正方法】 変更

【補正の内容】

【 0 0 5 3】

各記憶段 2 4 a の出力をスイッチ 3 a に接続したシフトレジスタ 2 4 と、このシフトレジスタ 2 4 をプリセット（初期値を設定）するアドレスデコーダ 2 2 とを形成した。このため、簡単な回路で直列データの並び順を制御できる。また、回路が簡単なため、タイミング設計、レイアウト設計が容易になる。

図 6 は、本発明の半導体記憶装置の第 2 の実施形態における出力インタフェース部を示している。この実施形態は、請求項 6 に対応している。なお、第 1 の実施形態で説明した回

路と同一の回路については、同一の符号を付し、これ等回路については、詳細な説明を省略する。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正の内容】

【0057】

なお、上述した第1の実施形態では、本発明をメモリセルMCからの読み出しデータを外部に出力するための出力インタフェース部30に適用した例を示した。これに限定されず、本発明を入力インタフェース部に適用してもよい。具体的には、アドレスデコードおよびシフトレジスタにより直列並列変換器32の変換順序を変えることで、容易に直列の書き込みデータを所定の並列データに変換することができる。すなわち、バースト書き込み動作を高速に実行できる（請求項7に対応する）。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正の内容】

【0060】

【発明の効果】

請求項1の半導体集積回路では、並列データの伝送経路上に形成される遅延要素を最小限にできる。この結果、メモリセルからのデータを高速に伝達でき、読み出し時のアクセス時間を向上することができる。

簡単な回路で直列データの並び順を制御できる。また、回路が簡単なため、タイミング設計、レイアウト設計が容易になる。

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0062

【補正方法】変更

【補正の内容】

【0062】

請求項5の半導体集積回路では、バースト出力機能を有する半導体集積回路において、アクセス時間を遅らせることなく出力データを所定の並び順に変換できる。

【手続補正 13】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】変更

【補正の内容】

【0063】

請求項6の半導体集積回路では、同じシフトレジスタを使用して、異なる並び順の直列データを容易に生成することができる。

【手続補正 14】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】変更

【補正の内容】

【0064】

請求項7の半導体集積回路では、並列データの伝送経路上に形成される遅延要素を最小限にできる。この結果、メモリセルからのデータの書き込み動作が高速になる。