

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年4月14日(14.04.2022)



(10) 国際公開番号

WO 2022/075003 A1

(51) 国際特許分類:
H01L 25/07 (2006.01)

(21) 国際出願番号: PCT/JP2021/033155

(22) 国際出願日: 2021年9月9日(09.09.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-169285 2020年10月6日(06.10.2020) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者: 林口 匡司 (HAYASHIGUCHI Masashi);
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 小野寺 健一 (ONODERA Kenichi); 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 臼井 尚, 外 (USUI Takashi et al.);
〒5430014 大阪府大阪市天王寺区玉造元町 2 番 3 2 - 1 3 0 1 Osaka (JP).

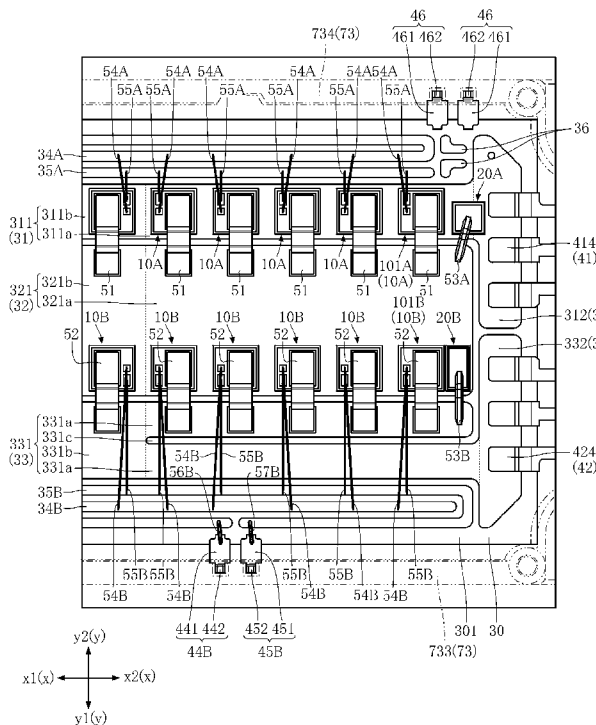
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

FIG.5



(57) Abstract: This semiconductor device comprises: a plurality of semiconductor elements connected in parallel to each other; a rectification element connected in anti-parallel to the plurality of semiconductor elements; a power terminal electrically connected to the plurality of semiconductor elements; and a conductor that includes a pad part to which the plurality of semiconductor elements are joined and which is electrically connected to the power terminal and the plurality of semiconductor elements. The plurality of semiconductor elements include a first element and a second element. The shortest conduction path to the power terminal of the first element is shorter than the shortest conduction path to the power terminal of the second element. The pad part includes a first portion to which the first element is joined and a second portion to which the second element is joined. The rectification element is disposed in the first portion of the pad part.

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：半導体装置は、互いに並列接続された複数の半導体素子と、前記複数の半導体素子に逆並列に接続された整流素子と、前記複数の半導体素子に導通する電力端子と、前記複数の半導体素子が接合されたパッド部を含み且つ前記電力端子および前記複数の半導体素子に導通する導電体と、を備える。前記複数の半導体素子は、第1素子および第2素子を含む。前記第1素子の前記電力端子までの最短導通経路は、前記第2素子の前記電力端子までの最短導通経路よりも短い。前記パッド部は、前記第1素子が接合された第1部と、前記第2素子が接合された第2部とを含む。前記整流素子は、前記パッド部の前記第1部に配置されている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 近年、MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) やIGBT (Insulated Gate Bipolar Transistor) などの半導体素子を備える半導体装置が知られている。たとえば、2つの半導体素子（第1半導体素子および第2半導体素子）を直列に接続し、各半導体素子のスイッチング動作により、直流電圧を交流電圧に変換する構成が知られている。また、このような半導体装置において、大きな許容電流を確保するために、複数の第1半導体素子を並列に接続し、かつ、複数の第2半導体素子を並列に接続した構成が知られている（たとえば特許文献1）。特許文献1に記載された構成では、並列に接続された複数の第1半導体素子と、並列に接続された複数の第2半導体素子とが備えられており、複数の第1半導体素子の各々と複数の第2半導体素子の各々とは直列に接続されている。各第1、第2半導体素子は、MOSFETで構成され、内蔵ダイオードを有している。

先行技術文献

特許文献

[0003] 特許文献1：特開2016-225493号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1に記載の半導体装置において、複数の第1半導体素子および複数の第2半導体素子のスイッチング動作に伴い、各第1半導体素子および各第2半導体素子にサージ電流が流れることがある。このサージ電流は、各半導体素子の内蔵ダイオードに流れ、流れの方向は、各半導体素子の逆方向（内蔵ダイオードの順方向）である。このサージ電流による内蔵ダイオードへ

の過剰な通電は、各半導体素子の特性悪化（たとえばオン抵抗の増大）を招く。

[0005] 上記事情に鑑み、本開示は、各半導体素子の内蔵ダイオードへの過剰な通電を抑制し、複数の半導体素子の特性悪化を抑制可能な半導体装置を提供することを一の課題とする。

課題を解決するための手段

[0006] 本開示の半導体装置は、各々がスイッチング動作を行い、かつ、互いに電氣的に並列接続された複数の第1半導体素子と；前記複数の第1半導体素子に対して電氣的に逆並列に接続された1つ以上の第1整流素子と；前記複数の第1半導体素子の各々に導通する第1電力端子と；前記複数の第1半導体素子が接合された第1パッド部を含み、かつ、前記第1電力端子および前記複数の第1半導体素子に導通する第1導電体と、を備える。前記複数の第1半導体素子は、前記第1電力端子までの最短導通経路の長さが互いに異なる第1素子および第2素子を含む。前記第1素子の前記最短導通経路の長さは、前記第2素子の前記最短導通経路の長さよりも短い。前記第1パッド部は、前記複数の第1半導体素子のうち少なくとも前記第1素子が接合された第1部と、前記複数の第1半導体素子のうち少なくとも前記第2素子が接合された第2部と、を含む。前記第1整流素子の数は、前記第1半導体素子の数よりも少なく、前記1つ以上の第1整流素子のうちの1つは、前記第1部に配置されている。

発明の効果

[0007] 本開示に基づく構成によれば、半導体素子の内蔵ダイオードへの過剰な通電を抑制し、半導体素子の特性悪化を抑制することができる。

図面の簡単な説明

[0008] [図1]第1実施形態にかかる半導体装置を示す斜視図である。

[図2]図1の斜視図において、放熱板およびケースを省略した図である。

[図3]第1実施形態にかかる半導体装置を示す平面図である。

[図4]図3の平面図において、放熱板およびケースを想像線で示した図である

。

[図5]図4の一部を拡大した部分拡大図である。

[図6]図5の一部を拡大した部分拡大図である。

[図7]図4の一部を拡大した部分拡大図である。

[図8]第1実施形態にかかる半導体装置を示す正面図である。

[図9]第1実施形態にかかる半導体装置を示す側面図（左側面図）である。

[図10]第1実施形態にかかる半導体装置を示す側面図（右側面図）である。

[図11]第1実施形態にかかる半導体装置を示す底面図である。

[図12]図4のXⅠⅠ-XⅠⅠ線に沿う断面図である。

[図13]図6のXⅠⅠⅠ-XⅠⅠⅠ線に沿う切断端面図である。

[図14]図6のXⅠⅤ-XⅠⅤ線に沿う切断端面図である。

[図15]第1実施形態にかかる半導体装置の回路構成の一例を示す回路図である。

[図16]第2実施形態にかかる半導体装置を示す平面図である。

[図17]第3実施形態にかかる半導体装置を示す平面図である。

[図18]第4実施形態にかかる半導体装置を示す平面図である。

[図19]第5実施形態にかかる半導体装置を示す平面図である。

発明を実施するための形態

[0009] 本開示の半導体装置の好ましい実施の形態について、図面を参照して、以下に説明する。以下の説明において、同一あるいは類似の構成要素に、同じ符号を付して、重複する説明を省略する。

[0010] 図1～図15は、第1実施形態にかかる半導体装置A1を示している。半導体装置A1は、複数の半導体素子10A、10B、複数の整流素子20A、20B、支持部材3、複数の電力端子41、42、43A、43B、一対の信号端子44A、44B、複数の検出端子45A、45B、46、47、複数の接続部材51、52、53A、53B、54A、54B、55A、55B、56A、56A、57A、57B、58、放熱板70およびケース71を備えている。

[0011] 図1は、半導体装置A1を示す斜視図である。図2は、図1の斜視図において、放熱板70およびケース71を省略した図である。図3は、半導体装置A1を示す平面図である。図4は、図3の平面図において、放熱板70およびケース71をそれぞれ想像線（二点鎖線）で示した図である。図5は、図4の一部を拡大した部分拡大図である。図6は、図5の一部を拡大した部分拡大図である。図7は、図4の一部を拡大した部分拡大図である。図8は、半導体装置A1を示す正面図である。図9は、半導体装置A1を示す側面図（左側面図）である。図10は、半導体装置A1を示す側面図（右側面図）である。図11は、半導体装置A1を示す底面図である。図12は、図4のXⅠⅠ-XⅠⅠ線に沿う断面図である。図13は、図6のXⅠⅠⅠ-XⅠⅠⅠ線に沿う切断端面図である。図14は、図6のXⅠⅤ-XⅠⅤ線に沿う切断端面図である。図15は、半導体装置A1の回路構成の一例を示す回路図である。

[0012] 説明の便宜上、互いに直交する3つの方向を、x方向、y方向、z方向とする。z方向は、半導体装置A1の厚さ方向である。x方向は、半導体装置A1の平面図（図3，4参照）における左右方向である。y方向は、半導体装置A1の平面図（図3，4参照）における上下方向である。x方向の一方をx1方向、x方向の他方をx2方向とする。同様に、y方向の一方をy1方向、y方向の他方をy2方向とし、z方向の一方をz1方向、z方向の他方をz2方向とする。以下の説明において、「平面視」とは、z方向に見たときをいう。z方向は「厚さ方向」の一例である。また、x方向は「第1方向」の一例であり、y方向は「第2方向」の一例であるが、本開示がこれに限定されるわけではない。

[0013] 放熱板70は、図11および図12に示すように、平面視矩形状の板状である。放熱板70は、熱伝導率の高い材料で構成されており、たとえば、銅または銅合金からなる。放熱板70の表面にニッケルめっきが施されていてもよい。放熱板70のz1方向側の表面には、必要に応じて、冷却部材（たとえばヒートシンク）が取り付けられる。図12に示すように、支持部材3

は、当該放熱板 70 上に載置されている。

[0014] ケース 71 は、図 1 および図 3 から理解されるように、およそ直方体である。ケース 71 は、電気絶縁性を有し、かつ耐熱性に優れた合成樹脂から構成されており、たとえば PPS（ポリフェニレンサルファイド）からなる。ケース 71 は、平面視において放熱板 70 とおよそ同じ大きさの矩形状である。ケース 71 は、放熱板 70 の z2 方向側の表面に固定された枠部 73 と、この枠部 73 に固定された天板 72 とを備えている。天板 72 は、図 1 および図 12 に示すように、枠部 73 の z2 方向側の開口を閉鎖する。天板 72 は、図 12 に示すように、枠部 73 の z1 方向側を閉鎖する放熱板 70 と対向している。天板 72、放熱板 70 および枠部 73 によって、回路収容空間（複数の半導体素子 10A、10B、複数の整流素子 20A、20B および支持部材 3 などを収容する空間）がケース 71 の内部に区画されている。

[0015] 枠部 73 は、図 3 に示すように、x 方向に離間した一对の側壁 731、732 および y 方向に離間した一对の側壁 733、734 を有する。一对の側壁 731、732 はそれぞれ、平面視において、y 方向に延びる。側壁 732 は、側壁 731 よりも x2 方向に位置する。一对の側壁 733、734 はそれぞれ、平面視において、x 方向に延びる。側壁 734 は、側壁 733 よりも y2 方向に位置する。側壁 733 は、一对の側壁 731、732 の y1 方向側の各端縁部に繋がり、側壁 734 は、一对の側壁 731、732 の y2 方向側の各端縁部に繋がる。

[0016] 側壁 731 の外面には、図 1、図 3 および図 9 に示すように、2 つの端子台 771、772 が形成されている。2 つの端子台 771、772 は、y 方向に沿って配置されている。端子台 771 は、電力端子 43A の一部を覆っており、かつ、z2 方向側の表面に電力端子 43A の一部が配置されている。端子台 772 は、電力端子 43B の一部を覆っており、かつ、z2 方向側の表面に電力端子 43B の一部が配置されている。平面視において、端子台 771 は、側壁 731 の長さ方向（y 方向）中央に対して、y2 方向側に配置されており、端子台 772 は、側壁 731 の長さ方向（y 方向）中央に対

して、 y 1 方向側に配置されている。これらの端子台 771, 772 は、側壁 731 と一体的に形成されている。

[0017] 側壁 732 の外面には、図 1、図 3 および図 10 に示すように、2 つの端子台 773, 774 が形成されている。2 つの端子台 773, 774 は、 y 方向に沿って配置されている。端子台 773 は、電力端子 41 の一部を覆っており、かつ、 z 2 方向側の表面に電力端子 41 の一部が配置されている。端子台 774 は、電力端子 42 の一部を覆っており、かつ、 z 2 方向側の表面に電力端子 42 の一部が配置されている。平面視において、端子台 773 は、側壁 732 の長さ方向 (y 方向) 中央に対して、 y 2 方向に配置されており、端子台 774 は、側壁 732 の長さ方向 (y 方向) 中央に対して、 y 1 方向側に配置されている。これらの端子台 773, 774 は、側壁 732 と一体的に形成されている。各端子台 771 ~ 774 には、たとえばナット (図示略) が埋設されている。当該ナットは、そのネジ穴の中心軸線が z 方向に一致する。

[0018] 図 1、図 3 および図 8 ~ 10 に示すように、枠部 73 の z 2 方向側の表面における 4 つの角部分にはそれぞれ、凹部 74 が形成されている。凹部 74 の底壁は、底壁を貫通する取付用貫通孔 75 が形成されている。取付用貫通孔 75 には、筒状金属部材 76 が嵌め込まれた状態で固定されている。放熱板 70 には、取付用貫通孔 75 に連通する取付用貫通孔 (図 11 参照) が形成されている。半導体装置 A1 は、ケース 71 の取付用貫通孔 75 および放熱板 70 の取付用貫通孔を挿通する締結具 (たとえばボルト) によって、取付対象の所定の固定位置に固定される。これらの取付用貫通孔 75 を利用して、上記ヒートシンクなどの冷却手段が取り付けられてもよい。

[0019] 複数の半導体素子 10A, 10B はそれぞれ、図 15 に示すように、たとえば MOSFET である。各半導体素子 10A, 10B は、MOSFET ではなく、MISFET (Metal-Insulator-Semiconductor FET) を含む電界効果トランジスタ、あるいは、IGBT のようなバイポーラトランジスタなどであってもよい。各半導体素子 10A, 10B は、図示しない内蔵ダイオー

ドを有している。各半導体素子10A, 10Bは、たとえばSiC（炭化ケイ素）からなる。各半導体素子10A, 10Bは、SiCの代わりに、Si（シリコン）、GaAs（ヒ化ガリウム）あるいはGaN（窒化ガリウム）などから構成されていてもよい。各半導体素子10A, 10Bは、平面視において、たとえば矩形状である。

[0020] 複数の半導体素子10A, 10Bはそれぞれ、図13および図14に示すように、素子主面100aおよび素子裏面100bを有する。各半導体素子10A, 10Bにおいて、素子主面100aと素子裏面100bとは、z方向に離間する、素子主面100aは、z2方向を向き、素子裏面100bは、z1方向を向く。

[0021] 複数の半導体素子10A, 10Bはそれぞれ、図6、図13および図14に示すように、第1電極11、第2電極12、第3電極13および第4電極14を有する。各半導体素子10A, 10Bにおいて、第1電極11、第3電極13および第4電極14は、素子主面100aに形成されており、第2電極12は、素子裏面100bに形成されている。各半導体素子10A, 10BがMOSFETである例において、第1電極11はソース電極であり、第2電極12はドレイン電極であり、第3電極13はゲート電極であり、第4電極14はソースセンス電極（ソース電流検出用電極）である。各半導体素子10A, 10Bが有する内蔵ダイオードは、アノードが第1電極11（ソース電極）に接続され、カソードが第2電極12（ドレイン電極）に接続される。各半導体素子10A, 10Bは、第3電極13（ゲート電極）に駆動信号（たとえばゲート電圧）が入力されると、この駆動信号に応じて導通状態と遮断状態とが切り替わる。この導通状態と遮断状態とが切り替わる動作をスイッチング動作という。導通状態では、第2電極12（ドレイン電極）から第1電極11（ソース電極）に電流が流れ、遮断状態では、この電流が流れない。半導体装置A1は、複数の半導体素子10A, 10Bのスイッチング動作により、2つの電力端子41, 42間に入力される直流電圧をたとえば交流電圧に変換する。

[0022] 半導体装置A1は、たとえばハーフブリッジ型のスイッチング回路として構成される。この場合、複数の半導体素子10Aは、半導体装置A1の上アーム回路を構成し、複数の半導体素子10Bは、半導体装置A1の下アーム回路を構成する。よって、各半導体素子10Aと各半導体素子10Bとは、直列に接続され、ブリッジを構成する。図2、図4および図15に示す例では、半導体装置A1は、10個の半導体素子10Aと10個の半導体素子10Bとを含む。半導体素子10A、10Bの数は、本構成に限定されず、半導体装置A1に要求される性能に応じて適宜変更される。

[0023] 複数の半導体素子10Aはそれぞれ、図4～図7、図12および図13に示すように、支持部材3に搭載されている。図4に示す例では、複数の半導体素子10Aは、たとえばx方向に沿って配置され、互いに離間している。各半導体素子10Aは、図示しない導電性接合材（たとえば焼結銀や焼結銅などの焼結金属、銀や銅などの金属ペースト材、あるいは、はんだなど）を介して、支持部材3（後述の導電体31）に導通接合されている。各半導体素子10Aは、導電体31に接合された際、素子裏面100bが導電体31に対向する。

[0024] 複数の半導体素子10Aは、図4～図7に示すように、第1素子101Aおよび第2素子102Aを含む。第1素子101Aと第2素子102Aとは、電力端子41までの最短導通経路の長さが互いに異なる。第1素子101Aは、当該最短導通経路が第2素子102Aよりも短い。半導体装置A1では、複数の半導体素子10Aのうち、電力端子41までの最短導通経路が最も短い半導体素子10Aを第1素子101Aとし、複数の半導体素子10Aのうち、電力端子41までの最短導通経路が最も長い半導体素子10Aを第2素子102Aとしている。なお、複数の半導体素子10Aのうちの2つの半導体素子10Aにおいて、電力端子41までの最短導通経路が短い方を第1素子101Aとし、電力端子41までの最短導通経路が長い方を第2素子102Aとすれば、第1素子101Aは電力端子41までの最短導通経路が最も短い半導体素子10Aでなくてもよく、また、第2素子102Aは電力

端子 4 1 までの最短導通経路が最も長い半導体素子 1 0 A でなくてもよい。

[0025] 複数の半導体素子 1 0 B はそれぞれ、図 4 ～図 7、図 1 2 および図 1 4 に示すように、支持部材 3 に搭載されている。図 4 に示す例では、複数の半導体素子 1 0 B は、たとえば x 方向に沿って配置され、互いに離間している。各半導体素子 1 0 B は、図示しない導電性接合材（たとえば焼結銀や焼結銅などの焼結金属、銀や銅などの金属ペースト材、あるいは、はんだなど）を介して、支持部材 3（後述の導電体 3 2）に導通接合されている。各半導体素子 1 0 B は、導電体 3 2 に接合された際、素子裏面 1 0 0 b が導電体 3 2 に対向する。図 4 および図 5 に示す例では、y 方向に見て、複数の半導体素子 1 0 A と複数の半導体素子 1 0 B とは重なっているが、これらが重なっていてもよい。

[0026] 複数の半導体素子 1 0 B は、図 4 ～図 7 に示すように、第 3 素子 1 0 1 B および第 4 素子 1 0 2 B を含む。第 3 素子 1 0 1 B と第 4 素子 1 0 2 B とは、電力端子 4 1 までの最短導通経路の長さが互いに異なる。第 4 素子 1 0 2 B は、当該最短導通経路が第 3 素子 1 0 1 B よりも短い。半導体装置 A 1 では、複数の半導体素子 1 0 B のうち、電力端子 4 1 までの最短導通経路が最も短い半導体素子 1 0 B を第 3 素子 1 0 1 B とし、複数の半導体素子 1 0 B のうち、電力端子 4 1 までの最短導通経路が最も長い半導体素子 1 0 B を第 4 素子 1 0 2 B としている。なお、複数の半導体素子 1 0 B のうちの 2 つの半導体素子 1 0 B において、電力端子 4 1 までの最短導通経路が短い方を第 3 素子 1 0 1 B とし、電力端子 4 1 までの最短導通経路が長い方を第 4 素子 1 0 2 B とすれば、第 3 素子 1 0 1 B は電力端子 4 1 までの最短導通経路が最も短い半導体素子 1 0 B でなくてもよく、また、第 4 素子 1 0 2 B は電力端子 4 1 までの最短導通経路が最も長い半導体素子 1 0 B でなくてもよい。

[0027] 複数の整流素子 2 0 A、2 0 B はそれぞれ、たとえばダイオードである。各半導体素子 1 0 A、1 0 B が MOS F E T で構成された例においては、当該ダイオードとしては、図 1 5 に示すように、たとえばショットキーバリアダイオードが用いられる。また、各半導体素子 1 0 A、1 0 B が I G B T で

構成された場合には、ファーストリカバリダイオードが用いられる。各整流素子 20A, 20B は、ダイオードに限定されず、整流作用のある電子部品であればよく、たとえば各半導体素子 10A, 10B のスイッチング動作に合わせてスイッチング動作されるトランジスタであってもよい。

[0028] 複数の整流素子 20A, 20B はそれぞれ、図 13 および図 14 に示すように、素子主面 200a および素子裏面 200b を有する。各整流素子 20A, 20B において、素子主面 200a と素子裏面 200b とは、z 方向に離間する、素子主面 200a は、z2 方向を向き、素子裏面 200b は、z1 方向を向く。

[0029] 各整流素子 20A, 20B は、図 13 および図 14 に示すように、第 1 電極 21 および第 2 電極 22 を有する。第 1 電極 21 は、素子主面 200a に形成されており、第 2 電極 22 は、素子裏面 200b に形成されている。各整流素子 20A, 20B がダイオード（たとえばショットキーバリアダイオード）である例において、第 1 電極 21 はアノード電極であり、第 2 電極 22 はカソード電極である。

[0030] 整流素子 20A は、図 15 に示すように、各半導体素子 10A に対して、電氣的に逆並列に接続されている。この逆並列接続とは、各半導体素子 10A の順方向電流と、整流素子 20A の順方向電流とが逆向きで並列に接続された状態であり、具体的には、各半導体素子 10A の第 1 電極 11（ソース電極）に対して、整流素子 20A の第 1 電極 21（アノード電極）が接続され、各半導体素子 10A の第 2 電極 12（ドレイン電極）に対して、整流素子 20A の第 2 電極 22（カソード電極）が接続されている。これにより、整流素子 20A の第 1 電極 21（アノード電極）は、各半導体素子 10A の第 1 電極 11（ソース電極）に導通し、整流素子 20A の第 2 電極 22（カソード電極）は、各半導体素子 10A の第 2 電極 12（ドレイン電極）に導通する。各半導体素子 10A のスイッチング動作に伴いサージ電圧が発生した際、整流素子 20A に順方向電流（サージ電流）が流れ、各半導体素子 10A に印加されるサージ電圧が抑制される。図 4 に示す例では、整流素子 2

0 Aは、第1素子101 Aに隣接している。半導体装置A1は、1つ整流素子20 Aを備えているが、整流素子20 Aの数が複数の半導体素子10 Aの数よりも少なければ、1つ以上の整流素子20 Aを備えていてもよい。

[0031] 整流素子20 Bは、図15に示すように、各半導体素子10 Bに対して、電氣的に逆並列に接続されている。この逆並列接続とは、各半導体素子10 Bの順方向電流と、整流素子20 Bの順方向電流とが逆向きで並列に接続された状態であり、具体的には、各半導体素子10 Bの第1電極11（ソース電極）に対して、整流素子20 Bの第1電極21（アノード電極）が接続され、各半導体素子10 Bの第2電極12（ドレイン電極）に対して、整流素子20 Bの第2電極22（カソード電極）が接続されている。これにより、整流素子20 Bの第1電極21（アノード電極）は、各半導体素子10 Bの第1電極11（ソース電極）に導通し、整流素子20 Bの第2電極22（カソード電極）は、各半導体素子10 Bの第2電極12（ドレイン電極）に導通する。各半導体素子10 Bのスイッチング動作に伴いサージ電圧が発生した際、整流素子20 Bに順方向電流（サージ電流）が流れ、各半導体素子10 Bに印加されるサージ電圧が抑制される。図4に示す例では、整流素子20 Bは、第3素子101 Bに隣接している。半導体装置A1は、1つの整流素子20 Bを備えているが、整流素子20 Bの数が複数の半導体素子10 Bよりも少なければ、1つ以上の整流素子20 Bを備えていてもよい。

[0032] 支持部材3は、複数の半導体素子10 A，10 Bおよび複数の整流素子20 A，20 Bを支持する。支持部材3は、複数の半導体素子10 A，10 Bおよび複数の整流素子20 A，20 Bと、複数の電力端子41，42，43 A，43 B、一对の信号端子44 A，44 Bおよび複数の検出端子45 A，45 B，46，47との導通経路をなす。支持部材3は、絶縁基板30、複数の導電体31～33、一对の導電体34 A，34 B、一对の導電体35 A，35 Bおよび一对の導電体36を含む。

[0033] 絶縁基板30は、電気絶縁性を有する。絶縁基板30の構成材料は、たとえば熱伝導性に優れたセラミックスである。このようなセラミックスとして

は、たとえば AlN （窒化アルミニウム）、 SiN （窒化ケイ素）、 Al_2O_3 （酸化アルミニウム）などが用いられる。絶縁基板 30 は、たとえば平板状である。

[0034] 絶縁基板 30 は、図 12～図 14 に示すように、主面 301 および裏面 302 を有する。主面 301 と裏面 302 とは、 z 方向において離間している。主面 301 は、 z 2 方向を向き、裏面 302 は、 z 1 方向を向く。

[0035] 複数の導電体 31～33、一对の導電体 34A、34B、一对の導電体 35A、35B および一对の導電体 36 は、図 4 および図 12 に示すように、絶縁基板 30 の主面 301 に配置されている。複数の導電体 31～33、一对の導電体 34A、34B、一对の導電体 35A、35B および一对の導電体 36 は、たとえば金属層である。複数の導電体 31～33、一对の導電体 34A、34B、一对の導電体 35A、35B および一对の導電体 36 は、たとえば銅または銅合金からなる。複数の導電体 31～33、一对の導電体 34A、34B、一对の導電体 35A、35B および一对の導電体 36 は、たとえば銅または銅合金の代わりに、アルミニウムまたはアルミニウム合金などで構成されていてもよい。複数の導電体 31～33、一对の導電体 34A、34B、一对の導電体 35A、35B および一对の導電体 36 は、互いに離間している。

[0036] 導電体 31 は、複数の半導体素子 10A が搭載される。導電体 31 は、電力端子 41 に導通する。導電体 31 は、第 1 パッド部 311、第 1 接合部 312 および延出部 313 を含む。第 1 パッド部 311、第 1 接合部 312 および延出部 313 は、互いに繋がっており、一体的に形成されている。

[0037] 第 1 パッド部 311 は、複数の半導体素子 10A が接合され、複数の半導体素子 10A の各第 2 電極 12（ドレイン電極）に導通する。第 1 パッド部 311 は、第 1 接合部 312 から x 方向に沿って延びている。図 4 など示す例では、第 1 パッド部 311 は、 x 方向が長手方向の帯状である。複数の半導体素子 10A は、当該第 1 パッド部 311 上において、 x 方向に沿って配置されている。第 1 パッド部 311 は、図 4、図 12 および図 13 に示す

ように、第1接合面311zを有する。第1接合面311zは、z2方向を向き、x-y平面に略平行する。第1接合面311zは、複数の半導体素子10Aの各々が接合される。

[0038] 第1パッド部311は、第1部311aおよび第2部311bを含む。第1部311aと第2部311bとは互いに繋がる。第1部311aは、少なくとも第1素子101Aが接合されている。図4～図7に示す例では、第1部311aには、複数の半導体素子10Aのうち、電力端子41までの最短導通経路が相対的に短い5つの半導体素子10A（第1素子101Aを含む）が接合されている。また、第1部311aには、整流素子20Aが接合されている。特に、図5に示す例では、整流素子20Aは、第1部311aと第1接合部312とに跨って接合されている。第2部311bは、少なくとも第2素子102Aが接合されている。図4～図7に示す例では、第2部311bには、複数の半導体素子10Aのうち、電力端子41までの最短導通経路が相対的に長い5つの半導体素子10A（第2素子102Aを含む）が接合されている。また、第2部311bには、整流素子20Aが接合されていない。図4に示す例では、第1パッド部311をx方向におよそ半分に分け、電力端子41に近い方を第1部311aとし、電力端子41から遠い方を第2部311bとしている。なお、複数の半導体素子10Aの数が、奇数である場合、x方向中央に配置される半導体素子10Aは、第1部311aまたは第2部311bのいずれに接合されていてもよい。第1パッド部311における第1部311aと第2部311bとの各領域は、図4に示す例に限定されず、次のように設定してもよい。電力端子41までの最短導通経路が相対的に異なる2つの半導体素子10Aのうち、当該最短導通経路が短い半導体素子10Aが接合される領域を第1部311aとして、当該最短導通経路が長い半導体素子10Aが接合される領域を第2部311bとしてもよい。あるいは、複数の半導体素子10Aのうちの次の条件を満たす半導体素子10Aが接合された領域を第1部311aとして、残りの領域を第2部311bとしてもよい。その条件とは、電力端子41までの各最短導通経路の

長さが、これらの各最短導通経路の長さの平均よりも小さいものである。第1接合面311zは、第1部311aおよび第2部311bの各上面（z2方向を向く面）により構成される。

[0039] 第1接合部312は、図4～図6などに示すように、電力端子41が接合されている。第1接合部312は、y方向を長手方向とする帯状である。第1接合部312は、第1パッド部311のx2方向側の端縁に繋がっている。このため、第1素子101Aは、複数の半導体素子10Aのうち最もx2方向に位置する半導体素子10Aである。一方、第2素子102Aは、複数の半導体素子10Aのうち最もx1方向に位置する半導体素子10Aである。

[0040] 延出部313は、図7に示すように、第1パッド部311のx1方向側の端部からy方向に延びている。図7に示す例では、延出部313は、平面視において、導電体32（後述の第2接合部322）と導電体34Aおよび導電体35Aとの間に挟まれて配置されている。

[0041] 導電体32は、複数の半導体素子10Bが搭載される。導電体32は、各電力端子43A、43Bに導通する。導電体32は、第2パッド部321および第2接合部322を含む。第2パッド部321および第2接合部322は、互いに繋がっており、一体的に形成されている。

[0042] 第2パッド部321は、複数の半導体素子10Bが接合され、複数の半導体素子10Bの各第2電極12（ドレイン電極）に導通する。また、第2パッド部321は、複数の接続部材51がそれぞれ接合されており、各接続部材51を介して各半導体素子10Aの第1電極11（ソース電極）に導通する。第2パッド部321は、第2接合部322からx方向に沿って延びている。図4などに示す例では、第2パッド部321は、x方向が長手方向の帯状である。複数の半導体素子10Bは、当該第2パッド部321上において、x方向に沿って配置されている。第2パッド部321は、図4、図12および図14に示すように、第2接合面321zを有する。第2接合面321zは、z2方向を向き、x-y平面に略平行する。第2接合面321zは、

複数の半導体素子 10B の各々が接合される。

[0043] 第2パッド部321は、第3部321aおよび第4部321bを含む。第3部321aと第4部321bとは互いに繋がる。第3部321aは、少なくとも第3素子101Bが接合されている。図4～図7に示す例では、第3部321aには、複数の半導体素子10Bのうち、電力端子41までの最短導通経路が相対的に短い5つの半導体素子10B（第3素子101Bを含む）が接合されている。また、第3部321aには、整流素子20Bが接合されている。特に、整流素子20Bは、平面視において、第3部321aのうちのx方向において電力端子41に近い端縁と第3素子101Bとの間に位置する。第4部321bは、少なくとも第4素子102Bが接合されている。図4～図7に示す例では、第4部321bには、複数の半導体素子10Bのうち、電力端子41までの最短導通経路が相対的に長い5つの半導体素子10B（第4素子102Bを含む）が接合されている。また、第4部321bには、整流素子20Bが接合されていない。図4に示す例では、第2パッド部321をx方向におよそ半分に分け、電力端子41に近い方を第3部321aとし、電力端子41から遠い方を第4部321bとしている。なお、複数の半導体素子10Bの数が、奇数である場合、x方向中央に配置される半導体素子10Bは、第3部321aまたは第4部321bのいずれに接合されていてもよい。第2パッド部321における第3部321aと第4部321bとの各領域は、図4に示す例に限定されず、次のように設定してもよい。電力端子41までの最短導通経路が相対的に異なる2つの半導体素子10Bのうち、当該最短導通経路が短い半導体素子10Bが接合される領域を第3部321aとし、当該最短導通経路が長い半導体素子10Bが接合される領域を第4部321bとしてもよい。あるいは、複数の半導体素子10Bのうちの次の条件を満たす半導体素子10Bが接合された領域を第3部321aとし、残りの領域を第4部321bとしてもよい。その条件とは、電力端子41までの各最短導通経路の長さが、これらの各最短導通経路の長さの平均よりも小さいものである。第2接合面321zは、第3部321aおよ

び第4部321bの各上面（z2方向を向く面）により構成される。

[0044] 第2接合部322は、図4および図7に示すように、一对の電力端子43A、43Bが接合されている。第2接合部322は、y方向を長手方向とする帯状である。第2接合部322は、第2パッド部321のx1方向側の端縁に繋がっている。

[0045] 導電体33は、電力端子42に導通する。図4に示すように、導電体33は、第3パッド部331および第3接合部332を含む。第3パッド部331および第3接合部332は、互いに繋がっており、一体的に形成されている。

[0046] 第3パッド部331は、複数の接続部材52がそれぞれ接合されており、各接続部材52を介して各半導体素子10Bの第1電極11（ソース電極）に導通する。第3パッド部331は、第3接合部332からx方向に沿って延びている。図4に示す例では、第3パッド部331は、x方向が長手方向の帯状である。第3パッド部331は、図4および図12に示すように、第3接合面331zを有する。第3接合面331zは、z2方向を向き、x-y平面に略平行する。第3接合面331zは、複数の接続部材52の各々が接合される。

[0047] 第3パッド部331は、図5～図7に示すように一对の分離部331a、連結部331bおよびスリット331cを含む。一对の分離部331aは、スリット331cによってy方向に分離されている。一对の分離部331aの一方には、複数の接続部材52が接合されており、一对の分離部331aの他方は、第3接合部332に繋がっている。一对の分離部331aは、y方向に見て、第1部311aおよび第3部321aに重なる。つまり、スリット331cは、y方向に見て、第1部311aおよび第3部321aに重なる。連結部331bは、一对の分離部331aにそれぞれ繋がっており、一对の分離部331aを連結する。連結部331bには、複数の接続部材52が接合されている。第3接合面331zは、一对の分離部331aおよび連結部331bの各上面（z2方向を向く面）により構成される。

- [0048] 第3接合部332は、図5および図6に示すように、電力端子42が接合されている。第3接合部332は、y方向を長手方向とする帯状である。第3接合部332は、第3パッド部331のx2方向側の端縁に繋がっている。特に、第3接合部332は、第3パッド部331の一对の分離部331aの一方（図5に示す例ではy1方向側の分離部331a）に繋がっている。
- [0049] 一对の導電体34A、34Bはそれぞれ、各半導体素子10A、10Bの第3電極13（ゲート電極）に導通する。導電体34Aは、図5～図7に示すように、各接続部材54Aを介して、各半導体素子10Aの第3電極13（ゲート電極）に導通する。導電体34Bは、図5～図7に示すように、各接続部材54Bを介して、各半導体素子10Bの第3電極13（ゲート電極）に導通する。
- [0050] 一对の導電体35A、35Bはそれぞれ、各半導体素子10A、10Bの第4電極14（ソースセンス電極）に導通する。導電体35Aは、図5～図7に示すように、各接続部材55Aを介して、各半導体素子10Aの第4電極14（ソースセンス電極）に導通する。導電体35Bは、図5～図7に示すように、各接続部材55Bを介して、各半導体素子10Bの第4電極14（ソースセンス電極）に導通する。
- [0051] 図4～図6に示す例では、一对の導電体36はそれぞれ、何も接続されていないが、半導体装置A1と異なる構成において、たとえばサーミスタ（図示略）が接続される。当該サーミスタは、一对の導電体36を跨って配置される。
- [0052] 複数の電力端子41、42、43A、43B、一对の信号端子44A、44B、複数の検出端子45A、45B、46、47はそれぞれ、一部がケース71から露出する。
- [0053] 2つの電力端子41、42は、電源に接続され、電源電圧（たとえば直流電圧）が印加される。たとえば、電力端子41は正極（P端子）であり、電力端子42は負極（N端子）である。2つの電力端子41、42は、互いに離間し、y方向に沿って配置されている。よって、複数の半導体素子10A

および複数の半導体素子 10B はそれぞれ、電力端子 41 と電力端子 42 とが並ぶ方向 (y 方向) に直交する方向 (x 方向) に配列されている。

[0054] 電力端子 41 は、図 15 に示すように、複数の半導体素子 10A に導通する。電力端子 41 は、図 2 および図 4 に示すように、先端部 411、基部 412 および立上部 413 を含む。先端部 411 は、端子台 773 の z2 方向側の表面に沿って形成されている。基部 412 は、先端部 411 の z1 方向側において先端部 411 と平行に配置されている。立上部 413 は、先端部 411 の y1 方向側端縁部と基部 412 の y1 方向側端縁部とを連結している。基部 412 の大部分と立上部 413 とは、側壁 732 および端子台 773 の内部に埋め込まれている。基部 412 の x2 方向側端縁部には、ケース 71 の内方に向かって突出する櫛歯部 414 が形成されている。櫛歯部 414 は、図 4 ～図 6 に示すように、導電体 31 の第 1 接合部 312 に接合されている。この接合は、導電性接合材 (たとえばはんだまたは焼結金属など) を用いた接合、レーザ接合、あるいは、超音波接合などのいずれの手法であってもよい。この接合により、電力端子 41 は、導電体 31 を介して、複数の半導体素子 10A の各々に導通する。

[0055] 電力端子 42 は、図 15 に示すように複数の半導体素子 10B に導通する。電力端子 42 は、図 2 および図 4 に示すように、先端部 421、基部 422 および立上部 423 を含む。先端部 421 は、端子台 774 の z2 方向側の表面に沿って形成されている。基部 422 は、先端部 421 の z1 方向側において、先端部 421 と平行に配置されている。立上部 423 は、先端部 411 の y2 方向側端縁部と基部 422 の y2 方向側端縁部とを連結している。基部 422 の大部分と立上部 423 とは、側壁 732 および端子台 774 の内部に埋め込まれている。基部 422 の x2 方向側端縁部には、ケース 71 の内方に向かって突出する櫛歯部 424 が形成されている。櫛歯部 424 は、図 4 ～図 6 に示すように、導電体 33 の第 3 接合部 332 に接合されている。この接合は、導電性接合材 (たとえばはんだまたは焼結金属など) を用いた接合、レーザ接合、あるいは、超音波接合などのいずれの手法であ

ってもよい。この接合により、電力端子42は、導電体33を介して、複数の半導体素子10Bの各々に導通する。

[0056] 一对の電力端子43A、43Bは、図15に示すように、複数の半導体素子10Aの各々と複数の半導体素子10Bの各々との接続点に導通する。一对の電力端子43A、43Bから、複数の半導体素子10A、10Bにより電力変換された交流電圧が出力される。半導体装置A1と異なる構成において、一对の電力端子43A、43Bのいずれか一方のみを備えていてもよい。この場合、当該一对の電力端子43A、43Bの一方は、y方向の中央に配置されていてもよい。

[0057] 一对の電力端子43A、43Bはそれぞれ、図2および図4に示すように、先端部431、基部432および立上部433を含む。電力端子43Aにおいて、先端部431は、端子台771のz2方向側の表面に沿って形成されている。基部432は、先端部431のz1方向側において、先端部431と平行に配置されている。立上部433は、先端部431のy1方向側端縁部と基部432のy1方向側端縁部とを連結している。基部432の大部分と立上部433とは、側壁731および端子台771の内部に埋め込まれている。基部432のx1方向側端縁部には、ケース71の内方に向かって突出する櫛歯部434が形成されている。櫛歯部434は、図4および図7に示すように、導電体32の第2接合部322に接合されている。この接合は、導電性接合材（たとえばはんだまたは焼結金属など）を用いた接合、レーザー接合、あるいは、超音波接合などのいずれの手法であってもよい。この接合により、電力端子43Bは、導電体32を介して、複数の半導体素子10Aの各々および複数の半導体素子10Bの各々に導通する。一方、電力端子43Bにおいて、先端部431は、端子台772のz2方向側の表面に沿って形成されている。基部432は、先端部431のz1方向側において、先端部431と平行に配置されている。立上部433は、先端部431のy2方向側端縁部と基部432のy2方向側端縁部とを連結している。基部432の大部分と立上部433とは、側壁731および端子台772の内部に

埋め込まれている。基部432の×1方向側端縁部には、ケース71の内方に向かって突出する櫛歯部434が形成されている。櫛歯部434は、図4および図7に示すように、導電体32の第2接合部322に接合されている。この接合は、導電性接合材（たとえばはんだまたは焼結金属など）を用いた接合、レーザ接合、あるいは、超音波接合などのいずれの手法であってもよい。この接合により、電力端子43Bは、導電体32を介して、複数の半導体素子10Aの各々および複数の半導体素子10Bの各々に導通する。

[0058] 複数の電力端子41, 42, 43A, 43Bのそれぞれには、図2および図4に示すように、挿通孔が形成されている。これらの挿通孔に、ボルト（図示略）を挿通し、当該ボルトを上記ナットに嵌めることにより、半導体装置A1の取付対象に備えられる電源装置や負荷などに、各電力端子41, 42, 43A, 43Bを接続できる。

[0059] 一对の信号端子44A, 44Bは、各半導体素子10A, 10Bのスイッチング動作を制御する制御信号が入力される。信号端子44Aは、図15に示すように、複数の半導体素子10Aの各第3電極13（ゲート電極）に導通しており、各半導体素子10Aのスイッチング動作を制御する制御信号が信号端子44Aに入力される。信号端子44Bは、図15に示すように、複数の半導体素子10Bの各第3電極13（ゲート電極）に導通しており、各半導体素子10Bのスイッチング動作を制御する制御信号が信号端子44Bに入力される。

[0060] 一对の信号端子44A, 44Bはそれぞれ、図5および図7に示すように、パッド部441および端子部442を含む。各信号端子44A, 44Bのパッド部441は、ケース71（枠部73）に収容されている。信号端子44Aのパッド部441は、図7に示すように、接続部材56Aが接合され、接続部材56Aを介して導電体34Aに導通する。信号端子44Bのパッド部441は、図5に示すように、接続部材56Bが接合され、接続部材56Bを介して導電体34Bに導通する。各信号端子44A, 44Bの端子部442は、ケース71から露出する。信号端子44Aのうちパッド部441と

端子部 4 4 2 とを連結する部位は、側壁 7 3 4 を貫通している。この構成により、信号端子 4 4 A は、ケース 7 1（枠部 7 3）に支持されている。信号端子 4 4 B のうちパッド部 4 4 1 と端子部 4 4 2 とを連結する部位は、側壁 7 3 3 を貫通している。この構成により、信号端子 4 4 B は、ケース 7 1（枠部 7 3）に支持されている。

[0061] 一対の検出端子 4 5 A、4 5 B は、各半導体素子 1 0 A、1 0 B の動作状態を示す検出信号（ソース信号）が出力される。検出端子 4 5 A は、図 1 5 から理解されるように、複数の半導体素子 1 0 A の各第 4 電極 1 4（ソースセンス電極）に導通しており、各半導体素子 1 0 A の第 4 電極 1 4 に印加される電圧（ソース電流に対応した電圧）が出力される。検出端子 4 5 B は、図 1 5 から理解されるように、複数の半導体素子 1 0 B の各第 4 電極 1 4（ソースセンス電流）に導通しており、各半導体素子 1 0 B の第 4 電極 1 4 に印加される電圧（ソース電流に対応した電圧）が出力される。

[0062] 一対の検出端子 4 5 A、4 5 B はそれぞれ、図 5 および図 7 に示すように、パッド部 4 5 1 および端子部 4 5 2 を含む。各検出端子 4 5 A、4 5 B のパッド部 4 5 1 は、ケース 7 1（枠部 7 3）に収容されている。検出端子 4 5 A のパッド部 4 5 1 は、図 7 に示すように、接続部材 5 7 A が接合され、接続部材 5 7 A を介して導電体 3 5 A に導通する。検出端子 4 5 B のパッド部 4 5 1 は、図 5 に示すように、接続部材 5 7 A を介して導電体 3 5 B に導通する。各検出端子 4 5 A、4 5 B の端子部 4 5 2 は、ケース 7 1 から露出する。検出端子 4 5 A のうちパッド部 4 5 1 と端子部 4 5 2 とを連結する部位は、側壁 7 3 4 を貫通している。この構成により、検出端子 4 5 A は、ケース 7 1（枠部 7 3）に支持されている。検出端子 4 5 B のうちパッド部 4 5 1 と端子部 4 5 2 とを連結する部位は、側壁 7 3 3 を貫通している。この構成により、検出端子 4 5 B は、ケース 7 1（枠部 7 3）に支持されている。

[0063] 一対の検出端子 4 6 は、一対の導電体 3 6 にサーミスタが接続された場合には、ケース 7 1 内部の温度を検出するための端子となる。図 5 に示す例で

は、一对の導電体 3 6 にサーミスタが接続されていないため、一对の検出端子 4 6 はそれぞれ、ダミー端子である。

[0064] 一对の検出端子 4 6 はそれぞれ、図 5 に示すように、パッド部 4 6 1 および端子部 4 6 2 を含む。各検出端子 4 6 のパッド部 4 6 1 は、ケース 7 1（枠部 7 3）に收容されている。各検出端子 4 6 の端子部 4 6 2 は、ケース 7 1 から露出する。各検出端子 4 6 のうちパッド部 4 6 1 と端子部 4 6 2 とを連結する部位は、側壁 7 3 4 を貫通している。この構成により、各検出端子 4 6 は、ケース 7 1（枠部 7 3）に支持されている。一对の導電体 3 6 にサーミスタが接続された場合において、各パッド部 4 6 1 と各導電体 3 6 とに接続部材（たとえばボンディングワイヤ）を接合することで、各検出端子 4 6 がケース 7 1 内部の温度を検出するための温度検出端子となる。

[0065] 検出端子 4 7 は、各半導体素子 1 0 A の第 2 電極 1 2（ドレイン電極）に印加される直流電圧に応じた検出信号（電源電圧信号）が出力される。検出端子 4 7 は、図 1 5 から理解されるように、複数の半導体素子 1 0 A の各第 2 電極 1 2（ドレイン電極）に導通しており、各半導体素子 1 0 A の第 2 電極 1 2 に印加される電圧（電源電圧）が出力される。

[0066] 検出端子 4 7 は、図 7 に示すように、パッド部 4 7 1 および端子部 4 7 2 を含む。パッド部 4 7 1 は、ケース 7 1（枠部 7 3）に收容されている。パッド部 4 7 1 は、図 7 に示すように、接続部材 5 8 が接合され、接続部材 5 8 を介して延出部 3 1 3（導電体 3 1）に導通する。端子部 4 7 2 は、ケース 7 1 から露出する。検出端子 4 7 のうちパッド部 4 7 1 と端子部 4 7 2 とを連結する部位は、側壁 7 3 4 を貫通している。この構成により、検出端子 4 7 は、ケース 7 1（枠部 7 3）に支持されている。

[0067] 複数の接続部材 5 1，5 2，5 3 A，5 3 B，5 4 A，5 4 B，5 5 A，5 5 B，5 6 A，5 6 A，5 7 A，5 7 B，5 8 はそれぞれ、互いに離間する 2 つの部位を導通させる。

[0068] 複数の接続部材 5 1，5 2 はそれぞれ、金属板である。複数の接続部材 5 1，5 2 の各構成材料は、たとえば銅または銅合金である。各接続部材 5 1

， 5 2 は、金属板ではなく板状の積層材あるいは板状の複合材であってもよい。

[0069] 複数の接続部材 5 1 はそれぞれ、図 4 ～図 7 および図 1 2 に示すように、各半導体素子 1 0 A の第 1 電極 1 1 （ソース電極）と導電体 3 2 の第 2 パッド部 3 2 1 とに接合されている。各接続部材 5 1 は、各半導体素子 1 0 A の第 1 電極 1 1 と第 2 パッド部 3 2 1 とを導通させる。各接続部材 5 1 は、図 4 ～図 7 に示すように、平面視において y 方向に延びる帯状である。

[0070] 複数の接続部材 5 2 はそれぞれ、図 4 ～図 7 および図 1 2 に示すように、各半導体素子 1 0 B の第 1 電極 1 1 （ソース電極）と導電体 3 3 の第 3 パッド部 3 3 1 とに接合されている。各接続部材 5 2 は、各半導体素子 1 0 B の第 1 電極 1 1 と第 3 パッド部 3 3 1 とを導通させる。各接続部材 5 2 は、図 4 ～図 7 に示すように、平面視において y 方向に延びる帯状である。

[0071] 複数の接続部材 5 3 A、5 3 B、5 4 A、5 4 B、5 5 A、5 5 B、5 6 A、5 6 B、5 7 A、5 7 B、5 8 はそれぞれ、ボンディングワイヤである。複数の接続部材 5 3 A、5 3 B、5 4 A、5 4 B、5 5 A、5 5 B、5 6 A、5 6 B、5 7 A、5 7 B、5 8 の各構成材料は、アルミニウム、金あるいは銅のいずれか、または、これらのいずれかを含む合金である。

[0072] 接続部材 5 3 A は、図 6 に示すように、整流素子 2 0 A の第 1 電極 2 1 （アノード電極）と導電体 3 2 の第 2 パッド部 3 2 1 とに接合され、これらを導通させる。よって、整流素子 2 0 A の第 1 電極 2 1 （アノード電極）と各半導体素子 1 0 A の第 1 電極 1 1 （ソース電極）とが、接続部材 5 3 A、導電体 3 2 および各接続部材 5 1 を介して導通する。接続部材 5 3 B は、図 6 に示すように、整流素子 2 0 B の第 1 電極 2 1 （アノード電極）と導電体 3 3 の第 3 パッド部 3 3 1 とに接合され、これらを導通させる。よって、整流素子 2 0 B の第 1 電極 2 1 （アノード電極）と各半導体素子 1 0 B の第 1 電極 1 1 （ソース電極）とが、接続部材 5 3 B、導電体 3 3 および各接続部材 5 2 を介して導通する。

[0073] 複数の接続部材 5 4 A は、図 5 ～図 7 に示すように、各半導体素子 1 0 A

の第3電極13（ゲート電極）と導電体34Aとに接合され、これらを導通させる。複数の接続部材54Bは、図5～図7に示すように、各半導体素子10Bの第3電極13（ゲート電極）と導電体34Bとに接合され、これらを導通させる。

[0074] 複数の接続部材55Aは、図5～図7に示すように、各半導体素子10Aの第4電極14（ソースセンス電極）と導電体35Aとに接合され、これらを導通させる。複数の接続部材55Bはそれぞれ、図5～図7に示すように、各半導体素子10Bの第4電極14（ソースセンス電極）と導電体35Bとに接合され、これらを導通させる。

[0075] 接続部材56Aは、図7に示すように、導電体34Aと信号端子44Aのパッド部441とに接合され、これらを導通させる。導電体34Aが各接続部材54Aを介して各半導体素子10Aの第3電極13（ゲート電極）に導通することから、信号端子44Aは、接続部材56A、導電体34Aおよび各接続部材54Aを介して、各半導体素子10Aの第3電極13（ゲート電極）に導通する。よって、信号端子44Aは、各半導体素子10Aの第3電極13（ゲート電極）に入力する制御信号の入力端子となる。接続部材56Bは、図5に示すように、導電体34Bと信号端子44Bのパッド部441とに接合され、これらを導通させる。導電体34Bが各接続部材54Bを介して各半導体素子10Bの第3電極13（ゲート電極）に導通することから、信号端子44Bは、接続部材56B、導電体34Bおよび各接続部材54Bを介して、各半導体素子10Bの第3電極13（ゲート電極）に導通する。よって、信号端子44Bは、各半導体素子10Bの第3電極13（ゲート電極）に入力する制御信号の入力端子となる。

[0076] 接続部材57Aは、図7に示すように、導電体35Aと検出端子45Aのパッド部451とに接合され、これらを導通させる。導電体35Aが各接続部材55Aを介して各半導体素子10Aの第4電極14（ソースセンス電極）に導通することから、検出端子45Aは、接続部材57A、導電体35Aおよび各接続部材55Aを介して、各半導体素子10Aの第4電極14（ソ

ースセンス電極)に導通する。よって、検出端子45Aから、各半導体素子10Aの第4電極14(ソースセンス電極)から出力されるソース電流が検出される。接続部材57Bは、図5に示すように、導電体35Bと検出端子45Bのパッド部451とに接合され、これらを導通させる。導電体35Bが各接続部材55Bを介して各半導体素子10Bの第4電極14(ソースセンス電極)に導通することから、検出端子45Bは、接続部材57B、導電体35Bおよび各接続部材55Bを介して、各半導体素子10Bの第4電極14(ソースセンス電極)に導通する。よって、検出端子45Bから、各半導体素子10Bの第4電極14(ソースセンス電極)から出力されるソース電流が検出される。

[0077] 接続部材58は、図7に示すように、導電体31の延出部313と検出端子47のパッド部471とに接合され、これらを導通させる。導電体31が各半導体素子10Aの第2電極12(ドレイン電極)に導通することから、検出端子47は、接続部材58および導電体31を介して、各半導体素子10Aの第2電極12(ドレイン電極)に導通する。

[0078] 半導体装置A1と異なる構成において、一对の導電体36にサーミスタが接続されている場合には、各導電体36と各検出端子46(パッド部461)とをそれぞれ接続する接続部材をさらに備えていてもよい。

[0079] 半導体装置A1の作用・効果は、次の通りである。

[0080] 半導体装置A1は、複数の第1半導体素子(半導体素子10Aまたは半導体素子10B)と、1つ以上の第1整流素子(整流素子20Aまたは整流素子20B)とを備えている。第1整流素子は、複数の第1半導体素子に対して電氣的に逆並列に接続されている。この構成によれば、複数の第1半導体素子の各スイッチング動作によってサージ電流が発生しても、第1整流素子が通電することで、複数の第1半導体素子の内蔵ダイオードに流れる電流が低減される。つまり、半導体装置A1は、各第1半導体素子の内蔵ダイオードへの通電を抑制し、各第1半導体素子の特性悪化を抑制することができる。

[0081] 半導体装置A1では、複数の半導体素子10Aは、電力端子41までの最短導通経路の長さが互いに異なる第1素子101Aおよび第2素子102Aを含む。第1素子101Aの当該最短導通経路の長さは、第2素子102Aの当該最短導通経路の長さよりも短い。そして、整流素子20Aは、少なくとも第1素子101Aが接合された第1部311aに配置されている。発明者の研究によれば、整流素子20Aを備えない半導体装置において、複数の半導体素子10Aの各スイッチング動作によってサージ電流が発生した場合、複数の半導体素子10Aのうち電力端子41までの最短導通経路が短い半導体素子10Aほど、当該半導体素子10Aの内蔵ダイオードに流れる電流が大きくなることが分かった。つまり、電力端子41までの最短導通経路が短い半導体素子10A（第1素子101A）は、電力端子41までの最短経路が長い半導体素子10A（第2素子102A）よりも、内蔵ダイオードに流れる電流が大きくなり、過剰な通電が生じる可能性が高かった。そこで、半導体装置A1では、整流素子20Aを第1パッド部311の第1部311aに配置することで、過剰な通電が生じる可能性が高い半導体素子10A（第1素子101A）の内蔵ダイオードに流れる電流を低減している。つまり、半導体装置A1は、第1素子101Aの内蔵ダイオードへの過剰な通電を抑制し、第1素子101Aの特性悪化を抑制できる。特に、半導体装置A1では、整流素子20Aの数は、半導体素子10Aの数よりも少なく、複数の半導体素子10Aと同数の整流素子20Aを備えることなく、複数の半導体素子10Aの特性悪化を抑制することができる。

[0082] 半導体装置A1では、複数の半導体素子10Bは、電力端子41までの最短導通経路の長さが互いに異なる第3素子101Bおよび第4素子102Bを含む。第3素子101Bの当該最短導通経路の長さは、第4素子102Bの当該最短導通経路の長さよりも短い。そして、整流素子20Bは、少なくとも第3素子101Bが接合された第3部321aに配置されている。発明者の研究によれば、複数の半導体素子10Aと同様に、複数の半導体素子10Bにおいても、複数の半導体素子10Bのうち電力端子41までの最短導

通経路が短い半導体素子 10B ほど、当該半導体素子 10B の内蔵ダイオードに流れる電流が大きくなることが分かった。つまり、電力端子 41 までの最短導通経路が短い半導体素子 10B（第 3 素子 101B）は、電力端子 41 までの最短経路が長い半導体素子 10B（第 4 素子 102B）よりも、内蔵ダイオードに流れる電流が大きくなり、過剰な通電が生じる可能性が高かった。そこで、半導体装置 A1 では、整流素子 20B を第 2 パッド部 321 の第 3 部 321a に配置することで、過剰な通電が生じる可能性が高い半導体素子 10B（第 3 素子 101B）の内蔵ダイオードに流れる電流を低減している。つまり、半導体装置 A1 は、第 3 素子 101B の内蔵ダイオードへの過剰な通電を抑制し、第 3 素子 101B の特性悪化を抑制できる。特に、半導体装置 A1 では、整流素子 20B の数は、半導体素子 10B の数よりも少なく、複数の半導体素子 10B と同数の整流素子 20B を備えることなく、複数の半導体素子 10B の特性悪化を抑制することができる。

[0083] 半導体装置 A1 では、第 1 素子 101A は、複数の半導体素子 10A のうち電力端子 41 までの最短導通経路が最も短い半導体素子 10A である。また、整流素子 20A は、第 1 素子 101A に隣接している。この構成によれば、整流素子 20A によって、第 1 素子 101A の内蔵ダイオードへの過剰な通電をさらに抑制できる。特に、半導体装置 A1 では、第 1 部 311a のうちの電力端子 41 が接合された第 1 接合部 312 に繋がる端縁と、第 1 素子 101A との間に整流素子 20A を配置されている。発明者の研究によると、このような位置に整流素子 20A を配置することで、第 1 素子 101A の内蔵ダイオードに流れる電流を低減させる上で最も効果的であった。第 1 素子 101A は、複数の半導体素子 10A のうち電力端子 41 までの最短導通経路が最も短いため、内蔵ダイオードへの過剰な通電が生じる可能性が高い。したがって、半導体装置 A1 では、過剰な通電が生じる可能性が高い第 1 素子 101A において、内蔵ダイオードへの過剰な通電を抑制できるので、このような整流素子 20A の配置は、複数の半導体素子 10A の特性悪化を抑制する上で好ましい。

[0084] 半導体装置A1では、第3素子101Bは、複数の半導体素子10Bのうち電力端子41までの最短導通経路が最も短い半導体素子10Bである。また、整流素子20Bは、第3素子101Bに隣接している。この構成によれば、整流素子20Bによって、第3素子101Bの内蔵ダイオードへの過剰な通電をさらに抑制できる。したがって、半導体装置A1では、過剰な通電が生じる可能性が高い第3素子101Bにおいて、内蔵ダイオードへの過剰な通電を抑制できるので、このような整流素子20Bの配置は、複数の半導体素子10Bの特性悪化を抑制する上で好ましい。

[0085] 半導体装置A1では、複数の半導体素子10Aは、電力端子41と電力端子42とが並ぶ方向（y方向）に直交する方向（x方向）に沿って配列されている。この構成においては、電力端子41から複数の半導体素子10Aまでの各最短導通経路に、大きな距離差が生じる。これは、第1素子101Aの内蔵ダイオードへの通電を大きくする要因である。よって、半導体装置A1において、第1素子101Aの付近に整流素子20Aが配置されることは、各半導体素子10Aの特性悪化を抑制する上で有効である。同様に、半導体装置A1では、複数の半導体素子10Bは、電力端子41と電力端子42とが並ぶ方向（y方向）に直交する方向（x方向）に沿って配列されている。よって、半導体装置A1において、第3素子101Bの付近に整流素子20Bが配置されることは、各半導体素子10Bの特性悪化を抑制する上で有効である。

[0086] 図16は、第2実施形態にかかる半導体装置A2を示している。図16は、半導体装置A2を示す平面図であって、放熱板70およびケース71を省略している。半導体装置A2は、半導体装置A1と比較して、複数の整流素子20Aおよび複数の整流素子20Bを備えている点で異なる。

[0087] 図16に示す半導体装置A2は、3つの整流素子20Aと3つの整流素子20Bとを備えている。3つの整流素子20Aはそれぞれ、第1パッド部311の第1部311aに接合されている。よって、半導体装置A2においても、半導体装置A1と同様に、各整流素子20Aはいずれも、第2部311

bに接合されていない。

[0088] 図16に示す例では、第1部311aのx2方向側（電力端子41に近い側）の端縁からx1方向側の端縁にx方向に沿って、整流素子20A、半導体素子10A（第1素子101A）、半導体素子10A、整流素子20A、半導体素子10A、半導体素子10A、整流素子20A、半導体素子10Aの順に配置されている。なお、このような複数の整流素子20Aの配置は一例であって、図16に示す例に限定されない。たとえば、図16に示す例とは異なり、複数の整流素子20Aが第1素子101Aの周囲にまとまって配置されていてもよい。

[0089] 3つの整流素子20Bはそれぞれ、第2パッド部321の第3部321aに接合されている。よって、半導体装置A2においても、半導体装置A1と同様に、各整流素子20Bはいずれも、第4部321bに接合されていない。

[0090] 図16に示す例では、第3部321aのx2方向側（電力端子41に近い側）の端縁からx1方向側の端縁にx方向に沿って、整流素子20B、半導体素子10B（第3素子101B）、半導体素子10B、整流素子20B、半導体素子10B、半導体素子10B、整流素子20B、半導体素子10Bの順に配置されている。なお、このような複数の整流素子20Bの配置は一例であって、図16に示す例に限定されない。たとえば、図16に示す例とは異なり、複数の整流素子20Bが第3素子101Bの周囲にまとまって配置されていてもよい。

[0091] 半導体装置A2においても、半導体装置A1と同様の効果を奏することができる。特に、半導体装置A2において、複数の整流素子20Aのうちの1つは、半導体装置A1の整流素子20Aと同じ位置に接合されている。よって、半導体装置A2においても、半導体装置A1と同様に、過剰な通電が生じる可能性が高い第1素子101A（半導体素子10A）において、内蔵ダイオードへの過剰な通電を抑制できる。同様に、半導体装置A2において、複数の整流素子20Bのうちの1つは、半導体装置A1の整流素子20Bと

同じ位置に接合されている。よって、半導体装置 A 2 においても、半導体装置 A 1 と同様に、過剰な通電が生じる可能性が高い第 3 素子 1 0 1 B（半導体素子 1 0 B）において、内蔵ダイオードへの過剰な通電を抑制できる。

[0092] 第 2 実施形態において、複数の整流素子 2 0 A の数および配置は、図 1 6 に示す例に限定されない。複数の整流素子 2 0 A のうちの少なくとも 1 つが、第 1 部 3 1 1 a に接合されていれば、その他の整流素子 2 0 A は、第 1 部 3 1 1 a に接合されていてもよいし、第 2 部 3 1 1 b に接合されていてもよい。ただし、複数の整流素子 2 0 A のすべてを第 1 部 3 1 1 a に接合した方が、複数の半導体素子 1 0 A の特性悪化を抑制する効果が大きくなる。同様に、複数の整流素子 2 0 B の数および配置は、図 1 6 に示す例に限定されない。複数の整流素子 2 0 B のうちの少なくとも 1 つが、第 3 部 3 2 1 a に接合されていれば、その他の整流素子 2 0 B は、第 3 部 3 2 1 a に接合されていてもよいし、第 4 部 3 2 1 b に接合されていてもよい。ただし、複数の整流素子 2 0 B のすべてを第 3 部 3 2 1 a に接合した方が、複数の半導体素子 1 0 B の特性悪化を抑制する効果が大きくなる。

[0093] 図 1 7 は、第 3 実施形態にかかる半導体装置 A 3 を示している。図 1 7 は、半導体装置 A 3 を示す平面図であって、放熱板 7 0 およびケース 7 1 を省略している。半導体装置 A 3 は、半導体装置 A 1 と比較して、整流素子 2 0 A および整流素子 2 0 B の配置および接続方法が異なる。

[0094] 本実施形態の整流素子 2 0 A は、第 1 素子 1 0 1 A よりも y 2 方向に配置されている。また、図 1 7 に示すように、第 1 素子 1 0 1 A に接合された接続部材 5 1 は、平面視において一部が整流素子 2 0 A に重なっており、当該重なった部分が整流素子 2 0 A の第 1 電極 2 1（アノード電極）に接合されている。これにより、整流素子 2 0 A の第 1 電極 2 1（アノード電極）と第 1 素子 1 0 1 A の第 1 電極 1 1（ソース電極）とが接続部材 5 1 を介して導通している。

[0095] 本実施形態の整流素子 2 0 B は、第 3 素子 1 0 1 B よりも y 2 方向に配置されている。また、図 1 7 に示すように、第 3 素子 1 0 1 B に接合された接

続部材 5 2 は、平面視において一部が整流素子 2 0 B に重なっており、当該重なった部分が整流素子 2 0 B の第 1 電極 2 1（アノード電極）に接合されている。これにより、整流素子 2 0 B の第 1 電極 2 1（アノード電極）と第 3 素子 1 0 1 B の第 1 電極 1 1（ソース電極）とが接続部材 5 2 を介して導通している。

[0096] 半導体装置 A 3 においても、半導体装置 A 1 と同様の効果を奏することができる。

[0097] 第 3 実施形態では、整流素子 2 0 A が第 1 素子 1 0 1 A よりも y 2 方向に配置されている例を示したが、整流素子 2 0 A が第 1 素子 1 0 1 A よりも y 1 方向に配置されていてもよい。同様に、第 3 実施形態では、整流素子 2 0 B が第 3 素子 1 0 1 B よりも y 2 方向に配置されている例を示したが、整流素子 2 0 B が第 3 素子 1 0 1 B よりも y 1 方向に配置されていてもよい。

[0098] 第 3 実施形態では、半導体装置 A 3 が 1 つの整流素子 2 0 A および 1 つの整流素子 2 0 B を備える例を示したが、半導体装置 A 2 と同様に、複数の整流素子 2 0 A および複数の整流素子 2 0 B を備えていてもよい。ただし、整流素子 2 0 A の数は、半導体素子 1 0 A の数よりも少なく、整流素子 2 0 B の数は、半導体素子 1 0 B の数よりも少ない。

[0099] 図 1 8 は、第 4 実施形態にかかる半導体装置 A 4 を示している。図 1 8 は、半導体装置 A 4 を示す平面図であって、放熱板 7 0 およびケース 7 1 を想像線（二点鎖線）で示している。半導体装置 A 4 は、半導体装置 A 1 と比較して、導電体 3 3 の第 3 パッド部 3 3 1 にスリット 3 3 1 c が形成されていない点で異なる。

[0100] 半導体装置 A 4 において、第 3 パッド部 3 3 1 は、第 3 接合部 3 3 2 から x 方向に延びる帯状に形成されている。第 3 パッド部 3 3 1 には、スリット 3 3 1 c が形成されていないことから、一对の分離部 3 3 1 a に分離されない。

[0101] 半導体装置 A 4 においても、半導体装置 A 1 と同様の効果を奏することができる。

- [0102] 第1実施形態ないし第4実施形態において、各半導体装置A1～A4は、1つ以上の整流素子20Aおよび1つ以上の整流素子20Bの両方を備えている。これらの例と異なる半導体装置において、整流素子20A、または、整流素子20Bのいずれかを備えていなくてもよい。たとえば、複数の電力端子41、42、43A、43Bの各配置および各形状と、複数の導電体31、32、33の各配置および各形状と、複数の半導体素子10Aおよび複数の半導体素子10Bの各配置とによって、電力端子41から各半導体素子10Aまでの最短導通経路の距離差が小さくなることがある。このような半導体装置は、各半導体素子10Aの内蔵ダイオードへの過剰な通電が生じないことがあるので、整流素子20Aを備えていなくてもよい。同様に、電力端子41から各半導体素子10Bまでの最短導通経路の距離差が小さくなることがある。このような半導体装置は、各半導体素子10Bの内蔵ダイオードへの過剰な通電が生じないことがあるので、整流素子20Bを備えていなくてもよい。
- [0103] 図19は、第5実施形態にかかる半導体装置A5を示している。図19は、半導体装置A5を示す平面図であって、放熱板70およびケース71を想像線（二点鎖線）で示している。半導体装置A5は、半導体装置A1と比較して、整流素子20Aおよび整流素子20Bを備えていない点で異なる。
- [0104] 半導体装置A5においても、半導体装置A1と同様に、第3パッド部331（導電体33）にスリット331cが形成されている。この構成によると、複数の半導体素子10Bから電力端子42までの各最短導通経路の差を小さくできる。これにより、半導体装置A5は、第3パッド部331にスリット331cが形成されていない場合と比較して、内部インダクタンスを低減させることができる。このことは、第3パッド部331にスリット331cが形成されている半導体装置A1～A3においても同様である。
- [0105] 第1実施形態ないし第5実施形態では、複数の半導体素子10A、10Bおよび支持部材3などが放熱板70およびケース71に収容された例を示したが、これに限定されず、たとえばエポキシ樹脂からなる樹脂パッケージで

覆われていてもよい。

[0106] 本開示にかかる半導体装置は、上記した実施形態に限定されるものではない。本開示の半導体装置の各部の具体的な構成は、種々に設計変更自在である。たとえば、本開示の半導体装置は、以下の付記に記載された実施形態を含む。

付記 1.

各々がスイッチング動作を行い、かつ、互いに電氣的に並列接続された複数の第 1 半導体素子と、

前記複数の第 1 半導体素子に対して電氣的に逆並列に接続された 1 つ以上の第 1 整流素子と、

前記複数の第 1 半導体素子の各々に導通する第 1 電力端子と、

前記複数の第 1 半導体素子が接合された第 1 パッド部を含み、かつ、前記第 1 電力端子および前記複数の第 1 半導体素子に導通する第 1 導電体と、を備えており、

前記複数の第 1 半導体素子は、前記第 1 電力端子までの最短導通経路の長さが互いに異なる第 1 素子および第 2 素子を含み、

前記第 1 素子の前記最短導通経路の長さは、前記第 2 素子の前記最短導通経路の長さよりも短く、

前記第 1 パッド部は、前記複数の第 1 半導体素子のうち少なくとも前記第 1 素子が接合された第 1 部と、前記複数の第 1 半導体素子のうち少なくとも前記第 2 素子が接合された第 2 部と、を含み、

前記第 1 整流素子の数は、前記第 1 半導体素子の数よりも少なく、

前記 1 つ以上の第 1 整流素子のうちの 1 つは、前記第 1 部に配置されている、半導体装置。

付記 2.

前記第 1 整流素子の数は、1 つである、付記 1 に記載の半導体装置。

付記 3.

各々がスイッチング動作を行い、かつ、互いに電氣的に並列に接続された

複数の第2半導体素子と、

前記複数の第2半導体素子が接合された第2パッド部を含み、かつ、前記第1導電体から離間する第2導電体と、

をさらに備えており、

前記複数の第1半導体素子の各々と前記複数の第2半導体素子の各々とは、電氣的に直列に接続されている、付記1または付記2のいずれかに記載の半導体装置。

付記4.

前記複数の第2半導体素子の各々に導通する第2電力端子と、

前記複数の第1半導体素子の各々と前記複数の第2半導体素子の各々との接続点に導通する第3電力端子と、

をさらに備える、付記3に記載の半導体装置。

付記5.

前記第1導電体および前記第2導電体から離間する第3導電体をさらに含み、

前記第1電力端子は、前記第1導電体に接合され、

前記第2電力端子は、前記第3導電体に接合され、

前記第3電力端子は、前記第2導電体に接合されている、付記4に記載の半導体装置。

付記6.

各々が前記複数の第1半導体素子の各々と前記第2導電体とを導通させる複数の第1接続部材と、

各々が前記複数の第2半導体素子の各々と前記第3導電体とを導通させる複数の第2接続部材と、

をさらに備えており、

前記第2パッド部は、前記複数の第1接続部材の各々がさらに接合され、

前記第3導電体は、前記複数の第2接続部材の各々が接合される第3パッド部を含む、付記5に記載の半導体装置。

付記 7.

前記複数の第 2 半導体素子に対して電氣的に逆並列に接続された 1 つ以上の第 2 整流素子をさらに備えており、

前記複数の第 2 半導体素子は、前記第 1 電力端子までの最短導通経路の長さが互いに異なる第 3 素子および第 4 素子を含み、

前記第 3 素子の前記最短導通経路の長さは、前記第 4 素子の前記最短導通経路の長さよりも短く、

前記第 2 パッド部は、前記複数の第 2 半導体素子のうち少なくとも前記第 3 素子が接合された第 3 部と、前記複数の第 2 半導体素子のうち少なくとも前記第 4 素子が接合された第 4 部と、を含み、

前記第 2 整流素子の数は、前記第 2 半導体素子の数よりも少なく、

前記 1 つ以上の第 2 整流素子のうちの 1 つは、前記第 3 部に配置されている、付記 6 に記載の半導体装置。

付記 8.

前記第 2 整流素子の数は、1 つである、付記 7 に記載の半導体装置。

付記 9.

前記第 1 導電体は、前記第 1 パッド部に繋がり、かつ、前記第 1 電力端子が接合される第 1 接合部をさらに含み、

前記第 1 パッド部は、前記複数の第 1 半導体素子の各々が接合される第 1 接合面を有し、前記第 1 接合面に垂直な厚さ方向に見て、前記第 1 接合部から前記厚さ方向に直交する第 1 方向に沿って延びる、付記 7 または付記 8 のいずれかに記載の半導体装置。

付記 10.

前記複数の第 1 半導体素子は、前記第 1 方向に沿って配置されており、

前記第 1 素子は、前記複数の第 1 半導体素子のうち前記第 1 接合部に最も近く、かつ、前記複数の第 1 半導体素子のうち前記第 1 電力端子までの最短導通経路が最も短く、

前記 1 つ以上の第 1 整流素子のうちの 1 つは、前記厚さ方向に見て、前記

第 1 部のうちの前記第 1 接合部に繋がる端縁と前記第 1 素子との間に配置される、付記 9 に記載の半導体装置。

付記 1 1.

前記第 2 導電体は、前記第 2 パッド部に繋がり、かつ、前記第 3 電力端子が接合される第 2 接合部をさらに含み、

前記第 2 パッド部は、前記厚さ方向に見て、前記第 2 接合部から前記第 1 方向に沿って延びる、付記 1 0 に記載の半導体装置。

付記 1 2.

前記複数の第 2 半導体素子は、前記第 1 方向に沿って配置されている、付記 1 1 に記載の半導体装置。

付記 1 3.

前記第 3 導電体は、前記第 3 パッド部に繋がり、かつ、前記第 2 電力端子が接合される第 3 接合部をさらに含み、

前記第 3 パッド部は、前記厚さ方向に見て、前記第 3 接合部から前記第 1 方向に沿って延びる、付記 1 2 に記載の半導体装置。

付記 1 4.

前記第 1 パッド部、前記第 2 パッド部および前記第 3 パッド部は、前記厚さ方向および前記第 1 方向に直交する第 2 方向に見て、互いに重なり、

前記第 1 パッド部および前記第 3 パッド部は、前記第 2 方向において前記第 2 パッド部を挟んで、互いに反対側に位置する、付記 1 3 に記載の半導体装置。

付記 1 5.

前記第 1 電力端子と前記第 2 電力端子とは、前記第 2 方向に沿って配置されている、付記 1 4 に記載の半導体装置。

付記 1 6.

前記第 1 電力端子および前記第 2 電力端子と、前記第 3 電力端子とは、前記第 1 方向において、前記第 1 パッド部、前記第 2 パッド部、および、前記第 3 パッド部を挟んで、互いに反対側に位置する、付記 1 5 に記載の半導体

装置。

付記 17.

前記第2方向に見て、前記複数の第1半導体素子と前記複数の第2半導体素子とは、互いに重なっており、

前記複数の第1接続部材の各々は、前記厚さ方向に見て、前記第2方向に沿って延びており、

前記複数の第2接続部材の各々は、前記厚さ方向に見て、前記第2方向に沿って延びている、付記16に記載の半導体装置。

付記18.

前記第2方向に見て、前記第1素子と前記第3素子とは、互いに重なり、
前記第3素子は、前記複数の第2半導体素子のうち前記第1電力端子までの最短導通経路が最も短く、

前記1つ以上の第2整流素子のうちの1つは、前記厚さ方向に見て、前記第3部のうちの前記第1方向において前記第1電力端子に近い端縁と前記第3素子との間に配置される、付記17に記載の半導体装置。

付記19.

前記第3パッド部は、前記厚さ方向に見て前記第1方向に延びるスリットおよび当該スリットにより前記第2方向に分離された一对の分離部を含み、

前記一对の分離部の各々は、前記第2方向に見て、前記第3部に重なる、付記18に記載の半導体装置。

付記20.

前記複数の第1半導体素子の各々および前記複数の第2半導体素子の各々は、MOSFETであり、

前記1つ以上の第1整流素子および前記1つ以上の第2整流素子は、ショットキーバリアダイオードである、付記7ないし付記19のいずれかに記載の半導体装置。

符号の説明

[0107] A1～A5：半導体装置

10A, 10B：半導体素子

1 0 0 a : 素子主面 1 0 0 b : 素子裏面
1 0 1 A : 第 1 素子 1 0 2 A : 第 2 素子
1 0 1 B : 第 3 素子 1 0 2 B : 第 4 素子
1 1 : 第 1 電極 1 2 : 第 2 電極
1 3 : 第 3 電極 1 4 : 第 4 電極
2 0 A, 2 0 B : 整流素子 2 0 0 a : 素子主面
2 0 0 b : 素子裏面 2 1 : 第 1 電極
2 2 : 第 2 電極 3 : 支持部材
3 0 : 絶縁基板 3 0 1 : 主面
3 0 2 : 裏面 3 1 : 導電体
3 1 1 : 第 1 パッド部 3 1 1 a : 第 1 部
3 1 1 b : 第 2 部 3 1 1 z : 第 1 接合面
3 1 2 : 第 1 接合部 3 1 3 : 延出部
3 2 : 導電体 3 2 1 : 第 2 パッド部
3 2 1 a : 第 3 部 3 2 1 b : 第 4 部
3 2 1 z : 第 2 接合面 3 2 2 : 第 2 接合部
3 3 : 導電体 3 3 1 : 第 3 パッド部
3 3 1 a : 分離部 3 3 1 b : 連結部
3 3 1 c : スリット 3 3 1 z : 第 3 接合面
3 3 2 : 第 3 接合部 3 4 A, 3 4 B : 導電体
3 5 A, 3 5 B : 導電体 3 6 : 導電体
4 1 : 電力端子 4 1 1 : 先端部
4 1 2 : 基部 4 1 3 : 立上部
4 1 4 : 櫛歯部 4 2 : 電力端子
4 2 1 : 先端部 4 2 2 : 基部
4 2 3 : 立上部 4 2 4 : 櫛歯部
4 3 A, 4 3 B : 電力端子 4 3 1 : 先端部
4 3 2 : 基部 4 3 3 : 立上部

請求の範囲

- [請求項1] 各々がスイッチング動作を行い、かつ、互いに電氣的に並列接続された複数の第1半導体素子と、
- 前記複数の第1半導体素子に対して電氣的に逆並列に接続された1つ以上の第1整流素子と、
- 前記複数の第1半導体素子の各々に導通する第1電力端子と、
- 前記複数の第1半導体素子が接合された第1パッド部を含み、かつ、前記第1電力端子および前記複数の第1半導体素子に導通する第1導電体と、
- を備えており、
- 前記複数の第1半導体素子は、前記第1電力端子までの最短導通経路の長さが互いに異なる第1素子および第2素子を含み、
- 前記第1素子の前記最短導通経路の長さは、前記第2素子の前記最短導通経路の長さよりも短く、
- 前記第1パッド部は、前記複数の第1半導体素子のうち少なくとも前記第1素子が接合された第1部と、前記複数の第1半導体素子のうち少なくとも前記第2素子が接合された第2部と、を含み、
- 前記第1整流素子の数は、前記第1半導体素子の数よりも少なく、
- 前記1つ以上の第1整流素子のうちの1つは、前記第1部に配置されている、半導体装置。
- [請求項2] 前記第1整流素子の数は、1つである、請求項1に記載の半導体装置。
- [請求項3] 各々がスイッチング動作を行い、かつ、互いに電氣的に並列に接続された複数の第2半導体素子と、
- 前記複数の第2半導体素子が接合された第2パッド部を含み、かつ、前記第1導電体から離間する第2導電体と、
- をさらに備えており、
- 前記複数の第1半導体素子の各々と前記複数の第2半導体素子の各

々とは、電氣的に直列に接続されている、請求項 1 または請求項 2 のいずれかに記載の半導体装置。

[請求項4] 前記複数の第 2 半導体素子の各々に導通する第 2 電力端子と、
前記複数の第 1 半導体素子の各々と前記複数の第 2 半導体素子の各々との接続点に導通する第 3 電力端子と、
をさらに備える、請求項 3 に記載の半導体装置。

[請求項5] 前記第 1 導電体および前記第 2 導電体から離間する第 3 導電体をさらに含み、
前記第 1 電力端子は、前記第 1 導電体に接合され、
前記第 2 電力端子は、前記第 3 導電体に接合され、
前記第 3 電力端子は、前記第 2 導電体に接合されている、請求項 4 に記載の半導体装置。

[請求項6] 各々が前記複数の第 1 半導体素子の各々と前記第 2 導電体とを導通させる複数の第 1 接続部材と、
各々が前記複数の第 2 半導体素子の各々と前記第 3 導電体とを導通させる複数の第 2 接続部材と、
をさらに備えており、
前記第 2 パッド部は、前記複数の第 1 接続部材の各々がさらに接合され、
前記第 3 導電体は、前記複数の第 2 接続部材の各々が接合される第 3 パッド部を含む、請求項 5 に記載の半導体装置。

[請求項7] 前記複数の第 2 半導体素子に対して電氣的に逆並列に接続された 1 つ以上の第 2 整流素子をさらに備えており、
前記複数の第 2 半導体素子は、前記第 1 電力端子までの最短導通経路の長さが互いに異なる第 3 素子および第 4 素子を含み、
前記第 3 素子の前記最短導通経路の長さは、前記第 4 素子の前記最短導通経路の長さよりも短く、
前記第 2 パッド部は、前記複数の第 2 半導体素子のうち少なくとも

前記第3素子が接合された第3部と、前記複数の第2半導体素子のうち少なくとも前記第4素子が接合された第4部と、を含み、

前記第2整流素子の数は、前記第2半導体素子の数よりも少なく、
前記1つ以上の第2整流素子のうちの1つは、前記第3部に配置されている、請求項6に記載の半導体装置。

[請求項8] 前記第2整流素子の数は、1つである、請求項7に記載の半導体装置。

[請求項9] 前記第1導電体は、前記第1パッド部に繋がり、かつ、前記第1電力端子が接合される第1接合部をさらに含み、

前記第1パッド部は、前記複数の第1半導体素子の各々が接合される第1接合面を有し、前記第1接合面に垂直な厚さ方向に見て、前記第1接合部から前記厚さ方向に直交する第1方向に沿って延びる、請求項7または請求項8のいずれかに記載の半導体装置。

[請求項10] 前記複数の第1半導体素子は、前記第1方向に沿って配置されており、

前記第1素子は、前記複数の第1半導体素子のうち前記第1接合部に最も近く、かつ、前記複数の第1半導体素子のうち前記第1電力端子までの最短導通経路が最も短く、

前記1つ以上の第1整流素子のうちの1つは、前記厚さ方向に見て、前記第1部のうちの前記第1接合部に繋がる端縁と前記第1素子との間に配置される、請求項9に記載の半導体装置。

[請求項11] 前記第2導電体は、前記第2パッド部に繋がり、かつ、前記第3電力端子が接合される第2接合部をさらに含み、

前記第2パッド部は、前記厚さ方向に見て、前記第2接合部から前記第1方向に沿って延びる、請求項10に記載の半導体装置。

[請求項12] 前記複数の第2半導体素子は、前記第1方向に沿って配置されている、請求項11に記載の半導体装置。

[請求項13] 前記第3導電体は、前記第3パッド部に繋がり、かつ、前記第2電

力端子が接合される第3接合部をさらに含み、

前記第3パッド部は、前記厚さ方向に見て、前記第3接合部から前記第1方向に沿って延びる、請求項12に記載の半導体装置。

[請求項14] 前記第1パッド部、前記第2パッド部および前記第3パッド部は、前記厚さ方向および前記第1方向に直交する第2方向に見て、互いに重なり、

前記第1パッド部および前記第3パッド部は、前記第2方向において前記第2パッド部を挟んで、互いに反対側に位置する、請求項13に記載の半導体装置。

[請求項15] 前記第1電力端子と前記第2電力端子とは、前記第2方向に沿って配置されている、
請求項14に記載の半導体装置。

[請求項16] 前記第1電力端子および前記第2電力端子と、前記第3電力端子とは、前記第1方向において、前記第1パッド部、前記第2パッド部、および、前記第3パッド部を挟んで、互いに反対側に位置する、請求項15に記載の半導体装置。

[請求項17] 前記第2方向に見て、前記複数の第1半導体素子と前記複数の第2半導体素子とは、互いに重なっており、

前記複数の第1接続部材の各々は、前記厚さ方向に見て、前記第2方向に沿って延びており、

前記複数の第2接続部材の各々は、前記厚さ方向に見て、前記第2方向に沿って延びている、請求項16に記載の半導体装置。

[請求項18] 前記第2方向に見て、前記第1素子と前記第3素子とは、互いに重なり、

前記第3素子は、前記複数の第2半導体素子のうち前記第1電力端子までの最短導通経路が最も短く、

前記1つ以上の第2整流素子のうちの1つは、前記厚さ方向に見て、前記第3部のうちの前記第1方向において前記第1電力端子に近い

端縁と前記第 3 素子との間に配置される、請求項 17 に記載の半導体装置。

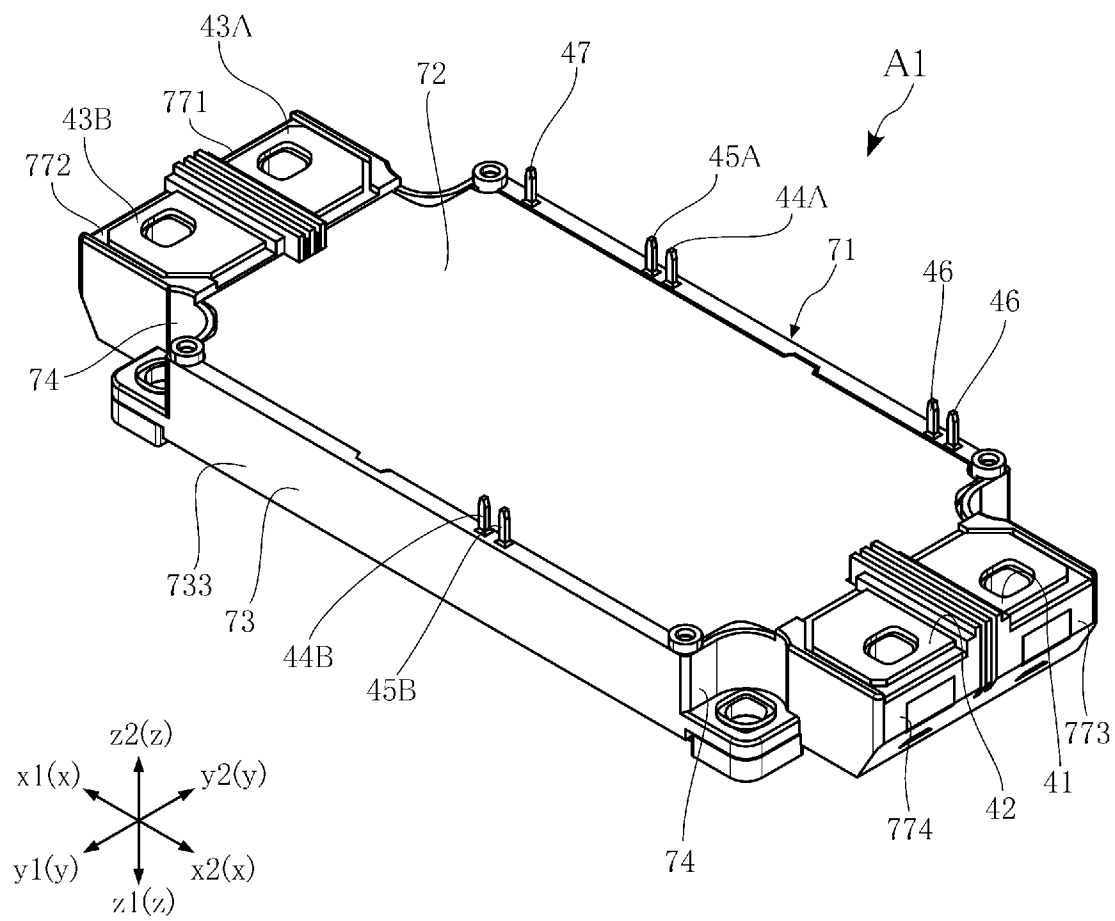
[請求項19] 前記第 3 パッド部は、前記厚さ方向に見て前記第 1 方向に延びるスリットおよび当該スリットにより前記第 2 方向に分離された一对の分離部を含み、

前記一对の分離部の各々は、前記第 2 方向に見て、前記第 3 部に重なる、請求項 18 に記載の半導体装置。

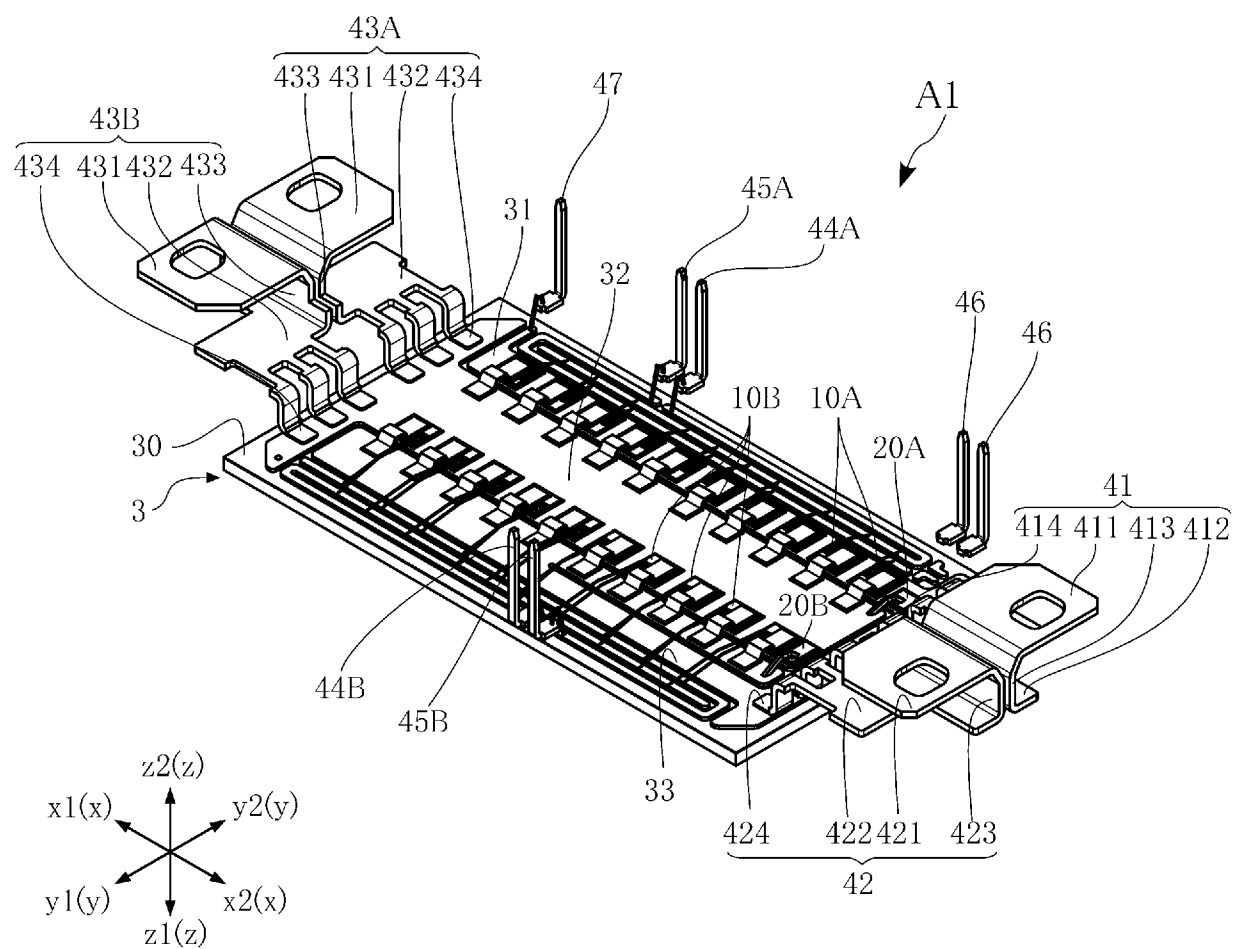
[請求項20] 前記複数の第 1 半導体素子の各々および前記複数の第 2 半導体素子の各々は、MOSFETであり、

前記 1 つ以上の第 1 整流素子および前記 1 つ以上の第 2 整流素子は、ショットキーバリアダイオードである、請求項 7 ないし請求項 19 のいずれか一項に記載の半導体装置。

[図1]
FIG.1



[図2]
FIG.2



[図3]

FIG.3

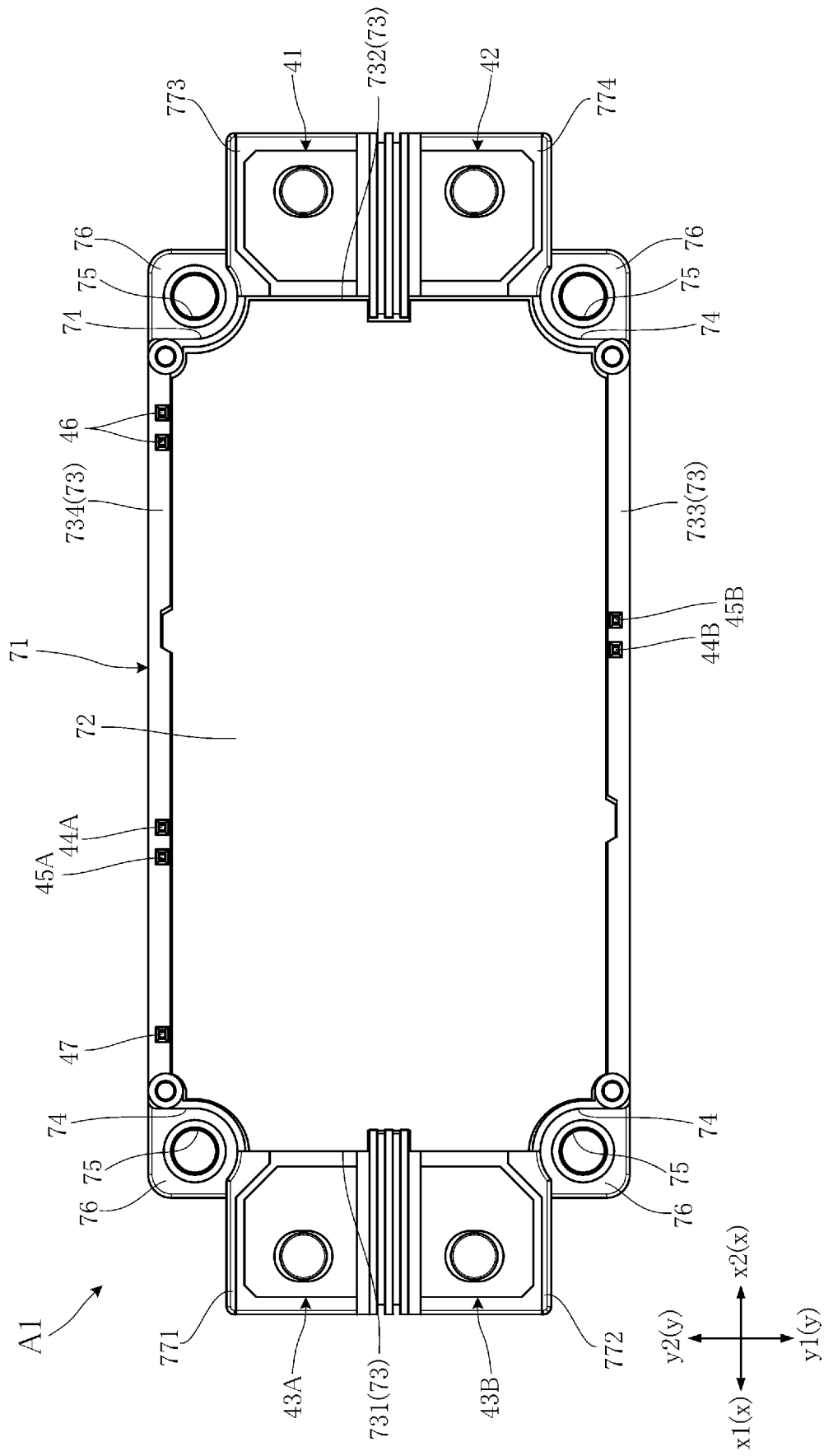
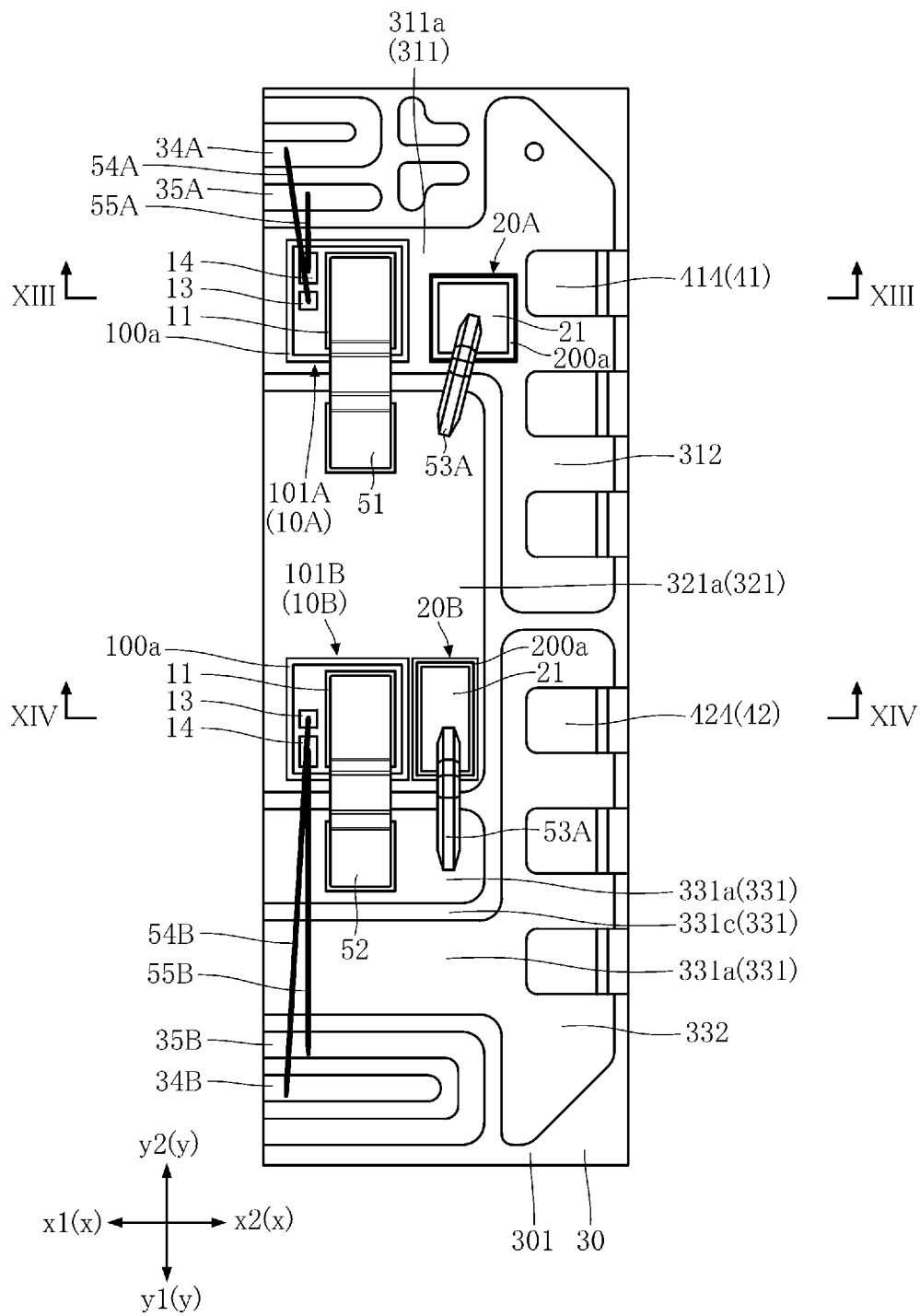
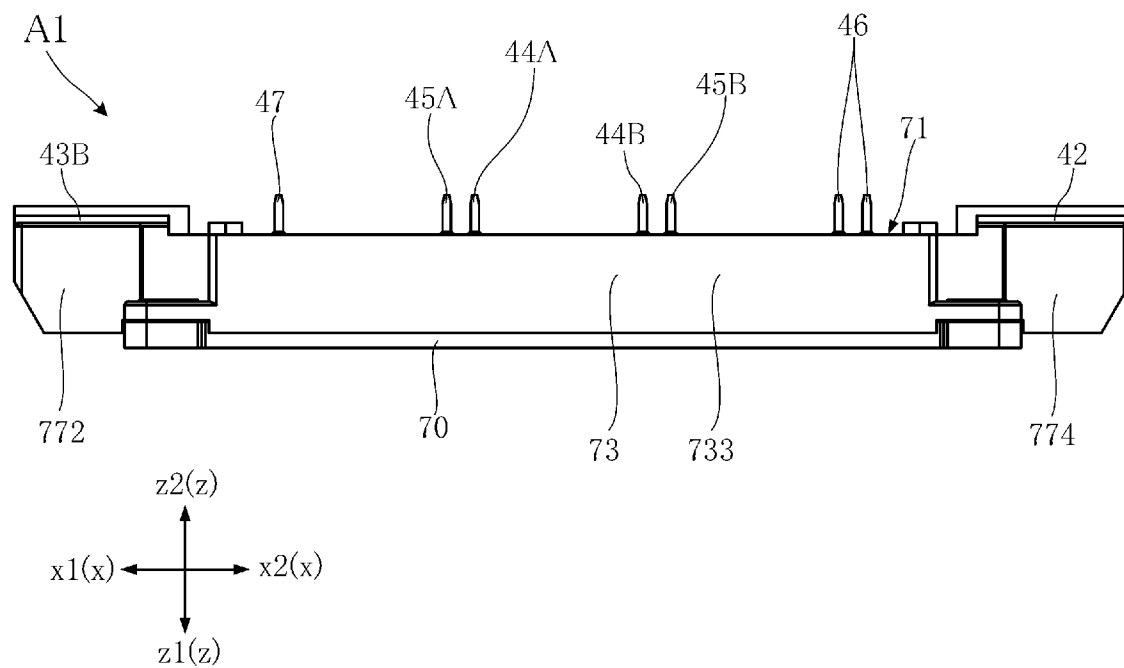


FIG. 7 is a plan view of a semiconductor device 30 showing a top surface. The device includes a substrate 36 with a grid of conductive lines. Various components are labeled, including pads 54A, 54B, 55A, 55B, 56B, 57B, 58A, 58B, 59A, 59B, 60A, 60B, 61A, 61B, 62A, 62B, 63A, 63B, 64A, 64B, 65A, 65B, 66A, 66B, 67A, 67B, 68A, 68B, 69A, 69B, 70A, 70B, 71A, 71B, 72A, 72B, 73A, 73B, 74A, 74B, 75A, 75B, 76A, 76B, 77A, 77B, 78A, 78B, 79A, 79B, 80A, 80B, 81A, 81B, 82A, 82B, 83A, 83B, 84A, 84B, 85A, 85B, 86A, 86B, 87A, 87B, 88A, 88B, 89A, 89B, 90A, 90B, 91A, 91B, 92A, 92B, 93A, 93B, 94A, 94B, 95A, 95B, 96A, 96B, 97A, 97B, 98A, 98B, 99A, 99B, 100A, 100B, 101A, 101B, 102A, 102B, 103A, 103B, 104A, 104B, 105A, 105B, 106A, 106B, 107A, 107B, 108A, 108B, 109A, 109B, 110A, 110B, 111A, 111B, 112A, 112B, 113A, 113B, 114A, 114B, 115A, 115B, 116A, 116B, 117A, 117B, 118A, 118B, 119A, 119B, 120A, 120B, 121A, 121B, 122A, 122B, 123A, 123B, 124A, 124B, 125A, 125B, 126A, 126B, 127A, 127B, 128A, 128B, 129A, 129B, 130A, 130B, 131A, 131B, 132A, 132B, 133A, 133B, 134A, 134B, 135A, 135B, 136A, 136B, 137A, 137B, 138A, 138B, 139A, 139B, 140A, 140B, 141A, 141B, 142A, 142B, 143A, 143B, 144A, 144B, 145A, 145B, 146A, 146B, 147A, 147B, 148A, 148B, 149A, 149B, 150A, 150B, 151A, 151B, 152A, 152B, 153A, 153B, 154A, 154B, 155A, 155B, 156A, 156B, 157A, 157B, 158A, 158B, 159A, 159B, 160A, 160B, 161A, 161B, 162A, 162B, 163A, 163B, 164A, 164B, 165A, 165B, 166A, 166B, 167A, 167B, 168A, 168B, 169A, 169B, 170A, 170B, 171A, 171B, 172A, 172B, 173A, 173B, 174A, 174B, 175A, 175B, 176A, 176B, 177A, 177B, 178A, 178B, 179A, 179B, 180A, 180B, 181A, 181B, 182A, 182B, 183A, 183B, 184A, 184B, 185A, 185B, 186A, 186B, 187A, 187B, 188A, 188B, 189A, 189B, 190A, 190B, 191A, 191B, 192A, 192B, 193A, 193B, 194A, 194B, 195A, 195B, 196A, 196B, 197A, 197B, 198A, 198B, 199A, 199B, 200A, 200B, 201A, 201B, 202A, 202B, 203A, 203B, 204A, 204B, 205A, 205B, 206A, 206B, 207A, 207B, 208A, 208B, 209A, 209B, 210A, 210B, 211A, 211B, 212A, 212B, 213A, 213B, 214A, 214B, 215A, 215B, 216A, 216B, 217A, 217B, 218A, 218B, 219A, 219B, 220A, 220B, 221A, 221B, 222A, 222B, 223A, 223B, 224A, 224B, 225A, 225B, 226A, 226B, 227A, 227B, 228A, 228B, 229A, 229B, 230A, 230B, 231A, 231B, 232A, 232B, 233A, 233B, 234A, 234B, 235A, 235B, 236A, 236B, 237A, 237B, 238A, 238B, 239A, 239B, 240A, 240B, 241A, 241B, 242A, 242B, 243A, 243B, 244A, 244B, 245A, 245B, 246A, 246B, 247A, 247B, 248A, 248B, 249A, 249B, 250A, 250B, 251A, 251B, 252A, 252B, 253A, 253B, 254A, 254B, 255A, 255B, 256A, 256B, 257A, 257B, 258A, 258B, 259A, 259B, 260A, 260B, 261A, 261B, 262A, 262B, 263A, 263B, 264A, 264B, 265A, 265B, 266A, 266B, 267A, 267B, 268A, 268B, 269A, 269B, 270A, 270B, 271A, 271B, 272A, 272B, 273A, 273B, 274A, 274B, 275A, 275B, 276A, 276B, 277A, 277B, 278A, 278B, 279A, 279B, 280A, 280B, 281A, 281B, 282A, 282B, 283A, 283B, 284A, 284B, 285A, 285B, 286A, 286B, 287A, 287B, 288A, 288B, 289A, 289B, 290A, 290B, 291A, 291B, 292A, 292B, 293A, 293B, 294A, 294B, 295A, 295B, 296A, 296B, 297A, 297B, 298A, 298B, 299A, 299B, 300A, 300B, 301A, 301B, 302A, 302B, 303A, 303B, 304A, 304B, 305A, 305B, 306A, 306B, 307A, 307B, 308A, 308B, 309A, 309B, 310A, 310B, 311A, 311B, 312A, 312B, 313A, 313B, 314A, 314B, 315A, 315B, 316A, 316B, 317A, 317B, 318A, 318B, 319A, 319B, 320A, 320B, 321A, 321B, 322A, 322B, 323A, 323B, 324A, 324B, 325A, 325B, 326A, 326B, 327A, 327B, 328A, 328B, 329A, 329B, 330A, 330B, 331A, 331B, 332A, 332B, 333A, 333B, 334A, 334B, 335A, 335B, 336A, 336B, 337A, 337B, 338A, 338B, 339A, 339B, 340A, 340B, 341A, 341B, 342A, 342B, 343A, 343B, 344A, 344B, 345A, 345B, 346A, 346B, 347A, 347B, 348A, 348B, 349A, 349B, 350A, 350B, 351A, 351B, 352A, 352B, 353A, 353B, 354A, 354B, 355A, 355B, 356A, 356B, 357A, 357B, 358A, 358B, 359A, 359B, 360A, 360B, 361A, 361B, 362A, 362B, 363A, 363B, 364A, 364B, 365A, 365B, 366A, 366B, 367A, 367B, 368A, 368B, 369A, 369B, 370A, 370B, 371A, 371B, 372A, 372B, 373A, 373B, 374A, 374B, 375A, 375B, 376A, 376B, 377A, 377B, 378A, 378B, 379A, 379B, 380A, 380B, 381A, 381B, 382A, 382B, 383A, 383B, 384A, 384B, 385A, 385B, 386A, 386B, 387A, 387B, 388A, 388B, 389A, 389B, 390A, 390B, 391A, 391B, 392A, 392B, 393A, 393B, 394A, 394B, 395A, 395B, 396A, 396B, 397A, 397B

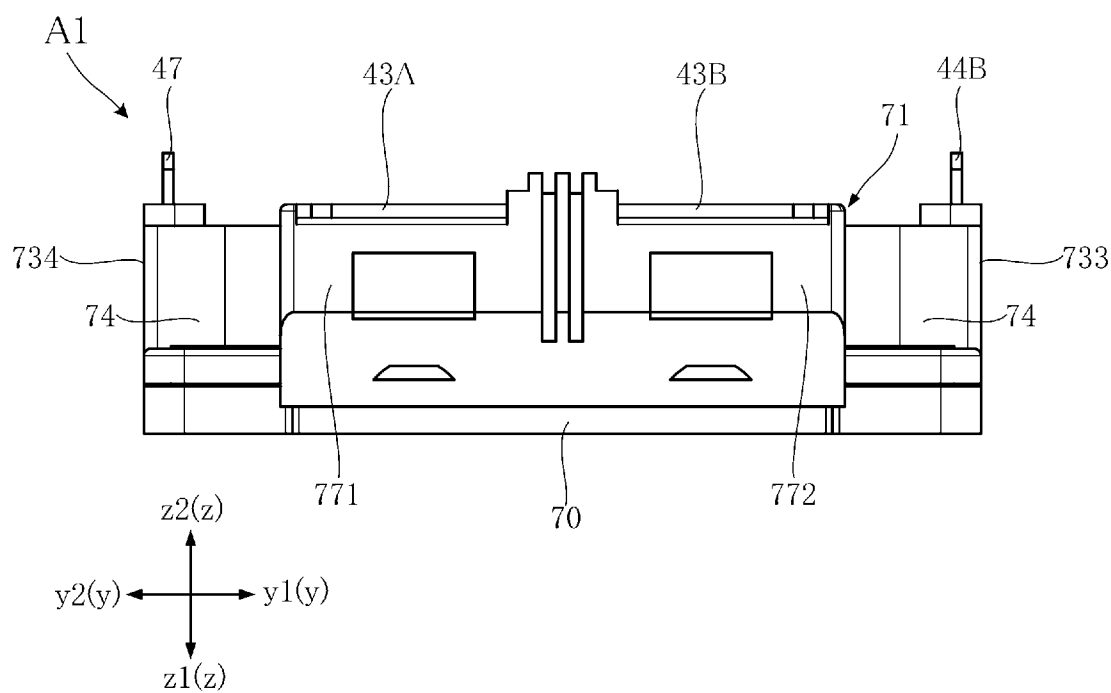
[図6]
FIG.6



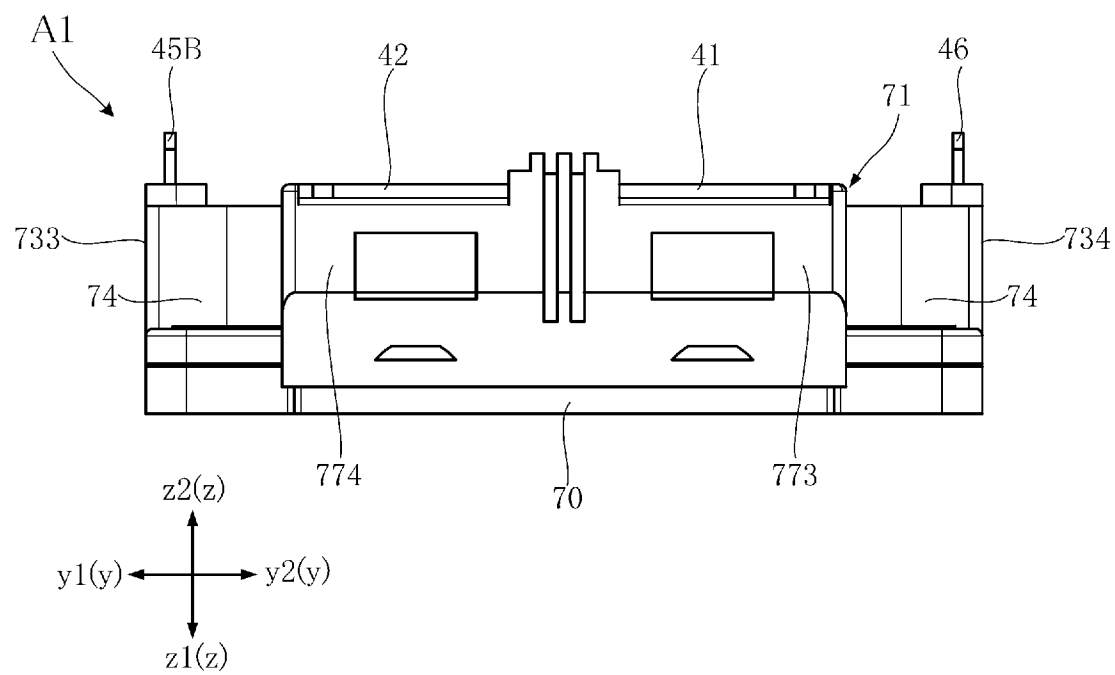
[図8]
FIG.8



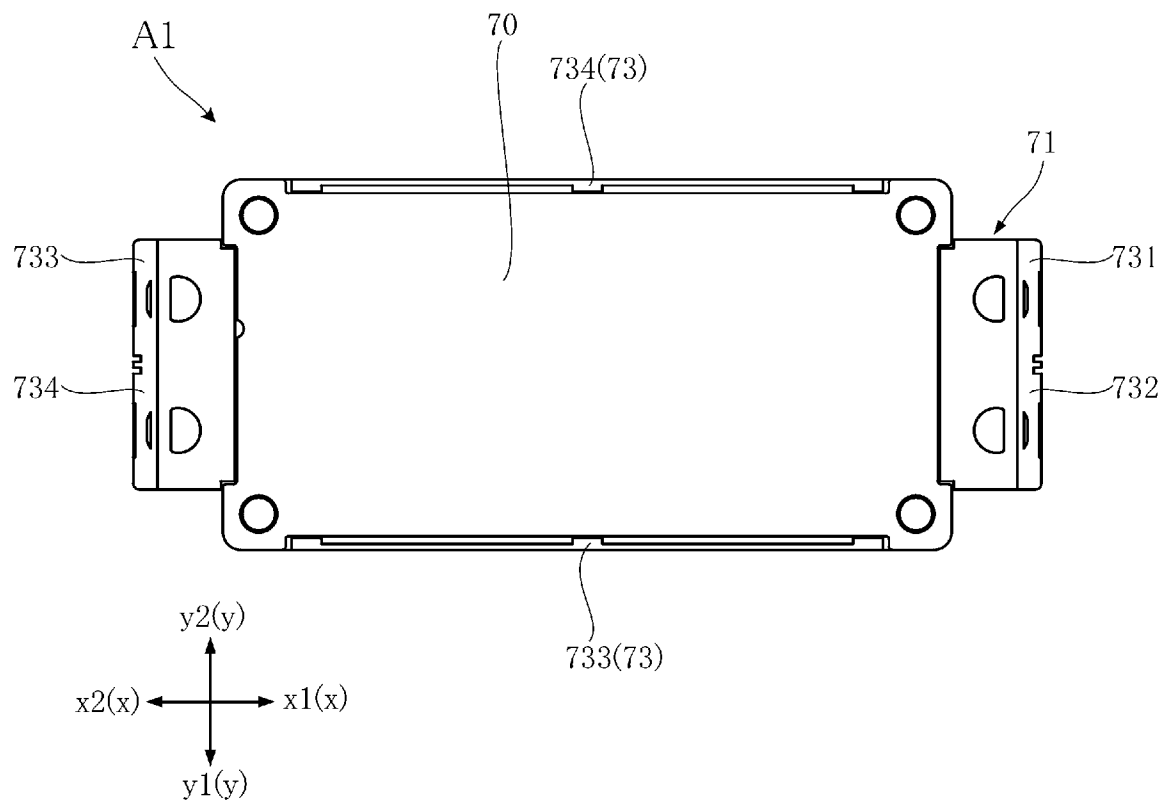
[図9]
FIG.9



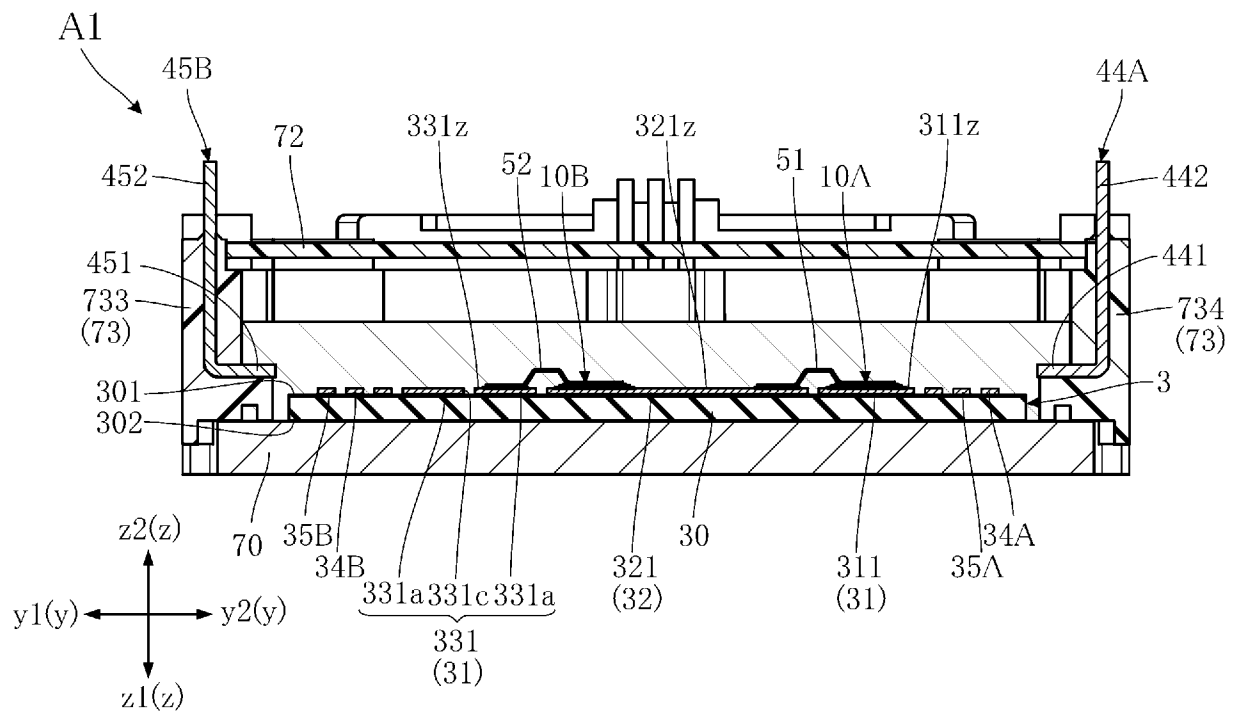
[図10]
FIG.10



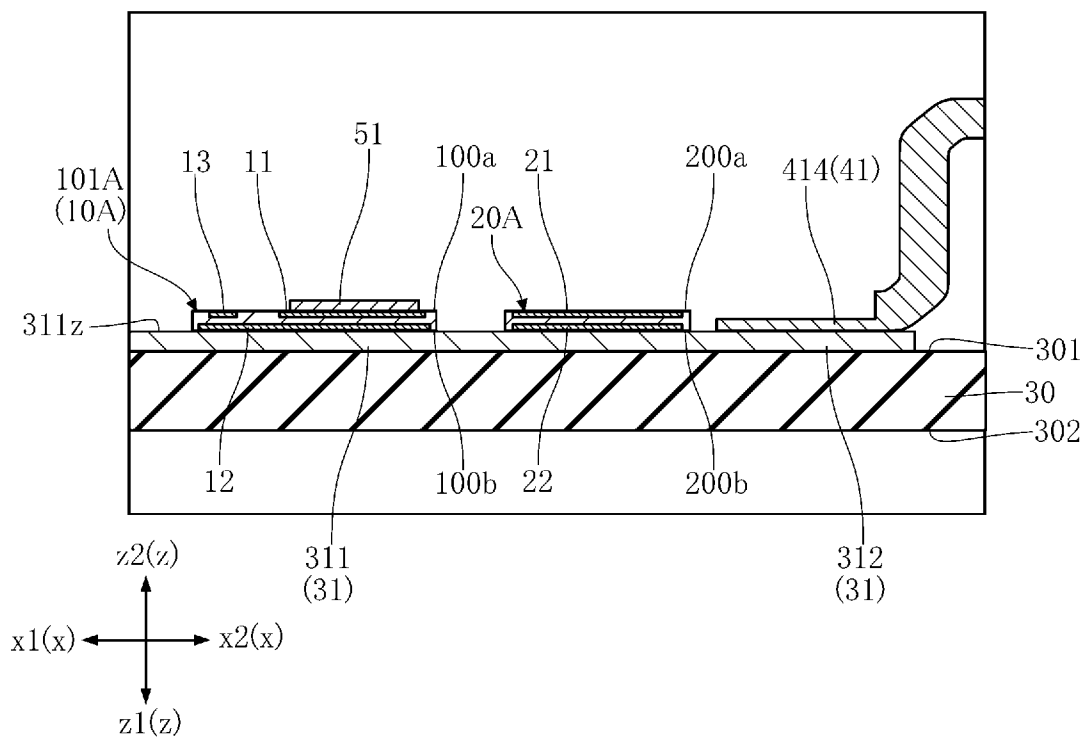
[図11]
FIG.11



[図12]
FIG.12



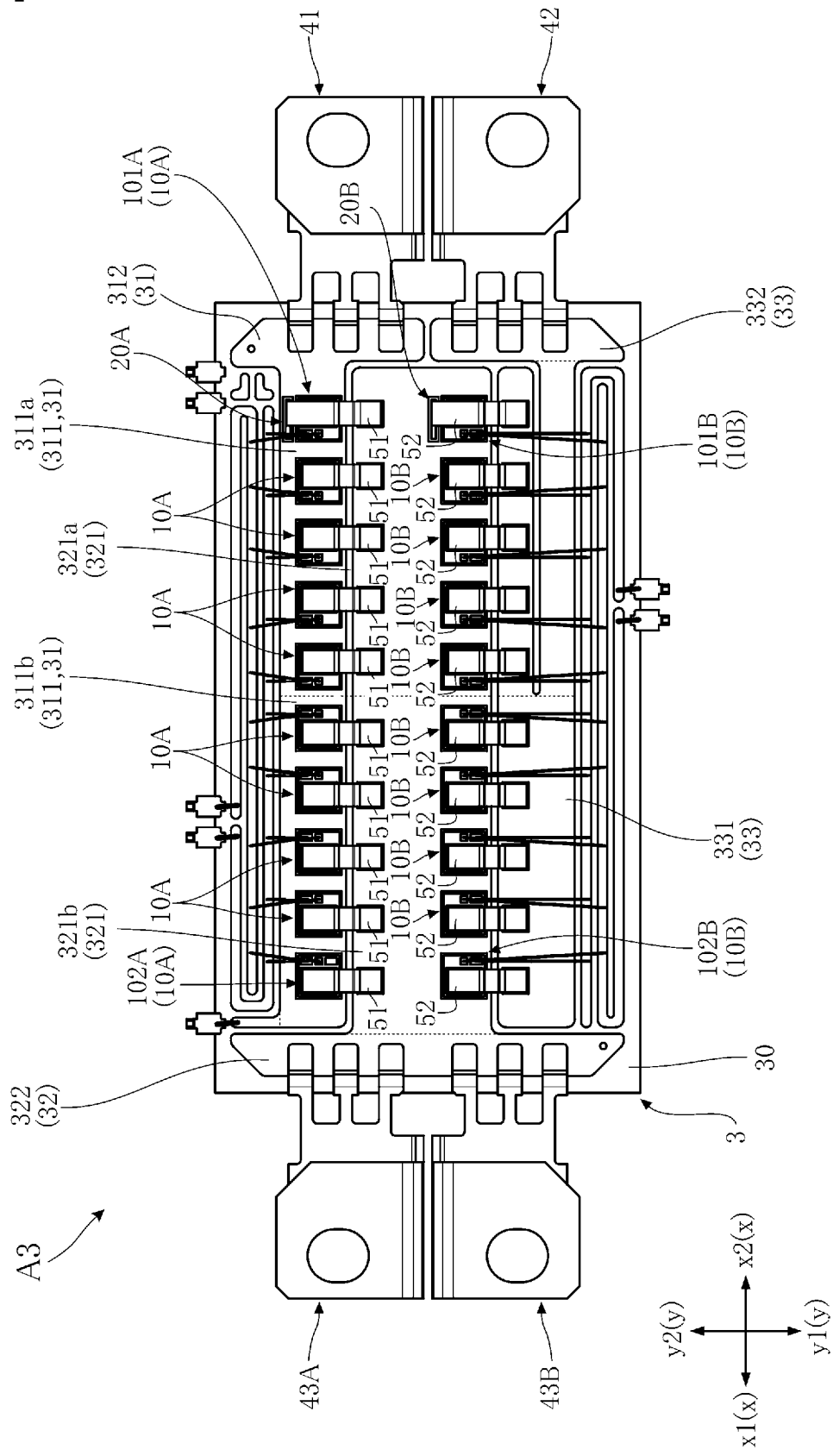
[図13]
FIG.13



A cross-sectional view of a semiconductor device. The device is built on a substrate 30, which has a lower layer 302 and an upper layer 301. A base layer 12 is formed on the substrate. Above the base layer, there are several regions: a first region 100a with a top layer 11 and a bottom layer 13; a second region 100b with a top layer 21 and a bottom layer 22; and a third region 200a with a top layer 200a and a bottom layer 200b. A fourth region 200b is also shown. A layer 52 is formed on top of the first region 100a. A layer 321 is formed on top of the second region 100b. A layer 332 is formed on top of the third region 200a. A layer 424(42) is formed on top of the fourth region 200b. A layer 101B(10B) is formed on top of the first region 100a. A layer 321z is formed on top of the first region 100a. A layer 301 is formed on top of the substrate 30. A layer 302 is formed on top of the substrate 30. A layer 30 is formed on top of the substrate 30. A coordinate system is shown at the bottom left with axes x1(x), x2(x), and z1(z).

[図17]

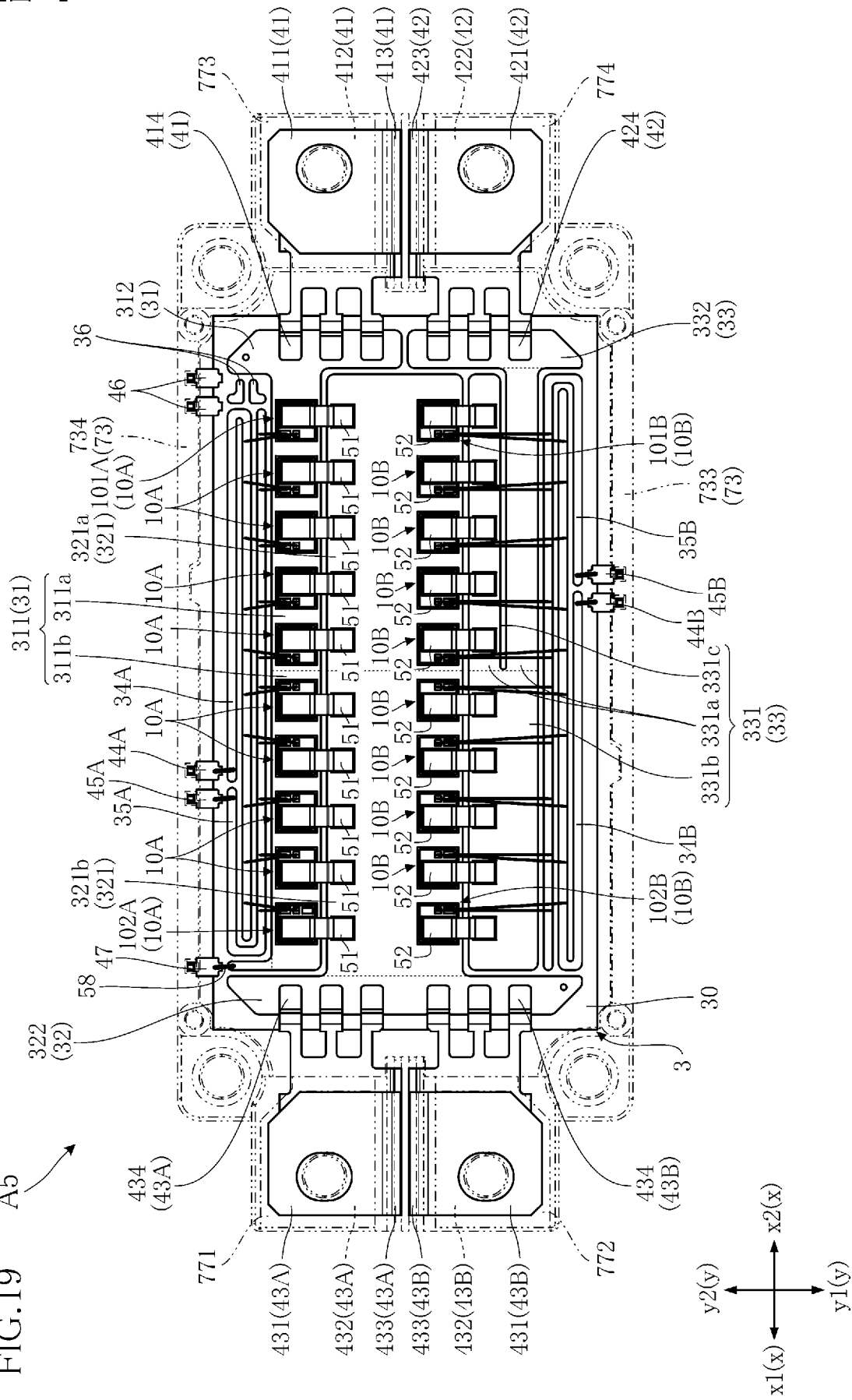
FIG.17



[図19]

FIG.19

A5



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/033155

A. CLASSIFICATION OF SUBJECT MATTER**H01L 25/07**(2006.01)i

FI: H01L25/04 C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2010/131679 A1 (ROHM CO., LTD.) 18 November 2010 (2010-11-18) paragraphs [0008], [0043]-[0087], fig. 1-4	1, 3-7, 20
A		2, 8-19
A	WO 2016/136418 A1 (ROHM CO., LTD.) 01 September 2016 (2016-09-01) paragraphs [0010], [0038]-[0135], fig. 1-10	1-20
A	WO 2018/168924 A1 (ROHM CO., LTD.) 20 September 2018 (2018-09-20) paragraphs [0005], [0010]-[0107], fig. 1-21	1-20
A	WO 2014/061211 A1 (FUJI ELECTRIC CO., LTD.) 24 April 2014 (2014-04-24) paragraphs [0013], [0023]-[0052], fig. 1-6	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

28 October 2021

Date of mailing of the international search report

09 November 2021

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/033155

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2010/131679	A1	18 November 2010	US 2012/0256194 A1 paragraphs [0010], [0098]- [0147], fig. 1-4 EP 2432014 A1	
WO	2016/136418	A1	01 September 2016	US 2018/0033720 A1 paragraphs [0011], [0052]- [0150], fig. 1-10 EP 3264461 A1	
WO	2018/168924	A1	20 September 2018	US 2020/0013703 A1 paragraphs [0005], [0033]- [0107], fig. 1-21 DE 212018000078 U1 CN 110383475 A	
WO	2014/061211	A1	24 April 2014	US 2015/0223339 A1 paragraphs [0026], [0058]- [0103], fig. 1-6 EP 2908338 A1 CN 104919589 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 25/07(2006.01)i FI: H01L25/04 C														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L25/07 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	WO 2010/131679 A1（ローム株式会社）18.11.2010（2010 - 11 - 18） 段落[0008],[0043]-[0087], 図1-4	1, 3-7, 20												
A		2, 8-19												
A	WO 2016/136418 A1（ローム株式会社）01.09.2016（2016 - 09 - 01） 段落[0010],[0038]-[0135], 図1-10	1-20												
A	WO 2018/168924 A1（ローム株式会社）20.09.2018（2018 - 09 - 20） 段落[0005],[0010]-[0107], 図1-21	1-20												
A	WO 2014/061211 A1（富士電機株式会社）24.04.2014（2014 - 04 - 24） 段落[0013],[0023]-[0052], 図1-6	1-20												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 28.10.2021	国際調査報告の発送日 09.11.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 小池 英敏 5F 8396 電話番号 03-3581-1101 内線 3516													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/033155

引用文献			公表日	パテントファミリー文献			公表日
WO	2010/131679	A1	18.11.2010	US	2012/0256194	A1	
				段落[0010],[0098]-[0147], 図1-4			
				EP	2432014	A1	
WO	2016/136418	A1	01.09.2016	US	2018/0033720	A1	
				段落[0011],[0052]-[0150], 図1-10			
				EP	3264461	A1	
WO	2018/168924	A1	20.09.2018	US	2020/0013703	A1	
				段落[0005],[0033]-[0107], 図1-21			
				DE	212018000078	U1	
				CN	110383475	A	
WO	2014/061211	A1	24.04.2014	US	2015/0223339	A1	
				段落[0026],[0058]-[0103], 図1-6			
				EP	2908338	A1	
				CN	104919589	A	