

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年4月28日(28.04.2022)



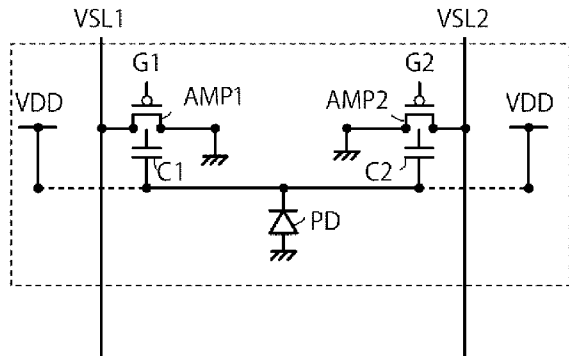
(10) 国際公開番号

WO 2022/085447 A1

- (51) 国際特許分類:
H04N 5/3745 (2011.01) H04N 5/357 (2011.01)
G01S 17/894 (2020.01) H04N 5/369 (2011.01)
H01L 27/146 (2006.01) H04N 5/374 (2011.01)
- (21) 国際出願番号: PCT/JP2021/036932
- (22) 国際出願日: 2021年10月6日(06.10.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-175243 2020年10月19日(19.10.2020) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).
- (72) 発明者: 中村 信男 (NAKAMURA Nobuo); 〒2430014 神奈川県厚木市旭町4丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 中村 行孝, 外 (NAKAMURA Yukitaka et al.); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: SENSOR

(54) 発明の名称: センサ



10

(57) Abstract: [Problem] To provide a sensor that reduces kTC noise and that can be miniaturized. [Solution] A sensor according to an embodiment of the present invention has a plurality of pixels, wherein each pixel comprises: a first conduction type semiconductor layer having a first surface; a photoelectric conversion unit that is provided within the semiconductor layer and converts light incident on the semiconductor layer into an electric charge; a first conduction type first channel layer provided on a first surface side in the semiconductor layer; a first gate electrode provided above the first channel layer; and a second conduction type first capacitor layer that is provided beneath the first channel layer and accumulates electric charge.

(57) 要約: [課題] kTCノイズを低減し、微細化可能なセンサを提供する。[解決手段] 本実施形態によるセンサは、複数の画素を有するセンサであって、画素はそれぞれ、第1面を有する第1導電型の半導体層と、半導体層内に設けられ該半導体層に入射した光を電荷に変換する光電変換部と、半導体層内の第1面側に設けられた第1導電型の第1チャンネル層と、第1チャンネル層の上方に設けられた第1ゲート電極と、第1チャンネル層の下方に設けられ、電荷を蓄積する第2導電型の第1キャパシタ層とを備える。

[続葉有]

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

明 細 書

発明の名称： センサ

技術分野

[0001] 本開示は、センサに関する。

背景技術

[0002] 間接T o F (indirect Time of Flight:iToF) 方式を用いた測距装置が開発されている。i T o F方式の測距装置は、該測距装置から対象物までの距離を、照射光と反射光との位相差に基づいて間接的に算出する。

先行技術文献

特許文献

[0003] 特許文献1：特開2019-004149号公報

発明の概要

発明が解決しようとする課題

[0004] このようなi T o Fセンサは、信号電荷のノイズを低減するために、信号電荷を蓄積するメモリ素子を画素内部に有する場合がある。しかし、このようなメモリ素子を用いる場合、各画素を構成する素子数が多くなり、画素を微細化することができなくなる。

[0005] 一方、メモリ素子を画素から削除して、信号電荷をフローティングディフュージョンに蓄積する場合、i T o Fセンサは、信号状態を読み出した後に、リセット状態を読み出す。この場合、相関二重サンプリング(CDS (Correlated Double Sampling)) をすることができない。また、フローティングディフュージョンを用いた場合、大きなk T Cノイズ(ランダムノイズ)が発生し、測距精度が低下してしまう。

[0006] そこで、本開示は、このような課題を鑑みてなされたものであり、k T Cノイズを低減し、微細化可能なセンサを提供する。

課題を解決するための手段

[0007] 本開示の一側面のセンサは、複数の画素を有するセンサであって、画素は

それぞれ、第1面を有する第1導電型の半導体層と、半導体層内に設けられ該半導体層に入射した光を電荷に変換する光電変換部と、半導体層内の第1面側に設けられた第1導電型の第1チャネル層と、第1チャネル層の上方に設けられた第1ゲート電極と、第1チャネル層の下方に設けられ、電荷を蓄積する第2導電型の第1キャパシタ層とを備える。

[0008] 画素は、半導体層内の第1面側に設けられた第1導電型の第2チャネル層と、第2チャネル層の上方に設けられた第2ゲート電極と、第2チャネル層の下方に設けられ、電荷を蓄積する第2導電型の第2キャパシタ層とをさらに備えてもよい。

[0009] 画素は、第1チャネル層および第1ゲート電極を含み、第1信号線に電氣的に接続された第1増幅トランジスタをさらに備え、第1キャパシタ層に蓄積された電荷の量によって、第1増幅トランジスタの閾値が変調されてもよい。

[0010] 画素は、第2チャネル層および第2ゲート電極を含み、第2信号線に電氣的に接続された第2増幅トランジスタをさらに備え、第2キャパシタ層に蓄積された電荷の量によって、第2増幅トランジスタの閾値が変調されてもよい。

[0011] 画素は、半導体層内の第1面側に設けられ、電源に接続される第2導電型の第1電源拡散層をさらに備えてもよい。

[0012] 画素は、半導体層内の第1面側に設けられ、電源に接続される第2導電型の第2電源拡散層をさらに備えてもよい。

[0013] 画素は、光電変換部の電荷を排出する電荷排出トランジスタをさらに備えてもよい。

[0014] 画素は、第1信号線に接続された第1コンパレータと、第1コンパレータに電流を流す第1電流回路と、第2信号線に接続された第2コンパレータと、第2コンパレータに電流を流す第2電流回路とをさらに備えてもよい。

[0015] 画素は、第1増幅トランジスタの一端に接続され、第1増幅トランジスタからの電荷を蓄積する第1容量素子と、第1容量素子と第1信号線との間に

接続され、第1容量素子の電荷に応じた電圧を第1信号線に伝達する第1ソースフォロワ回路と、第2増幅トランジスタの一端に接続され、第2増幅トランジスタからの電荷を蓄積する第2容量素子と、第2容量素子と第2信号線との間に接続され、第2容量素子の電荷に応じた電圧を第2信号線に伝達する第2ソースフォロワ回路とをさらに備えてもよい。

[0016] 半導体層への光の入射方向から見た平面視において、第1および第2キャパシタ層は、光電変換部の一方側および他方側のそれぞれに配置されており、第1および第2増幅トランジスタも、光電変換部の一方側および他方側のそれぞれに配置されてもよい。

[0017] 光は、第1面とは反対側の半導体層の第2面から入射してもよい。

[0018] センサは、半導体層への光の入射方向から見た平面視において、第1および第2キャパシタ層に重複するように設けられ、光電変換部には重複しない遮光膜を備えてもよい。

[0019] センサは、半導体層への光の入射方向から見た平面視において、第1および第2キャパシタ層に重複するように設けられ、光電変換部に光を反射する反射部を備えてもよい。

[0020] 画素は、光電変換部からの電荷を第1キャパシタ層へ転送する第1転送トランジスタと、光電変換部からの電荷を第2キャパシタ層へ転送する第2転送トランジスタとを備えてもよい。

[0021] 画素は、第1増幅トランジスタと第1信号線との間に接続された第1選択トランジスタと、第2増幅トランジスタと第2信号線との間に接続された第2選択トランジスタとをさらに備えてもよい。

[0022] 画素は、第1キャパシタ層と第1電源拡散層との間に設けられた第1リセットトランジスタと、第2キャパシタ層と第2電源拡散層との間に設けられた第2リセットトランジスタとをさらに備えてもよい。

[0023] センサは、複数の画素を含む第1半導体チップと、第1信号線に接続された第1コンパレータ、第1コンパレータに電流を流す第1電流回路、第2信号線に接続された第2コンパレータ、および、第2コンパレータに電流を流

す第2電流回路とを含む第2半導体チップとを備え、第1半導体チップと第2半導体チップとは貼合されてもよい。

[0024] 第1および第2半導体チップのそれぞれの第1信号線を接合し、第1および第2半導体チップのそれぞれの第2信号線を接合することによって、第1および第2半導体チップは電氣的に接続されてもよい。

[0025] 複数の画素は、対象物の画像を取得する撮像素素でと、対象物までの距離を測定する測距画素であってもよい。

[0026] 画素は、第1および第2キャパシタ層に信号電荷が蓄積された信号状態に応じた信号電圧を第1および第2信号線に伝達し、その後、信号電荷を排出した第1および第2キャパシタ層のリセット状態に応じたりセット電圧を第1および第2信号線に伝達し、信号電圧とリセット電圧とが相関二重サンプリング処理されてもよい。

[0027] 画素は、半導体層内の第1面側に設けられ、第1キャパシタ層からの電荷を蓄積する第2導電型の第1浮遊拡散領域と、半導体層内の第1面側に設けられ、第2キャパシタ層からの電荷を蓄積する第2導電型の第2浮遊拡散領域とをさらに備え、第1キャパシタ層の蓄積電荷に応じた信号を伝達する第1信号線と、第2キャパシタ層の蓄積電荷に応じた信号を伝達する第2信号線と、第1浮遊拡散領域の蓄積電荷に応じた信号を伝達する第3信号線と、第2浮遊拡散領域の蓄積電荷に応じた信号を伝達する第4信号線とをさらに備えてもよい。

[0028] 第1浮遊拡散領域は、第1キャパシタ層からオーバーフローした電荷を蓄積し、第2浮遊拡散領域は、第2キャパシタ層からオーバーフローした電荷を蓄積してもよい。

[0029] 第1および第2キャパシタ層は、第1周波数で振り分けられた光電変換部からの電荷を蓄積した後に、第1および第2浮遊拡散領域へそれぞれ転送し、その後、第1および第2キャパシタ層は、第2周波数で振り分けられた光電変換部からの電荷を蓄積してもよい。

[0030] 本開示の他の側面のセンサは、複数の画素を有するセンサであって、画素

はそれぞれ、入射した光を電荷に変換する光電変換部と、光電変換部からの電荷を交互に振り分ける第1および第2振分けトランジスタと、第1および第2振分けトランジスタで振り分けられた電荷をそれぞれ蓄積する第1および第2メモリ部と、第1および第2メモリ部からの電荷をそれぞれ蓄積する第3および第4メモリ部とを備える。

[0031] センサは、第1および第2メモリ部の電荷を個別に、あるいは、まとめて蓄積する第1浮遊拡散領域と、第3および第4メモリ部の電荷を個別に、あるいは、まとめて蓄積する第2浮遊拡散領域と、第1浮遊拡散領域の電荷に応じた電圧を第1信号線に出力する第1増幅トランジスタと、第2浮遊拡散領域の電荷に応じた電圧を第2信号線に出力する第2増幅トランジスタとをさらに備えてもよい。

[0032] センサは、第1および第2メモリ部の電荷を個別に、あるいは、まとめて蓄積し、かつ、第3および第4メモリ部の電荷を個別に、あるいは、まとめて蓄積する共通の浮遊拡散領域と、浮遊拡散領域の電荷に応じた電圧を信号線に出力する共通の増幅トランジスタとをさらに備えてもよい。

[0033] 第1および第2メモリ部は、第1振分けトランジスタと第1増幅トランジスタとの間に直列に接続され、第3および第4メモリ部は、第2振分けトランジスタと第2増幅トランジスタとの間に直列に接続されてもよい。

[0034] 第1および第2メモリ部は、並列に接続され、第3および第4メモリ部は、並列に接続されてもよい。

[0035] 第1および第2メモリ部は、電荷をCCD転送し、第3および第4メモリ部は、電荷をCCD転送してもよい。

[0036] センサは、半導体層内の第1面側に設けられ、第1キャパシタ層からの電荷を蓄積する第2導電型の第1浮遊拡散領域と、第1キャパシタ層の蓄積電荷に応じた信号を伝達する第1信号線と、第1浮遊拡散領域の蓄積電荷に応じた信号を伝達する第3信号線と、さらに備えてもよい。

[0037] センサは、第1浮遊拡散領域と第3信号線との間に設けられたソースフォロワ回路をさらに備えてもよい。

- [0038] 画素は、光電変換部からの電荷を第1キャパシタ層へ転送する第1転送トランジスタをさらに備えてもよい。
- [0039] 画素は、第1増幅トランジスタと第1信号線との間に接続された第1選択トランジスタをさらに備えてもよい。
- [0040] 画素は、第1キャパシタ層と第1浮遊拡散領域との間に設けられた第1リセットトランジスタと、第1浮遊拡散領域と電源との間に設けられた第2リセットトランジスタとをさらに備えてもよい。
- [0041] 画素は、光電変換部と第1浮遊拡散領域との間に接続された第1転送トランジスタと、光電変換部と第1浮遊拡散領域との間に直列に接続されたオーバーフロートランジスタおよび第2転送トランジスタと、オーバーフロートランジスタと第2転送トランジスタとの間のノードと基準電源との間に接続された第3容量素子とをさらに備えてもよい。
- [0042] 画素は、光電変換部と第1浮遊拡散領域との間に接続された第1転送トランジスタと、光電変換部と第1浮遊拡散領域との間に設けられたオーバーフロートランジスタ、第2転送トランジスタと、オーバーフロートランジスタと第2転送トランジスタとの間に設けられたCCD素子とをさらに備えてもよい。
- [0043] 本開示の他の側面のセンサは、複数の画素を有するセンサであって、画素はそれぞれ、入射した光を電荷に変換する光電変換部と、光電変換部からの電荷を蓄積する第1キャパシタ層と、第1キャパシタ層の上方に設けられ、光電変換部から第1キャパシタ層へ電荷を蓄積する第1電荷トランジスタと、第1キャパシタ層からの電荷を蓄積する第1浮遊拡散領域と、第1浮遊拡散領域と第1電荷トランジスタとの間に設けられた第1転送トランジスタとを備える。
- [0044] センサは、第1電荷トランジスタと第1転送トランジスタとの間に設けられ、第1キャパシタ層からの電荷を蓄積する第2キャパシタ層と、第2キャパシタ層の上方に設けられ、第1キャパシタ層から第2キャパシタ層へ電荷を送る第2電荷トランジスタとをさらに備えてもよい。

[0045] センサは、光電変換部と第1電荷トランジスタとの間に設けられた第2転送トランジスタをさらに備えてもよい。

[0046] 複数の画素は、光電変換部が画素領域の中心側へ偏在するように配置されてもよい。

[0047] 本開示の他の側面のセンサは、入射した光を電荷に変換し、該電荷に応じた画像を取得するセンサであって、画像を構成する1つのフレームの撮像期間を分割した複数のシャッタ期間のうち、一部のシャッタ期間において生成された電荷を蓄積する光電変換部と、一部のシャッタ期間の電荷からフレーム全体の信号を推定する信号処理部と、を備える。

[0048] 信号処理部は、一部のシャッタ期間の電荷に応じた信号から略線形の延長線上にフレーム全体の信号があると推定してもよい。

[0049] 本開示の他の側面のセンサは、入射した光を電荷に変換し、該電荷に応じた画像を取得するセンサであって、画像を構成する複数のフレームの撮像期間において生成された電荷を蓄積する光電変換部と、複数のフレームの電荷から複数のフレームのうち1つの第1フレームの信号を推定する信号処理部と、を備える。

[0050] 信号処理部は、複数のフレームの期間の電荷に対応する信号の平均値を第1フレームの信号として推定してもよい。

図面の簡単な説明

[0051] [図1]第1実施形態による測距装置の構成例を示すブロック図。

[図2]第1実施形態による測距装置の受光素子の概略構成例を示すブロック図。

[図3]第1実施形態による画素の構成の一例を示す等価回路図。

[図4]第1実施形態による画素のレイアウトの一例を示す平面図。

[図5]画素の動作を示す概念図。

[図6]第1実施形態による画素の動作の一例を示すタイミング図。

[図7]第1実施形態の変形例による裏面照射型iTOFセンサの構成例を示す断面図。

[図8]第1実施形態の他の変形例による裏面照射型iTOFセンサの構成例を示す断面図。

[図9]第1実施形態のさらに他の変形例による裏面照射型iTOFセンサの構成例を示す断面図。

[図10]第2実施形態による画素の構成の一例を示す等価回路図。

[図11]第2実施形態による画素のレイアウトの一例を示す平面図。

[図12]第3実施形態による画素の構成の一例を示す等価回路図。

[図13]第4実施形態による画素の構成の一例を示す等価回路図。

[図14]第5実施形態による画素の構成の一例を示す等価回路図。

[図15]第6実施形態による画素の構成の一例を示す等価回路図。

[図16]第6実施形態による画素のレイアウトの一例を示す平面図。

[図17]第6実施形態による画素の動作の一例を示すタイミング図。

[図18]第7実施形態による画素の構成の一例を示す等価回路図。

[図19]第7実施形態による画素のレイアウトの一例を示す平面図。

[図20]第7実施形態による画素の動作の一例を示すタイミング図。

[図21]第8実施形態による画素の構成の一例を示す等価回路図。

[図22]第9実施形態による画素の構成の一例を示す等価回路図。

[図23]第10実施形態による画素の構成の一例を示す等価回路図。

[図24]第10実施形態による画素のレイアウトの一例を示す平面図。

[図25]第10実施形態による画素の動作の一例を示すタイミング図。

[図26]第11実施形態による画素の構成の一例を示す等価回路図。

[図27]第12実施形態による画素の構成の一例を示す等価回路図。

[図28]第13実施形態による画素の構成の一例を示す等価回路図。

[図29]第14実施形態による画素のチップ構成例を示す概略図。

[図30]第15実施形態による画素のチップ構成例を示す概略図。

[図31]第16実施形態による画素のチップ構成例を示す概略図。

[図32]第17実施形態による画素のチップ構成例を示す概略図。

[図33]第18実施形態による画素のチップ構成例を示す概略図。

- [図34]第19実施形態による画素のチップ構成例を示す概略図。
- [図35]第20実施形態による画素のチップ構成例を示す概略図。
- [図36]第21実施形態による画素のチップ構成例を示す概略図。
- [図37]第22実施形態による画素のチップ構成例を示す概略図。
- [図38]第23実施形態による画素領域の画素配列の一例を示す平面図。
- [図39]第24実施形態による画素領域の画素配列の一例を示す平面図。
- [図40]第25実施形態による画素領域の画素配列の一例を示す平面図。
- [図41]第26実施形態による画素領域の画素配列の一例を示す平面図。
- [図42]第27実施形態による画素領域の画素配列の一例を示す平面図。
- [図43]第28実施形態による画素領域の画素配列の一例を示す平面図。
- [図44]第29実施形態による画素領域の画素配列の一例を示す平面図。
- [図45]第30実施形態による画素領域の構成例を示す概念図。
- [図46]第31実施形態による画素領域の構成例を示す概念図。
- [図47]第32実施形態による画素領域の構成例を示す概念図。
- [図48]第33実施形態による画素領域の構成例を示す概念図。
- [図49]第34実施形態による画素領域の構成例を示す概念図。
- [図50]第35実施形態による画素領域の構成例を示す概念図。
- [図51]第36実施形態による画素領域の構成例を示す概念図。
- [図52]第37実施形態による画素領域の構成例を示す概念図。
- [図53]第38実施形態による画素領域の構成例を示す概念図。
- [図54]第39実施形態による画素の構成例を示す等価回路図。
- [図55]図54の55-55線に沿った断面における動作を示す概念図。
- [図56]第39実施形態による画素のレイアウトの一例を示す平面図。
- [図57]第39実施形態による画素の動作の一例を示すタイミング図。
- [図58]第39実施形態による画素の動作の他の例を示すタイミング図。
- [図59]第40実施形態による画素の構成例を示す等価回路図。
- [図60]第40実施形態による画素の動作の一例を示すタイミング図。
- [図61]第40実施形態による画素の動作の他の例を示すタイミング図。

[図62]第4 1 実施形態による画素の構成の一例を示す回路図。

[図63A]第4 1 実施形態による画素の動作例を示すタイミング図。

[図63B]第4 1 実施形態による画素の動作の他の例を示すタイミング図。

[図64]第4 2 実施形態による画素の構成の一例を示す回路図。

[図65]第4 3 実施形態による画素の構成の一例を示す回路図。

[図66]第4 4 実施形態による画素の構成の一例を示す回路図。

[図67]第4 5 実施形態による画素の構成の一例を示す回路図。

[図68]第4 6 実施形態による画素の構成の一例を示す回路図。

[図69]第4 7 実施形態による画素の構成の一例を示す回路図。

[図70]第4 8 実施形態による画素の構成の一例を示す回路図。

[図71]第4 9 実施形態による画素の構成の一例を示す等価回路図。

[図72]第4 9 実施形態による画素のレイアウトの一例を示す平面図。

[図73]第5 0 実施形態による画素の構成の一例を示す等価回路図。

[図74]第5 1 実施形態による画素の構成の一例を示す等価回路図。

[図75]第5 2 実施形態による画素の構成の一例を示す等価回路図。

[図76]第5 2 実施形態による画素の読出し動作の一例を示すタイミング図。

[図77]第5 2 実施形態による画素の読出し動作の他の例を示すタイミング図

。

[図78]第5 3 実施形態による画素の構成の一例を示す等価回路図。

[図79]第5 4 実施形態による画素の構成の一例を示す等価回路図。

[図80]第5 5 実施形態による画素の構成の一例を示す等価回路図。

[図81]第5 5 実施形態による画素の読出し動作の一例を示すタイミング図。

[図82]第5 5 実施形態による画素の読出し動作の他の例を示すタイミング図

。

[図83]第5 6 実施形態による画素の構成の一例を示す等価回路図。

[図84]第5 6 実施形態による画素の読出し動作の一例を示すタイミング図。

[図85]第5 6 実施形態による画素の読出し動作の一例を示すタイミング図。

[図86]第5 7 実施形態による画素の構成の一例を示す等価回路図。

- [図87]第5 8実施形態による画素の構成の一例を示す等価回路図。
- [図88]第5 8実施形態による画素のレイアウトの一例を示す平面図。
- [図89]第5 8実施形態による画素の動作を示すポテンシャル図。
- [図90]第5 8実施形態による画素の動作を示すポテンシャル図。
- [図91]第5 8実施形態による画素の動作を示すポテンシャル図。
- [図92]第5 8実施形態による画素の動作を示すポテンシャル図。
- [図93]第5 8実施形態による画素の動作を示すポテンシャル図。
- [図94]第5 8実施形態による画素の動作を示すポテンシャル図。
- [図95]第5 8実施形態による画素の動作を示すポテンシャル図。
- [図96]第5 8実施形態による画素の動作を示すポテンシャル図。
- [図97]第5 9実施形態による画素の構成の一例を示す等価回路図。
- [図98]第5 9実施形態による画素のレイアウトの一例を示す平面図。
- [図99]第5 9実施形態による画素の動作を示すポテンシャル図。
- [図100]第5 9実施形態による画素の動作を示すポテンシャル図。
- [図101]第5 9実施形態による画素の動作を示すポテンシャル図。
- [図102]第5 9実施形態による画素の動作を示すポテンシャル図。
- [図103]第5 9実施形態による画素の動作を示すポテンシャル図。
- [図104]第5 9実施形態による画素の動作を示すポテンシャル図。
- [図105]第5 9実施形態による画素の動作を示すポテンシャル図。
- [図106]第5 9実施形態による画素の動作を示すポテンシャル図。
- [図107]第5 9実施形態による画素の動作を示すポテンシャル図。
- [図108]第5 9実施形態による画素の動作を示すポテンシャル図。
- [図109]第6 0実施形態による画素の構成の一例を示す等価回路図。
- [図110]第6 0実施形態による画素のレイアウトの一例を示す平面図。
- [図111]第6 0実施形態による画素の動作を示すタイミング図。
- [図112]第6 0実施形態による画素の動作を示すポテンシャル図。
- [図113]第6 0実施形態による画素の動作を示すポテンシャル図。
- [図114]第6 0実施形態による画素の動作を示すポテンシャル図。

[図115]第60実施形態による画素の動作を示すポテンシャル図。

[図116]第60実施形態による画素の動作を示すポテンシャル図。

[図117]第60実施形態による画素の動作を示すポテンシャル図。

[図118]第60実施形態による画素の動作を示すポテンシャル図。

[図119]第60実施形態による画素の動作を示すポテンシャル図。

[図120]第60実施形態による画素の動作を示すポテンシャル図。

[図121]第60実施形態による画素の動作を示すポテンシャル図。

[図122]第61実施形態による画素の一例を示すレイアウト図とその略図。

[図123]第61実施形態による画素領域における画素の配置例を示す概略図。

[図124]画素に対する光の入射方向を示す図。

[図125]第61実施形態による画素領域における画素の他の配置例を示す概略図。

[図126]受光素子の構成例を示すブロック図。

[図127]信号電荷に応じたデジタル信号を格納可能な受光素子の構成例を示す斜視図。

[図128]各フレームの信号強度の推定方法の一例を示す概念図。

[図129]各フレームの信号強度の推定方法の他の例を示す概念図。

[図130]各フレームの信号の演算方法の一例を示す概念図。

[図131]本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図。

[図132]撮像部の設置位置の例を示す図。

発明を実施するための形態

[0052] 以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。図面は模式的または概念的なものであり、各部分の比率などは、必ずしも現実のものと同一とは限らない。明細書と図面において、既出の図面に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

[0053] (第1実施形態)

図1は、第1実施形態による測距装置の構成例を示すブロック図である。測距装置100は、間接ToF（以下、iToFともいう）方式による測距センサであり、例えば、車両に搭載され、車外にある対象物までの距離を測定する車載用のシステム等に用いる。また、測距装置100は、例えば、顔認証等の個人を特定するシステム等にも用いてもよい。

[0054] 測距装置100は、受光素子1と、発光素子2と、変調器3と、PLL（Phase Locked Loop）4とを備えている。PLL4は、パルス信号を生成する。変調器3は、PLL4からのパルス信号を変調し、制御信号を生成する。制御信号の周波数は、例えば、5MHz～200MHzでよい。発光素子2は、変調器からの制御信号に従って発光する。発光素子2は、光源として、波長が780nm～1000nmの範囲の赤外光を発する発光ダイオードを有し、矩形波あるいはサイン波の制御信号に同期して、照射光を発生する。発光素子2で生成される光は、例えば、短波赤外光（SWIR（Short Wave Infrared Radiometer））等でよい。発光素子2から発光された照射光は、物体Mに反射して受光素子1で受光される。

[0055] 受光素子1で受光され反射光は、発光素子2が発光したタイミングから、物体Mまでの距離に応じて遅延する。照射光に対する反射光の遅延時間によって、照射光と反射光との間に位相差が生じる。iToF方式では、測距装置100は、この照射光と反射光との間の位相差を演算して、この位相差に基づいて測距装置100から物体Mまでの距離（デプス情報）を求める。

[0056] 物体Mが発光素子2から遠いと、反射光が弱くなり、太陽光などの背景光のノイズの影響が大きくなる。このため、kTCノイズのようなランダムノイズの低減が望まれている。

[0057] 図2は、第1実施形態による測距装置の受光素子の概略構成例を示すブロック図である。受光素子1は、図1のiToF方式による測距装置100に用いられる素子である。

[0058] 受光素子1は、光源としての発光素子2で生成された照射光が物体にあたって反射して返ってきた光（反射光）を受光し、物体までの距離情報をデプ

ス値として表したデプス画像を出力する。

[0059] 受光素子 1 は、図示しない半導体基板上に設けられた画素領域 2 1 と、同じ半導体基板上に設けられた周辺回路部とを有する。周辺回路部は、例えば、垂直駆動部 2 2、カラム処理部 2 3、水平駆動部 2 4、およびシステム制御部 2 5、信号処理部 2 6 およびデータ格納部 2 7 等から構成されている。尚、周辺回路部の全部または一部は、受光素子 1 と同じ半導体基板上に設けてもよいし、受光素子 1 とは別の基板上に設けてもよい。

[0060] 画素領域 2 1 は、行方向および列方向の行列状に 2 次元配置された複数の画素 1 0 を有する。画素 1 0 は、受光した光量に応じた電荷を生成し、その電荷に応じた信号を出力する。すなわち、画素 1 0 は、入射した光を光電変換し、その結果得られた電荷に応じた信号を出力する。画素 1 0 の詳細については、後述する。尚、行方向は、図 2 において横方向であり、列方向は縦方向である。

[0061] 画素領域 2 1 においては、行列状の画素配列に対して、画素行ごとに画素駆動線 2 8 が行方向に沿って配線されるとともに、各画素列に 2 つの垂直信号線 2 9 が列方向に沿って配線されている。例えば、画素駆動線 2 8 は、画素 1 0 から信号を読み出す際の駆動を行うための駆動信号を伝送する。なお、図 2 では、画素駆動線 2 8 について 1 本の配線として示しているが、1 本に限られるものではない。画素駆動線 2 8 の一端は、垂直駆動部 2 2 の各行に対応した出力端に接続されている。

[0062] 垂直駆動部 2 2 は、シフトレジスタ、アドレスデコーダ等によって構成され、画素領域 2 1 の各画素 1 0 を全画素同時あるいは行単位等で駆動する。すなわち、垂直駆動部 2 2 は、垂直駆動部 2 2 を制御するシステム制御部 2 5 とともに、画素領域 2 1 の各画素 1 0 の動作を制御する駆動部を構成している。

[0063] 垂直駆動部 2 2 による駆動制御に応じて画素行の各画素 1 0 から出力される検出信号は、垂直信号線 2 9 を通してカラム処理部 2 3 に入力される。カラム処理部 2 3 は、各画素 1 0 から垂直信号線 2 9 を通して出力される検出

信号に対して所定の信号処理を行うとともに、信号処理後の検出信号を一時的に保持する。具体的には、カラム処理部 23 は、信号処理としてノイズ除去処理や A/D (Analog-to-Digital) 変換処理等を行う。

[0064] 水平駆動部 24 は、シフトレジスタ、アドレスデコーダ等によって構成され、カラム処理部 23 の画素列に対応する単位回路を順番に選択する。水平駆動部 24 による選択走査により、カラム処理部 23 において単位回路ごとに信号処理された検出信号が順番に出力される。

[0065] システム制御部 25 は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、そのタイミングジェネレータで生成された各種のタイミング信号を基に、垂直駆動部 22、カラム処理部 23、および水平駆動部 24 などの駆動制御を行う。

[0066] 信号処理部 26 は、演算処理機能を有し、カラム処理部 23 から出力される検出信号に基づいて演算処理等の種々の信号処理を行う。データ格納部 27 は、信号処理部 26 での信号処理に必要なデータを一時的に格納する。

[0067] 以上のように構成される受光素子 1 は、物体までの距離情報をデプス値として画素値に含め、この画素値をデプス画像として出力する。受光素子 1 は、例えば、車両に搭載され、車外にある対象物までの距離を測定する車載用のシステム等に搭載することができる。

[0068] 図 3 は、第 1 実施形態による画素 10 の構成の一例を示す等価回路図である。図 4 は、第 1 実施形態による画素 10 のレイアウトの一例を示す平面図である。図 5 は、画素 10 の動作を示す概念図である。図 5 は、図 4 の A-A 線に沿った断面を示している。複数の画素 10 は、それぞれ同一構成を有する。

[0069] 画素 10 は、フォトダイオード PD と、増幅トランジスタ AMP1、AMP2 と、キャパシタ層 C1、C2 と、電源 VDD と、垂直信号線 VSL1、VSL2 とを備える。

[0070] フォトダイオード PD は、入射した光を電荷に変換する光電変換素子である。図 5 に示すように、フォトダイオード PD は、第 1 導電型としての p 型

の半導体層 11 内に設けられ、増幅トランジスタ AMP 1 と増幅トランジスタ AMP 2 との間に設けられている。半導体層 11 は、例えば、シリコン基板、エピタキシャルシリコン層等でよい。

[0071] 増幅トランジスタ AMP 1 のソース電極は、垂直信号線 VSL 1 に接続され、そのドレイン電極は、接地されている。増幅トランジスタ AMP 2 のソース電極は、垂直信号線 VSL 2 に接続され、そのドレイン電極は、接地されている。増幅トランジスタ AMP 1、AMP 2 は、図 5 に示すように、ともに半導体層 11 の第 1 面 F 1 に設けられており、フォトダイオード PD の両側にそれぞれ設けられている。増幅トランジスタ AMP 1、AMP 2 のチャネル層 Ch 1、Ch 2 は、それぞれ半導体層 11 内の第 1 面 F 1 側に設けられた p 型不純物拡散層である。増幅トランジスタ AMP 1、AMP 2 のゲート電極 G 1、G 2 は、それぞれチャネル層 Ch 1、Ch 2 の上方にゲート絶縁膜 IN 1、IN 2 を介して設けられた導電体である。増幅トランジスタ AMP 1、AMP 2 は、ゲート電極 G 1、G 2 の電圧を受けてチャネル層 Ch 1、Ch 2 において導通状態または非導通状態になる。増幅トランジスタ AMP 1、AMP 2 は、それぞれ、キャパシタ層 C 1、C 2 に蓄積された電荷によってその閾値電圧が変調されるチャネル変調トランジスタである。増幅トランジスタ AMP 1、AMP 2 は、例えば、p 型 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) で構成されている。

[0072] 増幅トランジスタ AMP 1、AMP 2 は、チャネル変調トランジスタであるが、リング構造を有さない。これにより、チャネル層 Ch 1、Ch 2 の面積を小さくして、光電変換効率を大きくすることができる。その結果、kTC ノイズを低減させることができる。また、キャパシタ層 C 1、C 2 がリング形状の場合、リング中心における不純物電荷分布のばらつきがキャパシタ層 C 1 とキャパシタ層 C 2 とのタップ間において、電荷の収集、蓄積および排出の性能にばらつきを生じさせる。本実施形態によるキャパシタ層 C 1、C 2 は略直方体の形状を有するので、電荷の収集、蓄積および排出の性能のばらつきを抑制することができる。

- [0073] キャパシタ層C 1、C 2は、それぞれチャネル層C h 1、C h 2の下方の半導体層1 1内に設けられたn⁻型不純物拡散層である。キャパシタ層C 1、C 2は、フォトダイオードPDで光電変換された電荷を蓄積することができる。
- [0074] キャパシタ層C 1は、増幅トランジスタAMP 1の直下の半導体層1 1内に設けられている。キャパシタ層C 1は、チャネル層C h 1と容量C aで容量結合されており、半導体層1 1と容量C bで容量結合されている。従って、キャパシタ層C 1に蓄積された電荷（例えば、電子e⁻）の量に依存して、増幅トランジスタAMP 1の閾値電圧がバックバイアス効果により変調される。閾値電圧が変調されると、ゲート電圧が同じでも、増幅トランジスタAMP 1の導通状態が変わり、垂直信号線V S L 1の電流または電圧が変わる。よって、垂直信号線V S L 1は、キャパシタ層C 1に蓄積される電荷量に応じた電圧を伝達することができる。
- [0075] キャパシタ層C 2は、増幅トランジスタAMP 2の直下の半導体層1 1内に設けられている。キャパシタ層C 2は、チャネル層C h 2と容量C aで容量結合されており、半導体層1 1と容量C bで容量結合されている。従って、キャパシタ層C 2に蓄積された電荷（例えば、電子e⁻）の量に依存して、増幅トランジスタAMP 2の閾値電圧もバックバイアス効果により変調される。閾値電圧が変調されると、ゲート電圧が同じでも、増幅トランジスタAMP 2の導通状態が変わり、垂直信号線V S L 2の電流または電圧が変わる。よって、垂直信号線V S L 2は、キャパシタ層C 2に蓄積される電荷量に応じた電圧を伝達することができる。
- [0076] チャネル層C h 1の直上には、ゲート電極G 1が設けられ、チャネル層C h 1の直下には、キャパシタ層C 1が設けられる。即ち、ゲート電極G 1とキャパシタ層C 1がチャネル層C h 1を挟んで互いに反対側に設けられている。半導体層1 1への光Lの入射方向（半導体層1 1の第1面F 1の上方）から見た平面視においては、図4に示すように、ゲート電極G 1、チャネル層C h 1およびキャパシタ層C 1は重複する。チャネル層C h 1は、p型不

純物拡散層であり、キャパシタ層C 1に対して逆導電型になっている。

[0077] 尚、Lの入射方向から見た平面視において、キャパシタ層C 1、C 2の大きさは任意である。例えば、キャパシタ層C 1、C 2の面積を大きくすれば、光電変換効率は小さくなり、キャパシタ層C 1、C 2の面積を小さくすれば、光電変換効率は大きくなる。キャパシタ層C 1、C 2のレイアウト面積に依って、光電変換効率を任意に設計することができる。

[0078] チャネル層Ch 2の直上には、ゲート電極G 2が設けられ、チャネル層Ch 2の直下には、キャパシタ層C 2が設けられる。即ち、ゲート電極G 2とキャパシタ層C 2がチャネル層Ch 2を挟んで互いに反対側に設けられている。半導体層1 1の第1面F 1の上方から見た平面視においては、図4に示すように、ゲート電極G 2、チャネル層Ch 2およびキャパシタ層C 2は重複する。チャネル層Ch 2は、p型不純物拡散層であり、キャパシタ層C 2に対して逆導電型になっている。

[0079] 半導体層1 1への光Lの入射方向から見た平面視においては、キャパシタ層C 1、C 2は、フォトダイオードPDの一方側および他方側のそれぞれに配置されている。また、増幅トランジスタAMP 1、AMP 2も、フォトダイオードPDの一方側および他方側のそれぞれに配置されている。

[0080] 図4および図5に示す電源拡散層DEF 1、DEF 2は、半導体層1 1内の第1面F 1側に設けられ、電源VDDに接続されるn⁺型不純物拡散層である。電源拡散層DEF 1、DEF 2は、リセット動作において、キャパシタ層C 1、C 2内の電荷を引き抜き、キャパシタ層C 1、C 2を、電荷が蓄積されていないリセット状態にする。

[0081] 垂直信号線VSL 1は、増幅トランジスタAMP 1のソースに接続されており、定電流を流すことによって増幅トランジスタAMP 1の閾値電圧に応じた電圧を伝達する。垂直信号線VSL 2は、増幅トランジスタAMP 2のソースに接続されており、定電流を流すことによって増幅トランジスタAMP 2の閾値電圧に応じた電圧を伝達する。尚、図12に示すように、垂直信号線VSL 1、VSL 2には、電流源が接続されている。増幅トランジスタ

AMP 1、AMP 2がp型トランジスタであるので、電流源は、垂直信号線VSL 1、VSL 2の電源側に接続される。また、図14に示すように、増幅トランジスタAMP 1、AMP 2と垂直信号線VSL 1、VSL 2との間には、ソースフォロワ回路がそれぞれ設けられていてもよい。さらに、図示しないが、画素10は、ソース接地回路を用いて電流読み出し回路構成としてもよい。

[0082] また、本実施形態では、キャパシタ層C 1、C 2に蓄積される信号電荷は電子であるが、信号電荷はホールであってもよい。

[0083] 図5に示すように、本実施形態では、光Lは、第1面F 1から半導体層1へ入射している。即ち、本実施形態の測距装置100は、表面照射型i T O Fセンサである。

[0084] 次に、画素10の動作について簡単に説明する。

[0085] 図6は、第1実施形態による画素10の動作の一例を示すタイミング図である。まず、受光を開始する前に、画素10の電荷をリセットするリセット動作が全画素で行われる。リセット動作では、フォトダイオードPDおよびキャパシタ層C 1、C 2の蓄積電荷を電源VDD側へ排出する。

[0086] 蓄積電荷の排出後、受光が開始される。

[0087] 受光期間では、増幅トランジスタAMP 1とAMP 2とが交互に駆動される。例えば、第1期間 $t_1 \sim t_2$ において、ゲート電極G 1の電圧がハイレベルV 2（収集電圧）に立ち上がり、ゲート電極G 2の電圧がロウレベルV 3（蓄積電圧）のままである。これにより、増幅トランジスタAMP 1が導通状態（以下、オン）になり、増幅トランジスタAMP 2が非導通状態（以下、オフ）になる。このとき、フォトダイオードPDで発生した電荷は、キャパシタ層C 1に転送される。第1期間 $t_1 \sim t_2$ の次の第2期間 $t_2 \sim t_3$ において、ゲート電極G 2の電圧がハイレベルV 2に立ち上がり、ゲート電極G 1の電圧がロウレベルV 3に立ち下がる。これにより、増幅トランジスタAMP 1がオフになり、増幅トランジスタAMP 2がオンになる。第2期間 $t_2 \sim t_3$ では、フォトダイオードPDで発生した電荷は、キャパシタ

層C 2に転送される。これにより、フォトダイオードPDで発生した電荷が、キャパシタ層C 1とC 2とに振り分けられ、蓄積される。尚、この場合、ホールは、半導体層1 1へ移動し排出される。

[0088] 第1期間 $t_1 \sim t_2$ および第2期間 $t_2 \sim t_3$ は、発光素子2からの照射光と同期して周期的に交互に繰り返される。これにより、キャパシタ層C 1、C 2は、図1の発光素子2からの照射光と受光素子1で受光される反射光との位相差に応じた電荷を蓄積することができる。位相差と、キャパシタ層C 1、C 2に蓄積される電荷との関係については後述する。

[0089] そして、 t_4 において受光期間が終了すると、画素領域2 1の各画素1 0が、順次選択される。選択された画素1 0では、増幅トランジスタAMP 1、AMP 2のゲート電極G 1、G 2に読み出し電圧V 1が印加される。読み出し電圧V 1は、電荷蓄積時におけるハイレベルV 2よりも高い電圧である。これにより、増幅トランジスタAMP 1、AMP 2は、それぞれキャパシタ層C 1、C 2に蓄積された電荷量に応じた導通状態になる。その結果、垂直信号線VSL 1、VSL 2は、それぞれキャパシタ層C 1、C 2に蓄積された電荷量に応じた電圧を伝達する。例えば、 $t_4 \sim t_5$ の読み出し動作においては、垂直信号線VSL 1、VSL 2は、入射光Lを受けてフォトダイオードPDで生成された信号電荷に対応する信号電圧D 1、D 2をそれぞれ伝達する。

[0090] 次に、 $t_5 \sim t_6$ のリセット動作において、増幅トランジスタAMP 1、AMP 2のゲート電極G 1、G 2にリセット電圧V 4が印加される。リセット電圧V 4は、電荷蓄積時におけるロウレベルV 3よりも低い電圧である。これにより、増幅トランジスタAMP 1、AMP 2は、それぞれキャパシタ層C 1、C 2に蓄積された信号電荷を引き抜き、電源VDDへ排出する。その結果、キャパシタ層C 1、C 2から信号電荷が無くなり、キャパシタ層C 1、C 2は、リセット状態となる。即ち、画素1 0が信号電荷を蓄積していないリセット状態となる。

[0091] 次に、 t_6 においてリセット動作が終了すると、各画素1 0が、順次選択

される。選択された画素 10 では、増幅トランジスタ AMP 1、AMP 2 のゲート電極 G 1、G 2 に読み出し電圧 V 1 がまた印加される。これにより、増幅トランジスタ AMP 1、AMP 2 は、それぞれキャパシタ層 C 1、C 2 のリセット状態に応じた導通状態になる。その結果、垂直信号線 V S L 1、V S L 2 は、それぞれキャパシタ層 C 1、C 2 のリセット状態に応じた電圧を伝達する。例えば、 $t_6 \sim t_7$ の読み出し動作においては、垂直信号線 V S L 1、V S L 2 は、信号電荷を蓄積していないリセット状態のキャパシタ層 C 1、C 2 に対応するリセット電圧 P 1、P 2 をそれぞれ伝達する。

[0092] これにより、信号電圧 D 1、D 2 が、それぞれ垂直信号線 V S L 1、V S L 2 を介してカラム処理部 23 に出力され、その後、リセット電圧 P 1、P 2 が、それぞれ垂直信号線 V S L 1、V S L 2 を介してカラム処理部 23 に出力される。その後、カラム処理部 23 は、信号電圧 D 1 およびリセット電圧 P 1 を用いて相関二重サンプリング (C D S (Correlated Double Sampling)) 処理を実行する。これにより、信号電圧 D 1、D 2 から暗電流成分を除いた正確な信号成分を抽出することができる。

[0093] このように 1 回の受光動作が終了すると、次の受光動作が実行される。

[0094] 画素 10 が受光する光 L は、光源が照射したタイミングから、対象物までの距離に応じて遅延する。対象物までの距離に応じた遅延時間によって、照射光と反射光との間に位相差が生じ、キャパシタ層 C 1 とキャパシタ層 C 2 に蓄積される電荷の配分比が変化する。これにより、キャパシタ層 C 1、C 2 の各電位を検出することによって、照射光と反射光との間の位相差が算出され、この位相差に基づいて物体までの距離を求めることができる。

[0095] 次に、測距装置 100 の測距動作について説明する。

[0096] 照射光は、図 1 の物体 M に反射して受光素子 1 で受光される。反射光の周波数は、照射光のそれと同じであり、 f_{mod} のままである。一方、照射光が発光されてから物体 M に反射して反射光として戻ってくるまでにかかる時間 Δt が、照射光に対する反射光の遅延時間 (T_{of}) となる。遅延時間 Δt が判明すれば、光速 c に基づいて、測距装置 100 から物体 M までの距離

は計算され得る。しかし、遅延時間 Δt ($t_1 \sim t_2$) に応じて、照射光と反射光との間には位相差が生じるので、iToFでは、照射光と反射光との位相差 α を用いて測距装置100から物体Mまでの距離（デプス情報）Dを算出する。

[0097] 距離Dは式1で表される。

$$D = (c \times \Delta t) / 2 = (c \times \alpha) / (4\pi \times F \bmod) \quad (\text{式1})$$

位相差 α が分かれば、式1により距離Dを算出することができる。

[0098] また、位相差 α は、式2で表される。

$$\alpha = \arctan \left((Q_{90} - Q_{270}) / (Q_0 - Q_{180}) \right) \quad (\text{式2})$$

Q_θ ($\theta = 0, 90, 180, 270$) は、照射光に対してゲート信号 S_{TRG1} 、 S_{TRG2} の位相を θ だけずらしたときに、キャパシタ層C1、C2に蓄積される電荷量の差（電位差）を示す。即ち、iToF方式では、照射光に対するゲート信号 S_{TRG1} 、 S_{TRG2} の位相を所定値（例えば、0度、90度、180度、270度）ずらしたときに得られる4つの画像データを用いて位相差 α を演算する。そして、この位相差 α を用いて距離Dを算出する。この演算は、図2の信号処理部26で実行すればよい。このように、本開示による測距装置100は、iToF方式を用いて距離D（デプス情報）を得ることができる。

[0099] 本実施形態によれば、増幅トランジスタAMP1、AMP2が、フォトダイオードPDで生成された電荷をキャパシタ層C1、C2内に収集して蓄積し、キャパシタ層C1、C2の電荷状態（信号状態またはリセット状態）の読み出しを行っている。さらに、増幅トランジスタAMP1、AMP2は、キャパシタ層C1、C2に蓄積された電荷の排出（リセット）も行っている。このように、増幅トランジスタAMP1、AMP2が複数の機能を兼ねるチャネル変調トランジスタであることによって、本実施形態による画素10は、1つのフォトダイオードPDと2つのトランジスタで構成することができる。これにより、各画素10の微細化が可能になり、画素領域21の面積を小さくすることができる。

[0100] 本実施形態によれば、増幅トランジスタAMP 1、AMP 2には、チャンネル変調トランジスタが用いられている。チャンネル層Ch 1、Ch 2の下方には、キャパシタ層C 1、C 2がそれぞれ設けられており、キャパシタ層C 1、C 2に蓄積された電荷量に依存して、増幅トランジスタAMP 1、AMP 2の閾値電圧を変調させることができる。この場合、キャパシタ層C 1、C 2内の信号電荷は全て排除することができるので、リセット状態の信号のばらつきが抑制される。即ち、本実施形態では、リセット状態の再現性が良好である。従って、キャパシタ層C 1、C 2内に信号電荷が蓄積されている信号状態（D相）を検出した後に、キャパシタ層C 1、C 2内に信号電荷が無いリセット状態（P相）を検出しても、CDS処理が可能となる。

[0101] 一方、例えば、金属配線を介してフォトダイオードPDに接続された浮遊拡散領域に電荷を蓄積する場合、浮遊拡散領域をリセット状態にしても、その中の電荷は完全には排除することができない。これは、浮遊拡散領域が金属配線に接続されているため、金属配線から浮遊拡散領域に電荷がいくつか入り込むからである。この場合、リセット動作を行うごとに、浮遊拡散領域内の電荷の量に変化してリセット状態の信号がばらつく。即ち、リセット状態の再現性が良くない。よって、信号状態を検出した後にリセット状態を検出すると、そのリセット状態は、信号状態のノイズ成分に対応しておらず、CDS処理を行っても正確な信号成分を抽出することができない。

[0102] これに対し、本実施形態によれば、リセット状態の再現性が良好であるので、信号処理部26は、信号状態から該信号状態の後に検出されたリセット状態を除いてもkTCノイズの少ない正確な信号成分を抽出することができる。その結果、本実施形態による測距装置100は、画素10の大きさを小さくすることができ、かつ、CDS処理によってkTCノイズの少ない信号成分を得ることができる。

[0103] また、本実施形態によれば、増幅トランジスタAMP 1、AMP 2は、チャンネル層Ch 1、Ch 2の下の基板側にキャパシタ層C 1、C 2を設けている。キャパシタ層C 1、C 2は、信号電荷を蓄積するポケット領域となる。

キャパシタ層C 1、C 2は、小さな体積および容量に形成することができる。また、チャネル層C h 1、C h 2および半導体層1 1は、キャパシタ層C 1、C 2に対してPN接合の非常に小さな空乏層の容量C a、C bを介して接している。従って、増幅トランジスタAMP 1、AMP 2において、電荷1個あたりの出力電圧値（光電変換効率）が非常に高くなる。これにより、画素1 0の感度を向上させることができる。また、光Lが低照度であってもk T Cノイズを低減することができる。

[0104] また、信号電荷として電子を用いる場合、n型基板よりも安価なp型基板にキャパシタ層C 1、C 2を形成することができる。よって、本実施形態は、製造コストの増加を抑制することができる。

[0105] (変形例)

図7は、第1実施形態の変形例による裏面照射型i T O Fセンサの構成例を示す断面図である。裏面照射型i T O Fセンサでは、第1面F 1とは反対側の半導体層1 1の第2面F 2から光Lが入射している。図7に示すように、本実施形態は、裏面照射型i T O Fセンサに適用することもできる。

[0106] 図8は、第1実施形態の他の変形例による裏面照射型i T O Fセンサの構成例を示す断面図である。図8の変形例では、遮光膜O P Bが半導体層1 1の第2面F 2のうちフォトダイオードP D以外の領域に設けられている。光Lの入射方向から見た平面視において、遮光膜O P Bは、キャパシタ層C 1、C 2に重複するように設けられ、フォトダイオードP Dには重複しないように設けられている。遮光膜O P Bには、例えば、光を透過させない不透明な金属材料等が用いられる。遮光膜O P Bは、フォトダイオードP D以外の領域において、光Lを透過させない。これにより、光Lがキャパシタ層C 1、C 2に進入することを抑制でき、P L S (Parasitic Light Sensitivity)を低減させることができる。

[0107] 図9は、第1実施形態のさらに他の変形例による裏面照射型i T O Fセンサの構成例を示す断面図である。図9の変形例では、遮光膜O P B上に反射膜O P Rが設けられている。反射膜O P Rは、遮光膜O P Bと同様に、半導

体層 11 の第 2 面 F2 のうちフォトダイオード PD 以外の領域に設けられている。光 L の入射方向から見た平面視において、反射膜 OPR は、キャパシタ層 C1、C2 に重複するように設けられ、フォトダイオード PD に光を反射する。反射膜 OPR は、大気、シリコン、シリコン酸化膜等の他の材料（図示せず）と反射面 F3 において接触しており、その界面において光 L を反射する。反射面 F3 は、光 L の入射方向に対して傾斜した反射膜 OPR の側面である。反射膜 OPR には、反射面 F3 に接触する材料（例えば、大気、シリコンおよびシリコン酸化膜等）よりも屈折率の低い低屈折率材料（例えば、ポリマー（屈折率 1.29）、低屈折率樹脂（屈折率 1.33）、フッ素樹脂コーティング材料（屈折率 1.34）、UV 硬化型低屈折率樹脂（屈折率 1.40）等）が用いられている。これにより、反射膜 OPR は、反射面 F3 において、光 L を全反射することができる。その結果、オンチップレンズ（OCL）が無くても、光 L を無駄なくフォトダイオード PD へ入射させることができ、瞳補正することができる。これは、OCL の形成工程の削減および PLS の低減に繋がる。

[0108] （第 2 実施形態）

図 10 は、第 2 実施形態による画素 10 の構成の一例を示す等価回路図である。図 11 は、第 2 実施形態による画素 10 のレイアウトの一例を示す平面図である。

[0109] 第 2 実施形態では、画素 10 は、それぞれフォトダイオード PD の電荷を排出する電荷排出トランジスタ TD をさらに備えている。電荷排出トランジスタ TD は、電源 VDD とフォトダイオード PD のカソードとの間に接続されており、フォトダイオード PD に蓄積された電荷（例えば、電子）を電源 VDD へ排出することができる。図 11 に示す平面レイアウトにおいて、電荷排出トランジスタ TD は、フォトダイオード PD の上下の二辺に隣接するように配置されている。電荷排出トランジスタ TD は、例えば、n 型 MOSFET である。フォトダイオード PD が光 L を受ける際には、電荷排出トランジスタ TD はオフしている。フォトダイオード PD が光 L を受けていない

ときには、電荷排出トランジスタTDはオンする。例えば、図6の $t_1 \sim t_4$ の受光期間において、電荷排出トランジスタTDはオフしており、 $t_4 \sim t_7$ の検出期間において、電荷排出トランジスタTDはオンする。これにより、太陽光のような背景光により、不要な電荷（ノイズ）がキャパシタ層C1、C2に混入することを抑制することができる。その結果、測距装置100の測距精度を向上させることができる。また、キャパシタ層C1、C2はリング状ではなく略直方体であるので、電荷排出トランジスタTDは、リセット時にキャパシタ層C1、C2から電荷を排出しやすい。

[0110] 第2実施形態のその他の構成は、第1実施形態の対応する構成と同様でよい。これにより、第2実施形態は、第1実施形態の効果も得ることができる。

[0111] (第3実施形態)

図12は、第3実施形態による画素10の構成の一例を示す等価回路図である。

[0112] 第3実施形態による画素10は、第1コンパレータとしてのコンパレータCMP1と、第2コンパレータとしてのコンパレータCMP2と、第1電流回路としての電流回路CS1、第2電流回路としての電流回路CS2とをさらに備えている。コンパレータCMP1、CMP2は、それぞれ垂直信号線VSL1、VSL2に接続されており、各画素10内に設けられている。また、電流回路CS1、CS2は、それぞれ電源VDDと垂直信号線VSL1、VSL2との間に接続されており、垂直信号線VSL1、VSL2に電流を流す。このようにコンパレータCMP1、CMP2を各画素10内に組み込むことによって、各画素10は、信号をAD変換してデジタル信号の状態で出力することができる。

[0113] 第3実施形態のその他の構成は、第1または第2実施形態の対応する構成と同様でよい。これにより、第3実施形態は、第1または第2実施形態の効果も得ることができる。

[0114] (第4実施形態)

図13は、第4実施形態による画素10の構成の一例を示す等価回路図である。

[0115] 第4実施形態によれば、フォトダイオードPDのカソードとアノードの接続関係が第3実施形態のそれと逆になっている。キャパシタ層C1、C2は、p型不純物拡散層で構成されており、ホールを蓄積する。この場合、増幅トランジスタAMP1、AMP2は、n型ウェルまたはn型基板に形成されたn型MOSFETで構成される。また、電流回路CS1、CS2は、それぞれ電源VDDと垂直信号線VSL1、VSL2との間に接続されており、第3実施形態の電流回路CS1、CS2とは逆方向に電流を流す。これにより、画素10は、ホールを信号電荷として蓄積し、信号成分を検出することができる。

[0116] p型基板にn型ウェルを形成し、n型ウェル内にキャパシタ層C1、C2および増幅トランジスタAMP1、AMP2を形成すれば、第4実施形態の画素10も低コストで製造可能である。また、増幅トランジスタAMP1、AMP2がn型MOSFETであることによって、CMOSイメージセンサのソースフォロワ回路と同じ回路構成で読み出しが可能になる。さらに、ホールを蓄積するキャパシタ層C1、C2は、リセット状態においてほぼゼロに近い電圧になっており、暗電流が少ない。よって、第4実施形態の画素10は、ランダムノイズを小さくすることができる。

[0117] 第4実施形態のその他の構成は、第3実施形態の対応する構成と同様でよい。これにより、第4実施形態は、第3実施形態の効果も得ることができる。

[0118] (第5実施形態)

図14は、第5実施形態による画素10の構成の一例を示す等価回路図である。第5実施形態において、画素10は、転送トランジスタTRS1、TRS2と、キャパシタ素子C3と、キャパシタ素子C4と、リセットトランジスタRST1、RST2と、ソースフォロワ回路SF1と、ソースフォロワ回路SF2と、選択トランジスタSEL1、SEL2とを備えている。ま

た、垂直信号線VSL1、VSL2には、それぞれ電流回路CS1、CS2が設けられている。

[0119] 転送トランジスタTRS1、TRS2は、それぞれ増幅トランジスタAMP1、AMP2のソースとキャパシタ素子C3、C4との間に設けられている。転送トランジスタTRS1は、例えば、n型MOSFETで構成されている。

[0120] 第1容量素子としてのキャパシタ素子C3は、転送トランジスタTRS1とグランドとの間に接続されており、転送トランジスタTRS1を介して増幅トランジスタAMP1からの電荷を蓄積することができる。第2容量素子としてのキャパシタ素子C4は、転送トランジスタTRS2とグランドとの間に接続されており、転送トランジスタTRS2を介して増幅トランジスタAMP2からの電荷を蓄積することができる。キャパシタ素子C3、C4は、例えば、MoM (Metal-on-Metal)、MIM (Metal-Insulator-Metal)またはMOSキャパシタ等の容量素子で構成すればよい。従って、キャパシタ素子C3、C4は、不純物拡散層で構成されたキャパシタ層C1、C2よりも十分に大きな容量を有することができ、ノイズの発生を抑制することができる。

[0121] リセットトランジスタRST1は、キャパシタ素子C3と電源VDDとの間に接続されており、キャパシタ素子C3の電荷を排出してリセット動作を行うことができる。リセットトランジスタRST2は、キャパシタ素子C4と電源VDDとの間に接続されており、キャパシタ素子C4の電荷を排出してリセット動作を行うことができる。

[0122] 第1ソースフォロワ回路としてのソースフォロワ回路SF1は、転送トランジスタTRS1を介してキャパシタ素子C3に接続され、選択トランジスタSEL1を介して垂直信号線VSL1に接続されている。ソースフォロワ回路SF1は、キャパシタ素子C3の電荷量に応じた電圧を垂直信号線VSL1に伝達する。

[0123] 第2ソースフォロワ回路としてのソースフォロワ回路SF2は、転送トラ

ンジスタT R S 2を介してキャパシタ素子C 4に接続され、選択トランジスタS E L 2を介して垂直信号線V S L 2に接続されている。ソースフォロワ回路S F 2は、キャパシタ素子C 4の電荷量に応じた電圧を垂直信号線V S L 2に伝達する。

[0124] 第5実施形態では、画素10内において、キャパシタ素子C 3、C 4およびソースフォロワ回路S F 1、S F 2が、信号電荷から変換された信号電圧を生成し、その信号電圧を垂直信号線V S L 1、V S L 2へそれぞれ伝達する。即ち、第5実施形態による画素10は、電圧ドメインの画素となっている。これにより、キャパシタ素子C 3、C 4は、半導体層11には設けられておらず、電荷を半導体層11内に蓄積する必要がない。従って、半導体層11の面積を小さくすることができる。これにより、半導体層11で発生する暗電流を低減させることができる。

[0125] (第6実施形態)

図15は、第6実施形態による画素10の構成の一例を示す等価回路図である。図16は、第6実施形態による画素10のレイアウトの一例を示す平面図である。

[0126] 第6実施形態において、画素10は、転送トランジスタT G 1、T G 2をさらに備えている。等価回路において、転送トランジスタT G 1は、フォトダイオードP Dとキャパシタ層C 1との間に設けられており、フォトダイオードP Dからの電荷をキャパシタ層C 1へ転送する。転送トランジスタT G 2は、フォトダイオードP Dとキャパシタ層C 2との間に設けられており、フォトダイオードP Dからの電荷をキャパシタ層C 2へ転送する。図16に示すように、光Lの入射方向から見た平面視においては、転送トランジスタT G 1、T G 2は、ともにフォトダイオードP Dの一对の対辺に2個ずつ設けられている。これにより、フォトダイオードP D内のポテンシャルに傾斜をつけることができ、電荷を素早く収集することが可能になる。また、本実施形態では、信号電荷の経路には、半導体層11とシリコン酸化膜との界面がない。信号電荷は、そのような界面を通過しないので、経路途中でトラッ

プされたりデトラップされたりしない。従って、転送トランジスタTG1、TG2は、信号電荷をスムーズに転送することができる。転送トランジスタTG1、TG2は、第2実施形態の増幅トランジスタAMP1、AMP2の機能のうち電荷の収集機能を担う。

[0127] 図17は、第6実施形態による画素10の動作の一例を示すタイミング図である。転送トランジスタTG1、TG2が電荷収集機能を担う。よって、受光期間 $t_1 \sim t_4$ において、転送トランジスタTG1、TG2のゲート電圧が収集電圧V2とロウレベル電圧とで交互にオン／オフ制御される。これにより、フォトダイオードPDで発生した電荷が、キャパシタ層C1とC2とに振り分けられる。このとき、増幅トランジスタAMP1、AMP2のゲート電圧は、ロウレベルの蓄積電圧V3に維持され、増幅トランジスタAMP1、AMP2はキャパシタ層C1、C2に電荷を蓄積する。

[0128] 受光期間 $t_1 \sim t_4$ が終了すると、電荷排出トランジスタTDがオンになり、フォトダイオードPDから電荷を排出してリセットする。

[0129] それとともに、読み出し期間 $t_4 \sim t_7$ において、図6を参照して説明した読み出し動作が実行される。これにより、信号電圧D1、D2が、それぞれ垂直信号線VSL1、VSL2を介してカラム処理部23に出力され、その後、リセット電圧P1、P2が、それぞれ垂直信号線VSL1、VSL2を介してカラム処理部23に出力される。カラム処理部23は、信号電圧D1、D2およびリセット電圧P1、P2を用いてCDS処理を実行する。

[0130] 以上のように、第6実施形態は、各画素10を構成するトランジスタの数が転送トランジスタTG1、TG2の分だけ増加する。しかし、電荷収集機能を転送トランジスタTG1、TG2に実行させることにより、増幅トランジスタAMP1、AMP2のゲート電圧は、収集電圧V2にする必要がなくなる。よって、増幅トランジスタAMP1、AMP2の動作マージンを拡大することができ、垂直信号線VSL1、VSL2の信号電圧のダイナミックレンジを拡大させることができる。また、転送トランジスタTG1、TG2の駆動電圧を低電圧化することが可能なため、消費電力を削減することができ

る。

[0131] 第6実施形態のその他の構成は、第2実施形態の対応する構成と同様でよい。従って、第6実施形態は、第2実施形態の効果も得ることができる。第6実施形態は、第2実施形態以外の他の実施形態と組み合わせてもよい。

[0132] (第7実施形態)

図18は、第7実施形態による画素10の構成の一例を示す等価回路図である。図19は、第7実施形態による画素10のレイアウトの一例を示す平面図である。

[0133] 第7実施形態において、画素10は、選択トランジスタSEL1、SEL2をさらに備えている。等価回路において、第1選択トランジスタとしての選択トランジスタSEL1は、増幅トランジスタAMP1と垂直信号線VSL1との間に設けられており、画素10が選択されたときに増幅トランジスタAMP1と垂直信号線VSL1との間を接続する。これにより、選択トランジスタSEL1は、増幅トランジスタAMP1の導通状態に応じた電圧を垂直信号線VSL1に伝達することができる。第2選択トランジスタとしての選択トランジスタSEL2は、増幅トランジスタAMP2と垂直信号線VSL2との間に設けられており、画素10が選択されたときに増幅トランジスタAMP2と垂直信号線VSL2との間を接続する。これにより、選択トランジスタSEL2は、増幅トランジスタAMP2の導通状態に応じた電圧を垂直信号線VSL2に伝達することができる。図19に示すように、光Lの入射方向から見た平面視においては、選択トランジスタSEL1、SEL2は、それぞれ増幅トランジスタAMP1、AMP2と垂直信号線VSL1、VSL2との間に設けられている。選択トランジスタSEL1、SEL2は、例えば、p型MOSFETで構成されている。

[0134] 図20は、第7実施形態による画素10の動作の一例を示すタイミング図である。尚、選択トランジスタSEL1、SEL2は、p型MOSFETであるので、ロウアクティブのスイッチングを行う。

[0135] 選択トランジスタSEL1、SEL2は、信号状態およびリセット状態の

読み出し機能を担う。よって、受光期間 $t_1 \sim t_4$ において、選択トランジスタ SEL_1 、 SEL_2 はオフであり、図 6 を参照して説明した収集および蓄積動作が実行される。その後、読み出し期間 $t_4 \sim t_7$ において、選択された画素 10 の選択トランジスタ SEL_1 、 SEL_2 がオンになり、これにより、信号電圧 D_1 、 D_2 が、それぞれ垂直信号線 VSL_1 、 VSL_2 に読み出される。次に、リセット動作後、リセット電圧 P_1 、 P_2 がそれぞれ垂直信号線 VSL_1 、 VSL_2 に読み出される。カラム処理部 23 は、信号電圧 D_1 、 D_2 およびリセット電圧 P_1 、 P_2 を用いて CDS 処理を実行する。

[0136] 以上のように、第 7 実施形態は、各画素 10 を構成するトランジスタの数が選択トランジスタ SEL_1 、 SEL_2 の分だけ増加する。しかし、選択トランジスタ SEL_1 、 SEL_2 を独立して設けることによって、画素領域 21 における行選択が容易になり、行間のクロストークを抑制することができる。これにより、測距装置 100 は、高精度の測距性能を得ることができる。また、読み出し機能を選択トランジスタ SEL_1 、 SEL_2 に実行させることにより、増幅トランジスタ AMP_1 、 AMP_2 のゲート電圧は、読み出し電圧 V_1 にする必要がなくなる。よって、増幅トランジスタ AMP_1 、 AMP_2 の動作マージンを拡大することができ、垂直信号線 VSL_1 、 VSL_2 の信号電圧のダイナミックレンジを拡大させることができる。

[0137] 第 7 実施形態のその他の構成は、第 2 実施形態の対応する構成と同様でよい。従って、第 7 実施形態は、第 2 実施形態の効果も得ることができる。第 7 実施形態は、第 2 実施形態以外の他の実施形態と組み合わせてもよい。

[0138] (第 8 実施形態)

図 21 は、第 8 実施形態による画素 10 の構成の一例を示す等価回路図である。第 8 実施形態によれば、垂直信号線 VSL_1 、 VSL_2 が、第 3 実施形態のコンパレータ CMP_1 、 CMP_2 および電流回路 CS_1 、 CS_2 にそれぞれ接続されている。

[0139] CMOS イメージセンサでは、画素毎にコンパレータおよび定電流源が配

置される場合がある。この場合、画素毎の動きとなるため、読出しはランダムアクセス可能であり、順番に読み出す必要がなくなる。勿論、第8実施形態は、全画素10に同時に電荷を蓄積する測距装置100に適用してもよい。

[0140] 第8実施形態のその他の構成は、第7実施形態の対応する構成と同様でよい。従って、第8実施形態は、第7実施形態の効果も得ることができる。第8実施形態は、第7実施形態以外の他の実施形態と組み合わせてもよい。

[0141] (第9実施形態)

図22は、第9実施形態による画素10の構成の一例を示す等価回路図である。第9実施形態によれば、垂直信号線VSL1、VSL2は、コンパレータCMP2および電流回路CS2を共有しており、共通のコンパレータCMP2および電流回路CS2に接続されている。これにより、コンパレータのゲインのばらつきおよびオフセットのばらつきが共通化される。

[0142] 第9実施形態のその他の構成は、第7実施形態の対応する構成と同様でよい。従って、第9実施形態は、第7実施形態の効果も得ることができる。第9実施形態は、第7実施形態以外の他の実施形態と組み合わせてもよい。

[0143] (第10実施形態)

図23は、第10実施形態による画素10の構成の一例を示す等価回路図である。図24は、第10実施形態による画素10のレイアウトの一例を示す平面図である。

[0144] 第10実施形態において、画素10は、リセットトランジスタRST1、RST2をさらに備えている。等価回路において、第1リセットトランジスタとしてのリセットトランジスタRST1は、キャパシタ層C1と電源VDDとの間に設けられており、キャパシタ層C1をリセットするときにキャパシタ層C1と電源VDDとの間を接続する。これにより、リセットトランジスタRST1は、キャパシタ層C1から電荷を排出してキャパシタ層C1をリセットする。第2リセットトランジスタとしてのリセットトランジスタRST2は、キャパシタ層C2と電源VDDとの間に設けられており、キャパ

シタ層C 2をリセットするときにキャパシタ層C 2と電源VDDとの間を接続する。これにより、リセットトランジスタRST 2は、キャパシタ層C 2から電荷を排出してキャパシタ層C 2をリセットする。

[0145] 図24に示すように、光Lの入射方向から見た平面視においては、リセットトランジスタRST 1、RST 2は、それぞれ、キャパシタ層C 1、C 2と電源VDDとの間に配置されている。増幅トランジスタAMP 1、AMP 2は、キャパシタ層C 1、C 2の直上にあるので、リセットトランジスタRST 1、RST 2は、それぞれ増幅トランジスタAMP 1、AMP 2と電源VDDとの間に配置されていると言ってもよい。リセットトランジスタRST 1、RST 2は、例えば、p型MOSFETで構成されている。

[0146] 図25は、第10実施形態による画素10の動作の一例を示すタイミング図である。尚、リセットトランジスタRST 1、RST 2は、p型MOSFETであるので、ロウアクティブのスイッチングを行う。

[0147] リセットトランジスタRST 1、RST 2は、リセット動作を担う。よって、受光期間 $t_1 \sim t_4$ において、リセットトランジスタRST 1、RST 2はオフであり、図6を参照して説明した収集および蓄積動作が実行される。その後、読み出し期間 $t_4 \sim t_5$ において、選択された画素10の増幅トランジスタAMP 1、AMP 2がオンになり、これにより、信号電圧D 1、D 2が、それぞれ垂直信号線VSL 1、VSL 2に読み出される。

[0148] 次に、リセット期間 $t_5 \sim t_6$ において、リセットトランジスタRST 1、RST 2がリセット動作を実行する。リセットトランジスタRST 1、RST 2は、キャパシタ層C 1、C 2の電荷を電源VDDへ排出する。このとき増幅トランジスタAMP 1、AMP 2のゲート電圧はハイレベルV1を維持し、増幅トランジスタAMP 1、AMP 2はオン状態を維持する。

[0149] 次に、リセット状態の読み出し期間 $t_6 \sim t_7$ において、リセットトランジスタRST 1、RST 2がオフになると、リセット電圧P 1、P 2がそれぞれ垂直信号線VSL 1、VSL 2に読み出される。カラム処理部23は、信号電圧D 1、D 2およびリセット電圧P 1、P 2を用いてCDS処理を実

行する。

[0150] 以上のように、第10実施形態は、各画素10を構成するトランジスタの数がリセットトランジスタRST1、RST2の分だけ増加する。しかし、リセット機能をリセットトランジスタRST1、RST2に実行させることにより、増幅トランジスタAMP1、AMP2のゲート電圧は、リセット電圧V4にする必要がなくなる。よって、増幅トランジスタAMP1、AMP2の動作マージンを拡大することができ、垂直信号線VSL1、VSL2の信号電圧のダイナミックレンジを拡大させることができる。また、リセットトランジスタRST1、RST2の動作マージンを拡大することができる。

[0151] 第10実施形態のその他の構成は、第2実施形態の対応する構成と同様でよい。従って、第10実施形態は、第2実施形態の効果も得ることができる。第10実施形態は、第2実施形態以外の他の実施形態と組み合わせてもよい。

[0152] (第11実施形態)

図26は、第11実施形態による画素10の構成の一例を示す等価回路図である。

[0153] 第11実施形態において、画素10は、選択トランジスタSEL1、SEL2およびリセットトランジスタRST1、RST2をさらに備えている。即ち、第11実施形態は、第7および第10実施形態の組み合わせである。よって、第11実施形態は、第7および第10実施形態の効果を得ることができる。

[0154] ここで、増幅トランジスタAMP1、AMP2、選択トランジスタSEL1、SEL2、リセットトランジスタRST1、RST2は、すべてp型MOSFETで構成される。本実施形態では、信号電荷は電子であり、電子を蓄積するキャパシタ層C1、C2がn型不純物拡散層で構成される。このため、増幅トランジスタAMP1、AMP2、選択トランジスタSEL1、SEL2、リセットトランジスタRST1、RST2の各チャネルはキャパシタ層C1、C2と逆導電型のp型である必要がある。よって、増幅トランジ

スタAMP 1、AMP 2、選択トランジスタSEL 1、SEL 2、リセットトランジスタRST 1、RST 2は、すべてp型MOSFETで構成される。

[0155] 第11実施形態の平面構成および動作は、第7および第10実施形態から容易に理解できる。従って、第11実施形態の平面図およびタイミング図は、ここでは省略する。

[0156] (第12実施形態)

図27は、第12実施形態による画素10の構成の一例を示す等価回路図である。

[0157] 第12実施形態において、画素10は、転送トランジスタTG 1、TG 2およびリセットトランジスタRST 1、RST 2をさらに備えている。即ち、第12実施形態は、第6および第10実施形態の組み合わせである。よって、第12実施形態は、第6および第10実施形態の効果を得ることができる。

[0158] 第12実施形態の平面構成および動作は、第6および第10実施形態から容易に理解できる。従って、第12実施形態の平面図およびタイミング図は、ここでは省略する。

[0159] (第13実施形態)

図28は、第13実施形態による画素10の構成の一例を示す等価回路図である。

[0160] 第13実施形態において、画素10は、転送トランジスタTG 1、TG 2、リセットトランジスタRST 1、RST 2、および、選択トランジスタSEL 1、SEL 2をさらに備えている。即ち、第13実施形態は、第6、第7および第10実施形態の組み合わせである。よって、第13実施形態は、第6、第7および第10実施形態の効果を得ることができる。

[0161] 第13実施形態の平面構成および動作は、第6、第7および第10実施形態から容易に理解できる。従って、第13実施形態の平面図およびタイミング図は、ここでは省略する。

[0162] (第14実施形態)

図29は、第14実施形態による画素10のチップ構成例を示す概略図である。画素10は、半導体チップCHP1に形成されており、画素10以外の回路は半導体チップCHP2に形成されている。即ち、測距装置100は、半導体チップCHP1、CHP2に分割して構成されている。半導体チップCHP1、CHP2を貼合することによって配線接続されている。図29では、第3実施形態による画素10が示されている。

[0163] 半導体チップCHP1は、フォトダイオードPD、増幅トランジスタAMP1、AMP2、キャパシタ層C1、C2、電荷排出トランジスタTDを含む画素10を搭載する。半導体チップCHP2は、コンパレータCMP1、CMP2および電流回路CS1、CS2を搭載する。

[0164] 垂直信号線VSL1、VSL2は、それぞれ半導体チップ1と半導体チップ2との貼合面において配線接合されている。例えば、半導体チップCHP1の増幅トランジスタAMP1は、配線接合された垂直信号線VSL1を介して半導体チップCHP2のコンパレータCMP1および電流回路CS1に接続されている。半導体チップCHP2の増幅トランジスタAMP2は、配線接合された垂直信号線VSL2を介して半導体チップCHP2のコンパレータCMP2および電流回路CS2に接続されている。このように、半導体チップCHP1、CHP2のそれぞれの垂直信号線VSL1、VSL2を接合することによって、半導体チップCHP1、CHP2は電氣的に接続されている。

[0165] 第14実施形態において、垂直信号線VSL1、VSL2は、画素列ごとに設けられており、1画素行の画素10の数と同数設けられている。従って、半導体チップCHP2において、コンパレータCMP1、CMP2および電流回路CS1、CS2も、画素列ごとに設けられており、1画素行に含まれる画素10の数と同数設けられている。これにより、コンパレータCMP1、CMP2および電流回路CS1、CS2は、各画素列で共有化されるので、コンパレータCMP1、CMP2および電流回路CS1、CS2のレイ

アウト面積が小さくなる。また、コンパレータCMP 1、CMP 2および電流回路CS 1、CS 2は、1画素行に含まれる複数の画素10からの信号を同時に検出することができる。

[0166] 垂直信号線VSL 1、VSL 2は、複数の画素行に含まれる画素10の数と同数設けられていてもよい。この場合、コンパレータCMP 1、CMP 2および電流回路CS 1、CS 2は、垂直信号線VSL 1、VSL 2に対応して、複数の画素行の画素10の数と同数配置される。

[0167] さらに、垂直信号線VSL 1、VSL 2は、半導体チップCHP 1の各画素10に対応して設けられていてもよい。この場合、コンパレータCMP 1、CMP 2および電流回路CS 1、CS 2は、垂直信号線VSL 1、VSL 2に対応して、半導体チップCHP 1の画素10の数と同数配置される。垂直信号線VSL 1、VSL 2、コンパレータCMP 1、CMP 2および電流回路CS 1、CS 2が半導体チップCHP 1の画素10ごとに設けられている場合、飽和信号を落とさずに、画素10でグローバルシャッタ動作を実行することができる。また、この場合、測距装置100は、各画素10の信号変化が或る閾値以上のときに信号を出力するダイナミックビジョンセンサとして用いることができる。

[0168] 第14実施形態は、第2実施形態以外の実施形態にも適用することができる。例えば、図13～図15、図18、図21～23、図26～図28に示す破線部の構成を半導体チップCHP 1に搭載し、それ以外のコンパレータおよび電流回路等の構成を半導体チップCHP 2に搭載すればよい。

図18のように、選択トランジスタSEL 1、SEL 2が増幅トランジスタAMP 1、AMP 2とは別に独立している場合、画素10は、選択トランジスタSEL 1、SEL 2の一方を選択的にオンにして信号を読み出すことができる。この場合、隣接する垂直信号線VSL 1、VSL 2間のクロストークを抑制することができる。

[0169] (第15実施形態)

図30は、第15実施形態による画素10のチップ構成例を示す概略図で

ある。図30では、第6実施形態による画素10が示されている。半導体チップCHP1は、フォトダイオードPD、増幅トランジスタAMP1、AMP2、転送トランジスタTG1、TG2、キャパシタ層C1、C2、電荷排出トランジスタTDを搭載する。半導体チップCHP2は、コンパレータCMP1、CMP2および電流回路CS1、CS2を搭載する。

[0170] 転送トランジスタTG1、TG2の構成は、第6実施形態のそれと同様でよい。また、第15実施形態のその他の構成は、第14実施形態の構成と同様でよい。従って、第15実施形態において、垂直信号線VSL1、VSL2、コンパレータCMP1、CMP2および電流回路CS1、CS2は、画素列ごとに対応して設けられ、1画素行の画素10の数と同数設けられていてもよい。また、垂直信号線VSL1、VSL2、コンパレータCMP1、CMP2および電流回路CS1、CS2は、複数の画素行に含まれる画素10に対応して設けられていてもよい。さらに、垂直信号線VSL1、VSL2、コンパレータCMP1、CMP2および電流回路CS1、CS2は、半導体チップCHP1の各画素10に対応して設けられ、半導体チップCHP1内の画素10の数と同数設けられてもよい。

[0171] (第16実施形態)

図31は、第16実施形態による画素10のチップ構成例を示す概略図である。図31では、第7実施形態による画素10が示されている。半導体チップCHP1は、フォトダイオードPD、増幅トランジスタAMP1、AMP2、選択トランジスタSEL1、SEL2、キャパシタ層C1、C2、電荷排出トランジスタTDを搭載する。半導体チップCHP2は、コンパレータCMP1、CMP2および電流回路CS1、CS2を搭載する。

[0172] 選択トランジスタSEL1、SEL2の構成は、第7実施形態のそれと同様でよい。また、第16実施形態のその他の構成は、第14実施形態の構成と同様でよい。従って、第16実施形態において、垂直信号線VSL1、VSL2、コンパレータCMP1、CMP2および電流回路CS1、CS2は、画素列ごとに対応して設けられ、1画素行の画素10の数と同数設けられ

ていてもよい。また、垂直信号線VSL1、VSL2、コンパレータCMP1、CMP2および電流回路CS1、CS2は、複数の画素行に含まれる画素10に対応して設けられていてもよい。さらに、垂直信号線VSL1、VSL2、コンパレータCMP1、CMP2および電流回路CS1、CS2は、半導体チップCHP1の各画素10に対応して設けられ、半導体チップCHP1内の画素10の数と同数設けてもよい。

[0173] (第17実施形態)

図32は、第17実施形態による画素10のチップ構成例を示す概略図である。図32では、第8実施形態による画素10が示されている。ただし、選択トランジスタSEL1、SEL2は、半導体チップCHP2に設けられている。即ち、半導体チップCHP1は、フォトダイオードPD、増幅トランジスタAMP1、AMP2、キャパシタ層C1、C2、電荷排出トランジスタTDを搭載する。半導体チップCHP2は、コンパレータCMP1、CMP2、選択トランジスタSEL1、SEL2および電流回路CS1、CS2を搭載する。

[0174] 半導体チップCHP2は、コンパレータCMP1、CMP2および電流回路CS1、CS2に加えて、選択トランジスタSEL1、SEL2を搭載する。選択トランジスタSEL1は、コンパレータCMP1と電流回路CS1との間に接続されており、選択トランジスタSEL2は、コンパレータCMP2と電流回路CS2との間に接続されている。これにより、選択トランジスタSEL1、SEL2は、電流回路CS1、CS2を垂直信号線VSL1、VSL2に選択的に接続し、信号を垂直信号線VSL1、VSL2に選択的に読み出すことができる。この実施形態では、コンパレータ（ソースフォロア回路）CMP1、CMP2の動作マージンを確保しつつ、半導体チップCHP1の素子数を少なくすることができる。選択トランジスタSEL1、SEL2を半導体チップCHP2に設けることによって、画素10を搭載する半導体チップCHP1を微細化することができる。第17実施形態のその他の構成は、第14実施形態の構成と同様でよい。

[0175] 第17実施形態において、垂直信号線VSL1、VSL2、コンパレータCMP1、CMP2、選択トランジスタSEL1、SEL2および電流回路CS1、CS2は、画素列ごとに対応して設けられ、1画素行の画素10の数と同数設けられていてもよい。また、垂直信号線VSL1、VSL2、コンパレータCMP1、CMP2、選択トランジスタSEL1、SEL2および電流回路CS1、CS2は、複数の画素行に含まれる画素10に対応して設けられていてもよい。さらに、垂直信号線VSL1、VSL2、コンパレータCMP1、CMP2、選択トランジスタSEL1、SEL2および電流回路CS1、CS2は、半導体チップCHP1の各画素10に対応して設けられ、半導体チップCHP1内の画素10の数と同数設けてもよい。

[0176] (第18実施形態)

図33は、第18実施形態による画素10のチップ構成例を示す概略図である。第18実施形態は、リセットトランジスタRST1、RST2を備えている点で第17実施形態と異なる。第18実施形態のその他の構成は、第17実施形態の対応する構成と同様でよい。リセットトランジスタRST1、RST2の構成は、第10実施形態のそれらと同様でよい。従って、第18実施形態は、第10および第17実施形態(図23、図32)の効果を得ることができる。

[0177] (第19実施形態)

図34は、第19実施形態による画素10のチップ構成例を示す概略図である。第19実施形態によれば、選択トランジスタSEL1、SEL2がそれぞれ垂直信号線VSL1、VSL2に設けられている。選択トランジスタSEL1は、垂直信号線VSL1とコンパレータCMP1との間に接続され、かつ、垂直信号線VSL1と電流回路CS1との間に接続されている。選択トランジスタSEL1は、垂直信号線VSL1とコンパレータCMP1および電流回路CS1との間を電氣的に接続または切断する。

[0178] 選択トランジスタSEL2は、垂直信号線VSL2とコンパレータCMP2との間に接続され、かつ、垂直信号線VSL2と電流回路CS2との間に

接続されている。選択トランジスタSEL 2は、垂直信号線VSL 2とコンパレータCMP 2および電流回路CS 2との間を電氣的に接続または切断する。

[0179] これにより、選択トランジスタSEL 1、SEL 2は、垂直信号線VSL 1、VSL 2のいずれかに信号を選択的に読み出すことができる。第19実施形態のその他の構成は、第18実施形態の対応する構成と同様でよい。従って、第19実施形態は、第18実施形態の効果も得ることができる。

[0180] 第19実施形態において、垂直信号線VSL 1、VSL 2、選択トランジスタSEL 1、SEL 2、コンパレータCMP 1、CMP 2および電流回路CS 1、CS 2は、画素列ごとに対応して、1画素行の画素10の数と同数だけ設けられていてもよい。また、垂直信号線VSL 1、VSL 2、選択トランジスタLSE 1、SEL 2、コンパレータCMP 1、CMP 2および電流回路CS 1、CS 2は、複数の画素行に含まれる画素10に対応して設けられていてもよい。さらに、垂直信号線VSL 1、VSL 2、選択トランジスタLSE 1、SEL 2、コンパレータCMP 1、CMP 2および電流回路CS 1、CS 2は、半導体チップCHP 1の各画素10に対応して、半導体チップCHP 1内の画素10の数と同数設けてもよい。

[0181] (第20実施形態)

図35は、第20実施形態による画素10のチップ構成例を示す概略図である。第20実施形態は、選択トランジスタSEL 1、SEL 2が増幅トランジスタAMP 1、AMP 2と垂直信号線VSL 1、VSL 2との間にそれぞれ接続されている点で第19実施形態と異なる。この場合、選択トランジスタSEL 1、SEL 2は、半導体チップCHP 1に設けられている。第20実施形態のその他の構成は、第19実施形態の対応する構成と同様でよい。第20実施形態は、第11および第14実施形態の組み合わせと言ってもよい。従って、第20実施形態は、第11および第14実施形態(図26、図29)の効果を得ることができる。

[0182] (第21実施形態)

図36は、第21実施形態による画素10のチップ構成例を示す概略図である。第21実施形態によれば、転送トランジスタTG1、TG2がそれぞれフォトダイオードPDとキャパシタ層C1との間、並びに、フォトダイオードPDとキャパシタ層C2との間に設けられている。選択トランジスタSEL1、SEL2は、それぞれコンパレータCMP1と電流回路CS1との間、並びに、コンパレータCMP2と電流回路CS2との間に接続されている。即ち、第21実施形態は、第12および第18実施形態との組み合わせ（図27、図33）と言ってよい。従って、第21実施形態は、第12および第18実施形態の効果を得ることができる。また、選択トランジスタSEL1、SEL2を設けることによって、隣接する垂直信号線VSL1、VSL2間のクロストークを抑制することができる。

[0183] 第21実施形態において、垂直信号線VSL1、VSL2、選択トランジスタSEL1、SEL2、コンパレータCMP1、CMP2および電流回路CS1、CS2は、画素列ごとに対応して、1画素行の画素10の数と同数だけ設けられていてもよい。また、垂直信号線VSL1、VSL2、選択トランジスタSEL1、SEL2、コンパレータCMP1、CMP2および電流回路CS1、CS2は、複数の画素行に含まれる画素10に対応して設けられていてもよい。さらに、垂直信号線VSL1、VSL2、選択トランジスタSEL1、SEL2、コンパレータCMP1、CMP2および電流回路CS1、CS2は、半導体チップCHP1の各画素10に対応して、半導体チップCHP1内の画素10の数と同数設けてもよい。

[0184] （第22実施形態）

図37は、第22実施形態による画素10のチップ構成例を示す概略図である。第22実施形態は、選択トランジスタSEL1、SEL2が増幅トランジスタAMP1、AMP2と垂直信号線VSL1、VSL2との間にそれぞれ接続されている点で第21実施形態と異なる。この場合、選択トランジスタSEL1、SEL2は、半導体チップCHP1に設けられている。第22実施形態のその他の構成は、第21実施形態の対応する構成と同様でよい。

。第22実施形態は、第13および第14実施形態の組み合わせ（図28、図29）と言ってもよい。従って、第22実施形態は、第13および第14実施形態の効果を得ることができる。

[0185] （第23実施形態）

図38は、第23実施形態による画素領域21の画素配列の一例を示す平面図である。画素領域21には、画素10が全面に配列されていてもよい。しかし、図38に示すように、画素領域21には、測距装置100の画素10（以下、測距画素10）とイメージセンサの画素20（以下、撮像画素20）との両方がX-Y面内に配列されていてもよい。測距画素10は、上述の通り、照射光に対するゲート信号 S_{TRG1} 、 S_{TRG2} の位相 θ を所定値（例えば、0度、90度、180度、270度）ずらしたときに得られる電荷に対応する4つの画像データI（ $\theta=0$ 度、180度）およびQ（ $\theta=90$ 度、270度）を得る。画像データI（ $\theta=0$ 度、180度）は、 $\theta=0$ 度、180度のときに得られる2つの画像データである。画像データQ（ $\theta=90$ 度、270度）は、 $\theta=90$ 度、270度のときに得られる2つの画像データである。なお、画像データI（ $\theta=0$ 度、180度）は、式2のQ（ $\theta=0$ 度、180度）に対応するものと考えてよい。尚、図示されていないが、可視光のRGBを検出する画素は、被写体からの光を受光する。しかし、測距を行うための光源（例えば、LED等）の波長は、カメラシステムとして複数準備される。どのような波長を使用するかは、カメラシステムの構成によって決定される。

[0186] 撮像画素20は、対象物の画像を取得する画素であり、例えば、Bayer配列に構成されており、R（赤）、Gr（緑）、Gb（緑）、B（青）の4つの画像データを検出する。

[0187] 4つの画像データI（ $\theta=0$ 度、180度）およびQ（ $\theta=90$ 度、270度）の測距画素10を1つの測距単位U10とし、4つの画像データR、Gr、Gb、Bの撮像画素20を1つのイメージ単位U20とする。この場合、画素領域21にいて、測距単位U10とイメージ単位U20とが同一平

面（X－Y面）内において交互に二次元配置されている。即ち、X方向およびY方向において、測距単位U10とイメージ単位U20とは交互に配置されている。

[0188] 測距画素10および撮像素素20の両方が画素領域21に含まれることにより、画像取得と測距処理が同時に実行することができる。

[0189] 尚、画像データR、Gr、Gb、Bはそれぞれ分光ピークを有する可視光の画像データである。図示しないが、撮像素素20には、チャンネル変調トランジスタを用いてもよい。画像データI（ $\theta = 0$ 度、 180 度）および画像データQ（ $\theta = 90$ 度、 270 度）は、可視光による画像データでも良いし、赤外光（IR（InfraRed））による画像データでもよい。

[0190] 第23実施形態は、上記実施形態のいずれかと組み合わせてもよい。

[0191] （第24実施形態）

図39は、第24実施形態による画素領域21の画素配列の一例を示す平面図である。第24実施形態では、測距単位が、4つの画像データI（ $\theta = 0$ 、 180 ）の測距画素で構成された測距単位U10iと4つの画像データQ（ $\theta = 90$ 、 270 ）の測距画素で構成された測距単位U10qとを含む。測距単位U10iと測距単位U10qは、列方向（Y方向）に交互に千鳥配置されている。X方向には、測距単位U10iとイメージ単位U20とが交互に配列され、あるいは、測距単位U10qとイメージ単位U20とが交互に配列されている。イメージ単位U20の配置を含む第24実施形態のその他の構成は、第23実施形態のそれと同じでよい。よって、第24実施形態は、第23実施形態と同様に、画像取得と測距処理を同時に実行することができる。

[0192] このように、画像データI（ $\theta = 0$ 、 180 ）の測距画素および画像データQ（ $\theta = 90$ 、 270 ）の測距画素は、画素領域21内に略均等配置される限りにおいて、任意に配置してよい。また、測距単位U10およびイメージ単位U20は、画素領域21内に略均等配置される限りにおいて、任意に配置してよい。

[0193] (第25実施形態)

図40は、第25実施形態による画素領域21の画素配列の一例を示す平面図である。第25実施形態では、イメージ単位U20内の撮像素素20が、赤外光を検出する画素IRを含む。即ち、イメージ単位U20は、画像データR（赤）、G（緑）、B（青）の撮像素素20、および、IR（赤外光）の撮像素素20で構成される。第25実施形態のその他の構成は、第23実施形態のそれと同じでよい。よって、第25実施形態は、可視光の画像取得、金赤外光の画像取得、および、測距処理の3つの処理を同時に実行することができる。第25実施形態の測距単位U10の構成は、第24実施形態と同じでもよい。

[0194] (第26実施形態)

図41は、第26実施形態による画素領域21の画素配列の一例を示す平面図である。第26実施形態では、測距単位U10がY方向に一行に並んで配列され、イメージ単位U20がY方向に一行に並んで配列されている。測距単位U10の列とイメージ単位U20の列は、X方向に交互に配置されている。これにより、測距単位U10およびイメージ単位U20のレイアウトを容易に設計することができる。測距単位U10およびイメージ単位U20のそれぞれの内部構成は、第23実施形態のそれらと同じでよい。第26実施形態のその他の構成は、第23実施形態の対応する構成と同じでよい。よって、第26実施形態は、第23実施形態と同様に、画像取得と測距処理を同時に実行することができる。

[0195] (第27実施形態)

図42は、第27実施形態による画素領域21の画素配列の一例を示す平面図である。第27実施形態では、画像データI（ $\theta = 0$ 、 180 ）の測距画素および画像データQ（ $\theta = 90$ 、 270 ）の測距画素の面積が、画像データR（赤）、G（緑）、B（青）の各撮像素素20の面積よりも大きい。例えば、本実施形態では、測距画素10の面積は、イメージ単位U20の面積とほぼ同じである。これにより、測距画素10の感度を撮像素素20の感

度よりも向上させることができる。第27実施形態のその他の構成は、第23実施形態の対応する構成と同じでよい。よって、第27実施形態は、第23実施形態と同様に、画像取得と測距処理を同時に実行することができる。

[0196] (第28実施形態)

図43は、第28実施形態による画素領域21の画素配列の一例を示す平面図である。第28実施形態は、第26実施形態と第27実施形態との組み合わせである。従って、第28実施形態では、測距画素10がY方向に一行に並んで配列され、イメージ単位U20がY方向に一行に並んで配列されている。測距画素10の列とイメージ単位U20の列は、X方向に交互に配置されている。また、画像データI ($\theta = 0$ 、 180)の測距画素10の列と画像データQ ($\theta = 90$ 、 270)の測距画素10の列とがX方向に交互に現れるように配置される。さらに、測距画素10の面積は、各撮像素素20の面積よりも大きく、例えば、イメージ単位U20の面積とほぼ同じである。

[0197] これにより、測距単位U10およびイメージ単位U20のレイアウトを容易に設計することができるとともに、測距画素10の感度を撮像素素20の感度よりも向上させることができる。第26実施形態のその他の構成は、第23実施形態の対応する構成と同じでよい。よって、第26実施形態は、第23実施形態と同様に、画像取得と測距処理を同時に実行することができる。

[0198] (第29実施形態)

図44は、第29実施形態による画素領域21の画素配列の一例を示す平面図である。第29実施形態は、測距画素10の列において、画像データI ($\theta = 0$ 、 180)の測距画素10と画像データQ ($\theta = 90$ 、 270)の測距画素10とがY方向に交互に配置される。画像データI ($\theta = 0$ 、 180)の測距画素10と画像データQ ($\theta = 90$ 、 270)の測距画素10とは、X方向にも交互に現れるように配置される。このような配置により、測距装置100の解像度を向上させることができる。

[0199] 第29実施形態のその他の構成は、第28実施形態の対応する構成と同じでよい。よって、第29実施形態は、第28実施形態と同様に、画像取得と測距処理を同時に実行することができる。

[0200] (第30実施形態)

図45は、第30実施形態による画素領域21の構成例を示す概念図である。第30実施形態では、測距画素10と撮像素素20とが互いに異なる半導体チップCHP3、CHP4に配置されている。撮像素素20は、半導体チップCHP3に設けられており、測距画素10は、半導体チップCHP4に設けられている。半導体チップCHP3には、図39のイメージ単位U20と同様の撮像素素が配列されている。半導体チップCHP4には、図39の測距単位U10i、U10qが交互に配列されている。半導体チップCHP3、CHP4は、互いに貼合されており、積層されている。光Lは、半導体チップCHP3側から入射する。半導体チップCHP3は、光Lを受け、光Lを半導体チップCHP4へ透過させる。これにより、測距画素10および撮像素素20の両方が光Lを検出することができる。また、半導体チップCHP3が先に光Lを受けることによって、撮像素素20が減衰の少ない強度の高い可視光を検出することができる。このため、撮像素素20の分光感度特性が改善される。

[0201] 本実施形態では、イメージ単位U20の4つの撮像素素20が、測距単位U10の4つの測距画素10に対してほぼ同一位置に積層されている。よって、測距装置100は、画像データと測距データとを高解像度で得ることができる。

[0202] 尚、光Lは、半導体チップCHP4側から入射してもよい。この場合、半導体チップCHP4は、光Lを受け、光Lを半導体チップCHP3へ透過させる。通常、R（赤）の撮像素素は、約650nmの分光感度、Gr、Gb（緑）の撮像素素は、約550nmの分光感度、B（青）の撮像素素は、約450nmの分光感度を有する。測距画素10は、通常、840nm～1550nmの赤外線領域の光を検出する。よって、本実施形態のように積層構

造の半導体チップＣＨＰ４側から光Ｌを入射させることによって、測距画素１０において赤外線領域の光が最初に検出され、その後、撮像素素２０の可視光が検出される。この場合、赤外光が撮像素素２０へ影響（混色）することを抑制することができる。

[0203]（第３１実施形態）

図４６は、第３１実施形態による画素領域２１の構成例を示す概念図である。第３１実施形態では、半導体チップＣＨＰ４において、図３８の測距単位Ｕ１０が配列されている。半導体チップＣＨＰ３の構成を含め、第３１実施形態のその他の構成は、第３０実施形態の対応する構成と同様でよい。

[0204]（第３２実施形態）

図４７は、第３２実施形態による画素領域２１の構成例を示す概念図である。第３２実施形態では、半導体チップＣＨＰ４において、図３８の測距単位Ｕ１０と、ＩＲ（赤外光）の撮像素素２０ｉとが同一平面上に交互に二次元配置されている。ＩＲの撮像素素２０ｉは、測距単位Ｕ１０とほぼ同じ面積に構成される。ＩＲの撮像素素２０ｉの面積は、測距単位Ｕ１０の面積とほぼ等しく、測距画素１０の面積よりも大きい。よって、本実施形態による測距装置１００は、近赤外光を高感度で検出することができる。第３２実施形態のその他の構成は、第３０実施形態の対応する構成と同様でよい。第３２実施形態によれば、可視光の画像取得、近赤外光の画像取得、および、測距処理の３つの処理を同時に実行することができる。

[0205]（第３３実施形態）

図４８は、第３３実施形態による画素領域２１の構成例を示す概念図である。第３３実施形態では、半導体チップＣＨＰ４において、図３８の測距単位Ｕ１０がＹ方向に一行に配列されており、ＩＲ（赤外光）のイメージ単位Ｕ２０ｉもＹ方向に配列されている。測距単位Ｕ１０の列とＩＲのイメージ単位Ｕ２０ｉの列は、Ｘ方向に交互に配列される。このように配列することによって、測距単位Ｕ１０および撮像素素２０ｉのレイアウトを容易に設計することができる。

[0206] 第33実施形態のその他の構成は、第32実施形態の対応する構成と同様でよい。第33実施形態は、第32実施形態と同様の効果を得ることができる。

[0207] (第34実施形態)

図49は、第34実施形態による画素領域21の構成例を示す概念図である。第34実施形態では、半導体チップCHP4において、測距単位U10と4つの撮像素素20iのイメージ単位U20iとがX方向およびY方向に交互に配列されている。測距単位U10とイメージ単位U20iがX-Y面内で交互に配列されていることにより、イメージ単位U20iの空間解像度が向上する。第34実施形態のその他の構成は、第33実施形態の対応する構成と同様でよい。第34実施形態は、第33実施形態と同様の効果を得ることができる。

[0208] (第35実施形態)

図50は、第35実施形態による画素領域21の構成例を示す概念図である。第35実施形態では、半導体チップCHP4において、画像データIの測距画素10および画像データQの測距画素10の面積が、画像データR（赤）、Gr（緑）、B（青）の各撮像素素20の面積よりも大きい。本実施形態では、測距画素10の面積は、イメージ単位U20の面積とほぼ同じである。これにより、測距画素10の感度を撮像素素20の感度よりも向上させることができる。近赤外光は、減衰しやすいため、測距画素10の感度を上げることによって、測距画素10は、近赤外光を高感度で検出することができる。第35実施形態のその他の構成は、第30実施形態の対応する構成と同じでよい。よって、第35実施形態は、第30実施形態と同様に、画像取得と測距処理を同時に実行することができる。

[0209] (第36実施形態)

図51は、第36実施形態による画素領域21の構成例を示す概念図である。第36実施形態では、半導体チップCHP4において、画像データIの測距画素10がX方向に配列され、画像データQの測距画素10がX方向に

配列されている。画像データ I の測距画素 10 の列と、画像データ Q の測距画素 10 の列は Y 方向に交互に現れている。これにより、半導体チップ CHP 4 のレイアウトが効率的に設計可能となる。第 36 実施形態のその他の構成は、第 35 実施形態の対応する構成と同じでよい。よって、第 36 実施形態は、第 35 実施形態と同様に、画像取得と測距処理を同時に実行することができる。

[0210] (第 37 実施形態)

図 52 は、第 37 実施形態による画素領域 21 の構成例を示す概念図である。第 37 実施形態では、半導体チップ CHP 4 において、画像データ I の測距画素 10 が 2×2 の 4 画素で 1 つの測距単位 $U10i$ を構成している。画像データ Q の測距画素 10 が 2×2 の 4 画素で 1 つの測距単位 $U10q$ を構成している。図示しないが、測距単位 $U10i$ 、 $U10q$ は、X 方向および／または Y 方向に交互に配列される。これにより、半導体チップ CHP 4 において、測距単位 $U10i$ 、 $U10q$ は、略均等に配置される。測距単位 $U10i$ と $U10q$ とが X-Y 面内で交互に配列されていることにより、測距単位 $U10i$ 、 $U10q$ の空間解像度が向上する。第 37 実施形態のその他の構成は、第 35 実施形態の対応する構成と同じでよい。よって、第 37 実施形態は、第 35 実施形態と同様に、画像取得と測距処理を同時に実行することができる。

[0211] (第 38 実施形態)

図 53 は、第 38 実施形態による画素領域 21 の構成例を示す概念図である。第 38 実施形態では、半導体チップ CHP 4 において、2 つの画像データ I の測距画素 10 および 2 つの画像データ Q の測距画素 10 が 2×2 の 4 画素で 1 つの測距単位 $U10$ を構成している。また、IR（赤外光）の撮像素素 20i が半導体チップ CHP 4 に設けられている。撮像素素 20i の面積は、測距画素 10 よりも大きく、測距単位 $U10$ の面積とほぼ等しい。これにより、測距装置 100 は、近赤外光を高感度で検出することができる。また、測距装置 100 は、可視光の画像取得、近赤外光の画像取得、および

、測距処理の3つの処理を同時に実行することができる。第38実施形態のその他の構成は、第35実施形態の対応する構成と同様でよい。

[0212] (第39実施形態)

図54は、第39実施形態による画素10の構成例を示す等価回路図である。図55は、図54の55-55線に沿った断面における動作を示す概念図である。第39実施形態では、浮遊拡散領域FD1、FD2がさらに設けられており、キャパシタ層C1、C2からの電荷を蓄積することができる。

[0213] リセットトランジスタRST1、RST2が浮遊拡散領域FD1、FD2と電源VDDとの間にそれぞれ接続されている。リセットトランジスタRST1は、浮遊拡散領域FD1の電荷を排出してリセット動作を行うことができる。リセットトランジスタRST2は、浮遊拡散領域FD2の電荷を排出してリセット動作を行うことができる。

[0214] ソースフォロワ回路SF1、SF2は、第5実施形態のそれらと同じ構成でよい。ソースフォロワ回路SF1は、浮遊拡散領域FD1と垂直信号線VSL1FDとの間に接続されており、浮遊拡散領域FD1に蓄積された電荷量に応じた電圧を垂直信号線VSL1FDに伝達することができる。ソースフォロワ回路SF2は、浮遊拡散領域FD2と垂直信号線VSL2FDとの間に接続されており、浮遊拡散領域FD2に蓄積された電荷量に応じた電圧を垂直信号線VSL2FDに伝達することができる。

[0215] さらに、増幅トランジスタAMP1は、グランドと垂直信号線VSL1Cとの間に接続されており、キャパシタ層C1に蓄積された電荷量に応じた電圧を伝達することができる。増幅トランジスタAMP2は、グランドと垂直信号線VSL2Cとの間に接続されており、キャパシタ層C2に蓄積された電荷量に応じた電圧を伝達することができる。

[0216] このように、本実施形態は、キャパシタ層C1、C2のほかに、浮遊拡散領域FD1、FD2を備える。浮遊拡散領域FD1、FD2は、キャパシタ層C1、C2が電荷で満たされた場合にキャパシタ層C1、C2からオーバーフローした電荷をそれぞれ蓄積してもよい。あるいは、浮遊拡散領域FD

1、FD 2は、キャパシタ層C 1、C 2から転送された電荷をそれぞれ蓄積してもよい。

[0217] キャパシタ層C 1、C 2がキャパシタ層C 1、C 2からオーバーフローした電荷をそれぞれ蓄積する場合、浮遊拡散領域FD 1、FD 2の容量がキャパシタ層C 1、C 2の容量にそれぞれ付加されたものとみなすことができる。よって、画素10は、大きな光量に対応する信号を生成することができ、ダイナミックレンジを実質的に拡大させることができる。この場合、カラム処理部23は、垂直信号線VSL 1FD、VSL 2FDからの信号を用いて信号処理を実行すればよい。

[0218] また、浮遊拡散領域FD 1、FD 2がキャパシタ層C 1、C 2から転送された電荷を蓄積する場合、浮遊拡散領域FD 1、FD 2に電荷が転送された後、キャパシタ層C 1、C 2は、新たに電荷を蓄積することができる。従って、浮遊拡散領域FD 1、FD 2およびキャパシタ層C 1、C 2は、垂直信号線VSL 1FD、VSL 2FDおよび垂直信号線VSL 1C、VSL 2Cから個別の信号を出力することができる。この場合、4種類の信号が1度に検出される。キャパシタ層C 1、C 2における最初の蓄積動作と次の蓄積動作とにおいて周波数を変更することによって、測距範囲を広げることができる。

[0219] また、本実施形態も、キャパシタ層C 1、C 2を用いているため、第1実施形態と同様の効果を得ることができる。

[0220] 図56は、第39実施形態による画素10のレイアウトの一例を示す平面図である。第39実施形態では、浮遊拡散領域FD 1、FD 2がキャパシタ層C 1、C 2とリセットトランジスタRST 1、RST 2との間の半導体基板11の表面に設けられている。第39実施形態の画素10のその他のレイアウトは、第10実施形態のレイアウト（図24）と同じでよい。

[0221] 図57は、第39実施形態による画素10の動作の一例を示すタイミング図である。図57では、キャパシタ層C 1、C 2がキャパシタ層C 1、C 2からオーバーフローした電荷をそれぞれ蓄積する場合の動作例を示す。

- [0222] t_1 以前に、リセットトランジスタ RST_1 、 RST_2 をオンすることによって、浮遊拡散領域 FD_1 、 FD_2 の電荷を排除して、浮遊拡散領域 FD_1 、 FD_2 をリセットする。また、ゲート電極 G_1 、 G_2 に大きな負のリセット電圧 V_4 を印加し、キャパシタ層 C_1 、 C_2 をリセットする。
- [0223] その後、 $t_1 \sim t_7$ の動作は、基本的に第 10 実施形態の対応する動作（図 25）と同じでよい。ただし、本実施形態では、 $t_1 \sim t_4$ において、キャパシタ層 C_1 、 C_2 に電荷が最初に振り分けられ蓄積される。キャパシタ層 C_1 、 C_2 が電荷で満たされると、キャパシタ層 C_1 をオーバーフローした信号電荷は、浮遊拡散領域 FD_1 に蓄積され、キャパシタ層 C_2 をオーバーフローした信号電荷は、浮遊拡散領域 FD_2 に蓄積される。このように、キャパシタ層 C_1 、 C_2 に対してそれぞれ浮遊拡散領域 FD_1 、 FD_2 が付加されているので、キャパシタ層 C_1 、 C_2 および浮遊拡散領域 FD_1 、 FD_2 は、上記実施形態と比べて、大きな信号電荷を蓄積することができる。
- [0224] 例えば、キャパシタ層 C_1 、 C_2 がそれぞれ信号電荷 Q_{1a} 、 Q_{2a} を蓄積し、浮遊拡散領域 FD_1 、 FD_2 がそれぞれ信号電荷 Q_{1b} 、 Q_{2b} を蓄積するものとする。この場合、画素 10 は、信号電荷 $Q_{1a} + Q_{1b}$ に対応する信号電圧 D_1 と、信号電荷 $Q_{2a} + Q_{2b}$ に対応する信号電圧 D_2 とを出力することができる。
- [0225] 信号電荷が比較的少ない場合、キャパシタ層 C_1 、 C_2 はオーバーフローせず、浮遊拡散領域 FD_1 、 FD_2 の信号電荷 Q_{1b} 、 Q_{2b} はゼロになる。この場合、信号電荷 Q_{1a} 、 Q_{2a} のみで信号を検出する。よって、信号状態をリセット状態よりも先に検出しても、上記実施形態と同様に、CDS 処理が可能であり、 kTC ノイズの少ない正確な信号成分を生成することができる。一方、信号電荷が多い場合、キャパシタ層 C_1 、 C_2 は、オーバーフローし、浮遊拡散領域 FD_1 、 FD_2 に信号電荷 Q_{1b} 、 Q_{2b} が蓄積される。この場合、信号電荷 $Q_{1a} + Q_{1b}$ 、 $Q_{2a} + Q_{2b}$ が大きくなるため、 kTC ノイズの影響が小さい。よって、信号状態をリセット状態よりも先に検出しても、CDS 処理によって、 kTC ノイズの影響の小さな信号成

分を生成することができる。

[0226] 図58は、第39実施形態による画素10の動作の他の例を示すタイミング図である。図58では、浮遊拡散領域FD1、FD2がキャパシタ層C1、C2から転送された電荷を蓄積する場合の動作例を示す。

[0227] 図57を参照して説明したように、 t_1 以前に、浮遊拡散領域FD1、FD2およびキャパシタ層C1、C2をリセットする。その後、 $t_1 \sim t_3$ 、 $t_4 \sim t_7$ の動作は、基本的に図57の動作と同じでよい。ただし、図58では、 $t_1 \sim t_3$ で蓄積されたキャパシタ層C1、C2の信号電荷は、浮遊拡散領域FD1、FD2に転送される。その後、 $t_{1_1} \sim t_{3_1}$ において、 $t_1 \sim t_3$ とは異なる周波数で、キャパシタ層C1、C2に信号電荷が蓄積される。

[0228] 例えば、 $t_1 \sim t_3$ では、周波数 $F_{mod1} = 100\text{MHz}$ で電荷をキャパシタ層C1、C2へ振り分ける。周波数 F_{mod1} で蓄積後、キャパシタ層C1、C2の信号電荷は浮遊拡散領域FD1、FD2へ転送しておく。

[0229] 次に、 $t_{1_1} \sim t_{3_1}$ では、周波数 $F_{mod2} = 20\text{MHz}$ で電荷をキャパシタ層C1、C2へ振り分ける。周波数 F_{mod1} で蓄積後、キャパシタ層C1、C2は、その信号電荷を蓄積する。

[0230] $t_4 \sim t_7$ において、垂直信号線VSL1C、VSL2Cおよび垂直信号線VSL1FD、VSL2FDが、キャパシタ層C1、C2および浮遊拡散領域FD1、FD2の信号電荷を順番にまたは同時に読み出してもよい。この場合、読み出し時間が短縮される。

[0231] あるいは、垂直信号線VSL1FD、VSL2FDが、浮遊拡散領域FD1、FD2の最初の信号電荷を読み出した後、キャパシタ層C1、C2の信号電荷を浮遊拡散領域FD1、FD2へ転送する。さらに、垂直信号線VSL1FD、VSL2FDが、浮遊拡散領域FD1、FD2の次の信号電荷を読み出してもよい。この場合、信号の読み出し経路が同じになるので、最初の信号と次の信号との間のばらつきが小さくなる。

[0232] このように、1度の読み出し動作で複数の周波数の信号が得られる。よっ

て、i T o Fにおける測距範囲を広げることができる。例えば、周波数F m o d 1 = 1 0 0 M H z のときに、測距装置1 0 0の測距範囲は、約1. 5 mとなる。周波数F m o d 2 = 2 0 M H z のときに、測距装置1 0 0の測距範囲は、約7. 5 mとなる。

[0233] (第4 0実施形態)

図5 9は、第4 0実施形態による画素1 0の構成例を示す等価回路図である。第4 0実施形態において、画素1 0は、リセットトランジスタR S T 1 C、R S T 2 Cをさらに備えている。等価回路において、リセットトランジスタR S T 1 Cは、キャパシタ層C 1と浮遊拡散領域F D 1との間に設けられている。リセットトランジスタR S T 1 Cは、キャパシタ層C 1をリセットするときに浮遊拡散領域F D 1およびリセットトランジスタR S T 1を介してキャパシタ層C 1と電源V D Dとの間を接続する。これにより、リセットトランジスタR S T 1 Cは、キャパシタ層C 1から電荷を排出してリセットする。リセットトランジスタR S T 2 Cは、キャパシタ層C 2と浮遊拡散領域F D 2との間に設けられており、キャパシタ層C 2をリセットするときに浮遊拡散領域F D 2およびリセットトランジスタR S T 2を介してキャパシタ層C 2と電源V D Dとの間を接続する。これにより、リセットトランジスタR S T 2 Cは、キャパシタ層C 2から電荷を排出してリセットする。本実施形態のその他の構成は、第3 9実施形態の対応する構成と同様でよい。

[0234] 図6 0は、第4 0実施形態による画素1 0の動作の一例を示すタイミング図である。図6 0では、キャパシタ層C 1、C 2がキャパシタ層C 1、C 2からオーバーフローした電荷をそれぞれ蓄積する場合の動作例を示す。図6 1は、第4 0実施形態による画素1 0の動作の他の例を示すタイミング図である。図6 1では、浮遊拡散領域F D 1、F D 2がキャパシタ層C 1、C 2から転送された電荷を蓄積する場合の動作例を示す。即ち、図6 0は、第3 9実施形態の図5 7の実施形態を、第4 0実施形態に適用した例を示し、図6 1は、第4 0実施形態の図5 8の実施形態を、第4 0実施形態に適用した例を示す。

- [0235] リセットトランジスタRST1、RST2、RST1C、RST2Cは、 t_1 以前において、予めキャパシタ層C1、C2および浮遊拡散領域FD1、FD2の電荷を排除してリセットする。その後、 $t_1 \sim t_5$ の収集動作、蓄積動作および読出し動作は、第39実施形態の図57または図58に示す動作と同様である。
- [0236] 次に、リセット期間 $t_5 \sim t_6$ において、リセットトランジスタRST1、RST2、RST1C、RST2Cがリセット動作を実行する。リセットトランジスタRST1、RST2は、浮遊拡散領域FD1、FD2の電荷を電源VDDへ排出する。リセットトランジスタRST1C、RST2Cは、浮遊拡散領域FD1、FD2を介して、キャパシタ層C1、C2の電荷を電源VDDへ排出する。
- [0237] 次の $t_6 \sim t_7$ の読出し動作は、第39実施形態の図57または図58に示す動作と同様でよい。よって、第40実施形態は、第39実施形態と同様の効果を得ることができる。
- [0238] また、第40実施形態は、リセット機能をリセットトランジスタRST1、RST2に実行させることにより、増幅トランジスタAMP1、AMP2のゲート電極G1、G2の電圧は、リセット電圧V4にする必要がなくなる。よって、増幅トランジスタAMP1、AMP2の動作マージンを拡大することができ、垂直信号線VSL1、VSL2の信号電圧のダイナミックレンジを拡大させることができる。また、リセットトランジスタRST1、RST2の動作マージンを拡大することができる。
- [0239] 第39実施形態は、その他の実施形態と組み合わせてもよい。例えば、第39実施形態の画素10は、図15の転送トランジスタTF1、TG2をさらに備えていてもよい。第39実施形態の画素10は、図18の選択トランジスタSEL1、SEL2をさらに備えていてもよい。さらに、第39実施形態の画素10は、リセットトランジスタRST1C、RST2C、転送トランジスタTF1、TG2、選択トランジスタSEL1、SEL2のいずれか2種以上のトランジスタを備えていてもよい。これにより、第39実施形

態の測距装置 100 は、それぞれの効果をも得ることができる。

[0240] 以上の実施形態では、増幅トランジスタ AMP 1、AMP 2 として、キャパシタ層 C 1、C 2 によるチャネル変調トランジスタが用いられている。これに対して、以下の実施形態では、CCD 素子が信号電荷の蓄積に用いられる。

[0241] (第 4 1 実施形態)

図 6 2 は、第 4 1 実施形態による画素 10 の構成の一例を示す回路図である。第 4 1 実施形態による画素 10 は、キャパシタ層 C 1、C 2 を有さず、通常の MOSFET (G 1、G 2) を介してメモリ部 MEM 1 a、MEM 1 b、MEM 2 a、MEM 2 b へフォトダイオード PD の信号電荷を振り分け、その後、CCD 転送する。尚、G 1、G 2 は、ゲート電極 G 1、G 2 を有するそれぞれのトランジスタまたはそれぞれに印加されるゲート電圧を示す場合がある。

[0242] 増幅トランジスタ AMP 1 のゲートは、浮遊拡散領域 FD 1 に接続されている。浮遊拡散領域 FD 1 とフォトダイオード PD との間には、転送トランジスタ TG 1、メモリ部 MEM 1 a、MEM 1 b、振り分けトランジスタ G 1 が直列接続されている。メモリ部 MEM 1 a、MEM 1 b は、転送トランジスタ TG 1 と振り分けトランジスタ G 1 との間に直列接続されている。浮遊拡散領域 FD 2 とフォトダイオード PD との間には、転送トランジスタ TG 2、メモリ部 MEM 2 a、MEM 2 b、振り分けトランジスタ G 2 が直列接続されている。メモリ部 MEM 2 a、MEM 2 b は、転送トランジスタ TG 2 と振り分けトランジスタ G 2 との間に直列接続されている。リセットトランジスタ RST 1、RST 2、選択トランジスタ SEL 1、SEL 2 は、図 5 9 のそれらと同じでよい。増幅トランジスタ AMP 1、AMP 2 は、ソースフォロワ回路を構成している。

[0243] 振り分けトランジスタ G 1、G 2 は、フォトダイオード PD で光電変換された信号電荷（例えば、電子）を所定の周波数 F_{mod1} （例えば、約 100 MHz）で交互に振り分ける。この信号電荷は、メモリ部 MEM 1 b、M

MEM2bに蓄積される。さらに、メモリ部MEM1b、MEM2bは、信号電荷を、メモリ部MEM1a、MEM2aへそれぞれCCD転送する。

[0244] その後、振り分けトランジスタG1、G2は、フォトダイオードPDの信号電荷を所定の周波数Fmod2（例えば、約20MHz）で交互に振り分ける。この信号電荷は、1回目の信号電荷を転送した後のメモリ部MEM1b、MEM2bに蓄積される。これにより、1回目の周波数Fmod1で振り分けられた信号電荷は、メモリ部MEM1a、MEM2aに蓄積され、2回目の周波数Fmod2で振り分けられた信号電荷は、メモリ部MEM1b、MEM2bに蓄積される。

[0245] 読出し動作において、転送トランジスタTG1、TG2がメモリ部MEM1a、MEM2aに蓄積された信号電荷を浮遊拡散領域FD1、FD2に転送する。これにより、増幅トランジスタAMP1、AMP2は、周波数Fmod1に対応する信号電荷に応じた信号電圧を、垂直信号線VSL1、VSL2にそれぞれ同時に出力することができる。

[0246] その後、浮遊拡散領域FD1、FD2をリセットし、転送トランジスタTG1、TG2がメモリ部MEM1a、MEM2aを介して、メモリ部MEM1b、MEM2bに蓄積された信号電荷を浮遊拡散領域FD1、FD2に転送する。これにより、増幅トランジスタAMP1、AMP2は、周波数Fmod2に対応する信号電荷に応じた信号電圧を、垂直信号線VSL1、VSL2にそれぞれ同時に出力することができる。

[0247] このように、浮遊拡散領域FD1は、メモリ部MEM1a、MEM1bの電荷を個別に異なるタイミングで蓄積し、浮遊拡散領域FD2は、メモリ部MEM2a、MEM2bの電荷を個別に異なるタイミングで蓄積することができる。これにより、増幅トランジスタAMP1、AMP2は、メモリ部MEM1a、MEM1bおよびメモリ部MEM2a、MEM2bの各電荷に対応する信号電圧を出力することができる（図63A参照）。また、浮遊拡散領域FD1は、メモリ部MEM1a、MEM1bの電荷を同時にまとめて蓄積し、浮遊拡散領域FD2は、メモリ部MEM2a、MEM2bの電荷を同

時にまとめて蓄積してもよい。これにより、増幅トランジスタAMP 1、AMP 2は、メモリ部MEM 1 a、MEM 1 bの総電荷に対応する信号電圧およびメモリ部MEM 2 a、MEM 2 aの総電荷に対応する信号電圧を出力することができる（図6 3 B参照）。

[0248] 第4 1実施形態によれば、1度の読み出し動作で複数の周波数の信号が得られる、i T o Fにおける測距範囲を広げることができる。

[0249] さらに、本実施形態では、1回目の周波数F m o d 1の振分け動作と2回目の周波数F m o d 2の振分け動作とにおいて、電荷の振分け順を逆（逆相）にしてもよい。即ち、1回目の周波数F m o d 1の振分け動作と2回目の周波数F m o d 2の振分け動作とで、振分けトランジスタG 1、G 2のゲート電圧の位相を1 8 0度ずらしてもよい。例えば、図6 3 Aは、第4 1実施形態による画素1 0の動作例を示すタイミング図である。図6 3 Aでは、振分けトランジスタG 1、G 2のゲート電圧の動作のみを示し、他のメモリ部MEM 1 a、MEM 2 a、MEM 1 b、MEM 2 bのゲート電圧の動作については省略する。

[0250] t 1 ~ t 3の周波数F m o d 1の振分け動作では、最初のt 1 ~ t 2の電荷が振分けトランジスタG 1側に振り分けられ、次のt 2 ~ t 3の電荷が振分けトランジスタG 2側に振り分けられている。この振り分け処理は、繰り返し実行される。周波数F m o d 1の振分け動作で振り分けられた電荷は、メモリ部MEM 1 b、MEM 2 bに蓄積される。メモリ部MEM 1 b、MEM 2 bに蓄積された電荷は、メモリ部MEM 1 a、MEM 2 aに転送される。

[0251] その後、t 1 __ 1 ~ t 3 __ 1の周波数F m o d 2の振分け動作では、最初t 1 __ 1 ~ t 2 __ 1の電荷が振分けトランジスタG 2側に振り分けられ、次のt 2 __ 1 ~ t 3 __ 1の電荷が振分けトランジスタG 1側に振り分けられる。この振り分け処理は、繰り返し実行される。周波数F m o d 2の振分け動作で振り分けられた電荷は、メモリ部MEM 1 b、MEM 2 bに蓄積される。

- [0252] 振分け順の切り替えは、振分けトランジスタ G 1、G 2 のオン／オフの動作順を、1 回目の振分け動作と 2 回目の振分け動作とで逆にすることで実行できる。
- [0253] 画素領域 2 1 の端部では斜めから光が入り込むため、P L S (Parasitic Light Sensitivity) によるノイズがメモリ部 MEM 1 a、MEM 2 a、MEM 1 b、MEM 2 b に混入する場合がある。
- [0254] 本実施形態では、1 回目の振分け動作と 2 回目の振分け動作とにおいて、電荷の振分け順を逆（逆相）にし、振分けトランジスタ G 1、G 2 のゲート電圧の位相を 1 8 0 度ずらしている。このように電荷の振分け順を逆にすることにより、P L S のノイズ成分を左右でほぼ同じ量にすることができる。例えば、メモリ部 MEM 1 a、MEM 2 b が画像データ Q ($\theta = 0$ 度) の電荷を格納し、メモリ部 MEM 2 a、MEM 1 b が画像データ Q ($\theta = 1 8 0$ 度) の電荷を格納するものとする。この場合、画像データ Q ($\theta = 0$ 度) と、画像データ Q ($\theta = 1 8 0$ 度) は、ほぼ同じの P L S 成分を含むことになる。測距の計算では、式 2 の通り、画像データ Q ($\theta = 0$ 度) と、画像データ Q ($\theta = 1 8 0$ 度) との差信号を用いるので、P L S 成分がキャンセルされ得る。また、振分けトランジスタ G 1、G 2 の特性ばらつきによる信号成分もキャンセルされ得る。
- [0255] 一方、図 6 3 B は、第 4 1 実施形態による画素 1 0 の動作の他の例を示すタイミング図である。図 6 3 B のように、1 回目の振分け動作と 2 回目の振分け動作とにおいて、電荷の振分け順を同じにすることも考えられる。即ち、1 回目の周波数 $F_{mod 1}$ の振分け動作と 2 回目の周波数 $F_{mod 2}$ の振分け動作とにおいて、電荷の振分け順を同じ（同相）にする。この場合、1 回目の周波数 $F_{mod 1}$ の振分け動作と 2 回目の周波数 $F_{mod 2}$ の振分け動作とで、振分けトランジスタ G 1、G 2 のゲート電圧の位相をずらさなくてもよい。
- [0256] $t_1 \sim t_3$ の周波数 $F_{mod 1}$ の振分け動作では、最初の $t_1 \sim t_2$ の電荷が振分けトランジスタ G 1 側に振り分けられ、次の $t_2 \sim t_3$ の電荷が振

分けトランジスタG2側に振り分けられている。この振り分け処理は、繰り返し実行される。周波数 F_{mod1} の振り分け動作で振り分けられた電荷は、メモリ部MEM1b、MEM2bに蓄積される。メモリ部MEM1b、MEM2bに蓄積された電荷は、メモリ部MEM1a、MEM2aに転送される。

[0257] その後、 $t_{1_1} \sim t_{3_1}$ の周波数 F_{mod2} の振り分け動作において、最初 $t_{1_1} \sim t_{2_1}$ の電荷が振り分けトランジスタG1側に振り分けられ、次の $t_{2_1} \sim t_{3_1}$ の電荷が振り分けトランジスタG2側に振り分けられる。この振り分け処理は、繰り返し実行される。周波数 F_{mod2} の振り分け動作で振り分けられた電荷は、メモリ部MEM1b、MEM2bに蓄積される。

[0258] このように、1回目の振り分け動作と2回目の振り分け動作とにおいて、電荷の振り分け順を同じにする場合、1回目の振り分け動作と2回目の振り分け動作とにおいて、振り分けトランジスタG1、G2のゲート電圧の位相は同相となる。これにより、画素10は、メモリ部MEM1a、MEM2aとメモリ部MEM1b、MEM2bとに同相（同一 θ ）の信号電荷が蓄積される。よって、メモリ部MEM1a、MEM2aとメモリ部MEM1b、MEM2bとに大きな光量に対応する信号電荷を蓄積することができ、ダイナミックレンジを実質的に拡大させることができる。例えば、メモリ部MEM1a、MEM2aが画像データQ（ $\theta = 0$ 度）の電荷を格納し、メモリ部MEM1b、MEM2bが画像データQ（ $\theta = 180$ 度）の電荷を格納するものとする。この場合、画像データQ（ $\theta = 0$ 度）は、メモリ部MEM1a、MEM2aの容量に対応するダイナミックレンジを有することになる。画像データQ（ $\theta = 180$ 度）は、とメモリ部MEM1b、MEM2bの容量に対応するダイナミックレンジを有することになる。

[0259] （第42実施形態）

図64は、第42実施形態による画素10の構成の一例を示す回路図である。第42実施形態では、浮遊拡散領域FD、増幅トランジスタAMP、リ

セットトランジスタ RST、選択トランジスタ SEL が、メモリ部 MEM1a、MEM1b とメモリ部 MEM2a、MEM2b とで共有化されている。これに伴い、垂直信号線 VSL も各画素 10 に対して 1 本ずつ設けられている。

[0260] 浮遊拡散領域 FD が各画素 10 で 1 つに共通化されているので、転送トランジスタ TG1、TG2 は、メモリ部 MEM1a、MEM1b の電荷とメモリ部 MEM2a、MEM2b の電荷とを交互に浮遊拡散領域 FD に転送する。そして、選択トランジスタ SEL は、メモリ部 MEM1a、MEM1b の電荷に応じた信号とメモリ部 MEM2a、MEM2b の電荷に応じた信号とを互いに異なるタイミングで垂直信号線 VSL へ伝達する。メモリ部 MEM1a、MEM1b の電荷に応じた信号の出力とメモリ部 MEM2a、MEM2b の電荷に応じた信号の出力との間には、リセット動作が必要となる。

[0261] 第 4 2 実施形態のその他の構成および動作は、第 4 1 実施形態と同様である。

[0262] 第 4 2 実施形態では、浮遊拡散領域 FD および増幅トランジスタ AMP が共通化されているので、浮遊拡散領域 FD のオフセットばらつきおよび増幅トランジスタ AMP のゲインばらつきが抑制される。また、各画素 10 を構成する素子数が少ないので、画素領域 21 の微細化につながる。

[0263] (第 4 3 実施形態)

図 65 は、第 4 3 実施形態による画素 10 の構成の一例を示す回路図である。第 4 3 実施形態では、メモリ部 CCD1a、CCD1b が振分けトランジスタ G1a、G1b および転送トランジスタ TG1a、TG1b を介して並列接続されている。メモリ部 CCD1a、CCD1b は、それぞれ振分けトランジスタ G1a、G1b を介してフォトダイオード PD に接続され、互いに異なるタイミングで個別に信号電荷を受け取る。さらに、メモリ部 CCD1a、CCD1b は、それぞれ転送トランジスタ TG1a、TG1b を介して浮遊拡散領域 FD1 に接続され、互いに異なるタイミングで個別に信号電荷を浮遊拡散領域 FD1 へ送る。

- [0264] メモリ部CCD 2 a、CCD 2 bはそれぞれ振分けトランジスタG 2 a、G 2 bを介してフォトダイオードPDに接続され、互いに異なるタイミングで個別に信号電荷を受け取る。さらに、メモリ部CCD 2 a、CCD 2 bは、それぞれ転送トランジスタTG 2 a、TG 2 bを介して浮遊拡散領域FD 2に接続され、互いに異なるタイミングで個別に信号電荷を浮遊拡散領域FD 2へ送る。
- [0265] その結果、メモリ部CCD 1 a、CCD 1 bはそれぞれ図6 2のメモリ部MEM 1 a、MEM 1 bと同様にCCD動作することができ、メモリ部CCD 2 a、CCD 2 bはそれぞれ図6 2のメモリ部MEM 2 a、MEM 2 bと同様にCCD動作することができる。例えば、周波数F mod 1の振分け動作で振り分けられた電荷は、メモリ部CCD 1 a、CCD 2 aに蓄積される。周波数F mod 2の振分け動作で振り分けられた電荷は、メモリ部CCD 1 b、CCD 2 bに蓄積される。
- [0266] 読出し動作において、転送トランジスタTG 1 a、TG 2 aがメモリ部CCD 1 a、CCD 2 aに蓄積された信号電荷を浮遊拡散領域FD 1、FD 2に転送する。これにより、増幅トランジスタAMP 1、AMP 2は、周波数F mod 1に対応する信号電荷に応じた信号電圧を、垂直信号線VSL 1、VSL 2にそれぞれ同時に出力することができる。
- [0267] その後、浮遊拡散領域FD 1、FD 2をリセットし、転送トランジスタTG 1 b、TG 2 bがメモリ部CCD 1 b、CCD 2 bに蓄積された信号電荷を浮遊拡散領域FD 1、FD 2に転送する。これにより、増幅トランジスタAMP 1、AMP 2は、周波数F mod 2に対応する信号電荷に応じた信号電圧を、垂直信号線VSL 1、VSL 2にそれぞれ同時に出力することができる。
- [0268] 第4 1実施形態と同様に、1回目の振分け動作と2回目の振分け動作とにおいて、電荷の振分け順を逆にすれば、PLSのノイズ成分を左右でほぼ同じ量にすることができる。例えば、メモリ部CCD 1 a、CCD 2 bが画像データQ ($\theta = 0$ 度)の電荷を格納し、メモリ部CCD 2 a、CCD 1 bが

画像データQ ($\theta = 180^\circ$) の電荷を格納する。画像データQ ($\theta = 0^\circ$ 、 180°) は、それぞれ垂直信号線VSL1、VSL2を介して出力される。この場合、第41実施形態と同様に、測距の計算では、PLS成分がキャンセルされ得る。また、振分けトランジスタG1a、G2aの特性ばらつきおよび振分けトランジスタG1b、G2bの特性ばらつきもキャンセルされ得る。

[0269] (第44実施形態)

図66は、第44実施形態による画素10の構成の一例を示す回路図である。第44実施形態は、第43実施形態に第42実施形態を適用した実施形態である。第44実施形態では、第42実施形態と同様に、浮遊拡散領域FD、増幅トランジスタAMP、リセットトランジスタRST、選択トランジスタSELが、メモリ部CCD1a、CCD1bとメモリ部CCD2a、CCD2bとで共有化されている。これに伴い、浮遊拡散領域FD、増幅トランジスタAMP、リセットトランジスタRST、選択トランジスタSELは、振分けトランジスタG1a、G1b、G2a、G2bおよび転送トランジスタTG1a、TG1b、TG2a、TG2bに対しても共有化されている。

[0270] 第44実施形態では、第42実施形態と同様に、浮遊拡散領域FDおよび増幅トランジスタAMPが共通化されているので、浮遊拡散領域FDのオフセットばらつきおよび増幅トランジスタAMPのゲインばらつきが抑制される。また、各画素10を構成する素子数が第43実施形態よりも少ないので、画素領域21の微細化につながる。

[0271] (第45実施形態)

図67は、第45実施形態による画素10の構成の一例を示す回路図である。第45実施形態では、振分けトランジスタG1b、G2bが設けられていない。メモリ部CCD1bは、転送トランジスタTG1bを介して浮遊拡散領域FD1に接続されている。メモリ部CCD2bは、転送トランジスタTG2bを介して浮遊拡散領域FD2に接続されている。メモリ部CCD1

a、CCD 2 aは、それぞれ振分けトランジスタG 1、G 2を介してフォトダイオードPDに接続されている。第4 5実施形態のその他の構成は、第4 3実施形態の対応する構成と同様でよい。

[0272] 第4 5実施形態では、メモリ部CCD 1 a、CCD 2 aに電荷を蓄積した後、その電荷をメモリ部CCD 1 b、CCD 2 bへCCD転送する。そして、電荷転送後に、メモリ部CCD 1 a、CCD 2 aに再度電荷を蓄積する。

[0273] 例えば、振り分けトランジスタG 1、G 2は、フォトダイオードPDで光電変換された信号電荷を所定の周波数F mod 1で交互に振り分ける。この信号電荷は、メモリ部CCD 1 a、CCD 2 aに蓄積される。さらに、メモリ部CCD 1 a、CCD 2 aは、信号電荷を、メモリ部CCD 1 b、CCD 2 bへそれぞれCCD転送する。

[0274] その後、振り分けトランジスタG 1、G 2は、フォトダイオードPDの信号電荷を所定の周波数F mod 2で交互に振り分ける。この信号電荷は、1回目の信号電荷を転送した後のメモリ部CCD 1 a、CCD 2 aに蓄積される。これにより、1回目の周波数F mod 1で振り分けられた信号電荷は、メモリ部MEM 1 b、MEM 2 bに蓄積され、2回目の周波数F mod 2で振り分けられた信号電荷は、メモリ部MEM 1 a、MEM 2 aに蓄積される。

[0275] 第4 5実施形態によれば、メモリ部CCD 1 a、CCD 1 bに蓄積される電荷は、単一の振分けトランジスタG 1を介して振り分けられる。メモリ部CCD 2 a、CCD 2 bに格納される電荷は、単一の振分けトランジスタG 2を介して振り分けられる。これにより、第4 5実施形態は、第4 3実施形態に比べて、振分けトランジスタG 1におけるばらつき、および、振分けトランジスタG 2におけるばらつきがなくなる。また、第4 5実施形態は、各画素1 0を構成する素子数が第4 3実施形態よりも少ないので、画素領域2 1の微細化につながる。

[0276] 第4 5実施形態のその他の動作は、第4 3実施形態と同様でよい。従って、第4 5実施形態は、第4 3実施形態と同様の効果をさらに得ることができ

る。

[0277] (第46実施形態)

図68は、第46実施形態による画素10の構成の一例を示す回路図である。第46実施形態は、第45実施形態に第42実施形態を適用した実施形態である。第46実施形態では、第42実施形態と同様に、浮遊拡散領域FD、増幅トランジスタAMP、リセットトランジスタRST、選択トランジスタSELが、メモリ部CCD1a、CCD1bとメモリ部CCD2a、CCD2bとで共有化されている。これに伴い、浮遊拡散領域FD、増幅トランジスタAMP、リセットトランジスタRST、選択トランジスタSELは、振分けトランジスタG1、G2および転送トランジスタTG1a、TG1b、TG2a、TG2bに対しても共有化されている。

[0278] 第46実施形態では、第42実施形態と同様に、浮遊拡散領域FDおよび増幅トランジスタAMPが共通化されているので、浮遊拡散領域FDのオフセットばらつきおよび増幅トランジスタAMPのゲインばらつきが抑制される。また、各画素10を構成する素子数が第45実施形態よりも少ないので、画素領域21の微細化につながる。

[0279] (第47実施形態)

図69は、第47実施形態による画素10の構成の一例を示す回路図である。第47実施形態は、メモリ部CCD1a、CCD1bが並列に接続されており、メモリ部CCD2a、CCD2bが並列に接続されている。メモリ部CCD1a、CCD1bは、振分けトランジスタG1aを介してフォトダイオードPDに接続されており、転送トランジスタTG1aを介して浮遊拡散領域FD1に接続されている。メモリ部CCD2a、CCD2bは、振分けトランジスタG2aを介してフォトダイオードPDに接続されており、転送トランジスタTG2aを介して浮遊拡散領域FD2に接続されている。即ち、第47実施形態では、振分けトランジスタG1aおよび転送トランジスタTG1aが、メモリ部CCD1a、CCD1bに共有されており、振分けトランジスタG2aおよび転送トランジスタTG2aが、メモリ部CCD2

a、CCD 2 bに共有されている。

[0280] これにより、メモリ部CCD 1 a、CCD 1 bに蓄積される信号電荷から、振分けトランジスタ（図66のG 1 a、G 1 b）のばらつき成分および転送トランジスタ（図66のTG 1 a、TG 1 b）のばらつき成分を除去することができる。また、メモリ部CCD 2 a、CCD 2 bに蓄積される信号電荷から、振分けトランジスタ（G 2 a、G 2 b）のばらつき成分および転送トランジスタ（TG 2 a、TG 2 b）のばらつき成分を除去することができる。また、各画素10を構成する素子数が第43実施形態よりも少ないので、画素領域21の微細化につながる。

[0281] 第47実施形態のその他の構成は、第43実施形態の対応する構成と同様でよい。従って、第47実施形態は、第43実施形態と同様の効果をさらに得ることができる。

[0282] 電荷の振分け動作は、図63Aまたは図63Bを参照して説明した動作と同じでよい。図63Aと同様の動作によって、PLS成分がキャンセルされ得る。また、振分けトランジスタG 1 a、G 2 aの特性ばらつきによる信号成分もキャンセルされ得る。図63Bと同様の動作によって、ダイナミックレンジを拡大させることができる。

[0283] 尚、第47実施形態では、振分けトランジスタG 1 aおよび転送トランジスタTG 1 aがメモリ部CCD 1 a、CCD 1 bに共有されているので、電荷の振分け動作および電荷転送動作は、メモリ部CCD 1 a、CCD 1 bのそれぞれについて異なるタイミングで実行される。振分けトランジスタG 2 aおよび転送トランジスタTG 2 aについても、メモリ部CCD 2 a、CCD 2 bに共有されているので、電荷の振分け動作および電荷転送動作は、メモリ部CCD 2 a、CCD 2 bのそれぞれについて異なるタイミングで実行される。

[0284] （第48実施形態）

図70は、第48実施形態による画素10の構成の一例を示す回路図である。第48実施形態は、第47実施形態に第42実施形態を適用した実施形

態である。第48実施形態では、第42実施形態と同様に、浮遊拡散領域FD、増幅トランジスタAMP、リセットトランジスタRST、選択トランジスタSELが、メモリ部CCD1a、CCD1bとメモリ部CCD2a、CCD2bとで共有化されている。これに伴い、浮遊拡散領域FD、増幅トランジスタAMP、リセットトランジスタRST、選択トランジスタSELは、振分けトランジスタG1、G2および転送トランジスタTG1a、TG1b、TG2a、TG2bに対しても共有化されている。

[0285] 第48実施形態では、第42実施形態と同様に、浮遊拡散領域FDおよび増幅トランジスタAMPが共通化されているので、浮遊拡散領域FDのオフセットばらつきおよび増幅トランジスタAMPのゲインばらつきが抑制される。また、各画素10を構成する素子数が第47実施形態よりも少ないので、画素領域21の微細化につながる。

[0286] 第48実施形態のその他の構成および動作は、第47実施形態と同様でよい。従って、第48実施形態は、第47実施形態と同様の効果をさらに得ることができる。

[0287] (第49実施形態：イメージセンサ)

図71は、第49実施形態による画素10の構成の一例を示す等価回路図である。図72は、第49実施形態による画素10のレイアウトの一例を示す平面図である。以下の実施形態は、CIS(CMOS(Complementary Metal Oxide Semiconductor) Image Sensor)に本技術を適用した形態である。CISでは、iToFセンサと異なり、フォトダイオードPDの電荷を左右に振り分ける振分け動作を行う必要がない。従って、CISの実施形態は、基本的に、上記iToFセンサのフォトダイオードPDの両側にある回路構成のいずれか片側の構成を有すればよい。本実施形態の断面は、図5の片側の構成を有する。また、上記iToFセンサの実施形態は、以下のCISにも基本的に適用可能である。以下の実施形態の基本的なブロック図は、図2に示すものと同じでよい。

[0288] 画素10は、フォトダイオードPDと、キャパシタ層C1と、増幅ラン

ジスタAMP 1、AMP 2と、垂直信号線VSL 1C、VSL 1FDと、浮遊拡散領域FD 1と、リセットトランジスタRST 1と、選択トランジスタSEL 1とを備える。

[0289] フォトダイオードPDおよび増幅トランジスタAMP 1の構成は、第1実施形態のそれと同様でよい。増幅トランジスタAMP 1のソース電極は、垂直信号線VSL 1Cに接続され、そのドレイン電極は、接地されている。増幅トランジスタAMP 1は、第1実施形態のそれと同様に、キャパシタ層C 1に蓄積された電荷によってその閾値電圧が変調されるチャネル変調トランジスタである。増幅トランジスタAMP 1は、例えば、p型MOSFETで構成されている。この場合、増幅トランジスタAMP 1は、ソースフォロア回路を構成し、キャパシタ層C 1の電荷量Q 1によるバックバイアス効果によってチャネル層の閾値電圧が変わる。増幅トランジスタAMP 1の閾値電圧の変動が出力信号として垂直信号線VSL 1Cに出力される。

[0290] キャパシタ層C 1の容量は、図72に示すキャパシタ層C 1のレイアウト面積を変更することにより、設定することができる。例えば、キャパシタ層C 1のレイアウト面積を小さくすると、キャパシタ層C 1の容量が小さくなり、電荷1個あたりの垂直信号線VSL 1Cに出力される信号電圧の変動が大きくなる。これは、画素10の光電変換効率を大きくすることにつながる。本実施形態において、キャパシタ層C 1のレイアウト面積の自由度は高いので、光電変換効率の設定の自由度も高くなる。

[0291] 尚、増幅トランジスタAMP 1がp型MOSFETの場合、キャパシタ層C 1に蓄積される電荷は電子となる。一方、増幅トランジスタAMP 1はn型MOSFETで構成されてもよい。この場合、キャパシタ層C 1に蓄積される電荷は、ホール電荷となる。

[0292] キャパシタ層C 1は、第1実施形態のそれと同じ構成でよい。増幅トランジスタAMP 1のチャネル層の下方の半導体層内に設けられたn⁻型不純物拡散層である。キャパシタ層C 1は、フォトダイオードPDで光電変換された電荷を蓄積することができる。

- [0293] キャパシタ層C 1に蓄積された電荷Q 1（例えば、電子 e^- ）の量に依存して、増幅トランジスタAMP 1の導通状態が変わり、垂直信号線VSL 1の電流または電圧が変わる。よって、垂直信号線VSL 1Cは、キャパシタ層C 1に蓄積される電荷量に応じた電圧を伝達することができる。本明細書において、電荷Q 1、Q 2は、電荷量を示す場合もある。
- [0294] このように、フォトダイオードPD、増幅トランジスタAMP 1、キャパシタ層C 1は、第1実施形態のそれらの構成と基本的に同じでよい。
- [0295] 浮遊拡散領域FD 1が増幅トランジスタAMP 1から離間して設けられており、キャパシタ層C 1からの電荷を蓄積することができる。浮遊拡散領域FD 1の構成は、図5 4および図5 5のそれと同様でよい。
- [0296] リセットトランジスタRST 1が浮遊拡散領域FD 1と電源VDDとの間に接続されている。リセットトランジスタRST 1は、浮遊拡散領域FD 1の電荷を排出してリセット動作を行うことができる。
- [0297] 増幅トランジスタAMP 1は、電源VDDと選択トランジスタSEL 1との間に接続されており、ゲートが浮遊拡散領域FD 1に接続されている。増幅トランジスタAMP 1は、選択トランジスタSEL 1を介して垂直信号線VSL 1FDに接続されている。増幅トランジスタAMP 1および選択トランジスタSEL 1は、ソースフォロワ回路SF 1を構成する。尚、図7 2では、ソースフォロワ回路SF 1の図示を省略している。
- [0298] ソースフォロワ回路SF 1は、浮遊拡散領域FD 1と垂直信号線VSL 1FDとの間に接続されており、浮遊拡散領域FD 1に蓄積された電荷量に応じた電圧を垂直信号線VSL 1FDに伝達することができる。
- [0299] このような構成において、増幅トランジスタAMP 1は、キャパシタ層C 1に蓄積された電荷Q 1に応じた信号電圧を垂直信号線VSL 1Cに出力することができる。垂直信号線VSL 1Cは、キャパシタ層C 1の蓄積電荷に応じた信号を伝達する。増幅トランジスタAMP 2は、浮遊拡散領域FD 1に蓄積された電荷Q 2に応じた信号電圧を垂直信号線VSL 1FDに出力することができる。垂直信号線VSL 1FDは、浮遊拡散領域FD 1の蓄積電

荷に応じた信号を伝達する。例えば、光信号の光量が小さく、信号電荷量がキャパシタ層C 1の容量より小さい場合、垂直信号線V S L 1 Cから出力されたキャパシタ層C 1の出力信号のみ使用すればよい。一方、光信号の光量が大きく、信号電荷量がキャパシタ層C 1の容量より大きい場合、垂直信号線V S L 1 C、V S L 1 F Dから出力されたキャパシタ層C 1および浮遊拡散領域F D 1の両方の出力信号を使用すればよい。これにより、浮遊拡散領域F D 1がキャパシタ層C 1からオーバーフローした飽和電荷を蓄積することができる。その結果、画素10のダイナミックレンジが拡大され得る。

[0300] 例えば、キャパシタ層C 1と浮遊拡散領域F D 1の光電変換効率をそれぞれ μ_{C1} 、 μ_{FD1} とし、キャパシタ層C 1と浮遊拡散領域F D 1における信号電荷量をそれぞれQ 1、Q 2する。この場合、垂直信号線V S L 1 C、V S L 1 F Dの合成出力信号V o u tは、式1で求めることができる。

$$V o u t = \mu_{C1} \times Q 1 + \mu_{FD1} \times Q 2 = \mu_{C1} (Q 1 + (\mu_{FD1} / \mu_{C1}) \times Q 2) \quad (\text{式1})$$

[0301] ここで、 $\mu_{FD1} / \mu_{C1} = 1 / 100$ である場合、浮遊拡散領域F D 1の容量は、キャパシタ層C 1のその100倍である。よって、キャパシタ層C 1のみの場合と比べて、本実施形態の画素10は、ほぼ100倍の信号電荷を検出可能となる。即ち、画素10の飽和電荷量がほぼ100倍となる。

[0302] また、通常、複数の検出部（浮遊拡散領域やキャパシタ）で信号電荷を検出するためには、各画素は、5個以上のトランジスタを必要とする。本実施形態による画素10は、4個のトランジスタと1個のフォトダイオードP Dで構成されている。よって、本実施形態は、画素領域21の微細化に繋がる。

[0303] また、本実施形態では、キャパシタ層C 1の電荷Q 1に対応する信号電圧と浮遊拡散領域F D 1の電荷Q 2に対応する信号電圧は、それぞれ異なる垂直信号線V S L 1 C、V S L 1 F Dで検出される。従って、例えば、浮遊拡散領域F D 1に大きな暗電流成分がノイズとして混入しても、その暗電流成分は、電荷Q 2の信号のみに影響し、電荷Q 1の信号には影響しない。

[0304] もし、電荷 Q_2 だけでなくキャパシタ層 C_1 の電荷 Q_1 に対応する信号も浮遊拡散領域 FD_1 を介して検出した場合、電荷 Q_1 、 Q_2 の両方の出力信号が暗電流成分の影響を受けてしまう。

[0305] これに対し、本実施形態によれば、電荷 Q_1 、 Q_2 の出力信号はそれぞれ別の垂直信号線 VSL_1C 、 VSL_1FD に伝達される。従って、浮遊拡散領域 FD_1 の暗電流成分は、電荷 Q_2 の信号のみに影響し、電荷 Q_1 の信号には影響しない。その結果、暗電流成分が出力信号に与える影響を緩和することができる。

[0306] また、そもそも電荷 Q_2 には、暗電流成分よりも大きなフォトンショット雑音が含まれる。従って、電荷 Q_2 を電荷 Q_1 よりも十分に大きくすることによって、浮遊拡散領域 FD_1 の電荷 Q_2 が暗電流成分を含んでも、電荷 Q_2 に対する暗電流成分の影響は小さくすることができる。

[0307] また、増幅トランジスタ AMP_1 がp型MOSFETの場合、キャパシタ層 C_1 のリセットは、増幅トランジスタ AMP_1 のゲート電圧を負電圧にすることによって電子を浮遊拡散領域 FD_1 へ排除する。上述の通り、チャネル変調トランジスタのキャパシタ層 C_1 の電荷はほぼ完全に排除することができる。よって、リセット状態の再現性が良好であるので、図2の信号処理部26は、CDS処理において、信号状態から該信号状態の後に検出されたりリセット状態を除いても kTC ノイズの少ない正確な信号成分を抽出することができる。

[0308] (第50実施形態)

図73は、第50実施形態による画素10の構成の一例を示す等価回路図である。本実施形態による画素10は、浮遊拡散領域 FD_1 とグランドとの間に接続されたキャパシタ層 C_2 をさらに備えている。本実施形態のその他の構成は、第49実施形態の対応する構成と同様でよい。

[0309] 本実施形態によれば、浮遊拡散領域 FD_1 の容量が、キャパシタ層 C_2 の分だけ増大する。これにより、画素10のダイナミックレンジがさらに拡大され得る。また、浮遊拡散領域 FD_1 の容量が実質的に増大することによっ

て、 kTC ノイズ成分の影響を小さくすることができる。

[0310] (第5 1 実施形態)

図7 4は、第5 1 実施形態による画素1 0の構成の一例を示す等価回路図である。本実施形態による画素1 0は、フォトダイオードPDの電荷を排出する電荷排出トランジスタTDをさらに備えている。電荷排出トランジスタTDは、電源VDDとフォトダイオードPDのカソードとの間に接続されており、フォトダイオードPDに蓄積された電荷を電源VDDへ排出することができる。電荷排出トランジスタTDの平面レイアウトや動作等については、第3 実施形態に説明した通りである。

[0311] 本実施形態によれば、フォトダイオードPDで発生した不要な信号電荷を排除することができる。よって、このような不要な信号電荷が、キャパシタ層C 1 および浮遊拡散領域FD 1 の電荷Q 1、Q 2に影響することを抑制することができる。

[0312] (第5 2 実施形態)

図7 5は、第5 2 実施形態による画素1 0の構成の一例を示す等価回路図である。本実施形態による画素1 0は、選択トランジスタSEL 1 Cと、リセットトランジスタRST 1 Cと、転送トランジスタTG 1とをさらに備えている。尚、便宜的に、ソースフォロウ回路SF 1の選択トランジスタは、SEL 1 FDとしている。

[0313] 選択トランジスタSEL 1 Cは、増幅トランジスタAMP 1と垂直信号線VSL 1 Cとの間に設けられており、画素1 0が選択されたときに増幅トランジスタAMP 1と垂直信号線VSL 1 Cとの間を接続する。これにより、選択トランジスタSEL 1 Cは、増幅トランジスタAMP 1の導通状態に応じた電圧を垂直信号線VSL 1 Cに伝達することができる。選択トランジスタSEL 1 Cのその他の構成および動作等については、第7 実施形態の選択トランジスタSEL 1と同様でよい。

[0314] リセットトランジスタRST 1 Cは、キャパシタ層C 1と浮遊拡散領域FD 1との間に設けられており、キャパシタ層C 1をリセットするときにキャ

パシタ層C 1と浮遊拡散領域F D 1を介して電源V D Dとの間を接続する。これにより、リセットトランジスタR S T 1 Cは、キャパシタ層C 1から電荷を排出してキャパシタ層C 1をリセットする。リセットトランジスタR S T 1 Cのその他の構成および動作等については、第10実施形態のリセットトランジスタR S T 1と同様でよい。

[0315] 転送トランジスタT G 1は、フォトダイオードP Dとキャパシタ層C 1との間に設けられており、フォトダイオードP Dからの電荷をキャパシタ層C 1または浮遊拡散領域F D 1へ転送する。信号電荷の経路には、半導体層とシリコン酸化膜との界面がないので、電荷が経路途中でトラップされたりリデトラップされたりしない。従って、転送トランジスタT G 1は、信号電荷をスムーズにキャパシタ層C 1または浮遊拡散領域F D 1へ転送することができる。転送トランジスタT G 1は、増幅トランジスタA M P 1の機能のうち電荷の収集機能を担う。転送トランジスタT G 1のその他の構成および動作等については、第6実施形態の転送トランジスタT G 1と同様でよい。

[0316] このように、画素10が選択トランジスタS E L 1 C、リセットトランジスタR S T 1 Cおよび転送トランジスタT G 1をさらに備えることによって、チャンネル変調トランジスタとしての増幅トランジスタA M P 1は、キャパシタ層C 1に電荷を蓄積する機能およびその電荷量に応じた信号を生成する機能だけを有する。フォトダイオードP Dからキャパシタ層C 1および浮遊拡散領域F D 1への電荷転送機能、増幅トランジスタA M P 1から信号電圧を垂直信号線V S L 1 Cに伝達する選択機能、および、キャパシタ層C 1をリセットするリエット機能は、転送トランジスタT G 1、選択トランジスタS E L 1 C、リセットトランジスタR S T 1 Cがそれぞれ実行する。これにより、増幅トランジスタA M P 1の動作マージンを拡大することができ、垂直信号線V S L 1、V S L 2の信号電圧のダイナックレンジを拡大させることができる。

[0317] 尚、本実施形態による画素10は、選択トランジスタS E L 1 C、リセットトランジスタR S T 1 Cおよび転送トランジスタT G 1のいずれか1つま

たは2つを備えていてもよい。

[0318] 図76は、第52実施形態による画素10の読出し動作の一例を示すタイミング図である。まず、画素10は、浮遊拡散領域FD1およびキャパシタ層C1が電荷を蓄積していないリセット状態にあるものとする。

[0319] t11までの信号電荷の蓄積動作では、電荷排出トランジスタTD、選択トランジスタSEL1C、SEL1FD、リセットトランジスタRST1C、RST1が、オフになっている。一方、ゲート電圧G1がロウレベルであるので、増幅トランジスタAMP1がフォトダイオードPDからの信号電荷をキャパシタ層C1に蓄積する。尚、転送トランジスタTG1は、この読出し動作においてオン状態を維持している。

[0320] 次に、t11において、電荷排出トランジスタTDがオンになり、フォトダイオードPDの電荷が排出され、蓄積期間が終了する。t11～t17が読出し期間となる。

[0321] 次に、t12において、選択トランジスタSEL1C、SEL1FDがオンになる。これにより、浮遊拡散領域FD1に蓄積された電荷量Q2に基づく信号電圧が選択トランジスタSEL1FDを介して垂直信号線VSL1FDに伝達される。また、t13において、増幅トランジスタAMP1は、ゲート電極G1がハイレベルに立ち上がり、オフになる。t14において、ゲート電極G1がロウレベルよりも高く、ハイレベルよりも低い中間レベルになり、増幅トランジスタAMP1は、キャパシタ層C1の電荷量Q1に応じた電流を流す。これにより、キャパシタ層C1の電荷量Q1に応じた信号電圧が垂直信号線VSL1Cに伝達される。

[0322] 次に、t15において、リセットトランジスタRST1C、RST1がオンになり、浮遊拡散領域FD1およびキャパシタ層C1の電荷が排除される。これにより、浮遊拡散領域FD1およびキャパシタ層C1がリセット状態になる。

[0323] 次に、t16において、リセットトランジスタRST1C、RST1がオフになり、リセット動作が完了する。

- [0324] $t_{16} \sim t_{17}$ において、浮遊拡散領域FD1およびキャパシタ層C1のリセット状態の信号が読み出される。これにより、信号電荷に応じた信号状態とリセット状態との両方の信号が得られる。
- [0325] 次に、 t_{17} において、選択トランジスタSEL1C、SEL1FDがオフになる。これにより、画素10が垂直信号線VSL1C、VSL1FDから電氣的に切断させる。
- [0326] 信号状態およびリセット状態の信号がAD変換される。 $t_{17} \sim t_{18}$ において、垂直信号線VSL1Cからの信号はCDS処理される。また、垂直信号線VSL1FDからの信号は、DDS (Double Data Sampling) 処理される。尚、 $t_{15} \sim t_{16}$ のリセット動作において、キャパシタ層C1の電荷は完全に排除することができる。従って、信号処理部26は、垂直信号線VSL1Cからの信号によりCDS処理することができる。よって、キャパシタ層C1の信号電荷Q1については、kTCノイズを抑制することができる。一方、浮遊拡散領域FD1の電荷は完全に排除することができない。従って、信号処理部26は、垂直信号線VSL1FDからの信号をCDS処理することはできない。
- [0327] t_{18} 以降、蓄積動作に入り、 $t_{11} \sim t_{18}$ の動作が繰り返される。
- [0328] 本実施形態によれば、浮遊拡散領域FD1の電荷Q2についてkTCノイズは抑制できないが、キャパシタ層C1の電荷Q1の分については、kTCノイズを抑制することができる。また、本実施形態によれば、キャパシタ層C1および浮遊拡散領域FD1の両方から同時に信号を垂直信号線VSL1C、VSL1FDに出力することができる。よって、フレームレートを高速化することができる。
- [0329] 図77は、第52実施形態による画素10の読出し動作の他の例を示すタイミング図である。この例では、選択トランジスタSEL1Cは、オフを維持しており、信号電荷Q1、Q2はともに選択トランジスタSEL1FDを介して垂直信号線VSL1FDに出力される。
- [0330] t_{11} までの蓄積動作は、図76で説明した動作と同じでよい。これによ

り、フォトダイオードPDからの信号電荷がキャパシタ層C1および浮遊拡散領域FD1に蓄積される。

[0331] 次に、 t_{11} において、電荷排出トランジスタTDがオンになり、フォトダイオードPDの電荷が排出され、蓄積期間が終了する。 $t_{11} \sim t_{24}$ が読出し期間となる。 t_{12} において、増幅トランジスタAMP1は、ゲート電極G1がハイレベルに立ち上がり、オフになる。 t_{13} において、ゲート電極G1がロウレベルよりも高く、ハイレベルよりも低い中間レベルになり、増幅トランジスタAMP1は、キャパシタ層C1の電荷量Q1に応じた電流を流す。これにより、キャパシタ層C1の電荷量Q1に応じた信号電圧が垂直信号線VSL1Cに伝達される。

[0332] 次に、 t_{14} において、選択トランジスタSEL1FDがオンになる。これにより、浮遊拡散領域FD1に蓄積された電荷量Q2に基づく信号電圧が選択トランジスタSEL1FDを介して垂直信号線VSL1FDに伝達される。

[0333] 次に、 t_{15} において、リセットトランジスタRST1をオンにして、浮遊拡散領域FD1の信号電荷Q2を排除する。これにより、浮遊拡散領域FD1がリセット状態になる。

[0334] 次に、 t_{16} において、リセットトランジスタRST1をオフにして、浮遊拡散領域FD1のリセット状態に基づく信号電圧が選択トランジスタSEL1FDを介して垂直信号線VSL1FDに伝達される。この場合、浮遊拡散領域FD1の信号電荷Q2の読出しは、上述と同様にDDS処理となる。

[0335] 次に、 t_{17} において、リセットトランジスタRST1をオンにして、浮遊拡散領域FD1を再度リセット状態にする。

[0336] 次に、 t_{18} において、リセットトランジスタRST1をオフにして、浮遊拡散領域FD1のリセット状態に基づく信号電圧が選択トランジスタSEL1FDを介して垂直信号線VSL1FDに伝達される。このとき読み出されるリセット状態は、キャパシタ層C1のリセット状態と同じと考えてよい。

- [0337] 次に、 t_{19} において、リセットトランジスタ $RST1C$ をオンにして、キャパシタ層 $C1$ の信号電荷 $Q1$ を浮遊拡散領域 $FD1$ へ転送する。
- [0338] 次に、 t_{20} において、リセットトランジスタ $RST1C$ をオフにして、浮遊拡散領域 $FD1$ の信号電荷 $Q1$ に基づく信号電圧が選択トランジスタ $SEL1FD$ を介して垂直信号線 $VSL1FD$ に伝達される。
- [0339] 次に、 t_{21} において、リセットトランジスタ $RST1$ をオンにして、浮遊拡散領域 $FD1$ の信号電荷 $Q1$ を排除する。これにより、浮遊拡散領域 $FD1$ が再度リセット状態になる。
- [0340] 次に、 t_{22} において、リセットトランジスタ $RST1$ をオフにして、 t_{23} において選択トランジスタ $SEL1FD$ をオフにする。さらに、 t_{24} において、電荷排出トランジスタ TD をオフにすることによって、画素 10 は、電荷の蓄積動作をすることができる。
- [0341] この例では、画素 10 は、キャパシタ層 $C1$ のリセット状態を出力した後、信号電荷 $Q1$ の信号状態を出力している。従って、信号処理部 26 は、キャパシタ層 $C1$ の信号電荷 $Q1$ について CDS 処理を行うことができる。
- [0342] 図 77 の例では、信号電荷 $Q1$ 、 $Q2$ はともに、同一浮遊拡散領域 $FD1$ で検出され、垂直信号線 $VSL1FD$ に出力される。従って、光電変換効率が異ならないため、信号電荷 $Q1$ 、 $Q2$ の合成信号を算出する際に、キャパシタ層 $C1$ と浮遊拡散領域 $FD1$ の光電変換効率の相違を考慮する必要がない。
- [0343] (第 53 実施形態)
- 図 78 は、第 53 実施形態による画素 10 の構成の一例を示す等価回路図である。本実施形態による画素 10 は、リセットトランジスタ $RST1C$ を備えているが、選択トランジスタ $SEL1C$ と、転送トランジスタ $TG1$ とが省略されている。本実施形態のその他の構成は、第 52 実施形態と同様でよい。本実施形態は、第 52 実施形態よりも画素領域 21 を小さくしつつ、第 52 実施形態と同様にダイナミックレンジを拡大することができる。
- [0344] 本実施形態の動作は、選択トランジスタ $SEL1C$ および転送トランジスタ

タ T G 1 が省略されること以外、第 5 2 実施形態のそれと基本的に同じでよい。従って、本実施形態は、第 5 2 実施形態の効果を得ることができる。

[0345] (第 5 4 実施形態)

図 7 9 は、第 5 4 実施形態による画素 1 0 の構成の一例を示す等価回路図である。本実施形態による画素 1 0 は、リセットトランジスタ R S T 1 C および転送トランジスタ T G 1 を備えているが、選択トランジスタ S E L 1 C が省略されている。本実施形態のその他の構成は、第 5 2 実施形態と同様でよい。本実施形態は、第 5 2 実施形態よりも画素領域 2 1 を小さくしつつ、第 5 2 実施形態と同様にダイナミックレンジを拡大することができる。

[0346] 本実施形態の動作は、選択トランジスタ S E L 1 C が省略されること以外、第 5 2 実施形態のそれと基本的に同じでよい。従って、本実施形態は、第 5 2 実施形態の効果を得ることができる。

[0347] (第 5 5 実施形態)

図 8 0 は、第 5 5 実施形態による画素 1 0 の構成の一例を示す等価回路図である。本実施形態による画素 1 0 は、チャネル変調トランジスタを有さず、フォトダイオード P D に蓄積される信号電荷を Q 1 とし、キャパシタ素子 M I M (Metal Insulator Metal) に蓄積される信号電荷を Q 2 とする。キャパシタ素子 M I M は、金属層、絶縁層、金属層を積層させたキャパシタ素子である。

[0348] 本実施形態において、信号電荷 Q 1、Q 2 は、同一の浮遊拡散領域 F D およびソースフォロワ回路 S F 1 を用いて検出される。よって、信号電荷を Q 1、Q 2 は、浮遊拡散領域およびソースフォロワ回路の特性のばらつきの影響を受けることなく検出される。また、信号電荷 Q 1、Q 2 を用いることによって、ダイナミックレンジを大きくすることができる。

[0349] 画素 1 0 は、転送トランジスタ T G 1、T G 2 と、オーバーフロートランジスタ O F と、キャパシタ素子 M I M とを備えている。転送トランジスタ T G 1 は、フォトダイオード P D と浮遊拡散領域 F D との間に接続されている。オーバーフロートランジスタ O F は、フォトダイオード P D とキャパシタ

素子MIMとの間に接続されている。転送トランジスタTG2は、キャパシタ素子MIMと浮遊拡散領域FDとの間に接続されている。即ち、オーバーフロートランジスタOFおよび転送トランジスタTG2は、フォトダイオードPDと浮遊拡散領域FDとの間に直列に接続されている。第3容量素子としてのキャパシタ素子MIMは、オーバーフロートランジスタOFと転送トランジスタTG2との間のノードとグランド（基準電源）との間に接続されている。

[0350] キャパシタ素子MIMの容量は、フォトダイオードPDの容量よりも大きい。また、キャパシタ素子MIMの容量は、キャパシタ層C2の容量よりも大きい。リセットトランジスタRSTおよびソースフォロフ回路SF1の構成は、第54実施形態のそれらと同様でよい。

[0351] 図81は、第55実施形態による画素10の読出し動作の一例を示すタイミング図である。まず、初期状態として、フォトダイオードPD、キャパシタ素子MIMおよび浮遊拡散領域FDは、電荷を蓄積していない。

[0352] 次に、 t_1 以前において、フォトダイオードPDが光を受けて信号電荷を蓄積する。光量が少ない場合、フォトダイオードPDが信号電荷Q1を蓄積する。光量が多い場合、フォトダイオードPDをオーバーフローした電荷がキャパシタ素子MIMに蓄積される。キャパシタ素子MIMに蓄積された信号電荷がQ2となる。

[0353] 電荷蓄積が終了した後、キャパシタ素子MIMの読出し動作に入る。 t_1 において、選択トランジスタSELがオンになり、浮遊拡散領域FDのリセット状態を検出する。

[0354] 次に、 $t_4 \sim t_5$ において、転送トランジスタTG2がオンになり、キャパシタ素子MIMの信号電荷を浮遊拡散領域FDおよびキャパシタ層C2に転送する。これにより、キャパシタ素子MIMの信号電荷Q2に基づく信号電圧が選択トランジスタSELを介して垂直信号線VSLに伝達される。信号電荷Q2は、転送トランジスタTG2をオンにしたまま検出される。従って、信号電荷Q2は、浮遊拡散領域FD、キャパシタ層C2およびキャパシ

タ素子MIMの合成容量に応じた変換効率で検出される。

[0355] 次に、フォトダイオードPDの読出し動作に入る。t6～t7において、リセットトランジスタRSTがオンになり、浮遊拡散領域FDおよびキャパシタ層C2の電荷が排除され、浮遊拡散領域FDおよびキャパシタ層C2がリセット状態となる。

[0356] 次に、t7～t8において、浮遊拡散領域FDのリセット状態を検出する。

[0357] 次に、t8～t9において、転送トランジスタTG1がオンになり、フォトダイオードPDの信号電荷Q1を浮遊拡散領域FDおよびキャパシタ層C2に転送する。t9～t10において、フォトダイオードPDの信号電荷Q1に基づく信号電圧が選択トランジスタSELを介して垂直信号線VSLに伝達される。信号電荷Q1は、転送トランジスタTG1をオフにした後、検出される。従って、信号電荷Q1は、浮遊拡散領域FDおよびキャパシタ層C2の容量に応じた変換効率で検出される。

[0358] 次に、t10～t11において、リセットトランジスタRST、転送トランジスタTG1、TG2、オーバーフロートランジスタOFがオンになる。これにより、浮遊拡散領域FD、キャパシタ層C2、キャパシタ素子MIM、フォトダイオードPDから電荷が排除され、浮遊拡散領域FD、キャパシタ層C2、キャパシタ素子MIM、フォトダイオードPDはリセット状態になる。

[0359] 次に、t11において、転送トランジスタTG1およびオーバーフロートランジスタOFがオフになり、フォトダイオードPDをキャパシタ素子MIMおよび浮遊拡散領域FDから電氣的に分離する。さらに、t12において、リセットトランジスタRSTがオフになり、浮遊拡散領域FDおよびキャパシタ層C2が電源VDDから切断される。t13において、転送トランジスタTG2がオフになり、キャパシタ素子MIMが浮遊拡散領域FDおよびキャパシタ層C2から切断される。t14において、選択トランジスタSELがオフ状態になり、画素10は再度蓄積動作に入る。

- [0360] このように本実施形態によれば、光量が少ない場合、フォトダイオードPDのみが信号電荷Q1を蓄積する。この場合、信号電荷Q1は、浮遊拡散領域FDおよびキャパシタ層C2の比較的小さい容量で検出される。これにより、画素10は、微細な光を高変換効率で変換することができる。
- [0361] 一方、光量が多い場合、キャパシタ素子M1Mに蓄積された信号電荷Q2は、浮遊拡散領域FD、キャパシタ層C2およびキャパシタ素子M1Mの比較的大きな容量で検出される。これにより、画素10は、光量の大きな光を変換することができる。
- [0362] また、本実施形態では、画素10は、リセット状態を検出した後に、信号電荷Q1、Q2を検出している。従って、信号処理部26は、信号電荷Q1、Q2のいずれに対応する信号にもCDS処理を行うことができる。従って、S/N比 (Signal-to-Noise Ratio) の良好は信号を得ることができる。
- [0363] 図82は、第55実施形態による画素10の読出し動作の他の例を示すタイミング図である。まず、初期状態として、フォトダイオードPD、キャパシタ素子M1Mおよび浮遊拡散領域FDは、電荷を蓄積していない。
- [0364] 次に、 t_1 以前において、フォトダイオードPDが光を受けて信号電荷を蓄積する。この電荷蓄積動作は、図81を参照して説明した通りである。
- [0365] 電荷蓄積が終了した後、キャパシタ素子M1Mの読出し動作に入る。 t_1 において、選択トランジスタSELがオンになり、 t_2 において、リセットトランジスタRSTがオンになる。これにより、浮遊拡散領域FDおよびキャパシタ層C2の電荷が排除され、浮遊拡散領域FDおよびキャパシタ層C2はリセット状態になる。
- [0366] t_3 において、リセットトランジスタRSTがオフになり、浮遊拡散領域FDのリセット状態を検出する。
- [0367] 次に、 $t_4 \sim t_5$ における信号電荷Q2の読出し動作は、図81の $t_4 \sim t_5$ の読出し動作と同じでよい。
- [0368] 次に、フォトダイオードPDの読出し動作に入る。 $t_6 \sim t_7$ において、リセットトランジスタRSTがオンになり、浮遊拡散領域FDおよびキャパ

シタ層C 2 がリセット状態となる。

[0369] t 7 ~ t 1 0 におけるリセット状態の読出し動作、および、信号電荷Q 1 の読出し動作は、図8 1 のt 7 ~ t 1 0 の読出し動作と同じでよい。

[0370] 次に、t 1 0 ~ t 1 1 において、リセットトランジスタR S T、転送トランジスタT G 1、T G 2、オーバーフロートランジスタO Fがオンになる。これにより、浮遊拡散領域F D、キャパシタ層C 2、キャパシタ素子M I M、フォトダイオードP Dから電荷が排除され、浮遊拡散領域F D、キャパシタ層C 2、キャパシタ素子M I M、フォトダイオードP Dはリセット状態になる。

[0371] 次に、t 1 1 において、リセットトランジスタR S Tがオフになり、t 1 2 において、転送トランジスタT G 1 およびオーバーフロートランジスタO Fがオフになり、t 1 3 において、転送トランジスタT G 2 がオフになる。t 1 4 において、選択トランジスタS E L がオフ状態になり、画素1 0 は再度蓄積動作に入る。

[0372] この例では、信号電荷Q 1、Q 2を検出するごとに、浮遊拡散領域F Dおよびキャパシタ層C 1 をリセットしている。従って、信号電荷Q 1 と信号電荷Q 2 との読出し信号に含まれるk T C ノイズ成分が互いに異なってしまう。このため、信号電荷Q 1、Q 2 の読出し動作は、D D S 動作になる。しかしながら、検出可能な光量のダイナミックレンジを拡大することはできる。

[0373] (第5 6 実施形態)

図8 3 は、第5 6 実施形態による画素1 0 の構成の一例を示す等価回路図である。本実施形態による画素1 0 は、キャパシタ素子としてM I M容量に代えて、C C D素子およびキャパシタ層C cを用いている点で第5 5 実施形態と異なる。C C D素子は、オーバーフロートランジスタO Fと転送トランジスタT G 2 との間に設けられており、キャパシタ層C cに蓄積された電荷を完全転送することができる。よって、信号電荷Q 1、Q 2に対応するいずれの信号もC D S処理することができる。従って、本実施形態によるC I Sは、S / N比の良好な信号を得ることができる。尚、キャパシタ層C cの容

量は、フォトダイオードPDの容量よりも充分に大きい。

[0374] 本実施形態において、信号電荷をQ1、Q2は、同一の浮遊拡散領域FDおよびソースフォロワ回路SF1を用いて検出される。よって、信号電荷Q1、Q2は、浮遊拡散領域およびソースフォロワ回路の特性のばらつきの影響を受けることなく検出される。また、フォトダイオードPDおよびキャパシタ層Ccを用いることによって、ダイナミックレンジを大きくすることができる。

[0375] 本実施形態のその他の構成は、第55実施形態の対応する構成と同様でよい。よって、第56実施形態は、第55実施形態と同様の効果も得ることができる。

[0376] 図84は、第56実施形態による画素10の読出し動作の一例を示すタイミング図である。まず、初期状態として、フォトダイオードPD、CCD素子および浮遊拡散領域FDは、電荷を蓄積していない。

[0377] 次に、 t_1 以前において、フォトダイオードPDが光を受けて信号電荷を蓄積する。オーバーフロートランジスタOFのゲート電圧はハイレベルとロウレベルとの間の略中間電圧 V_m となっており、オンとオフとの中間の導通状態となっている。

[0378] 光量が少ない場合、フォトダイオードPDが信号電荷Q1を蓄積する。光量が多い場合、フォトダイオードPDをオーバーフローした電荷がCCD素子の直下のキャパシタ層Ccに蓄積される。キャパシタ層Ccに蓄積された信号電荷がQ2となる。

[0379] 電荷蓄積が終了した後、キャパシタ層Ccの信号電荷Q2の読出し動作に入る。 t_1 において、選択トランジスタSELがオンになり、浮遊拡散領域FDのリセット状態を検出する。

[0380] 次に、 $t_4 \sim t_5$ において、CCD素子がオフになり、転送トランジスタTG2がオンになる。これにより、キャパシタ層Ccの信号電荷Q2を浮遊拡散領域FDおよびキャパシタ層C2に転送する。 t_5 において、CCD素子がオンになり、転送トランジスタTG2がオフになる。

- [0381] 次に、 $t_5 \sim t_6$ において、キャパシタ層 C_c の信号電荷 Q_2 に基づく信号電圧が選択トランジスタ SEL を介して垂直信号線 VSL に伝達される。
- [0382] 次に、フォトダイオード PD の読出し動作に入る。 $t_6 \sim t_7$ において、リセットトランジスタ RST がオンになり、浮遊拡散領域 FD およびキャパシタ層 C_2 がリセット状態となる。
- [0383] $t_7 \sim t_{10}$ におけるリセット状態の読出し動作、および、信号電荷 Q_1 の読出し動作は、図81の $t_7 \sim t_{10}$ の読出し動作と同じでよい。
- [0384] 次に、 $t_{10} \sim t_{11}$ において、リセットトランジスタ RST 、転送トランジスタ TG_1 、 TG_2 がオンになる。 CCD 素子はオフでよい。これにより、浮遊拡散領域 FD 、キャパシタ層 C_2 、キャパシタ層 C_c 、フォトダイオード PD から電荷が排除され、浮遊拡散領域 FD 、キャパシタ層 C_2 、キャパシタ素子 MIM 、フォトダイオード PD はリセット状態になる。
- [0385] 次に、 t_{11} において、転送トランジスタ TG_1 、 TG_2 がオフになり、 CCD 素子がオンになる。 t_{12} において、リセットトランジスタ RST がオフになり、 t_{13} において、選択トランジスタ SEL がオフ状態になる。これにより、画素10は再度蓄積動作に入る。
- [0386] 本実施形態では、 MIM 容量に代えて CCD 素子およびキャパシタ層 C_c を用いているが、第55実施形態と同様の効果を得ることができる。
- [0387] 図85は、第56実施形態による画素10の読出し動作の一例を示すタイミング図である。まず、初期状態として、フォトダイオード PD 、 CCD 素子および浮遊拡散領域 FD は、電荷を蓄積していない。
- [0388] 次に、 t_1 以前において、フォトダイオード PD が光を受けて信号電荷を蓄積する。電荷蓄積動作は、図84で説明した通りである。
- [0389] 電荷蓄積が終了した後、キャパシタ層 C_c の信号電荷 Q_2 の読出し動作に入る。 t_1 において、選択トランジスタ SEL がオンになり、浮遊拡散領域 FD のリセット状態を検出する。
- [0390] 次に、 $t_2 \sim t_3$ において、リセットトランジスタ RST がオンになり、浮遊拡散領域 FD およびキャパシタ層 C_2 から電荷を排除してリセットする

。浮遊拡散領域FDで発生する暗電流が大きい場合、このようにリセット状態の読出しの直前に浮遊拡散領域FDおよびキャパシタ層C2の電荷を排除することによって、浮遊拡散領域FDおよびキャパシタ層C2のリセット状態を正確に検出することができる。

[0391] t3において、リセットトランジスタRSTがオフになり、リセット動作が終了した後、t3～t10におけるキャパシタ層Ccの信号電荷Q2およびフォトダイオードPDの信号電荷Q1の読出し動作は、図84のt3～t10の動作と同様でよい。

[0392] その後のt10～t14のリセット動作も図84のt10～t14の動作と同様でよい。尚、図85では、t11において、リセットトランジスタRSTがオフになり、t13において、転送トランジスタTG2がオフになっている。このように、リセットトランジスタRSTと転送トランジスタTG2がオフになるタイミングは逆であってもよい。

[0393] このように、浮遊拡散領域FDのリセット状態の読出しにおいて、その直前に浮遊拡散領域FDおよびキャパシタ層C2の電荷を排除してもよい。これにより、浮遊拡散領域FDで発生する暗電流が大きい場合であっても、浮遊拡散領域FDおよびキャパシタ層C2のリセット状態を正確に検出することができる。

[0394] (第57実施形態)

図86は、第57実施形態による画素10の構成の一例を示す等価回路図である。本実施形態によれば、フォトダイオードPDと浮遊拡散領域FDとの間にCCD素子および転送トランジスタTG3が設けられている。CCD素子の直下には、キャパシタ層Ccが設けられている。キャパシタ層Ccは、CCD素子の動作によってフォトダイオードPDからの電荷を蓄積することができる。例えば、CCD素子のゲート電圧がハイレベルに立ち上げられることによって、キャパシタ層Ccは、電荷（例えば、電子）を蓄積する。CCD素子は、転送トランジスタTG3を介して浮遊拡散領域FDに接続されるものの、浮遊拡散領域FDに直接接続はされていない。

[0395] 本実施形態では、光量が少ない場合、フォトダイオードPDからの電荷は、CCD素子の直下のキャパシタ層Ccに蓄積される。キャパシタ層Ccに蓄積された信号電荷がQ1である。光量が多い場合、キャパシタ層Ccをオーバーフローした電荷が転送トランジスタTG3を介して浮遊拡散領域FDおよびキャパシタ層C2に蓄積される。キャパシタ層C2に蓄積された信号電荷がQ2となる。

[0396] 浮遊拡散領域FD、キャパシタ層C2、リセットトランジスタRST、ソースフォロワ回路SF1の構成は、第56実施形態のそれらの構成と同様でよい。

[0397] 本実施形態では、まず、浮遊拡散領域FDの信号電荷Q2に応じた信号電圧を垂直信号線VSLに読み出す。この場合、浮遊拡散領域FDの信号電荷Q2を検出した後、浮遊拡散領域FDのリセット状態を検出する。従って、信号電荷Q2の読出しは、DDSD動作となる。

[0398] 次に、CCD素子のゲート電圧を立ち下げ、かつ、転送トランジスタTG3のゲート電圧を立ち上げることによって、キャパシタ層Ccの電荷Q1を浮遊拡散領域FDへ転送する。これにより、浮遊拡散領域FDの信号電荷Q1に応じた信号電圧を垂直信号線VSLに読み出す。このとき、浮遊拡散領域FDのリセット状態を検出した後、キャパシタ層Ccの信号電荷Q1を検出することができる。従って、信号電荷Q1の読出しは、CDS処理可能となる。

[0399] 本実施形態においても、信号電荷をQ1、Q2は、同一の浮遊拡散領域FDおよびソースフォロワ回路SF1を用いて検出される。よって、信号電荷Q1、Q2は、浮遊拡散領域およびソースフォロワ回路の特性のばらつきの影響を受けることなく検出される。また、フォトダイオードPDおよびキャパシタ層Ccを用いることによって、ダイナミックレンジを大きくすることができる。

[0400] (第58実施形態)

図87は、第58実施形態による画素10の構成の一例を示す等価回路図

である。図88は、第58実施形態による画素10のレイアウトの一例を示す平面図である。本実施形態によれば、画素10は、フォトダイオードPDの電荷を排出する電荷排出トランジスタTDをさらに備えている。電荷排出トランジスタTDは、電源VDDとフォトダイオードPDのカソードとの間に接続されており、フォトダイオードPDに蓄積された電荷（例えば、電子）を電源VDDへ排出することができる。よって、S/N比の良好は信号を得ることができる。

[0401] 図88に示す平面レイアウトにおいて、CCD素子は、フォトダイオードPDの一辺に隣接して配置されており、CCD素子に隣接して転送トランジスタTG3、浮遊拡散領域FD、リセットトランジスタRST、電源VDDの順に隣接して配置されている。電荷排出トランジスタTDは、CCD素子が配置されている辺とは反対側のフォトダイオードPDの辺に配置されている。電荷排出トランジスタTDは、例えば、n型MOSFETである。フォトダイオードPDが光Lを受ける際には、電荷排出トランジスタTDはオフしている。フォトダイオードPDが光Lを受けていないときには、電荷排出トランジスタTDはオンする。

[0402] 第58実施形態のその他の構成は、第57実施形態の対応する構成と同様でよい。これにより、第58実施形態は、第57実施形態の効果も得ることができる。

[0403] 図89～図96は、第58実施形態による画素10の動作を示すポテンシャル図である。図89～図96は、図88のA-A線に沿った断面におけるポテンシャルを示す。横軸は、位置を示し、縦軸は、ポテンシャルを示している。尚、ポテンシャルは、下方が正極方向となっている。

[0404] 図89～図91は、信号電荷Q1、Q2を別々に蓄積する例である。

[0405] 図89に示すように、まず、リセットトランジスタRSTのゲート電圧をハイレベルにして、リセットトランジスタRSTをオンにする。これにより、浮遊拡散領域FDの電荷（例えば、電子）を排除してリセット状態にする。

- [0406] 次に、図90に示すように、リセットトランジスタRSTをオフにした後、浮遊拡散領域FDのリセット状態に応じた信号電圧がまずソースフォロワ回路SF1を介して垂直信号線VSLに出力される。また、信号電荷の蓄積動作が開始される。このとき、CCD素子のポテンシャル電位は、転送トランジスタTG3のポテンシャル電位よりも低い。これにより、信号電荷Q2がCCD素子を通過して浮遊拡散領域FDに蓄積される。信号電荷Q1はキャパシタ層Ccにはまだ蓄積されない。
- [0407] 信号電荷Q2の蓄積後、浮遊拡散領域FDに蓄積された信号電荷Q2に応じた信号電圧がソースフォロワ回路SF1を介して垂直信号線VSLに出力される。
- [0408] 次に、図91に示すように、転送トランジスタTG3のゲート電圧をロウレベルにし、CCD素子のゲート電圧よりも低いポテンシャルにする。これにより、CCD素子の直下のキャパシタ層Ccに信号電荷Q1が蓄積される。
- [0409] 信号電荷Q1の蓄積後、図92に示すように、電荷排出トランジスタTDがオンになり、フォトダイオードPDの電荷が排除される。
- [0410] 次に、図93に示すように、リセットトランジスタRSTをオンにする。これにより、浮遊拡散領域FDの信号電荷Q2を排除してリセット状態にする。次に、図94に示すように、リセットトランジスタRSTをオフにした後、浮遊拡散領域FDのリセット状態に応じた信号電圧がソースフォロワ回路SF1を介して垂直信号線VSLに出力される。
- [0411] 次に、図95に示すように、転送トランジスタTG3をオンにし、信号電荷Q1が浮遊拡散領域FDに転送される。次に、図96に示すように、転送トランジスタTG3をオフにした後、浮遊拡散領域FDに転送された信号電荷Q1に応じた信号電圧がソースフォロワ回路SF1を介して垂直信号線VSLに出力される。その後、図89のリセット状態に戻る。
- [0412] 本実施形態によれば、信号電荷Q1、Q2のいずれも、浮遊拡散領域FDのリセット状態を検出した後に検出されている。従って、信号電荷Q1、Q

2の読出しは、ともにCDS処理可能となる。従って、S/N比の向上につながる。

[0413] 信号電荷Q1、Q2は、それぞれ個別に蓄積された電荷であってもよい。しかし、CCD素子のキャパシタ層Ccからオーバーフローした電荷を信号電荷Q2として浮遊拡散領域FDに蓄積してもよい。この場合、信号電荷がキャパシタ層Ccの容量より少ない場合、信号電荷はキャパシタ層Ccをオーバーフローしないので、キャパシタ層Ccのみに信号電荷Q1が蓄積され、信号電荷Q2はゼロとなる。一方、信号電荷がキャパシタ層Ccの容量より多い場合、信号電荷は、キャパシタ層Ccをオーバーフローし、浮遊拡散領域FDに蓄積される。この場合、キャパシタ層Ccおよび浮遊拡散領域FDの両方に信号電荷Q1、Q2が蓄積される。

[0414] このように、信号電荷Q2は、キャパシタ層Ccからオーバーフローした信号電荷であってもよい。これより、キャパシタ層Ccおよび浮遊拡散領域FDを用いることによって、検出可能な信号電荷量を多くすることができるので、画素10のダイナミックレンジを大きくすることができる。

[0415] (第59実施形態)

図97は、第59実施形態による画素10の構成の一例を示す等価回路図である。図98は、第59実施形態による画素10のレイアウトの一例を示す平面図である。本実施形態による画素10は、フォトダイオードPDと転送トランジスタTG3との間に直列に接続された複数のCCD素子CCD1、CCD2(以下、単に、CCD1、CCD2と呼ぶ)を備えている。CCD1の直下には、キャパシタ層Cc1が設けられている。CCD2の直下には、キャパシタ層Cc2が設けられている。浮遊拡散領域FDには、キャパシタ層C2は接続されていない。

[0416] 図98に示す平面レイアウトにおいて、CCD1は、フォトダイオードPDの一辺に隣接して配置されており、CCD1に隣接してCCD2が配置されている。また、CCD2に隣接して転送トランジスタTG3、浮遊拡散領域FD、リセットトランジスタRST、電源VDDの順に隣接して配置され

ている。電荷排出トランジスタTDは、CCD素子が配置されている辺とは反対側のフォトダイオードPDの辺に配置されている。

[0417] 本実施形態では、CCD1の直下のキャパシタ層Cc1が信号電荷Q1を蓄積し、CCD2の直下のキャパシタ層Cc2が信号電荷Q2を蓄積する。第58実施形態と同様に、信号電荷Q1、Q2は、別々に蓄積されてもよい。あるいは、まずキャパシタ層Cc1に信号電荷Q1を蓄積し、キャパシタ層Cc1からオーバーフローした信号電荷を信号電荷Q2としてキャパシタ層Cc2に蓄積してもよい。さらに、キャパシタ層Cc1およびCc2からオーバーフローした信号電荷を、浮遊拡散領域FDに蓄積してもよい。これにより、検出可能な信号電荷量を多くすることができるので、画素10のダイナミックレンジを大きくすることができる。

[0418] また、本実施形態においても、信号電荷をQ1、Q2は、同一の浮遊拡散領域FDおよびソースフォロワ回路SF1を用いて検出される。よって、信号電荷Q1、Q2は、浮遊拡散領域およびソースフォロワ回路の特性のばらつきの影響を受けることなく検出される。

[0419] 第59実施形態のその他の構成は、第58実施形態の対応する構成と同様でよい。これにより、第59実施形態は、第58実施形態の効果も得ることができる。

[0420] 図99～図108は、第59実施形態による画素10の動作を示すポテンシャル図である。図99～図108は、図98のA-A線に沿った断面におけるポテンシャルを示す。横軸は、位置を示し、縦軸は、ポテンシャルを示している。尚、ポテンシャルは、下方が正極方向となっている。

[0421] 図99～図108は、信号電荷Q1、Q2を別々に蓄積する例である。

[0422] 図99に示すように、まず、リセットトランジスタRSTおよび転送トランジスタTG3のそれぞれのゲート電圧をハイレベルにして、リセットトランジスタRSTおよび転送トランジスタTG3をオンにする。これにより、浮遊拡散領域FD、CCD1およびCCD2の電荷（例えば、電子）を排除してリセット状態にする。

- [0423] 次に、図100に示すように、リセットトランジスタRSTおよび転送トランジスタTG3をオフにして、信号電荷の蓄積動作が開始される。このとき、CCD2のゲート電圧を転送トランジスタTG3のゲート電圧よりもハイレベルにする。これにより、信号電荷Q2がCCD2のキャパシタ層Cc2に蓄積される。また、このとき、CCD2のゲート電圧は、CCD1のゲート電圧よりもポテンシャルが低いので、キャパシタ層Cc1に信号電荷Q1は蓄積されない。
- [0424] 次に、図101に示すように、CCD1のゲート電圧をハイレベルにし、CCD1のキャパシタ層Cc2に信号電荷Q1を蓄積する。
- [0425] 信号電荷Q1、Q2の蓄積動作の後、図102に示すように、リセットトランジスタRSTのゲート電圧をハイレベルにして、浮遊拡散領域FDを再度リセット状態にする。これにより、浮遊拡散領域FDにおけるPLSのノイズ成分を排除することができる。リセットトランジスタRSTをオフにした後、浮遊拡散領域FDのリセット状態に応じた信号電圧がまずソースフォロワ回路SF1を介して垂直信号線VSLに出力される。
- [0426] 次に、図103に示すように、転送トランジスタTG3のゲート電圧をハイレベルにする。これにより、転送トランジスタTG3がオンになり、CCD1の信号電荷Q2が浮遊拡散領域FDへ転送される。
- [0427] 次に、図104に示すように、転送トランジスタTG3のゲート電圧がロウレベルになり、転送トランジスタTG3がオフになる。次に、浮遊拡散領域FDに蓄積された信号電荷Q2に応じた信号電圧がソースフォロワ回路SF1を介して垂直信号線VSLに出力される。
- [0428] 次に、図105に示すように、CCD1のゲート電圧がCCD2のゲート電圧よりもロウレベルになり、キャパシタ層Cc1の信号電荷Q1がCCD2に転送される。
- [0429] 信号電荷Q2に応じた信号電圧が読み出された後、リセットトランジスタRSTを再度オンにして、図106に示すように、浮遊拡散領域FDの信号電荷Q2を排除してリセット状態にする。リセットトランジスタRSTをオ

フにした後、浮遊拡散領域FDのリセット状態に応じた信号電圧がまずソースフォロワ回路SF1を介して垂直信号線VSLに出力される。

[0430] 次に、図107に示すように、転送トランジスタTG3のゲート電圧をハイレベルにする。これにより、転送トランジスタTG3がオンになり、CCD1に転送された信号電荷Q1が浮遊拡散領域FDへさらに転送される。

[0431] 次に、図108に示すように、浮遊拡散領域FDに蓄積された信号電荷Q1に応じた信号電圧がソースフォロワ回路SF1を介して垂直信号線VSLに出力される。

[0432] その後、図99を参照して説明したように、リセットトランジスタRSTのゲート電圧がハイレベルになり、リセットトランジスタRSTがオンになる。これにより、浮遊拡散領域FDの信号電荷Q1が排除されリセットされる。

[0433] 本実施形態では、浮遊拡散領域FDのリセット状態を検出した後、キャパシタ層Cc1、Cc2の信号電荷Q1、Q2を検出することができる。従って、信号電荷Q1、Q2の読出しは、CDS処理可能である。その結果、S/N比の向上につながる。

[0434] このように、信号電荷Q1、Q2は、それぞれ別々にCCD1、CCD2に蓄積された電荷であってもよい。しかし、CCD1のキャパシタ層Cc1からオーバーフローした電荷を信号電荷Q2としてCCD2に蓄積してもよい。この場合、信号電荷がキャパシタ層Cc1の容量より少ない場合、信号電荷はキャパシタ層Cc1をオーバーフローしないので、キャパシタ層Cc1のみに信号電荷Q1が蓄積され、信号電荷Q2はゼロとなる。一方、信号電荷がキャパシタ層Cc1の容量より多い場合、信号電荷は、キャパシタ層Cc1をオーバーフローし、キャパシタ層Cc2に蓄積される。この場合、キャパシタ層Cc1、Cc2の両方に信号電荷Q1、Q2が蓄積される。このようにキャパシタ層Cc1、Cc2を用いることによって、検出可能な信号電荷量を多くすることができるので、画素10のダイナミックレンジを大きくすることができる。

[0435] (第60実施形態)

図109は、第60実施形態による画素10の構成の一例を示す等価回路図である。図110は、第60実施形態による画素10のレイアウトの一例を示す平面図である。本実施形態による画素10は、CCD1とフォトダイオードPDとの間に転送トランジスタTG4をさらに備えている。転送トランジスタTG4は、フォトダイオードPDの信号電荷をCCD1のキャパシタ層Cc1へ転送することができる。転送トランジスタTG4を設けることによって、フォトダイオードPDからCCD1へ転送される信号電荷量の範囲を大きくすることができる。

[0436] 第60実施形態のその他の構成は、第59実施形態の対応する構成と同様でよい。これにより、第60実施形態は、第59実施形態の効果も得ることができる。

[0437] 図111は、第60実施形態による画素10の動作を示すタイミング図である。図112～図121は、第60実施形態による画素10の動作を示すポテンシャル図である。図112～図121は、図110のA-A線に沿った断面におけるポテンシャルを示す。横軸は、位置を示し、縦軸は、ポテンシャルを示している。尚、ポテンシャルは、下方が正極方向となっている。図111～図121を参照して、本実施形態による画素10の動作を説明する。

[0438] 図111～図121は、信号電荷Q1、Q2を別々に蓄積する例である。

[0439] 図112に示すように、まず、リセットトランジスタRSTおよび転送トランジスタTG3のそれぞれのゲート電圧をハイレベルにして、リセットトランジスタRSTおよび転送トランジスタTG3をオンにする。これにより、浮遊拡散領域FD、CCD1およびCCD2の電荷（例えば、電子）を排除してリセット状態にする。

[0440] 次に、図113に示すように、リセットトランジスタRSTおよび転送トランジスタTG3をオフにして、信号電荷の蓄積を開始する。このとき、CCD2および転送トランジスタTG4のゲート電圧をハイレベルにして、C

CCD 2 および転送トランジスタTG 4 をオンにする。これにより、フォトダイオードPDからの信号電荷がCCD 2のキャパシタ層Cc 2に信号電荷Q 2として蓄積される(図1 1 1のt 1以前)。このとき、CCD 1のゲート電圧は、CCD 2のゲート電圧よりも低いので、キャパシタ層Cc 1に信号電荷Q 1は蓄積されない。尚、図1 1 1のt 1以前において、電荷排出トランジスタTD、選択トランジスタSEL、リセットトランジスタRST、CCD 1は、オフになっている。

[0441] 次に、図1 1 4に示すように、CCD 1のゲート電圧をハイレベルにし、CCD 1のキャパシタ層Cc 1に信号電荷Q 1を蓄積する(t 1～t 2)。信号電荷Q 1の蓄積動作の後、転送トランジスタTG 4のゲート電圧をロウレベルに戻し、転送トランジスタTG 4をオフにする(t 2)。また、このとき、電荷排出トランジスタTDをオンにして、フォトダイオードPDの電荷を排出する。次に、選択トランジスタSELがオンになる(t 3)。

[0442] 図1 1 5に示すように、リセットトランジスタRSTのゲート電圧をハイレベルにして、浮遊拡散領域FDをリセット状態にする。これにより、浮遊拡散領域FDにおけるPLSのノイズ成分を排除することができる。リセットトランジスタRSTをオフにした後、浮遊拡散領域FDのリセット状態に応じた信号電圧がソースフォロワ回路SF 1を介して垂直信号線VSLに出力される(t 4～t 5)。

[0443] 次に、図1 1 6に示すように、転送トランジスタTG 3のゲート電圧をハイレベルにする。これにより、転送トランジスタTG 3がオンになり、CCD 1の信号電荷Q 2が浮遊拡散領域FDへ転送される(t 5～t 6)。

[0444] 次に、図1 1 7に示すように、転送トランジスタTG 3のゲート電圧がロウレベルになり、転送トランジスタTG 3がオフになる。次に、浮遊拡散領域FDに蓄積された信号電荷Q 2に応じた信号電圧がソースフォロワ回路SF 1を介して垂直信号線VSLに出力される(t 6～t 7)。

[0445] 次に、図1 1 8に示すように、CCD 1のゲート電圧がCCD 2のゲート電圧よりもロウレベルになり、キャパシタ層Cc 1の信号電荷Q 1がCCD

2に転送される（ t_7 ）。

[0446] 信号電荷 Q_2 に応じた信号電圧が読み出された後、リセットトランジスタ RST を再度オンにして、図119に示すように、浮遊拡散領域 FD の信号電荷 Q_2 を排除してリセット状態にする（ t_8 ）。これにより、浮遊拡散領域 FD における PLS のノイズ成分を排除することができる。リセットトランジスタ RST をオフにした後、浮遊拡散領域 FD のリセット状態に応じた信号電圧がソースフォロワ回路 $SF1$ を介して垂直信号線 VSL に出力される（ $t_8 \sim t_9$ ）。

[0447] 次に、図120に示すように、転送トランジスタ $TG3$ のゲート電圧をハイレベルにする。このとき、 $CCD2$ のゲート電圧をロウレベルにしてもよい。これにより、転送トランジスタ $TG3$ がオンになり、 $CCD2$ に転送された信号電荷 Q_1 が浮遊拡散領域 FD へさらに転送される（ $t_{10} \sim t_{11}$ ）。

[0448] 次に、図121に示すように、転送トランジスタ $TG3$ をオフにする（ t_{11} ）。このとき、 $CCD2$ のゲート電圧をハイレベルにする。次に、浮遊拡散領域 FD に蓄積された信号電荷 Q_1 に応じた信号電圧がソースフォロワ回路 $SF1$ を介して垂直信号線 VSL に出力される（ $t_{11} \sim t_{12}$ ）。

[0449] その後、選択トランジスタ SEL 、 $CCD1$ 、電荷排出トランジスタ TD がオフになり、転送トランジスタ $TG4$ がオンになる。さらに、リセットトランジスタ RST がオンになり、浮遊拡散領域 FD の信号電荷 Q_1 が排除され、リセットされる。その後、蓄積動作が繰り返される。

[0450] このように、信号電荷 Q_1 、 Q_2 は、それぞれ別々に読み出されてもよい。また、信号電荷 Q_2 は、キャパシタ層 Cc からオーバーフローした信号電荷であってもよい。これより検出可能な信号電荷量を多くすることができるので、画素10のダイナミックレンジを大きくすることができる。

[0451] 本実施形態では、浮遊拡散領域 FD のリセット状態を検出した後、キャパシタ層 $Cc1$ 、 $Cc2$ の信号電荷 Q_1 、 Q_2 を検出することができる。従って、信号電荷 Q_1 、 Q_2 の読出しは、 CDS 処理可能である。その結果、 S

／N比の向上につながる。

[0452] (第61実施形態)

図122は、第61実施形態による画素10の一例を示すレイアウト図とその略図である。図123は、第61実施形態による画素領域21における画素10の配置例を示す概略図である。図124は、画素10に対する光の入射方向を示す図である。図122の右側“F”は、左側の画素10のレイアウトを示すものとする。以下、レイアウトFは、図122の画素10を便宜的に示す。尚、レイアウトFは、図71に示す構成を示しているが、他の実施形態の画素10であってもよい。

[0453] 図123において、画素領域21の中心線Lc1を境界として領域Raでは、画素10は、図122のレイアウトFで配置されている。一方、領域Rbにおいて、画素10は、図122のレイアウトFを左右反転（鏡面反転）させた鏡像レイアウトで配置されている。領域Ra、Rbは、画素領域21の中心線Lc1において左右対称に設けられている。尚、画素10の数は特に限定しない。

[0454] 通常、光は、画素領域21の中心部においては画素領域21の光入射面に対して略垂直方向に入射する。しかし、光は、画素領域21の中心から離れるにしたがって、OCL (On Chip Lens) の影響により、光入射面に対して傾斜して画素領域21に入射する。この場合、画素領域21における入射光は、同心円状のシェーディングを生じる。従って、画素領域21における画素10の中心から距離および位置に依存して、受光角度が変わり、各画素10の感度がばらついたり、画素10間における混色の問題が生じる。

[0455] 例えば、図122に示すように、画素10において、フォトダイオードPDの配置が局所的に偏っている場合がある。上述のとおり、画素領域21において、光は、画素領域21の中心からの距離および位置に依存して画素10に対して傾斜して入射する。光はフォトダイオードPDに入射すれば、信号電荷に変換される。しかし、フォトダイオードPD以外の浮遊拡散領域FD等に入射するとノイズの原因となる。従って、光は、できるだけ多くフォ

トダイオードPDに入射させることが好ましい。

[0456] しかし、フォトダイオードPDの配置は偏在するため、もし、画素10を同一の向きに配置した場合、フォトダイオードPDへ入射する光量は、画素領域21の中心からの距離および位置に依存して変化する。

[0457] これに対し、本実施形態では、図123に示すように、画素領域21の中心線Lc1を境界として左右対称のレイアウトで配置されている。領域RaおよびRbの両方の各画素10において、フォトダイオードPDは、画素10内の他の構成よりも中心線Lc1に近くなるように配置される。即ち、各画素10は、フォトダイオードPDが中心線Lc1側に偏在するような向きに配置される。これにより、領域Ra、Rbのいずれにおいても、光は、図124の矢印A1方向から入射する。その結果、画素領域21の中心から傾斜する入射光が、画素10内の他のトランジスタや浮遊拡散領域FDよりもフォトダイオードPDに入射しやすくなる。これにより、画素領域21が光の入射角の影響を受け難くし、シェーディングの影響、感度のばらつき、混色の問題を抑制することができる。また、この配置により、浮遊拡散領域FDへの光の入射が或る程度抑制できるので、PLSによるノイズも抑制され得る。

[0458] 図125は、第61実施形態による画素領域21における画素10の他の配置例を示す概略図である。図124では、画素領域21の受光面内において、画素領域21の中心線Lc1、Lc2によって、画素領域21を4つの領域Ra、Rb、Rc、Rdに分割している。中心線Lc1、LC2は、互いに略直交する画素領域21の中心線である。画素領域21において、複数の画素10は、中心線Lc1を境界に左右対称、かつ、中心線Lc2を境界に前後対称に配置されている。この例では、領域Ra～Rdの各画素10において、フォトダイオードPDは、画素10内の他の構成よりも中心線Lc1、Lc2（中心CNT）に近くなるように配置される。即ち、各画素10は、フォトダイオードPDが中心線Lc1、Lc2（中心CNT）側に偏在するような向きに配置される。これにより、領域Ra～Rdのいずれにおい

ても、光は、図 1 2 4 の矢印 A 1 方向から入射する。その結果、画素領域 2 1 の中心から傾斜する入射光が、画素 1 0 内の他のトランジスタや浮遊拡散領域 F D よりもフォトダイオード P D に入射しやすくなる。これにより、画素領域 2 1 が光の入射角の影響を受け難くし、シェーディングの影響、感度のばらつき、混色の問題を抑制することができる。また、この配置により、浮遊拡散領域 F D への光の入射が或る程度抑制できるので、P L S によるノイズも抑制され得る。

[0459] 図 1 2 3、図 1 2 5 の例では、画素 1 0 のレイアウトは、2 象限または 4 象限に分割されているが、3 象限、5 象限以上に分割されてもよい。この場合、中心 C N T を通過する線で略均等に分割されることが好ましい。また、いずれの象限においても、画素 1 0 のフォトダイオード P D が中心 C N T 寄りに配置されることが好ましい。

[0460] (第 6 2 実施形態)

図 1 2 6 は、受光素子の構成例を示すブロック図である。受光素子 1 は、図 2 の構成に対してフレームメモリ F M 1、F M 2 をさらに備えている。フレームメモリ F M 1、F M 2 は、カラム処理部 2 3 と、水平駆動部 2 4 との間に設けられており、カラム処理部 2 3 で A D 変換後のデジタル信号を格納する。フレームメモリ F M 1、F M 2 は、それぞれ 1 フレーム分のデジタル信号を格納する。フレームは、画像を構成するデータであり、複数のフレームで動画を構成する。フレームレートが高い場合、単位時間に多くのフレームが必要とされる。例えば、画像は、1 秒間に 6 0 フレームまたは 1 2 0 フレームで構成される。フレームメモリ の数は、画素 1 0 のダイナミックレンジを拡大するために使用される。尚、フレームメモリ の数は、特に限定しない。

[0461] 図 1 2 7 は、信号電荷 Q 1、Q 2 に応じたデジタル信号を格納可能な受光素子の構成例を示す斜視図である。

[0462] 画素 1 0 は、第 1 半導体チップ C h i p 1 に設けられている。一方、カラム処理部 2 3、信号処理部 2 6、フレームメモリ F M 1、F M 2 等の回路は

、第2半導体チップC h i p 2に設けられている。半導体チップC h i p 1、C h i p 2は、相互に貼合されており、それぞれの垂直信号線V S Lの配線同士が接合されている（C u－C u接合）。これにより、半導体チップC h i p 1、C h i p 2は、1つの受光素子として機能する。

[0463] 尚、カラム処理部23、信号処理部26、フレームメモリF M 1、F M 2等の回路の一部は、半導体チップC h i p 1に設けてもよい。

[0464] （第63実施形態）

図128は、各フレームの信号強度の推定方法の一例を示す概念図である。1フレームの期間（例えば、1／60秒）において、信号電荷は、画素10内のフォトダイオードP Dに蓄積される。しかし、入射光の光量が非常に大きい場合、1フレーム期間において、信号電荷が画素10からオーバーフローするおそれがある。特に、画素10が微細化されると、フォトダイオードP Dの容量（飽和電荷量）が小さくなり、オーバーフローする可能性が高くなる。そこで、本実施形態によれば、画素10内のフォトダイオードP Dが1フレーム期間の一部の信号電荷を蓄積し、信号処理部26がその一部の信号電荷を用いて、1フレーム全体の信号電荷を推測する。

[0465] 例えば、本実施形態による受光素子は、1フレーム期間を8分割して8回のシャッタ期間で信号電荷を蓄積するものとする。データD T 1～D T 8は、8回のシャッタ期間で蓄積された信号電荷に対応する信号である。この場合、8回のシャッタ期間に対応するすべての信号電荷を蓄積すると、フォトダイオードP Dがオーバーフローする場合がある。

[0466] 一方、本実施形態では、例えば、フォトダイオードP Dは、最初の2回のシャッタ期間に対応する信号電荷のみを蓄積し、信号処理部26は、この2つの信号電荷に対応するデータD T 1、D T 2からデータD T 8を推定する。データD T 8は、データD T 1、D T 2の略線形の延長線上にあると推定してもよい。推定方法は、平均二乗法の回帰直線を用いればよい。このように1フレームの一部のシャッタ期間の信号から該フレーム全体の信号を推定することによって、フォトダイオードP Dの容量が小さくても、検出可能な

光量のダイナミックレンジを実質的に拡大することができる。

[0467] 尚、フォトダイオードPDは、3回～k回（ $k=3\sim7$ ）のシャッタに対応する信号電荷を蓄積し、信号処理部26は、これらの信号電荷に対応するデータDT1～DTkからデータDT8を推定してもよい。これにより、本実施形態による推定の精度がより高くなる。また、本実施形態では、1フレームを8分割しているが、1フレームの分割数は特に限定しない。1フレームを8より多く分割（例えば、16分割）した場合、画素10のダイナミックレンジをさらに拡大することができる。

[0468] （第64実施形態）

図129は、各フレームの信号強度の推定方法の他の例を示す概念図である。本実施形態では、フォトダイオードPDは、複数のフレーム期間（例えば、2/60秒）の信号電荷を蓄積する。入射光の光量が非常に小さい場合、1フレーム期間において、信号電荷がフォトダイオードPDにあまり蓄積されない。この場合、フォトンショットノイズを抑制することができない。そこで、本実施形態では、フォトダイオードPDが、複数のフレーム期間の信号電荷をまとめて蓄積し、信号処理部26は、その信号電荷を用いて、1フレームの信号を推測する。

[0469] 例えば、フレームA1～B3の蓄積期間は一定とする。フォトダイオードPDは、連続する2つのフレームA1、B1の信号電荷を蓄積する。信号処理部26は、フレームA1、B1の信号電荷に対応する信号を平均化して、フレームB1の信号とする。また、フォトダイオードPDは、連続する2つのフレームB1、A2の信号電荷を蓄積する。信号処理部26は、フレームB1、A2の信号電荷に対応する信号を平均化して、フレームA2の信号とする。同様に、信号処理部26は、フレームA2、B2の信号を平均化して、フレームB2の信号とし、フレームB2、A3の信号を平均化して、その平均値をフレームA3の信号とする。

[0470] 1画素からの1フレーム分の信号電荷が10000電子からなるものとする、S/N比は、 $20 \times \log(10000e^- / \sqrt{10000e^-}) = 4$

0 dBとなる。なお、 e^- は、電子の電荷素量である。本実施形態において、1画素の信号電荷は、20000電子となるので、 S/N 比は、 $20 \times \log(20000 e^- / \sqrt{20000 e^-}) = 46 \text{ dB}$ となる。つまり、本実施形態のように、2フレームの信号電荷に基づいて1フレームの信号を推測することによって、6 dBほど S/N 比を改善することができる。これは、フォトンショットノイズが抑制されていることを意味する。尚、最初のフレームA1の信号は、1フレームA1の信号電荷を用いて検出されるので、 S/N 比の改善はされていない。

[0471] このように、最初のフレームA1を除いて、それ以降のフレームの信号は、当該フレームとその1つ前のフレームとの信号の平均化によって演算される。そのためには、各フレームA1～B3の信号は、それぞれ複数のノードに蓄積される必要がある。

[0472] 図130は、各フレームの信号の演算方法の一例を示す概念図である。まず、第1フレームA1の信号（以下、信号A1ともいう）は、ノードNA1に保持される。第2フレームB1の信号（以下、信号B1ともいう）は、2つのノードNB1__1、NB1__2に保持される。信号処理部26は、ノードNA1の信号A1とノードNB1__1の信号B1とを平均化して信号B1とする。

[0473] 次に、第3フレームA2の信号（以下、信号A2ともいう）は、2つのノードNA2__1、NA2__2に保持される。信号処理部26は、ノードNB1__2の信号B1とノードNA2__1の信号A2とを平均化して信号A2とする。

[0474] 同様に、第4フレームB2の信号（以下、信号B2ともいう）は、2つのノードNB2__1、NB2__2に保持される。信号処理部26は、ノードNA2__2の信号A2とノードNB2__1の信号B2とを平均化して信号B2とする。

[0475] 第5フレームA3の信号（以下、信号A3ともいう）は、2つのノードNA3__1、NA3__2に保持される。信号処理部26は、ノードNB2__2

の信号B 2とノードNA 3 __ 1の信号B 2とを平均化して信号A 3とする。

[0476] 以降、同様の動作を繰り返して、信号処理部2 6は各フレームの信号を演算する。尚、本実施形態では、信号処理部2 6は、2つのフレームの信号を平均化しているが、3つ以上のフレームの信号を平均化してもよい。これにより、フォトンショットノイズがさらに抑制され得る。

[0477] また、信号処理部2 6は複数のフレームの信号を用いて、平均二乗法の回帰直線から1フレームの信号を算出してもよい。例えば、信号処理部2 6はフレームの信号A 1、B 1、A 2、B 2・・・を用いて平均二乗法の回帰直線を求め、その回帰直線の式から信号A 1を算出してもよい。

[0478] 本実施形態は、暗く光量が少ない場合、あるいは、フォトダイオードPDのサイズが比較的大きい場合に適用可能である。また、受光素子が、1つのモードとして本実施形態による駆動モードを有し、光量が閾値より少ない場合に、このモードで撮像してもよい。これにより、被写体が暗い場合であっても、受光素子は、フォトンショットノイズを削減したS/N比の良い画像を得ることができる。

[0479] (変形例)

第6 3実施形態または第6 4実施形態は、画素領域2 1の一部の画素1 0について適用してもよい。画素領域2 1の他の画素1 0は、各フレームの信号電荷に基づいて、該フレームの信号を生成する。

[0480] 例えば、画素領域2 1の一部では、1フレーム期間の一部の信号電荷を蓄積し、信号処理部2 6がその一部の信号電荷を用いて、1フレーム全体の信号電荷を推測する。画素領域2 1の他の一部では、信号処理部2 6は複数のフレームの信号を用いて、1フレームの信号を算出する。画素領域2 1の残りの画素1 0は、各フレームの信号電荷に基づいて該フレームの信号を生成する。これにより、画素領域2 1について局所的に、ダイナミックレンジを拡大したり、あるいは、フォトンショットノイズを低減させたりすることができる。

[0481] また、第6 3実施形態または第6 4実施形態は、画素1 0ごとに適用して

もよい。例えば、或る画素10では、1フレーム期間の一部の信号電荷を蓄積し、信号処理部26がその一部の信号電荷を用いて、1フレーム全体の信号電荷を推測する。他の画素10では、信号処理部26は複数のフレームの信号を用いて、1フレームの信号を算出する。残りの画素10は、各フレームの信号電荷に基づいて該フレームの信号を生成する。これにより、画素10ごとに、ダイナミックレンジを拡大したり、あるいは、フォトンショットノイズを低減させたりすることができる。

[0482] また、第63実施形態を適用する場合、1フレームの分割数は、画素領域21の部分ごと、あるいは、画素10ごとに設定してもよい。また、第64実施形態を適用する場合、1フレームの信号を算出するために用いられるフレーム数は、画素領域21の部分ごと、あるいは、画素10ごとに設定してもよい。これにより、ダイナミックレンジの拡大、あるいは、フォトンショットノイズの低減を画素領域21においてさらに詳細に設定することができる。

[0483] 第63実施形態を適用する場合、1フレームの分割数は、画素領域21の部分ごと、あるいは、画素10ごとにランダムに設定してもよい。また、第64実施形態を適用する場合、1フレームの信号を算出するために用いられるフレーム数は、画素領域21の部分ごと、あるいは、画素10ごとにランダムに設定してもよい。この場合、電荷の蓄積開始、蓄積期間、蓄積終了は画素領域21の部分ごと、あるいは、画素10ごとにランダムに設定され得る。従って、S/N比を改善した画像を得ることができる。このような受光素子は、イベントドリブンセンサ等に使用可能である。

[0484] また、電荷の蓄積時間の開始と終了は、どのタイミングでもよく、画素10ごとに最適な開始時点、蓄積時間、終了時点を設定すればよい。この動作は、AD変換処理を行単位に一括して処理する必要があるため、AD変換時間の整数倍でしか蓄積時間を設定できない制約がある。そのため、開始時点および終了時点は、任意に設定ができない。このため、画素10ごとにAD変換を行う方式に適している。さらに、イベントドリブンセンサのような動

きのあるセンサに使用できる技術である。

[0485] 尚、画素ごとに、第63または第64実施形態を適用する場合、画素ごとにAD変化を行う方式が好ましい。

[0486] (移動体への応用例)

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0487] 図131は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0488] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図131に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F（Interface）12053が図示されている。

[0489] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0490] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィ

ンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0491] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0492] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0493] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0494] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆

動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）の機能実現を目的とした協調制御を行うことができる。

[0495] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0496] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０３０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0497] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図１３１の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0498] 図１３２は、撮像部１２０３１の設置位置の例を示す図である。

[0499] 図１３２では、撮像部１２０３１として、撮像部１２１０１、１２１０２、１２１０３、１２１０４、１２１０５を有する。

[0500] 撮像部１２１０１、１２１０２、１２１０３、１２１０４、１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、

バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0501] なお、図 132 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112、12113 は、それぞれサイドミラーに設けられた撮像部 12102、12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0502] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0503] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的变化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべ

き車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0504] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0505] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0506] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 12031 に適用され得る。これにより、撮像部 12031 は、上記実施形態の効果を得ることができる。

[0507] なお、本技術は、以下のような構成をとることができる。

(1)

複数の画素を有するセンサであって、

前記画素はそれぞれ、

第 1 面を有する第 1 導電型の半導体層と、

前記半導体層内に設けられ該半導体層に入射した光を電荷に変換する光電変換部と、

前記半導体層内の前記第 1 面側に設けられた第 1 導電型の第 1 チャネル層と、

前記第 1 チャネル層の上方に設けられた第 1 ゲート電極と、

前記第 1 チャネル層の下方に設けられ、前記電荷を蓄積する第 2 導電型の第 1 キャパシタ層とを備える、センサ。

(2)

前記画素は、

前記半導体層内の前記第 1 面側に設けられた第 1 導電型の第 2 チャネル層と、

前記第 2 チャネル層の上方に設けられた第 2 ゲート電極と、

前記第 2 チャネル層の下方に設けられ、前記電荷を蓄積する第 2 導電型の第 2 キャパシタ層とをさらに備えた、(1)に記載のセンサ。

(3)

前記画素は、

前記第 1 チャネル層および前記第 1 ゲート電極を含み、第 1 信号線に電氣的に接続された第 1 増幅トランジスタをさらに備え、

前記第 1 キャパシタ層に蓄積された前記電荷の量によって、前記第 1 増幅

トランジスタの閾値が変調される、（１）に記載のセンサ。

（４）

前記画素は、

前記第２チャンネル層および前記第２ゲート電極を含み、第２信号線に電氣的に接続された第２増幅トランジスタをさらに備え、

前記第２キャパシタ層に蓄積された前記電荷の量によって、前記第２増幅トランジスタの閾値が変調される、（３）に記載のセンサ。

（５）

前記画素は、

前記半導体層内の前記第１面側に設けられ、電源に接続される第２導電型の第１電源拡散層をさらに備えた、（１）から（４）のいずれか一項に記載のセンサ。

（６）

前記画素は、

前記半導体層内の前記第１面側に設けられ、電源に接続される第２導電型の第２電源拡散層をさらに備えた、（５）のいずれか一項に記載のセンサ。

（７）

前記画素は、

前記光電変換部の電荷を排出する電荷排出トランジスタをさらに備えた、（１）から（６）のいずれか一項に記載のセンサ。

（８）

前記画素は、

前記第１信号線に接続された第１コンパレータと、

前記第１コンパレータに電流を流す第１電流回路と、

前記第２信号線に接続された第２コンパレータと、

前記第２コンパレータに電流を流す第２電流回路とをさらに備えた、（４）に記載のセンサ。

（９）

前記画素は、

前記第 1 増幅トランジスタの一端に接続され、前記第 1 増幅トランジスタからの電荷を蓄積する第 1 容量素子と、

前記第 1 容量素子と前記第 1 信号線との間に接続され、前記第 1 容量素子の電荷に応じた電圧を前記第 1 信号線に伝達する第 1 ソースフォロフ回路と、

前記第 2 増幅トランジスタの一端に接続され、前記第 2 増幅トランジスタからの電荷を蓄積する第 2 容量素子と、

前記第 2 容量素子と前記第 2 信号線との間に接続され、前記第 2 容量素子の電荷に応じた電圧を前記第 2 信号線に伝達する第 2 ソースフォロフ回路とをさらに備えた（４）に記載のセンサ。

（１０）

前記半導体層への光の入射方向から見た平面視において、前記第 1 および第 2 キャパシタ層は、前記光電変換部の一方側および他方側のそれぞれに配置されており、

前記第 1 および第 2 増幅トランジスタも、前記光電変換部の一方側および他方側のそれぞれに配置されている、（４）に記載のセンサ。

（１１）

光は、前記第 1 面とは反対側の前記半導体層の第 2 面から入射する、（１）から（１０）のいずれか一項に記載のセンサ。

（１２）

前記半導体層への光の入射方向から見た平面視において、前記第 1 および第 2 キャパシタ層に重複するように設けられ、前記光電変換部には重複しない遮光膜を備えた、（１１）に記載のセンサ。

（１３）

前記半導体層への光の入射方向から見た平面視において、前記第 1 および第 2 キャパシタ層に重複するように設けられ、前記光電変換部に光を反射する反射部を備えた、（１１）または（１２）に記載のセンサ。

(14)

前記画素は、

前記光電変換部からの電荷を前記第1キャパシタ層へ転送する第1転送トランジスタと、

前記光電変換部からの電荷を前記第2キャパシタ層へ転送する第2転送トランジスタとを備えた、(2)または(4)のいずれか一項に記載のセンサ。

(15)

前記画素は、

前記第1増幅トランジスタと前記第1信号線との間に接続された第1選択トランジスタと、

前記第2増幅トランジスタと前記第2信号線との間に接続された第2選択トランジスタとをさらに備えた、(4)に記載のセンサ。

(16)

前記画素は、

前記第1キャパシタ層と前記第1電源拡散層との間に設けられた第1リセットトランジスタと、

前記第2キャパシタ層と前記第2電源拡散層との間に設けられた第2リセットトランジスタとをさらに備えた、(6)に記載のセンサ。

(17)

前記複数の画素を含む第1半導体チップと、

前記第1信号線に接続された第1コンパレータ、前記第1コンパレータに電流を流す第1電流回路、前記第2信号線に接続された第2コンパレータ、および、前記第2コンパレータに電流を流す第2電流回路とを含む第2半導体チップとを備え、

前記第1半導体チップと前記第2半導体チップとは貼合されている、(4)に記載のセンサ。

(18)

前記第 1 および前記第 2 半導体チップのそれぞれの前記第 1 信号線を接合し、前記第 1 および前記第 2 半導体チップのそれぞれの前記第 2 信号線を接合することによって、前記第 1 および第 2 半導体チップは電氣的に接続されている、(17)に記載のセンサ。

(19)

前記複数の画素は、対象物の画像を取得する撮像素素で、前記対象物までの距離を測定する測距画素である、(1)から(18)のいずれか一項に記載のセンサ。

(20)

前記画素は、前記第 1 および第 2 キャパシタ層に信号電荷が蓄積された信号状態に応じた信号電圧を前記第 1 および第 2 信号線に伝達し、その後、前記信号電荷を排出した前記第 1 および第 2 キャパシタ層のリセット状態に応じたリセット電圧を前記第 1 および第 2 信号線に伝達し、

前記信号電圧と前記リセット電圧とが相関二重サンプリング処理される、(1)から(19)のいずれか一項に記載のセンサ。

(21)

前記画素は、

前記半導体層内の前記第 1 面側に設けられ、前記第 1 キャパシタ層からの電荷を蓄積する第 2 導電型の第 1 浮遊拡散領域と、

前記半導体層内の前記第 1 面側に設けられ、前記第 2 キャパシタ層からの電荷を蓄積する第 2 導電型の第 2 浮遊拡散領域とをさらに備え、

前記第 1 キャパシタ層の蓄積電荷に応じた信号を伝達する第 1 信号線と、
前記第 2 キャパシタ層の蓄積電荷に応じた信号を伝達する第 2 信号線と、
前記第 1 浮遊拡散領域の蓄積電荷に応じた信号を伝達する第 3 信号線と、
前記第 2 浮遊拡散領域の蓄積電荷に応じた信号を伝達する第 4 信号線とをさらに備えた、(2)に記載のセンサ。

(22)

前記第 1 浮遊拡散領域は、前記第 1 キャパシタ層からオーバーフローした

電荷を蓄積し、

前記第2浮遊拡散領域は、前記第2キャパシタ層からオーバーフローした電荷を蓄積する、(21)に記載のセンサ。

(23)

前記第1および第2キャパシタ層は、第1周波数で振り分けられた前記光電変換部からの電荷を蓄積した後に、前記第1および第2浮遊拡散領域へそれぞれ転送し、

その後、前記第1および第2キャパシタ層は、第2周波数で振り分けられた前記光電変換部からの電荷を蓄積する、(21)に記載のセンサ。

(24)

複数の画素を有するセンサであって、

前記画素はそれぞれ、

入射した光を電荷に変換する光電変換部と、

前記光電変換部からの電荷を交互に振り分ける第1および第2振分けトランジスタと、前記第1および第2振分けトランジスタで振り分けられた電荷をそれぞれ蓄積する第1および第2メモリ部と、

前記第1および第2メモリ部からの電荷をそれぞれ蓄積する第3および第4メモリ部とを備えた、センサ。

(25)

前記第1および第2メモリ部の電荷を個別に、あるいは、まとめて蓄積する第1浮遊拡散領域と、

前記第3および第4メモリ部の電荷を個別に、あるいは、まとめて蓄積する第2浮遊拡散領域と、

前記第1浮遊拡散領域の電荷に応じた電圧を第1信号線に出力する第1増幅トランジスタと、

前記第2浮遊拡散領域の電荷に応じた電圧を第2信号線に出力する第2増幅トランジスタとをさらに備えた、(24)に記載のセンサ。

(26)

前記第 1 および第 2 メモリ部の電荷を個別に、あるいは、まとめて蓄積し、かつ、前記第 3 および第 4 メモリ部の電荷を個別に、あるいは、まとめて蓄積する共通の浮遊拡散領域と、

前記浮遊拡散領域の電荷に応じた電圧を信号線に出力する共通の増幅トランジスタとをさらに備えた、(24)に記載のセンサ。

(27)

前記第 1 および第 2 メモリ部は、前記第 1 振分けトランジスタと前記第 1 増幅トランジスタとの間に直列に接続され、

前記第 3 および第 4 メモリ部は、前記第 2 振分けトランジスタと前記第 2 増幅トランジスタとの間に直列に接続されている、(25)または(26)に記載のセンサ。

(28)

前記第 1 および第 2 メモリ部は、並列に接続され、

前記第 3 および第 4 メモリ部は、並列に接続されている、(24)から(26)のいずれか一項に記載のセンサ。

(29)

前記第 1 および第 2 メモリ部は、電荷を CCD 転送し、

前記第 3 および第 4 メモリ部は、電荷を CCD 転送する、(24)から(28)のいずれか一項に記載のセンサ。

(30)

前記半導体層内の前記第 1 面側に設けられ、前記第 1 キャパシタ層からの電荷を蓄積する第 2 導電型の第 1 浮遊拡散領域と、

前記第 1 キャパシタ層の蓄積電荷に応じた信号を伝達する第 1 信号線と、

前記第 1 浮遊拡散領域の蓄積電荷に応じた信号を伝達する第 3 信号線と、さらに備えた、(1)に記載のセンサ。

(31)

前記第 1 浮遊拡散領域と前記第 3 信号線との間に設けられたソースフォロフ回路をさらに備えた、(30)に記載のセンサ。

(32)

前記画素は、

前記光電変換部からの電荷を前記第1キャパシタ層へ転送する第1転送トランジスタをさらに備えた、(30)または(31)に記載のセンサ。

(33)

前記画素は、

前記第1増幅トランジスタと前記第1信号線との間に接続された第1選択トランジスタをさらに備えた、(30)から(32)のいずれか一項に記載のセンサ。

(34)

前記画素は、

前記第1キャパシタ層と前記第1浮遊拡散領域との間に設けられた第1リセットトランジスタと、

前記第1浮遊拡散領域と電源との間に設けられた第2リセットトランジスタとをさらに備えた、(30)から(33)のいずれか一項に記載のセンサ。

(35)

前記画素は、

前記光電変換部と前記第1浮遊拡散領域との間に接続された第1転送トランジスタと、前記光電変換部と前記第1浮遊拡散領域との間に直列に接続されたオーバーフロートランジスタおよび第2転送トランジスタと、

前記オーバーフロートランジスタと前記第2転送トランジスタとの間のノードと基準電源との間に接続された第3容量素子とをさらに備えた、(30)または(31)に記載のセンサ。

(36)

前記画素は、

前記光電変換部と前記第1浮遊拡散領域との間に接続された第1転送トランジスタと、前記光電変換部と前記第1浮遊拡散領域との間に設けられた

オーバーフロートランジスタ、第2転送トランジスタと、

前記オーバーフロートランジスタと前記第2転送トランジスタとの間に設けられたCCD素子とをさらに備えた、(30)または(31)に記載のセンサ。

(37)

複数の画素を有するセンサであって、

前記画素はそれぞれ、

入射した光を電荷に変換する光電変換部と、

前記光電変換部からの電荷を蓄積する第1キャパシタ層と、

前記第1キャパシタ層の上方に設けられ、前記光電変換部から前記第1キャパシタ層へ電荷を蓄積する第1電荷トランジスタと、

前記第1キャパシタ層からの電荷を蓄積する第1浮遊拡散領域と、

前記第1浮遊拡散領域と前記第1電荷トランジスタとの間に設けられた第1転送トランジスタとを備えた、センサ。

(38)

前記第1電荷トランジスタと前記第1転送トランジスタとの間に設けられ、前記第1キャパシタ層からの電荷を蓄積する第2キャパシタ層と、

前記第2キャパシタ層の上方に設けられ、前記第1キャパシタ層から前記第2キャパシタ層へ電荷を送る第2電荷トランジスタとをさらに備えた、(37)に記載のセンサ。

(39)

前記光電変換部と前記第1電荷トランジスタとの間に設けられた第2転送トランジスタをさらに備えた、(37)または(38)に記載のセンサ。

(40)

前記複数の画素は、前記光電変換部が画素領域の中心側へ偏在するように配置される、(1)から(39)のいずれか一項に記載のセンサ。

(41)

入射した光を電荷に変換し、該電荷に応じた画像を取得するセンサであっ

て、

前記画像を構成する1つのフレームの撮像期間を分割した複数のシャッタ期間のうち、一部のシャッタ期間において生成された電荷を蓄積する光電変換部と、

前記一部のシャッタ期間の電荷から前記フレーム全体の信号を推定する信号処理部と、を備えたセンサ。

(42)

前記信号処理部は、前記一部のシャッタ期間の電荷に応じた信号から略線形の延長線上に前記フレーム全体の信号があると推定する、(41)に記載のセンサ。

(43)

入射した光を電荷に変換し、該電荷に応じた画像を取得するセンサであって、

前記画像を構成する複数のフレームの撮像期間において生成された電荷を蓄積する光電変換部と、

前記複数のフレームの電荷から前記複数のフレームのうち1つの第1フレームの信号を推定する信号処理部と、を備えたセンサ。

(44)

前記信号処理部は、前記複数のフレームの期間の電荷に対応する信号の平均値を前記第1フレームの信号として推定する、(43)に記載のセンサ。

[0508] 尚、本開示は、上述した実施形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

符号の説明

[0509] 10 画素、PD フォトダイオード、AMP1, AMP2 増幅トランジスタ、C1, C2 キャパシタ層、VDD 電源、VSL1, VSL2 垂直信号線、TD 電荷排出トランジスタ、TRS1, TRS2 転送トラン

ジスタ、C 3, C 4 キャパシタ素子、R S T 1、R S T 2 リセットトランジスタ、S F 1, S F 2 ソースフォロワ回路、S E L 1, S E L 2 選択トランジスタ、V S L 1, V S L 2 垂直信号線、C S 1, C S 2 電流源

請求の範囲

- [請求項1] 複数の画素を有するセンサであって、
前記画素はそれぞれ、
第1面を有する第1導電型の半導体層と、
前記半導体層内に設けられ該半導体層に入射した光を電荷に変換する光電変換部と、
前記半導体層内の前記第1面側に設けられた第1導電型の第1チャネル層と、
前記第1チャネル層の上方に設けられた第1ゲート電極と、
前記第1チャネル層の下方に設けられ、前記電荷を蓄積する第2導電型の第1キャパシタ層とを備える、センサ。
- [請求項2] 前記画素は、
前記半導体層内の前記第1面側に設けられた第1導電型の第2チャネル層と、
前記第2チャネル層の上方に設けられた第2ゲート電極と、
前記第2チャネル層の下方に設けられ、前記電荷を蓄積する第2導電型の第2キャパシタ層とをさらに備えた、請求項1に記載のセンサ。
- [請求項3] 前記画素は、
前記第1チャネル層および前記第1ゲート電極を含み、第1信号線に電気的に接続された第1増幅トランジスタをさらに備え、
前記第1キャパシタ層に蓄積された前記電荷の量によって、前記第1増幅トランジスタの閾値が変調される、請求項2に記載のセンサ。
- [請求項4] 前記画素は、
前記第2チャネル層および前記第2ゲート電極を含み、第2信号線に電気的に接続された第2増幅トランジスタをさらに備え、
前記第2キャパシタ層に蓄積された前記電荷の量によって、前記第2増幅トランジスタの閾値が変調される、請求項3に記載のセンサ。

- [請求項5] 前記画素は、
前記半導体層内の前記第1面側に設けられ、電源に接続される第2導電型の第1電源拡散層をさらに備えた、請求項1に記載のセンサ。
- [請求項6] 前記画素は、
前記半導体層内の前記第1面側に設けられ、電源に接続される第2導電型の第2電源拡散層をさらに備えた、請求項5に記載のセンサ。
- [請求項7] 前記画素は、
前記光電変換部の電荷を排出する電荷排出トランジスタをさらに備えた、請求項1に記載のセンサ。
- [請求項8] 前記画素は、
前記第1信号線に接続された第1コンパレータと、
前記第1コンパレータに電流を流す第1電流回路と、
前記第2信号線に接続された第2コンパレータと、
前記第2コンパレータに電流を流す第2電流回路とをさらに備えた、請求項4に記載のセンサ。
- [請求項9] 前記画素は、
前記第1増幅トランジスタの一端に接続され、前記第1増幅トランジスタからの電荷を蓄積する第1容量素子と、
前記第1容量素子と前記第1信号線との間に接続され、前記第1容量素子の電荷に応じた電圧を前記第1信号線に伝達する第1ソースフォロフ回路と、
前記第2増幅トランジスタの一端に接続され、前記第2増幅トランジスタからの電荷を蓄積する第2容量素子と、
前記第2容量素子と前記第2信号線との間に接続され、前記第2容量素子の電荷に応じた電圧を前記第2信号線に伝達する第2ソースフォロフ回路とをさらに備えた請求項4に記載のセンサ。
- [請求項10] 前記半導体層への光の入射方向から見た平面視において、前記第1および第2キャパシタ層は、前記光電変換部の一方側および他方側の

それぞれに配置されており、

前記第 1 および第 2 増幅トランジスタも、前記光電変換部の一方側および他方側のそれぞれに配置されている、請求項 4 に記載のセンサ。

[請求項11] 光は、前記第 1 面とは反対側の前記半導体層の第 2 面から入射する、請求項 1 に記載のセンサ。

[請求項12] 前記半導体層への光の入射方向から見た平面視において、前記第 1 および第 2 キャパシタ層に重複するように設けられ、前記光電変換部には重複しない遮光膜を備えた、請求項 11 に記載のセンサ。

[請求項13] 前記半導体層への光の入射方向から見た平面視において、前記第 1 および第 2 キャパシタ層に重複するように設けられ、前記光電変換部に光を反射する反射部を備えた、請求項 11 に記載のセンサ。

[請求項14] 前記画素は、
前記光電変換部からの電荷を前記第 1 キャパシタ層へ転送する第 1 転送トランジスタと、

前記光電変換部からの電荷を前記第 2 キャパシタ層へ転送する第 2 転送トランジスタとを備えた、請求項 2 に記載のセンサ。

[請求項15] 前記画素は、
前記第 1 増幅トランジスタと前記第 1 信号線との間に接続された第 1 選択トランジスタと、

前記第 2 増幅トランジスタと前記第 2 信号線との間に接続された第 2 選択トランジスタとをさらに備えた、請求項 4 に記載のセンサ。

[請求項16] 前記画素は、
前記第 1 キャパシタ層と前記第 1 電源拡散層との間に設けられた第 1 リセットトランジスタと、

前記第 2 キャパシタ層と前記第 2 電源拡散層との間に設けられた第 2 リセットトランジスタとをさらに備えた、請求項 6 に記載のセンサ。

- [請求項17] 前記複数の画素を含む第1半導体チップと、
前記第1信号線に接続された第1コンパレータ、前記第1コンパレータに電流を流す第1電流回路、前記第2信号線に接続された第2コンパレータ、および、前記第2コンパレータに電流を流す第2電流回路とを含む第2半導体チップとを備え、
前記第1半導体チップと前記第2半導体チップとは貼合されている、請求項4に記載のセンサ。
- [請求項18] 前記第1および前記第2半導体チップのそれぞれの前記第1信号線を接合し、前記第1および前記第2半導体チップのそれぞれの前記第2信号線を接合することによって、前記第1および第2半導体チップは電氣的に接続されている、請求項17に記載のセンサ。
- [請求項19] 前記複数の画素は、対象物の画像を取得する撮像素素で、前記対象物までの距離を測定する測距画素である、請求項1に記載のセンサ。
- [請求項20] 前記画素は、前記第1および第2キャパシタ層に信号電荷が蓄積された信号状態に応じた信号電圧を前記第1および第2信号線に伝達し、その後、前記信号電荷を排出した前記第1および第2キャパシタ層のリセット状態に応じたりセット電圧を前記第1および第2信号線に伝達し、
前記信号電圧と前記リセット電圧とが相関二重サンプリング処理される、請求項4に記載のセンサ。
- [請求項21] 前記画素は、
前記半導体層内の前記第1面側に設けられ、前記第1キャパシタ層からの電荷を蓄積する第2導電型の第1浮遊拡散領域と、
前記半導体層内の前記第1面側に設けられ、前記第2キャパシタ層からの電荷を蓄積する第2導電型の第2浮遊拡散領域とをさらに備え、
前記第1キャパシタ層の蓄積電荷に応じた信号を伝達する第1信号線と、

前記第2キャパシタ層の蓄積電荷に応じた信号を伝達する第2信号線と、

前記第1浮遊拡散領域の蓄積電荷に応じた信号を伝達する第3信号線と、

前記第2浮遊拡散領域の蓄積電荷に応じた信号を伝達する第4信号線とをさらに備えた、請求項2に記載のセンサ。

[請求項22] 前記第1浮遊拡散領域は、前記第1キャパシタ層からオーバーフローした電荷を蓄積し、

前記第2浮遊拡散領域は、前記第2キャパシタ層からオーバーフローした電荷を蓄積する、請求項21に記載のセンサ。

[請求項23] 前記第1および第2キャパシタ層は、第1周波数で振り分けられた前記光電変換部からの電荷を蓄積した後に、前記第1および第2浮遊拡散領域へそれぞれ転送し、

その後、前記第1および第2キャパシタ層は、第2周波数で振り分けられた前記光電変換部からの電荷を蓄積する、請求項21に記載のセンサ。

[請求項24] 複数の画素を有するセンサであって、

前記画素はそれぞれ、

入射した光を電荷に変換する光電変換部と、

前記光電変換部からの電荷を交互に振り分ける第1および第2振分けトランジスタと、 前記第1および第2振分けトランジスタで振り分けられた電荷をそれぞれ蓄積する第1および第2メモリ部と、

前記第1および第2メモリ部からの電荷をそれぞれ蓄積する第3および第4メモリ部とを備えた、センサ。

[請求項25] 前記第1および第2メモリ部の電荷を個別に、あるいは、まとめて蓄積する第1浮遊拡散領域と、

前記第3および第4メモリ部の電荷を個別に、あるいは、まとめて蓄積する第2浮遊拡散領域と、

前記第 1 浮遊拡散領域の電荷に応じた電圧を第 1 信号線に出力する第 1 増幅トランジスタと、

前記第 2 浮遊拡散領域の電荷に応じた電圧を第 2 信号線に出力する第 2 増幅トランジスタとをさらに備えた、請求項 24 に記載のセンサ。

[請求項26] 前記第 1 および第 2 メモリ部の電荷を個別に、あるいは、まとめて蓄積し、かつ、前記第 3 および第 4 メモリ部の電荷を個別に、あるいは、まとめて蓄積する共通の浮遊拡散領域と、

前記浮遊拡散領域の電荷に応じた電圧を信号線に出力する共通の増幅トランジスタとをさらに備えた、請求項 24 に記載のセンサ。

[請求項27] 前記第 1 および第 2 メモリ部は、前記第 1 振分けトランジスタと前記第 1 増幅トランジスタとの間に直列に接続され、

前記第 3 および第 4 メモリ部は、前記第 2 振分けトランジスタと前記第 2 増幅トランジスタとの間に直列に接続されている、請求項 25 に記載のセンサ。

[請求項28] 前記第 1 および第 2 メモリ部は、並列に接続され、

前記第 3 および第 4 メモリ部は、並列に接続されている、請求項 24 に記載のセンサ。

[請求項29] 前記第 1 および第 2 メモリ部は、電荷を CCD 転送し、

前記第 3 および第 4 メモリ部は、電荷を CCD 転送する、請求項 24 に記載のセンサ。

[請求項30] 前記半導体層内の前記第 1 面側に設けられ、前記第 1 キャパシタ層からの電荷を蓄積する第 2 導電型の第 1 浮遊拡散領域と、

前記第 1 キャパシタ層の蓄積電荷に応じた信号を伝達する第 1 信号線と、

前記第 1 浮遊拡散領域の蓄積電荷に応じた信号を伝達する第 3 信号線と、さらに備えた、請求項 1 に記載のセンサ。

[請求項31] 前記第 1 浮遊拡散領域と前記第 3 信号線との間に設けられたソース

フォロフ回路をさらに備えた、請求項30に記載のセンサ。

[請求項32]

前記画素は、

前記光電変換部からの電荷を前記第1キャパシタ層へ転送する第1転送トランジスタをさらに備えた、請求項30に記載のセンサ。

[請求項33]

前記画素は、

前記第1増幅トランジスタと前記第1信号線との間に接続された第1選択トランジスタをさらに備えた、請求項30に記載のセンサ。

[請求項34]

前記画素は、

前記第1キャパシタ層と前記第1浮遊拡散領域との間に設けられた第1リセットトランジスタと、

前記第1浮遊拡散領域と電源との間に設けられた第2リセットトランジスタとをさらに備えた、請求項30に記載のセンサ。

[請求項35]

前記画素は、

前記光電変換部と前記第1浮遊拡散領域との間に接続された第1転送トランジスタと、前記光電変換部と前記第1浮遊拡散領域との間に直列に接続されたオーバーフロートランジスタおよび第2転送トランジスタと、

前記オーバーフロートランジスタと前記第2転送トランジスタとの間のノードと基準電源との間に接続された第3容量素子とをさらに備えた、請求項30に記載のセンサ。

[請求項36]

前記画素は、

前記光電変換部と前記第1浮遊拡散領域との間に接続された第1転送トランジスタと、前記光電変換部と前記第1浮遊拡散領域との間に設けられたオーバーフロートランジスタ、第2転送トランジスタと、

前記オーバーフロートランジスタと前記第2転送トランジスタとの間に設けられたCCD素子とをさらに備えた、請求項30に記載のセンサ。

- [請求項37] 複数の画素を有するセンサであって、
前記画素はそれぞれ、
入射した光を電荷に変換する光電変換部と、
前記光電変換部からの電荷を蓄積する第1キャパシタ層と、
前記第1キャパシタ層の上方に設けられ、前記光電変換部から前記第1キャパシタ層へ電荷を蓄積する第1電荷トランジスタと、
前記第1キャパシタ層からの電荷を蓄積する第1浮遊拡散領域と、
前記第1浮遊拡散領域と前記第1電荷トランジスタとの間に設けられた第1転送トランジスタとを備えた、センサ。
- [請求項38] 前記第1電荷トランジスタと前記第1転送トランジスタとの間に設けられ、前記第1キャパシタ層からの電荷を蓄積する第2キャパシタ層と、
前記第2キャパシタ層の上方に設けられ、前記第1キャパシタ層から前記第2キャパシタ層へ電荷を送る第2電荷トランジスタとをさらに備えた、請求項37に記載のセンサ。
- [請求項39] 前記光電変換部と前記第1電荷トランジスタとの間に設けられた第2転送トランジスタをさらに備えた、請求項37に記載のセンサ。
- [請求項40] 前記複数の画素は、前記光電変換部が画素領域の中心側へ偏在するように配置される、請求項1に記載のセンサ。
- [請求項41] 入射した光を電荷に変換し、該電荷に応じた画像を取得するセンサであって、
前記画像を構成する1つのフレームの撮像期間を分割した複数のシャッタ期間のうち、一部のシャッタ期間において生成された電荷を蓄積する光電変換部と、
前記一部のシャッタ期間の電荷から前記フレーム全体の信号を推定する信号処理部と、を備えたセンサ。
- [請求項42] 前記信号処理部は、前記一部のシャッタ期間の電荷に応じた信号から略線形の延長線上に前記フレーム全体の信号があると推定する、請

求項 4 1 に記載のセンサ。

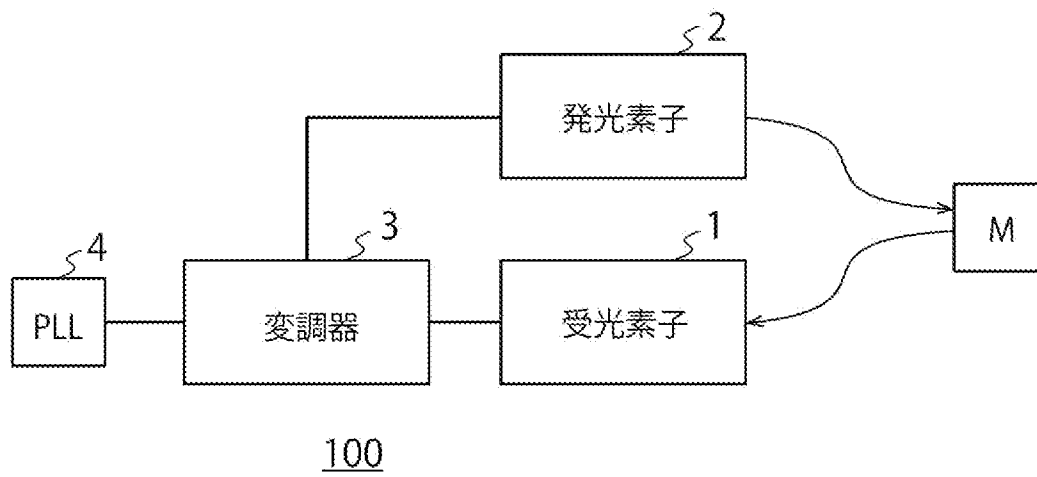
[請求項43] 入射した光を電荷に変換し、該電荷に応じた画像を取得するセンサであって、

前記画像を構成する複数のフレームの撮像期間において生成された電荷を蓄積する光電変換部と、

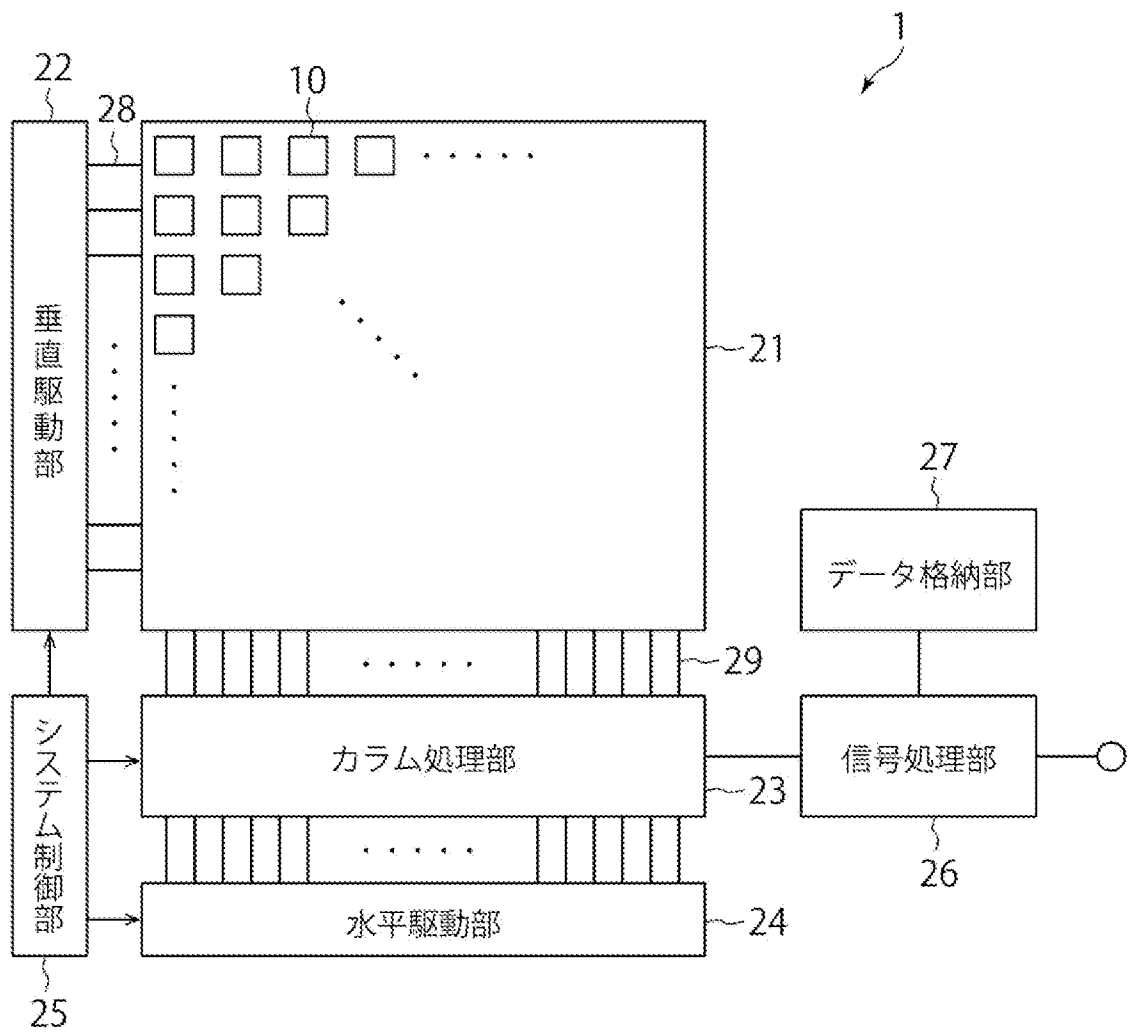
前記複数のフレームの電荷から前記複数のフレームのうち 1 つの第 1 フレームの信号を推定する信号処理部と、を備えたセンサ。

[請求項44] 前記信号処理部は、前記複数のフレームの期間の電荷に対応する信号の平均値を前記第 1 フレームの信号として推定する、請求項 4 3 に記載のセンサ。

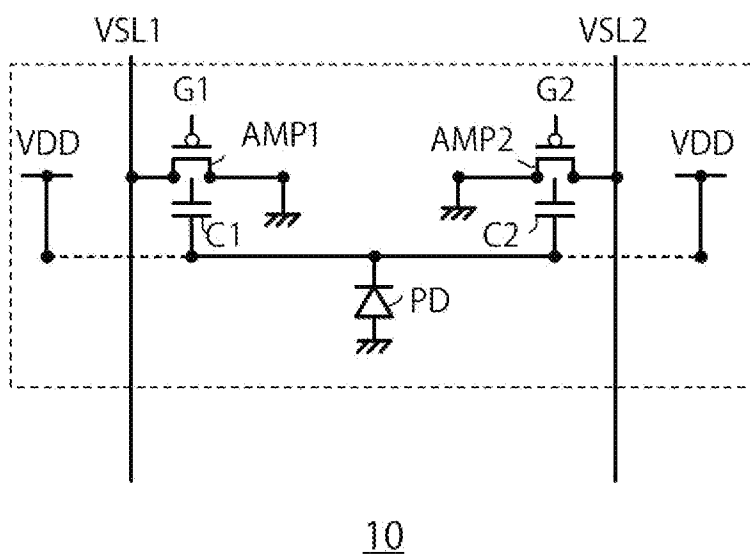
[図1]



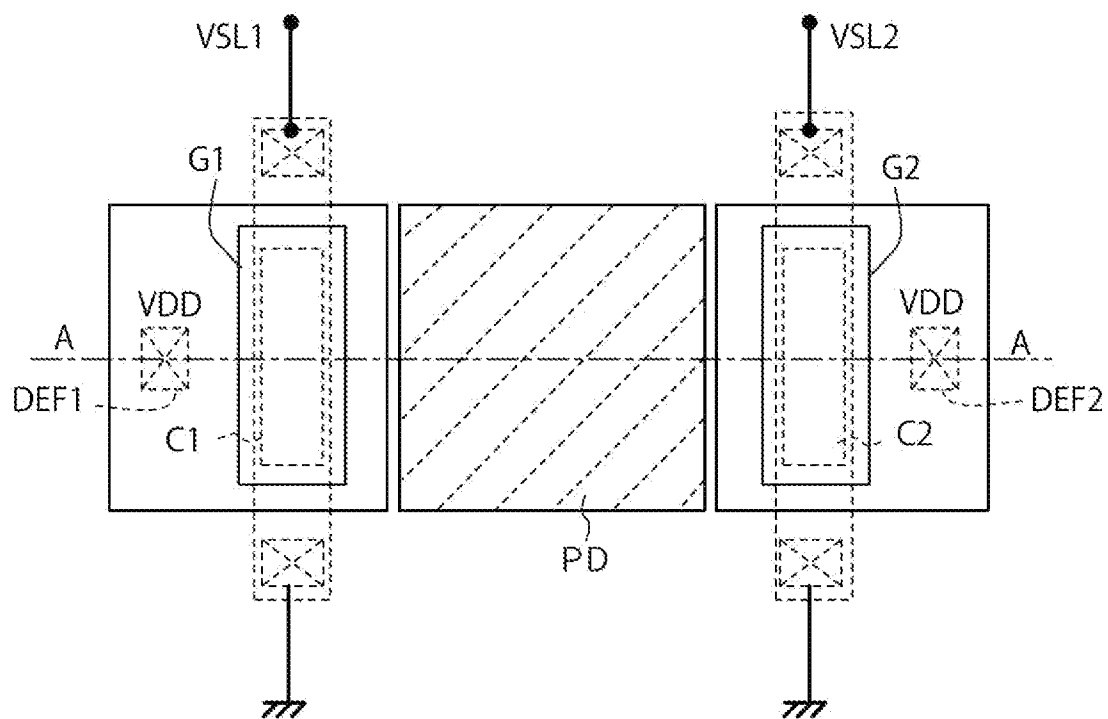
[図2]



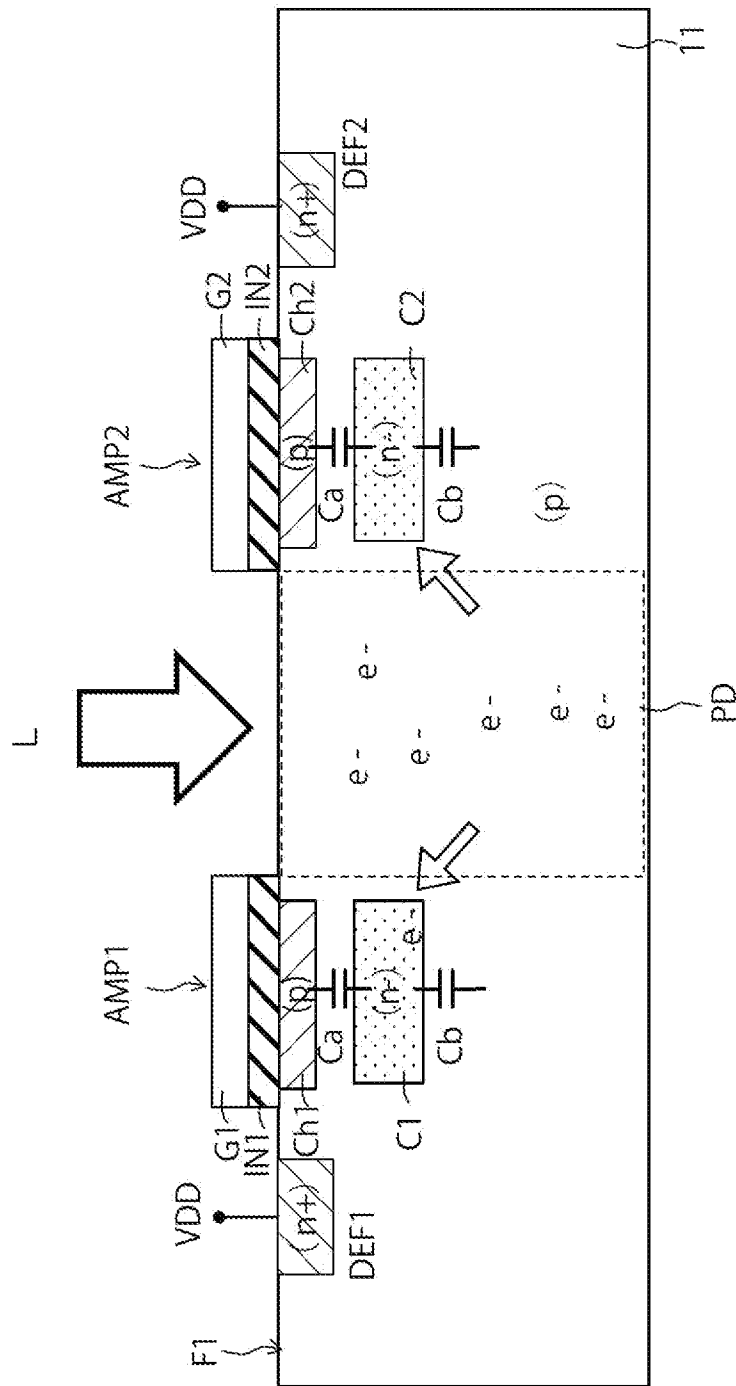
[図3]



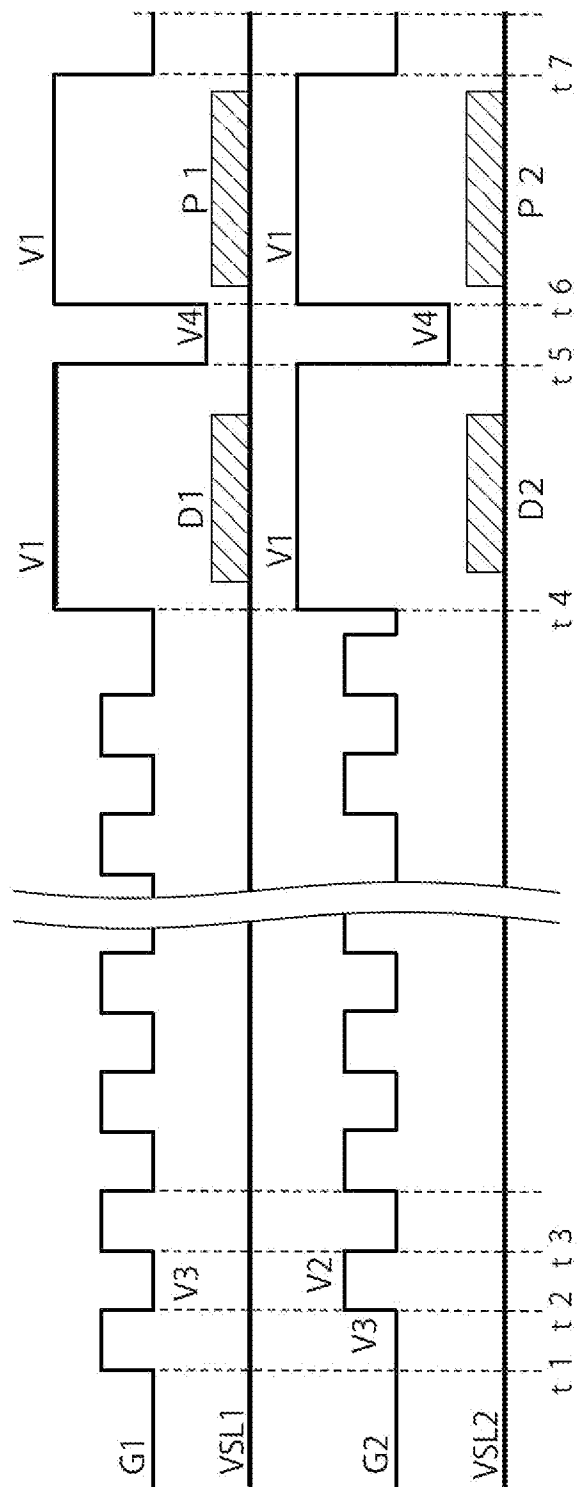
[図4]



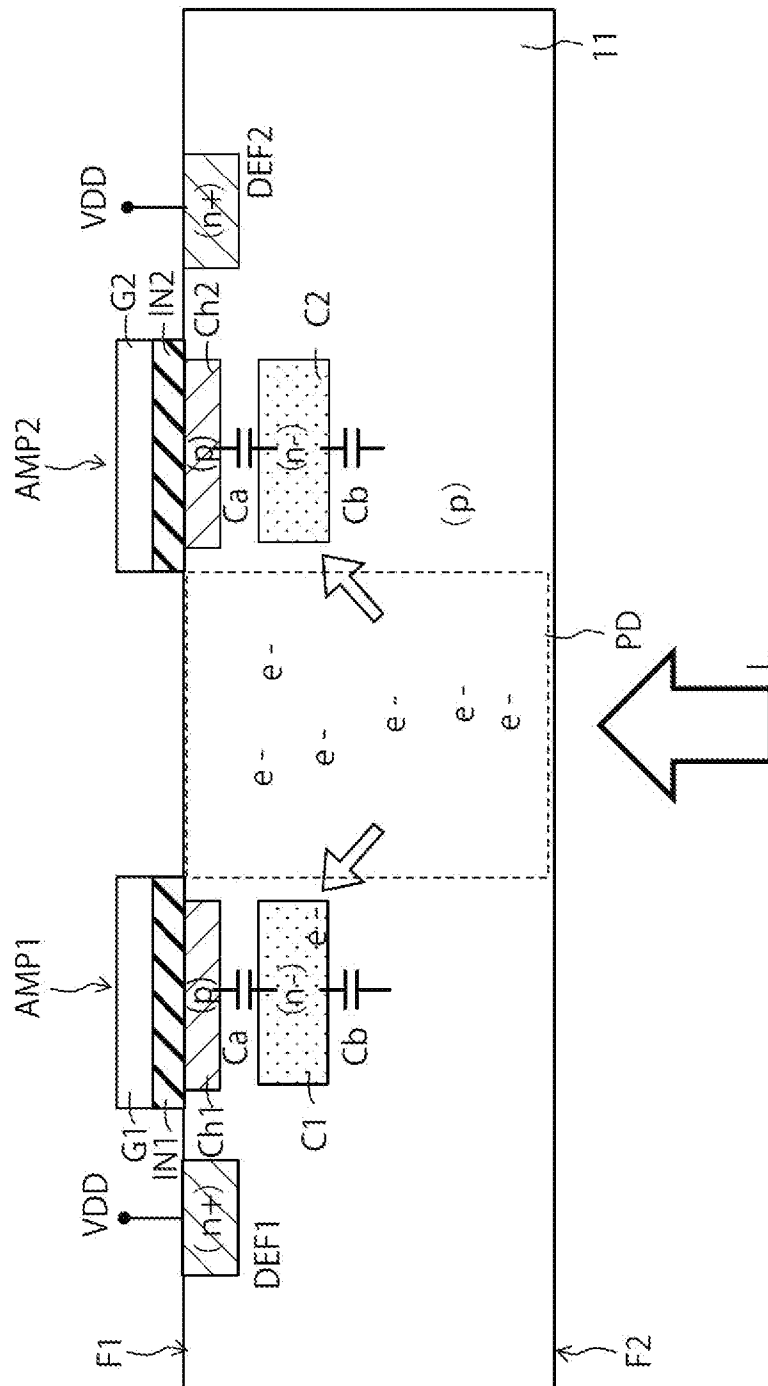
[図5]

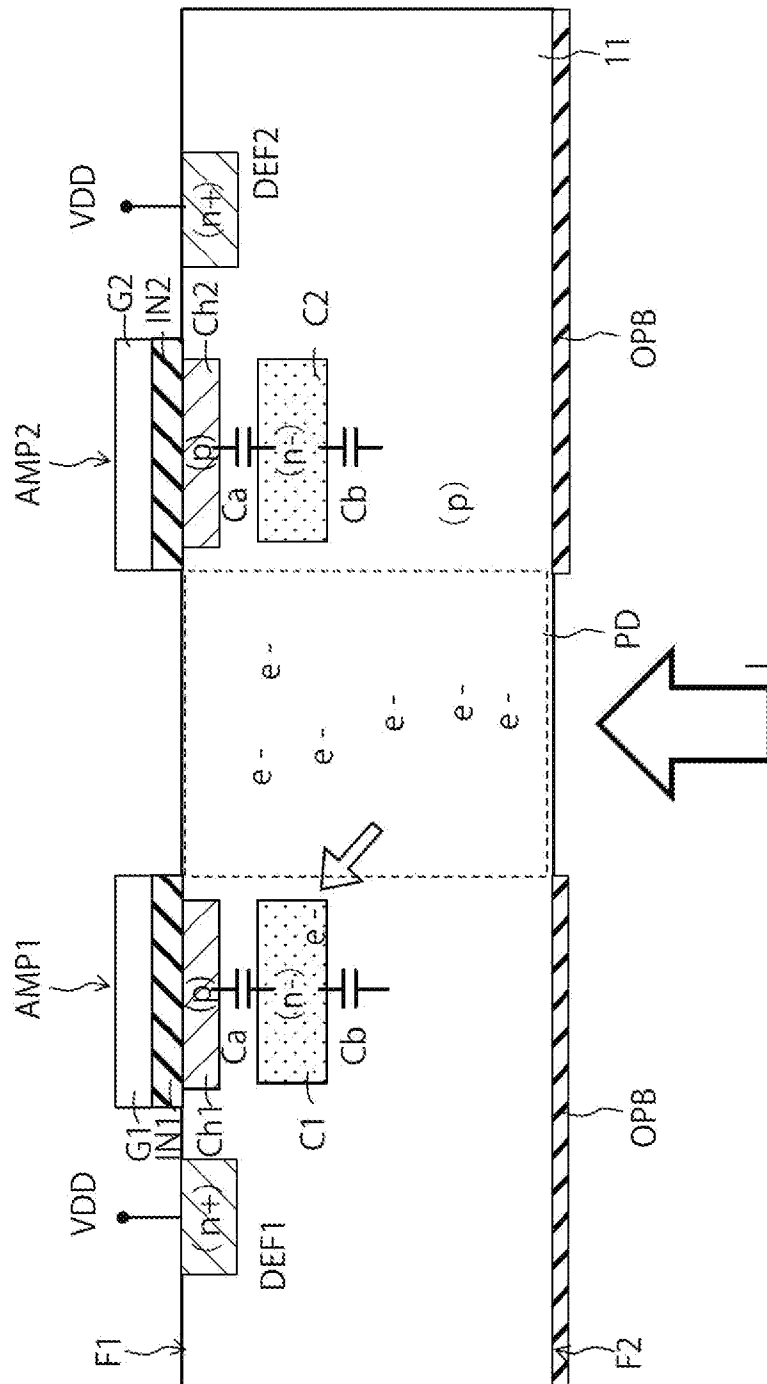


[図6]

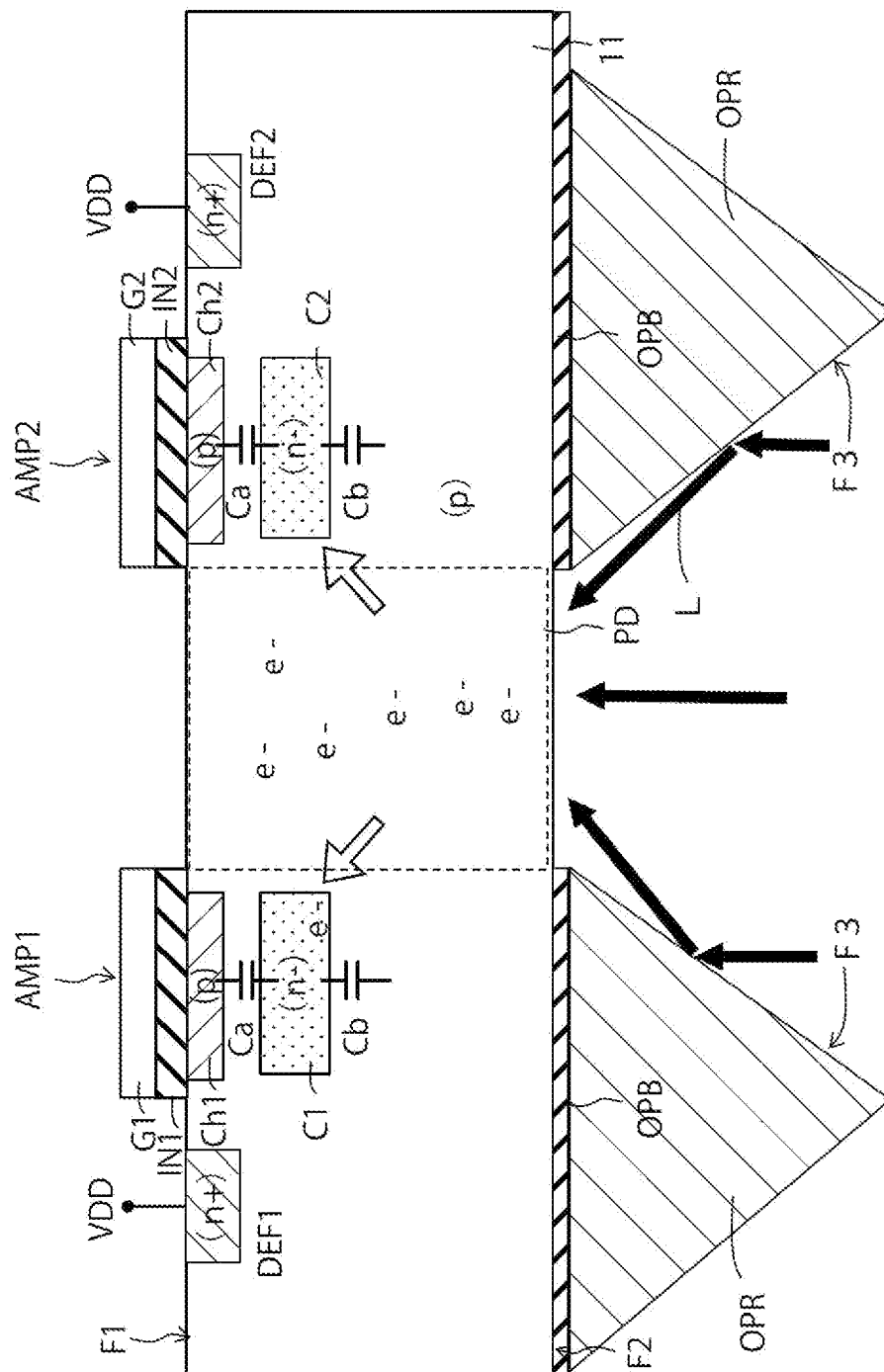


[図7]



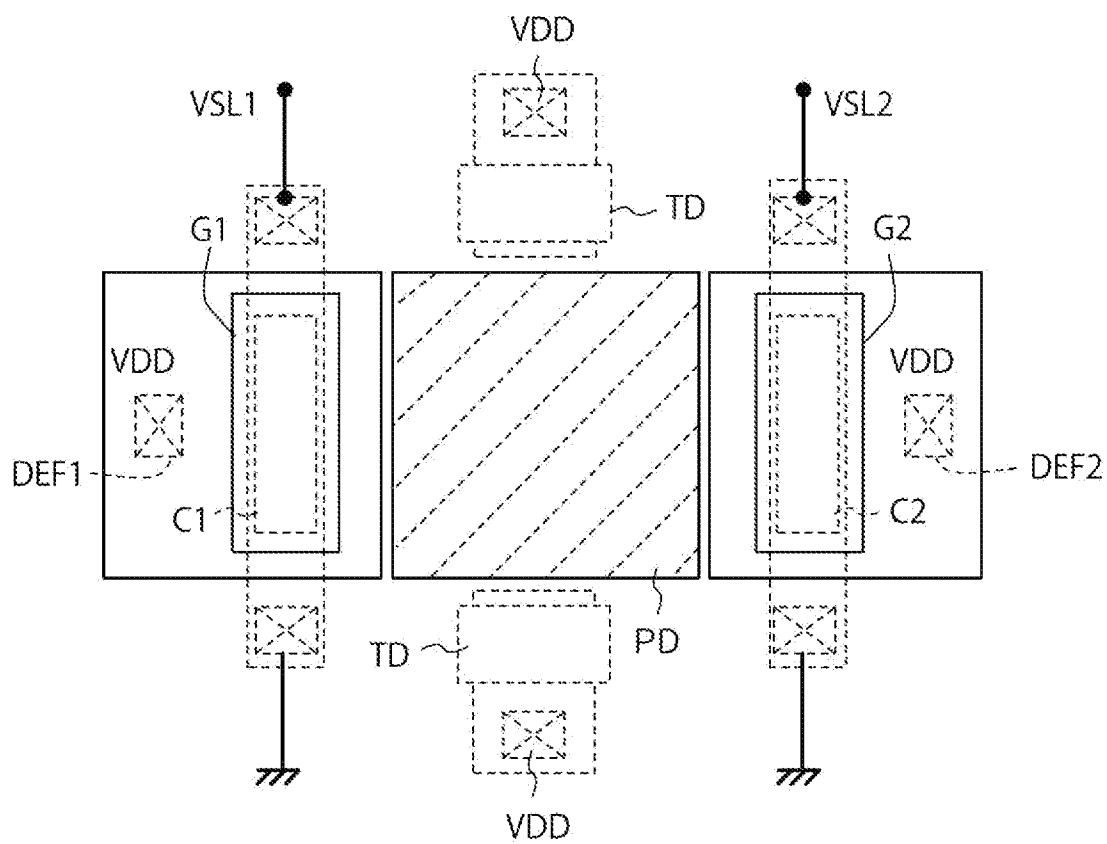


[図9]



The diagram shows a two-stage CMOS amplifier. The first stage, labeled AMP1, is a common-source amplifier with a PMOS transistor G1 and an NMOS transistor. The NMOS transistor has a threshold voltage shift TD. The output of the first stage is connected to a load capacitor C1. The second stage, labeled AMP2, is also a common-source amplifier with a PMOS transistor G2 and an NMOS transistor. The output of the second stage is connected to a load capacitor C2 and a photodiode PD. The circuit is powered by VDD and has input/output nodes VSL1 and VSL2.

[圖11]



[illegible]

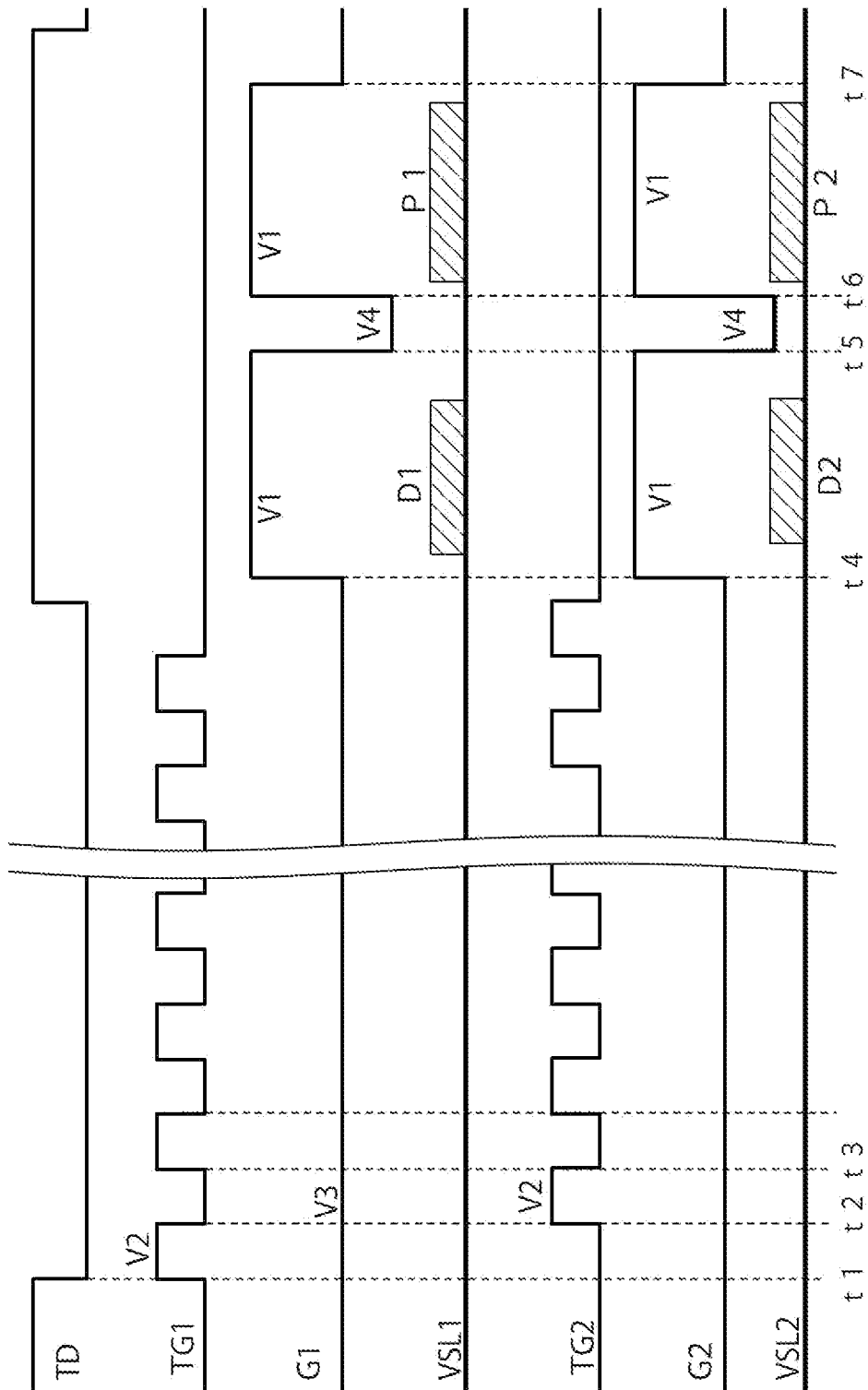
The diagram illustrates a two-channel differential amplifier circuit. It features two input nodes, VSL1 and VSL2, and two output nodes, VDD and GND. The circuit includes two differential pairs of transistors, G1 and G2, and two capacitors, C1 and C2. A common-mode feedback loop is implemented using a PMOS transistor, PD, and a current source, CS1, connected to the common-mode output node. The circuit is powered by VDD and GND.

10

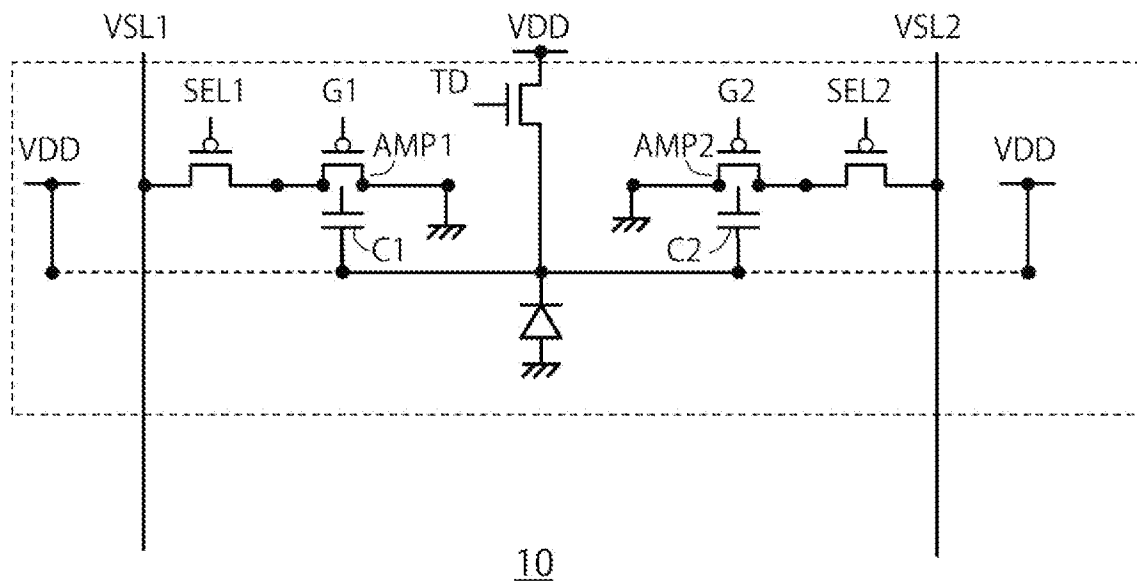
[illegible]

The diagram shows a semiconductor device layout with three main blocks: two memory blocks on the left and right, and a central access block. The left memory block contains a vertical array of cells labeled C1, with a VDD supply and a DEF1 defect. It is connected to word lines G1 and G3, and bit lines G4 and G2. The right memory block contains a vertical array of cells labeled C2, with a VDD supply and a DEF2 defect. It is connected to word lines G2 and G4, and bit lines G1 and G3. The central access block is hatched and connected to word lines G1 and G3, and bit lines G4 and G2. Various control lines (VSL1, VSL2, VDD, TD, PD) and ground symbols are shown.

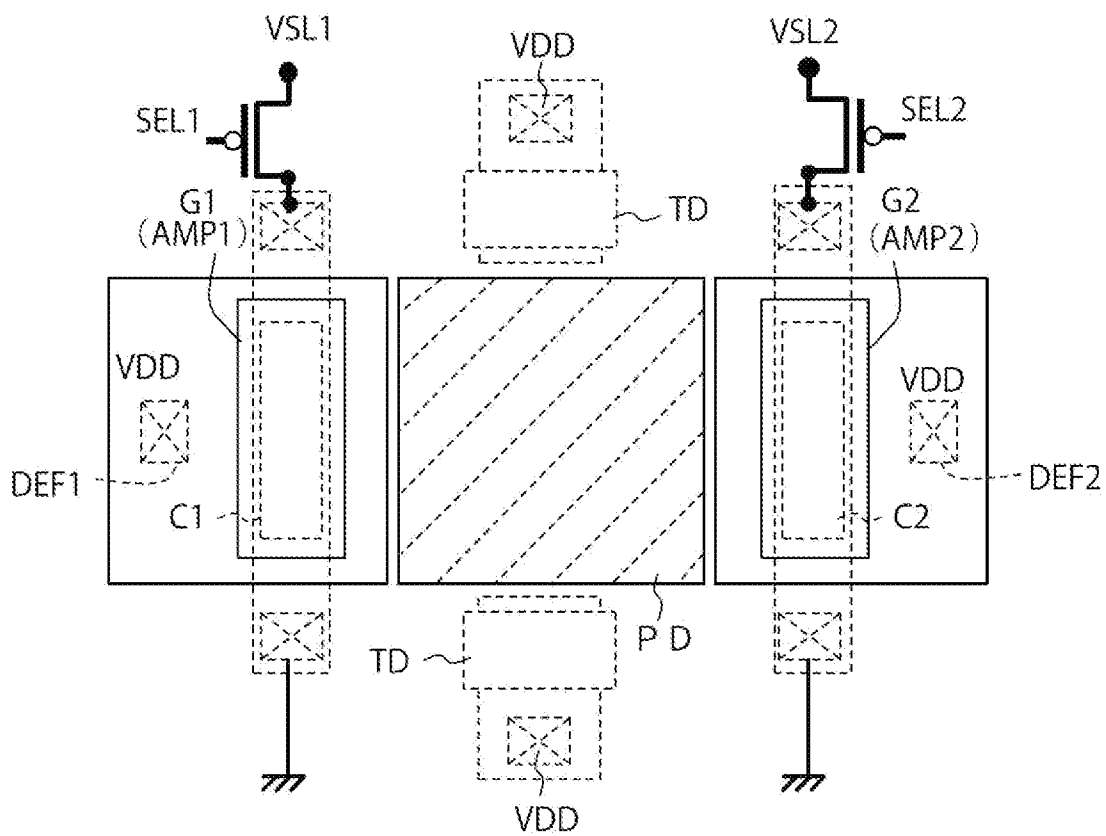
[図17]



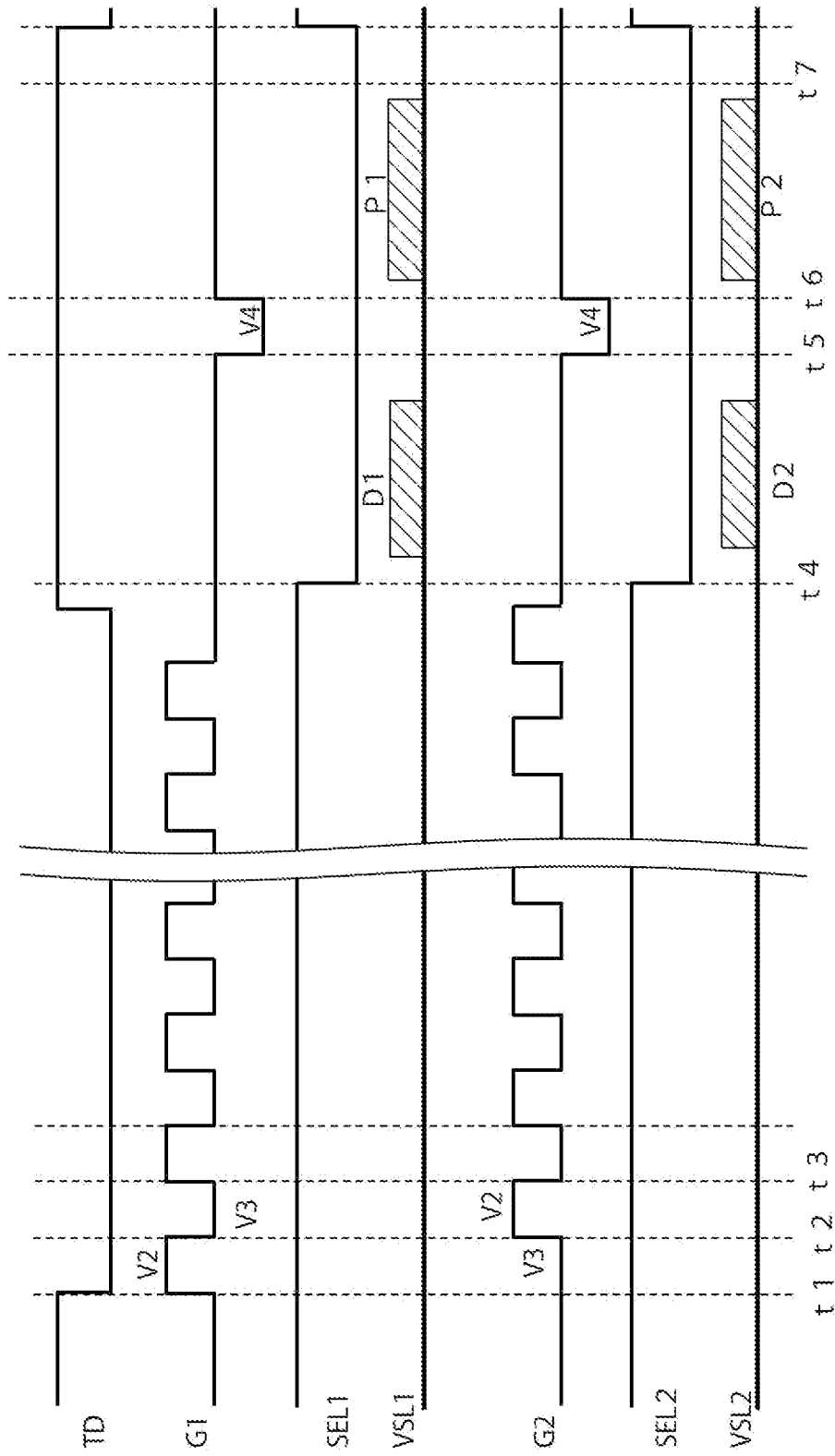
[図18]



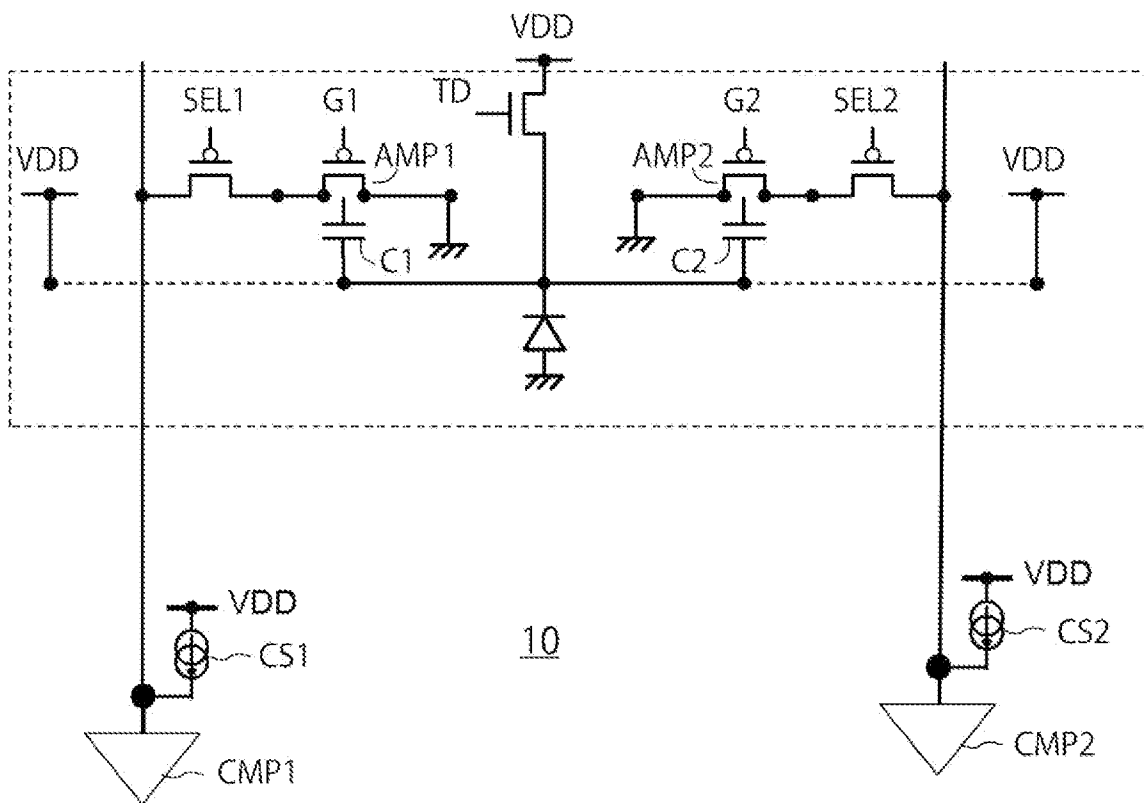
[図19]



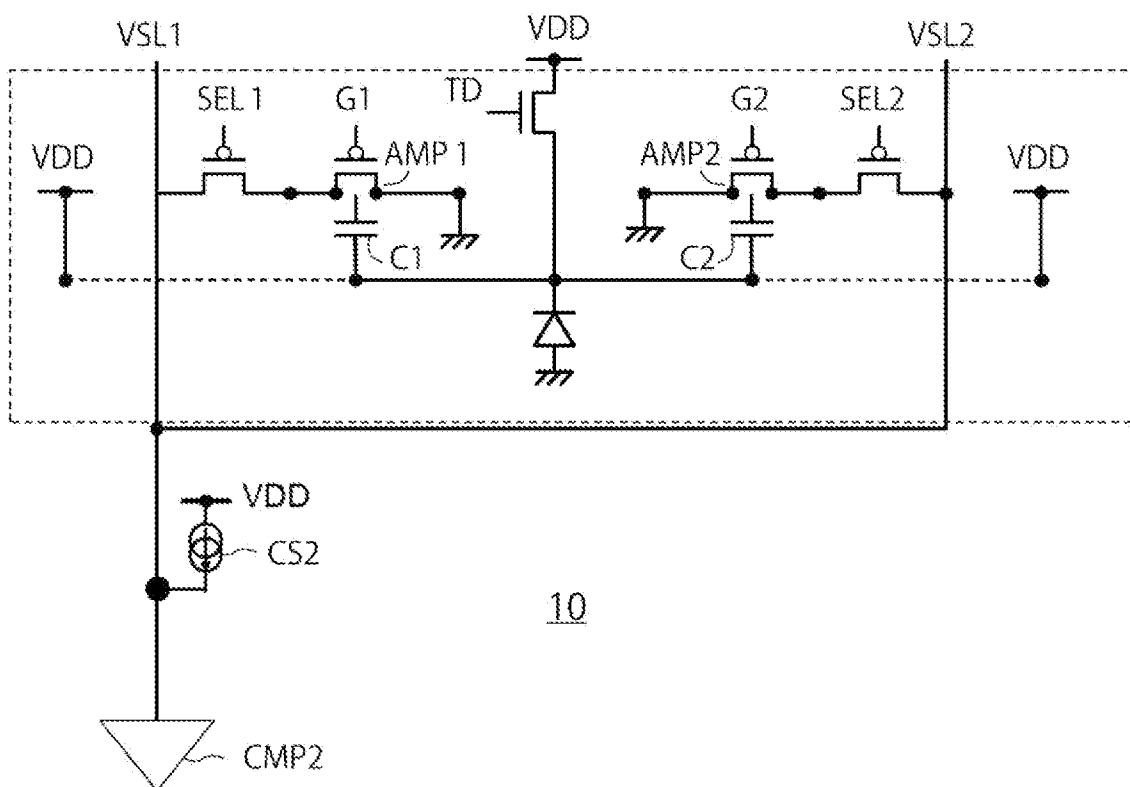
[図20]



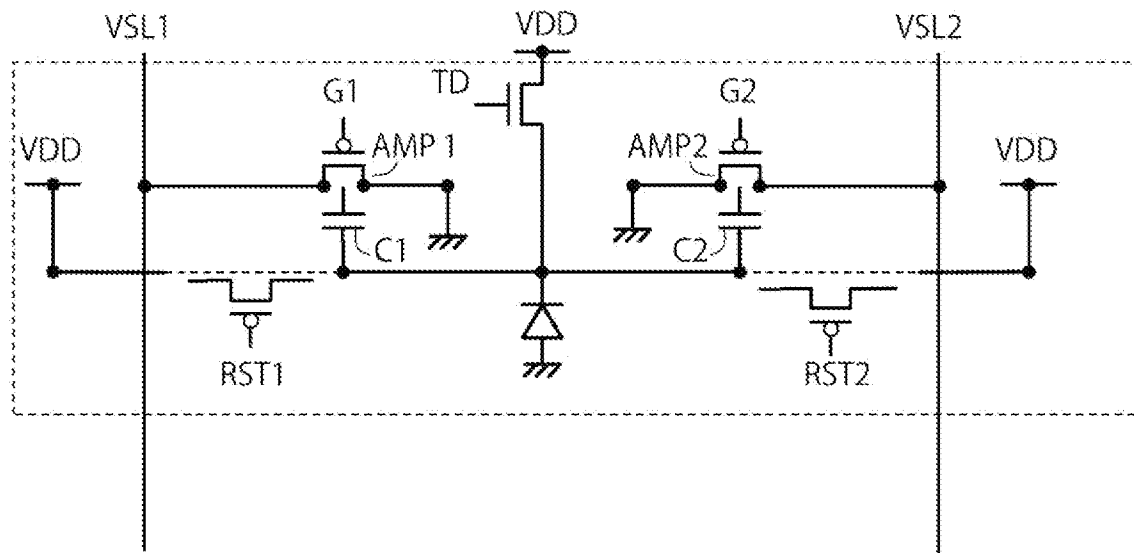
[図21]



[図22]

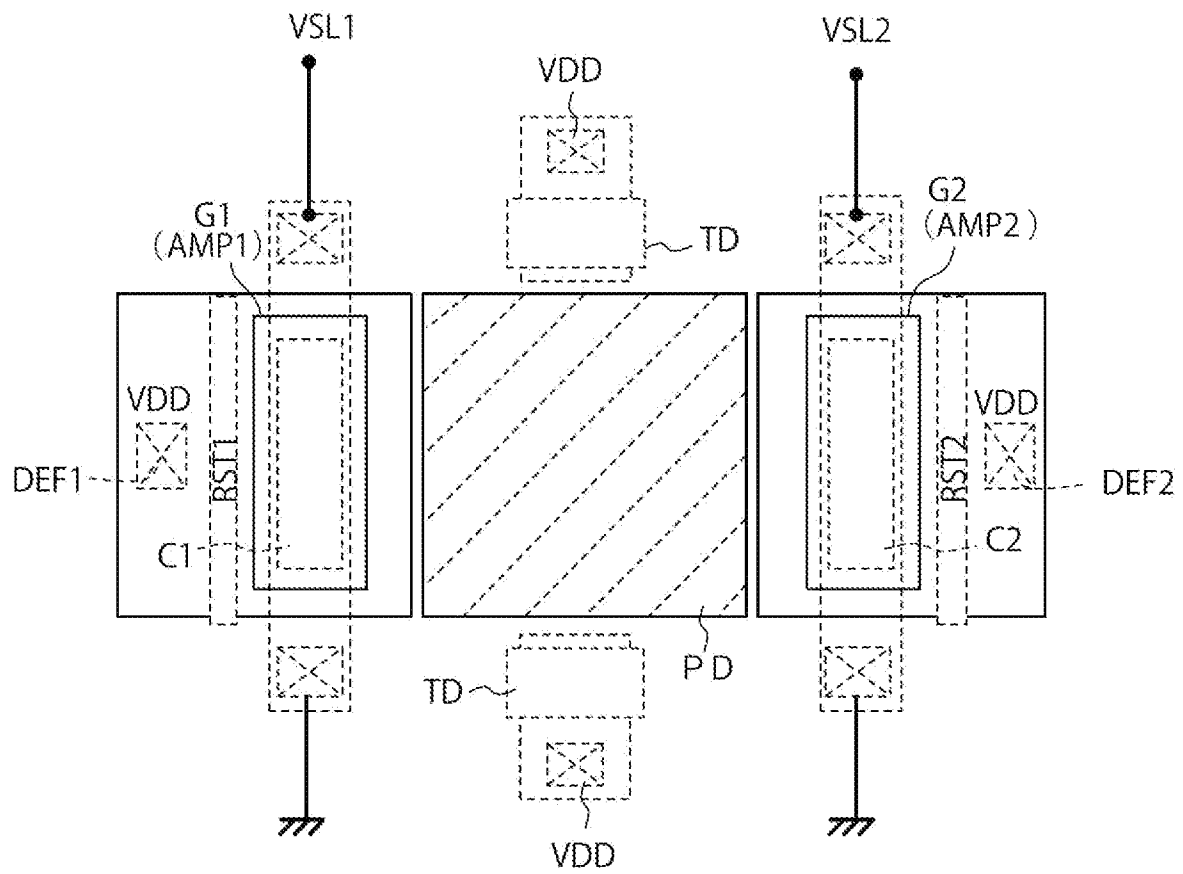


[図23]

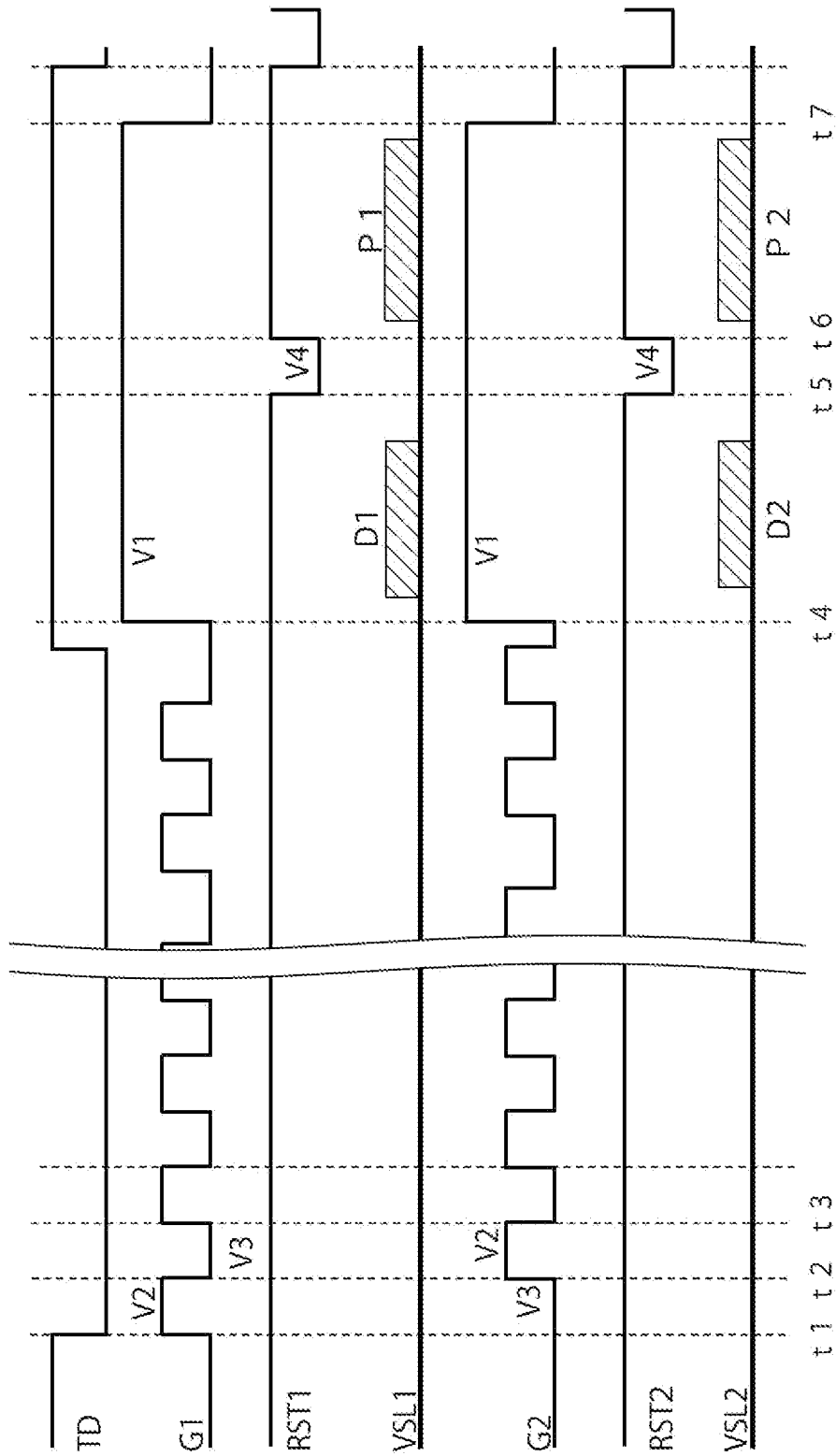


10

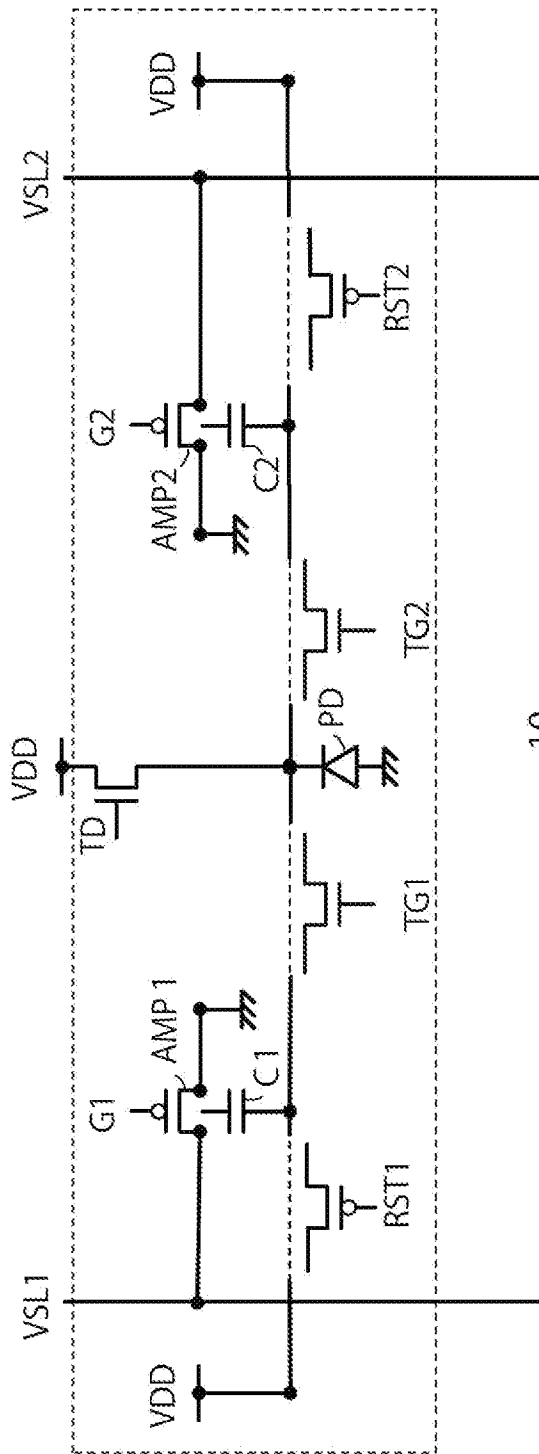
[図24]



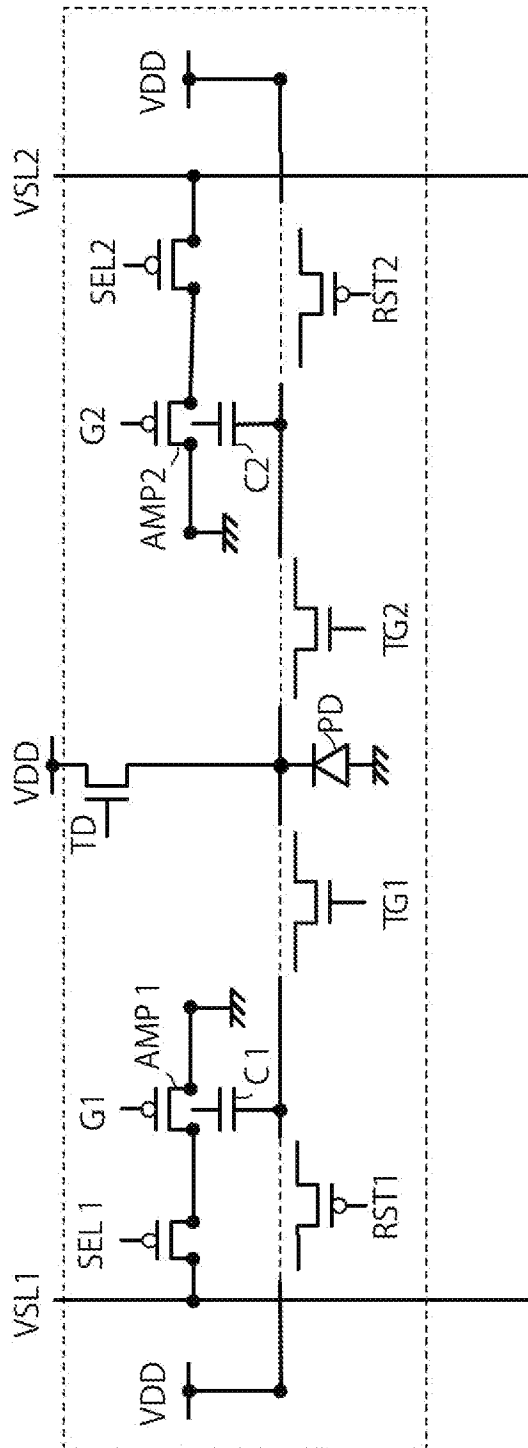
[図25]



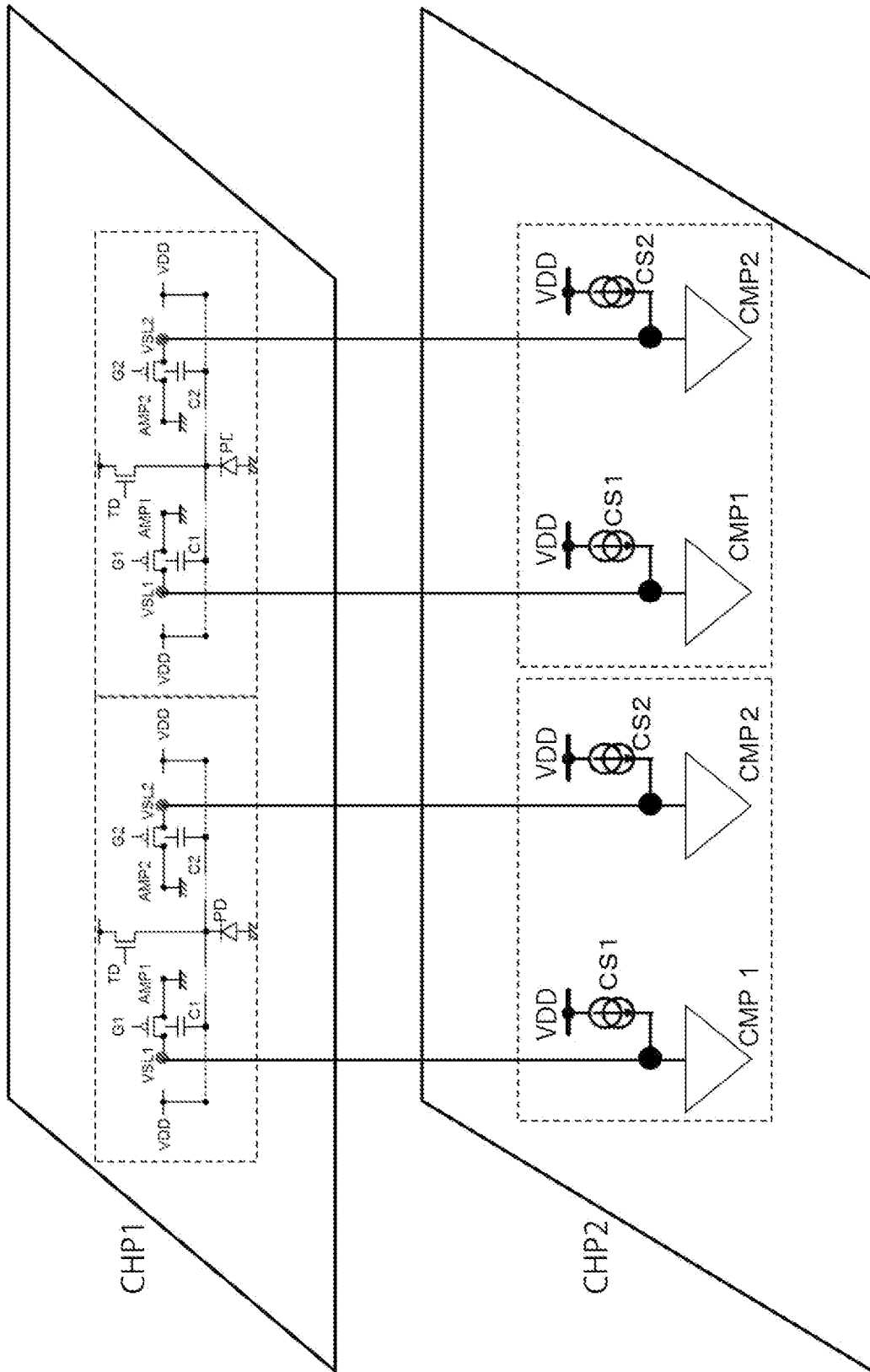
[図27]



[図28]

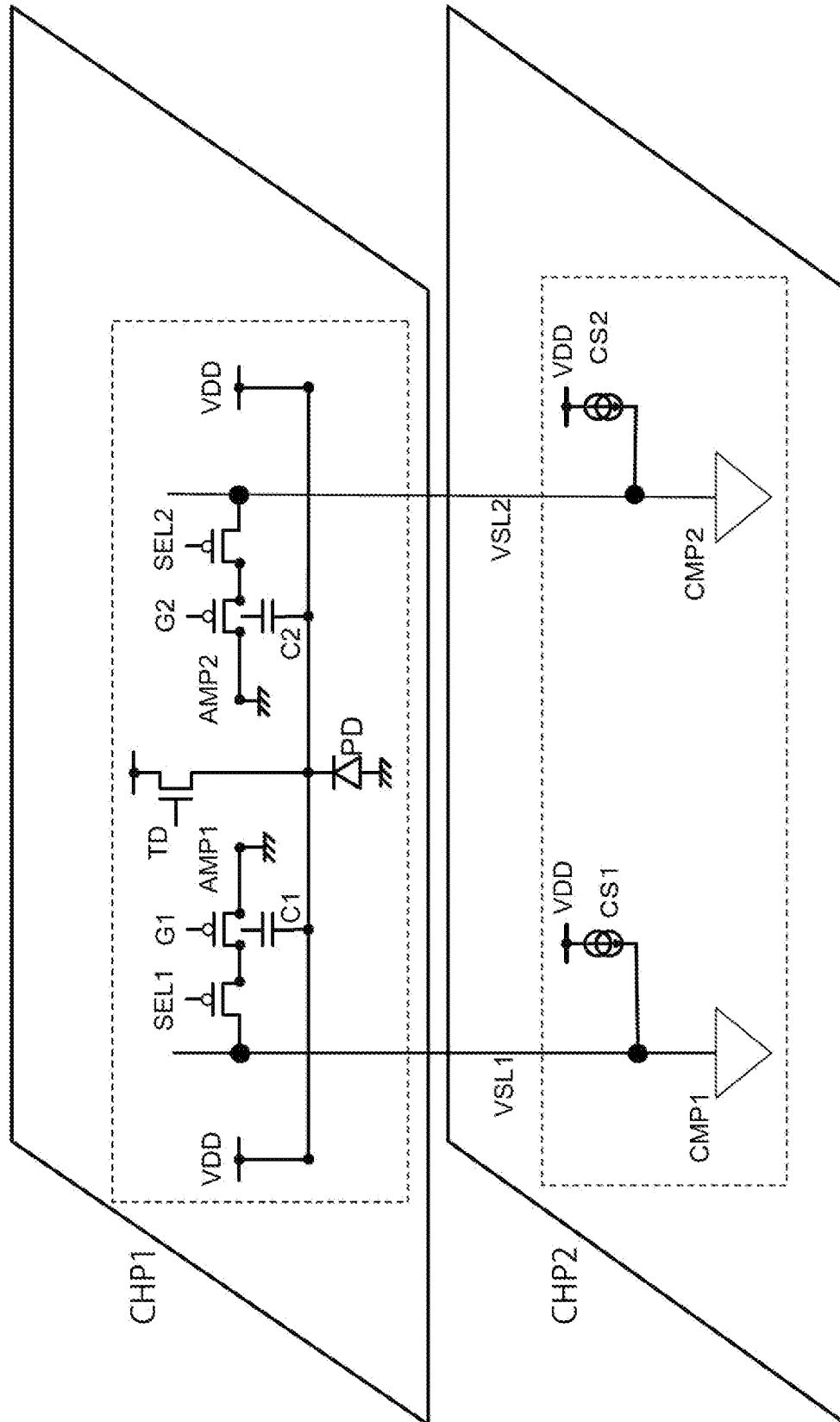


[図29]

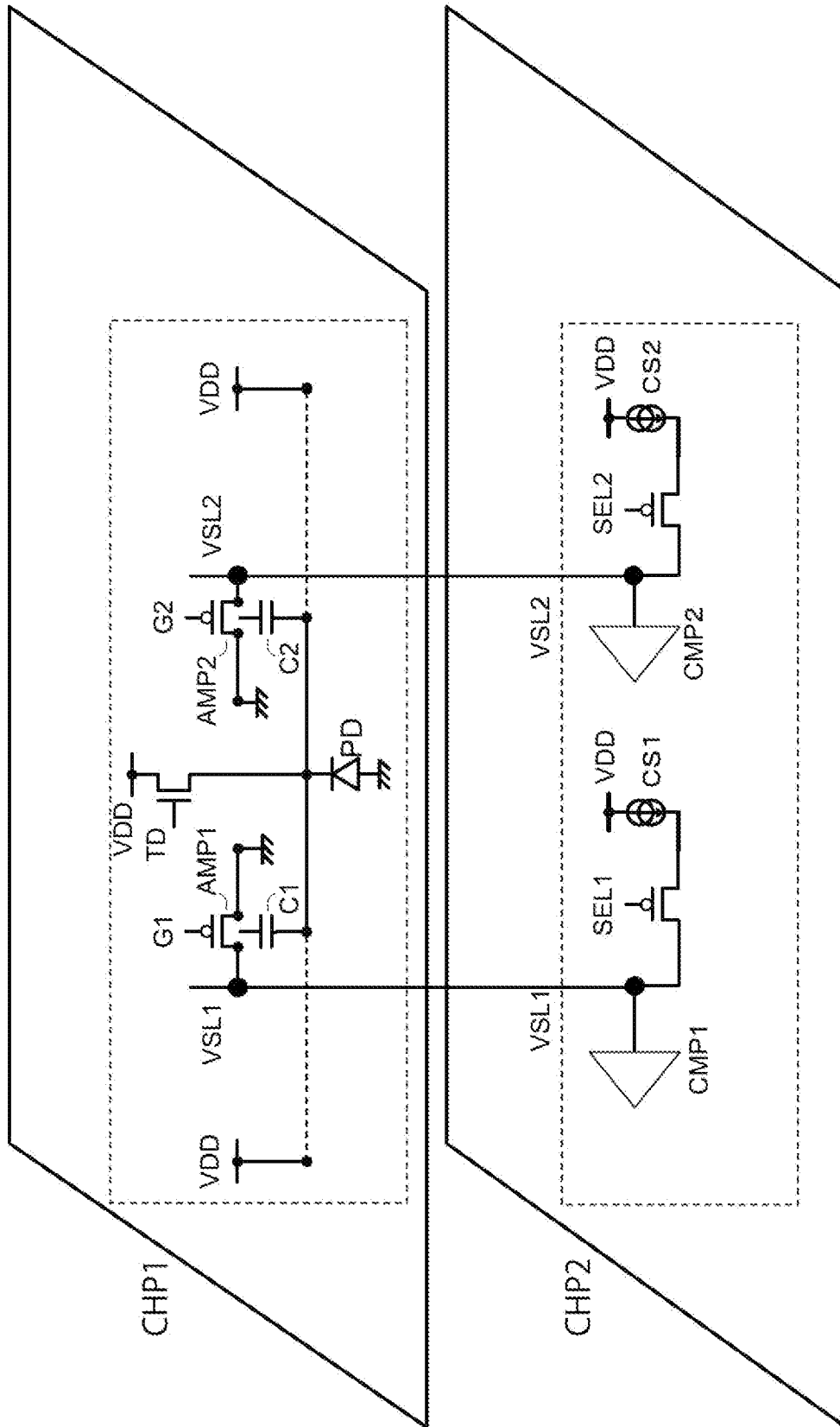


The diagram illustrates a two-stage CMOS differential amplifier. The first stage (CHP1) is a differential pair with NMOS transistors G1 and G2, PMOS load transistors AMP1 and AMP2, and a tail current source TD. The second stage (CHP2) consists of two common-source amplifiers with NMOS transistors TG1 and TG2, PMOS load transistors CS1 and CS2, and a tail current source TD. The output nodes are labeled VSL1 and VSL2, and the common-mode output is labeled CMP1 and CMP2.

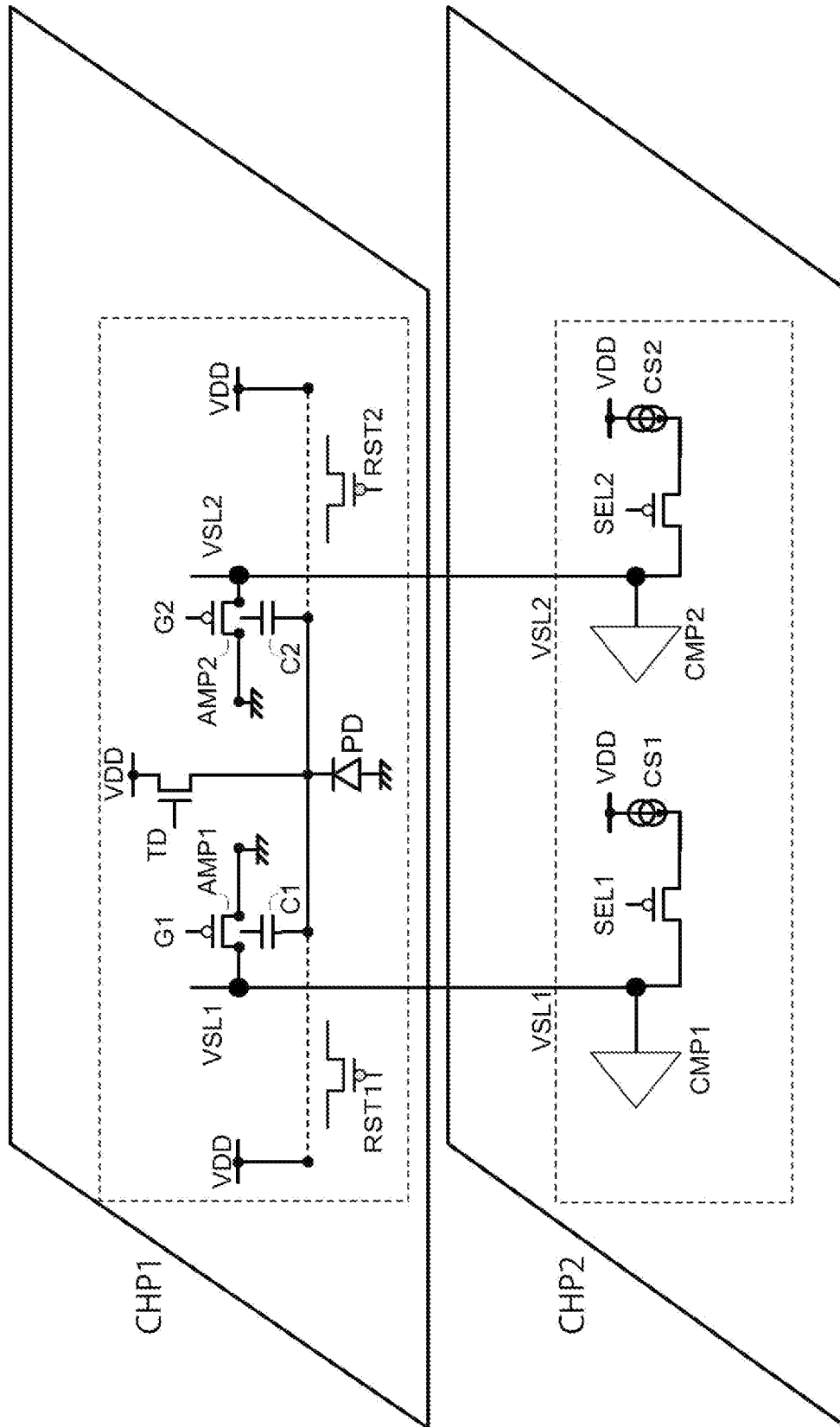
[図31]



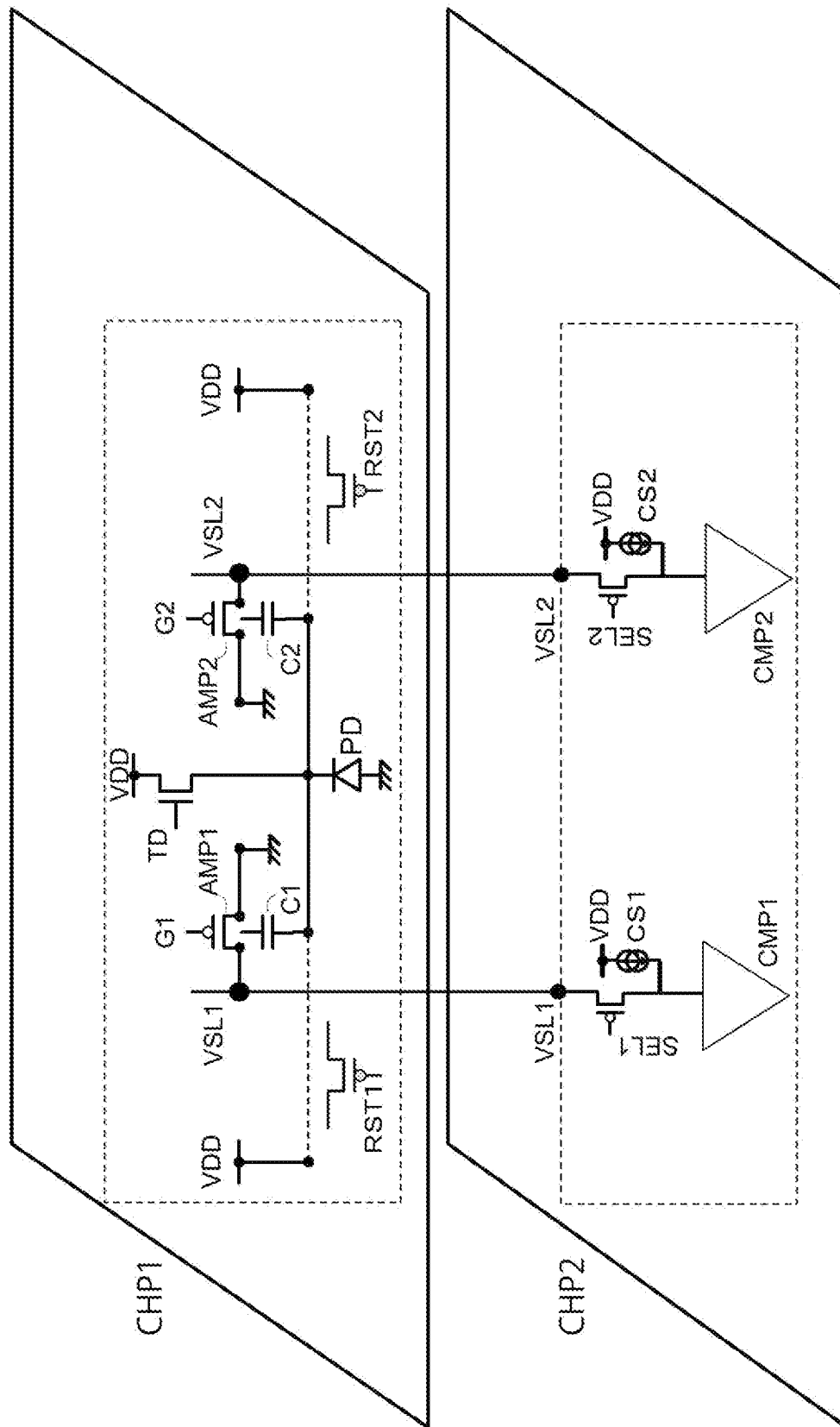
[図32]



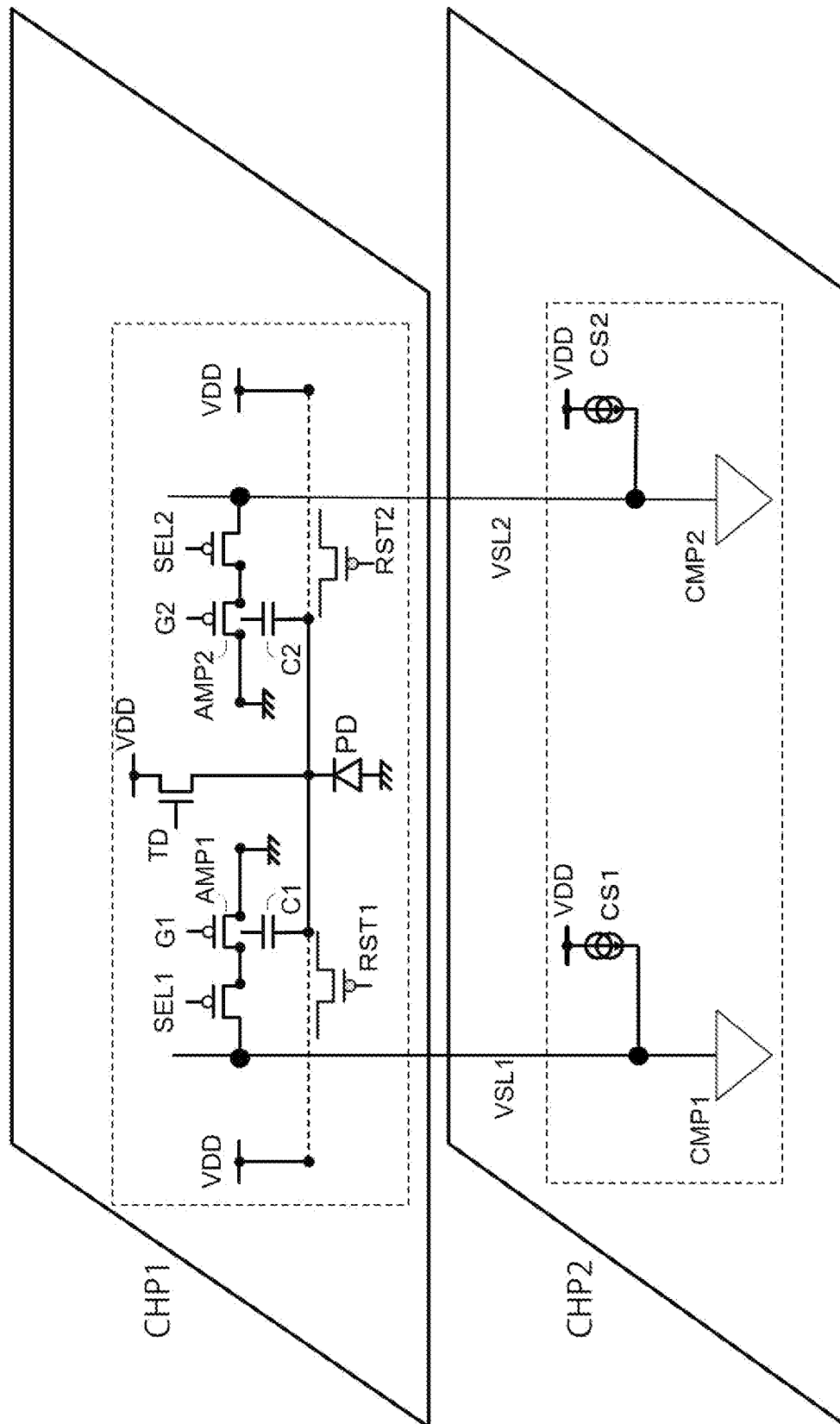
[図33]



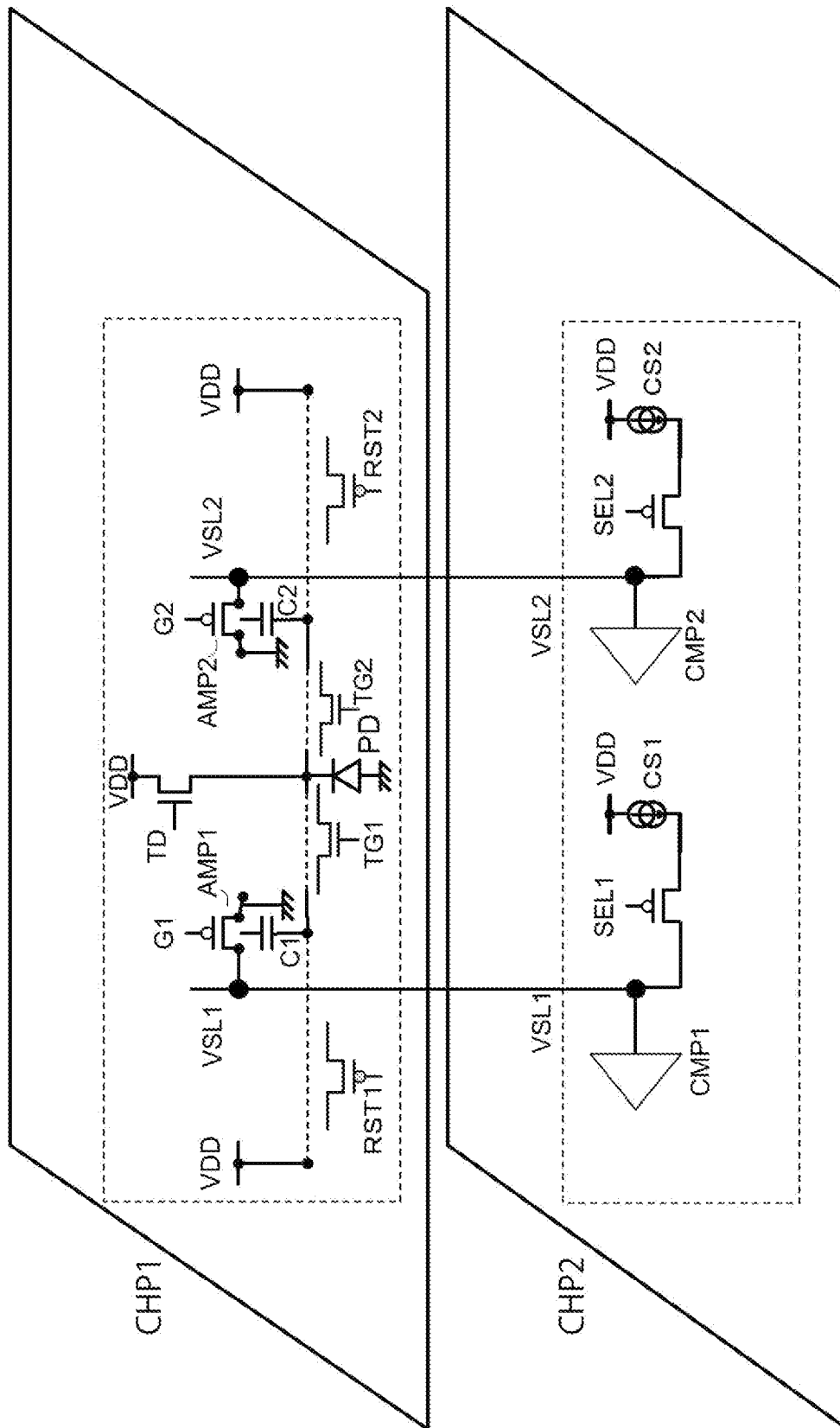
[図34]



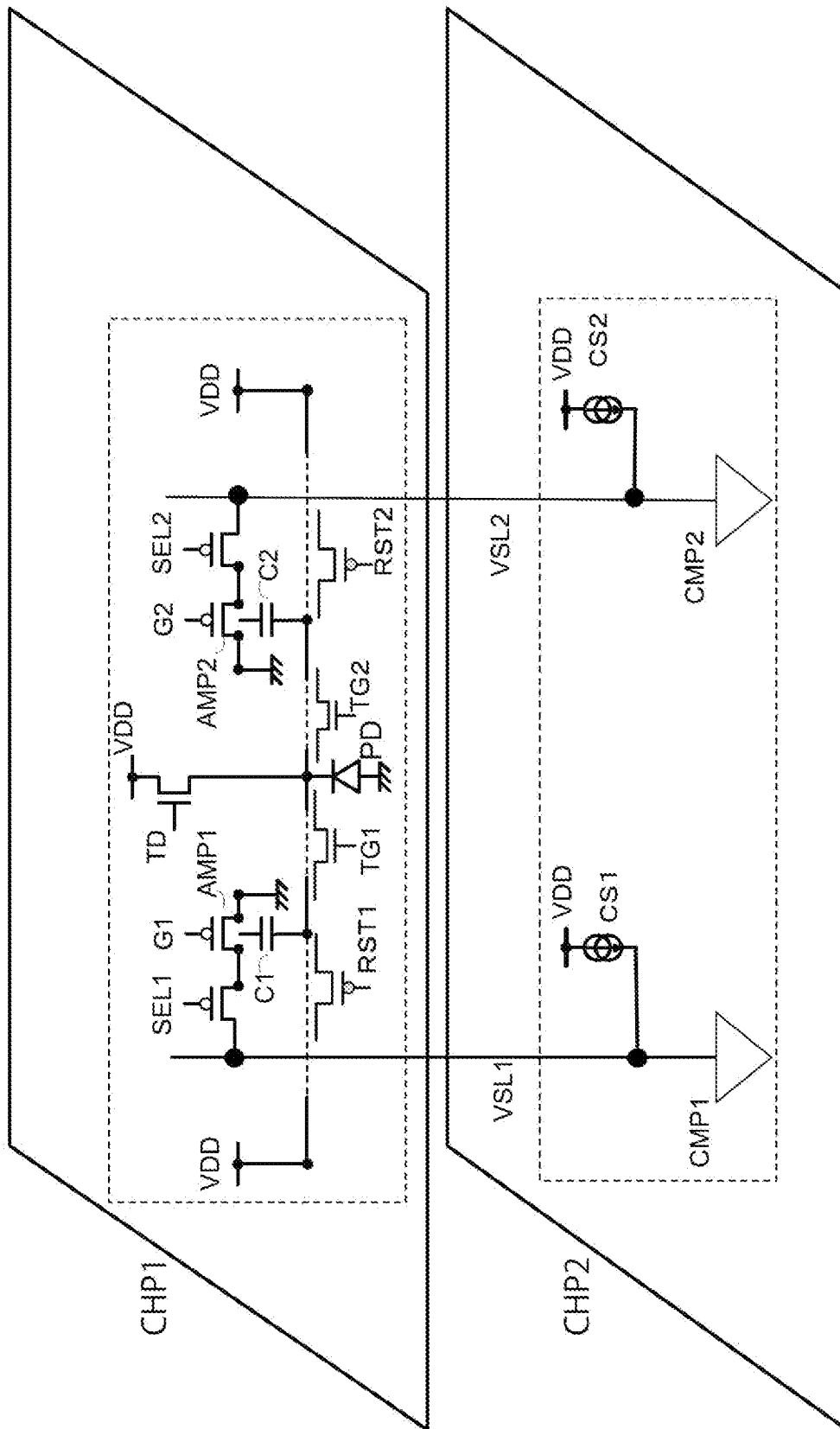
[図35]



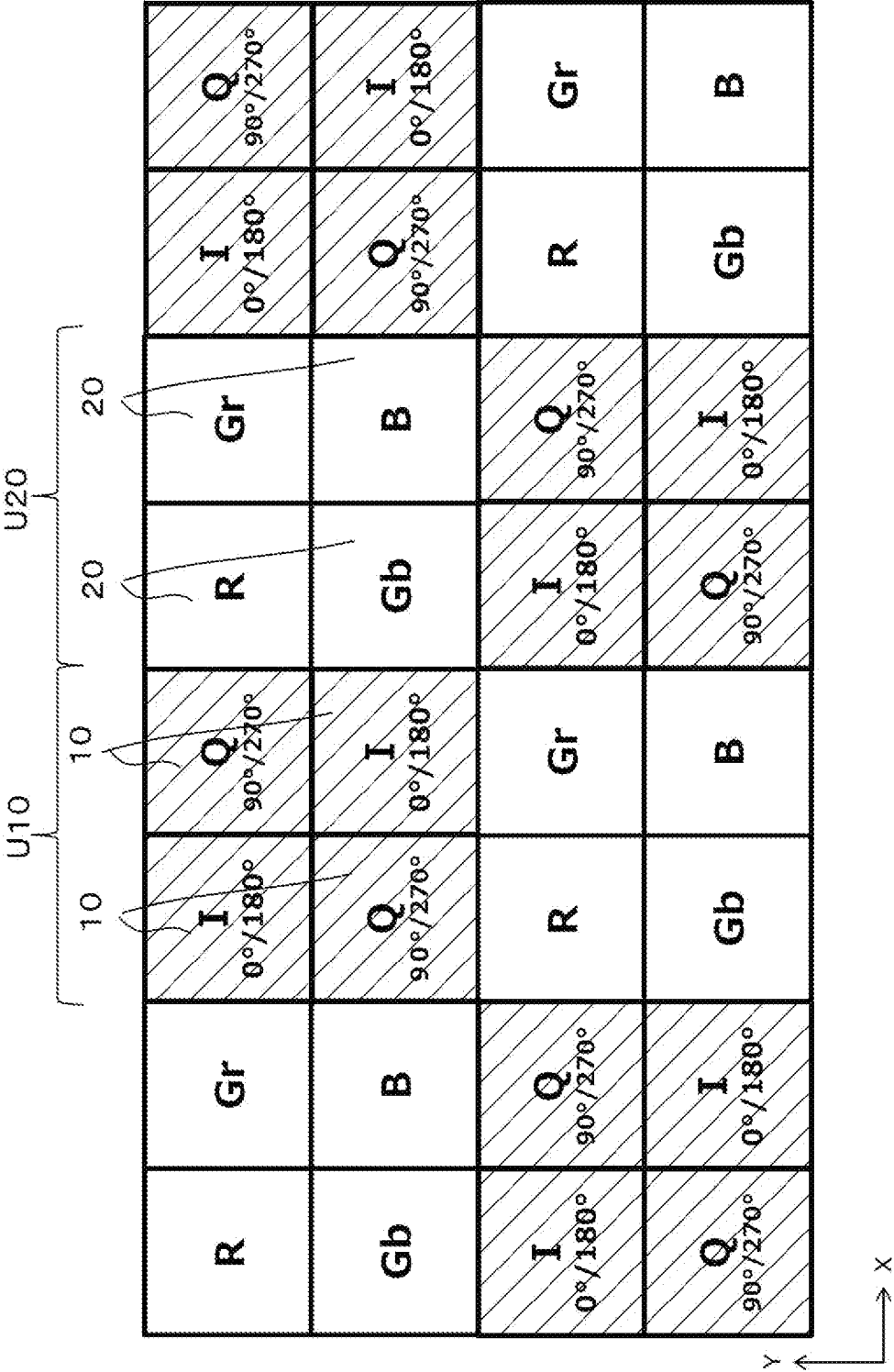
[図36]



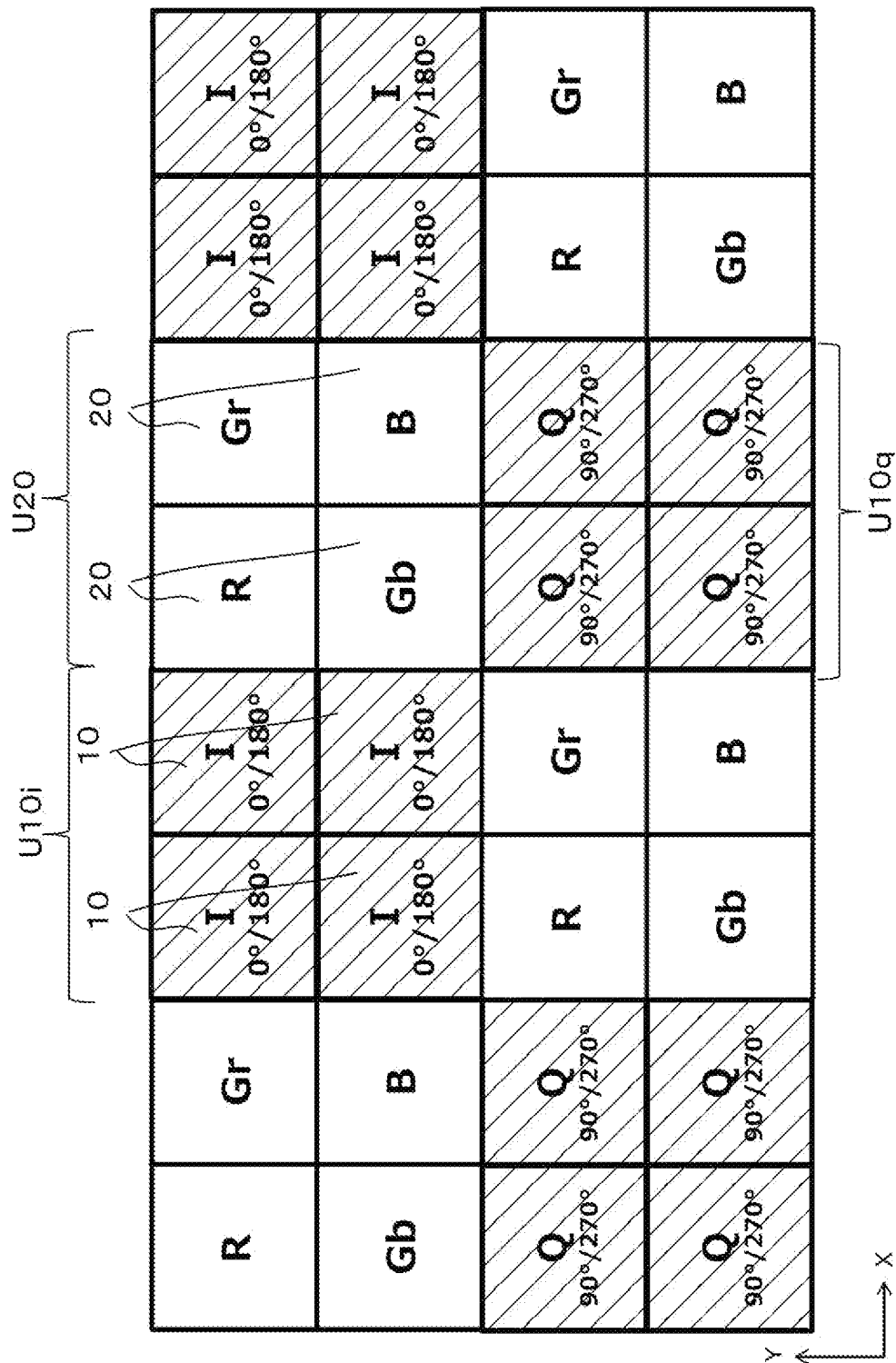
[図37]



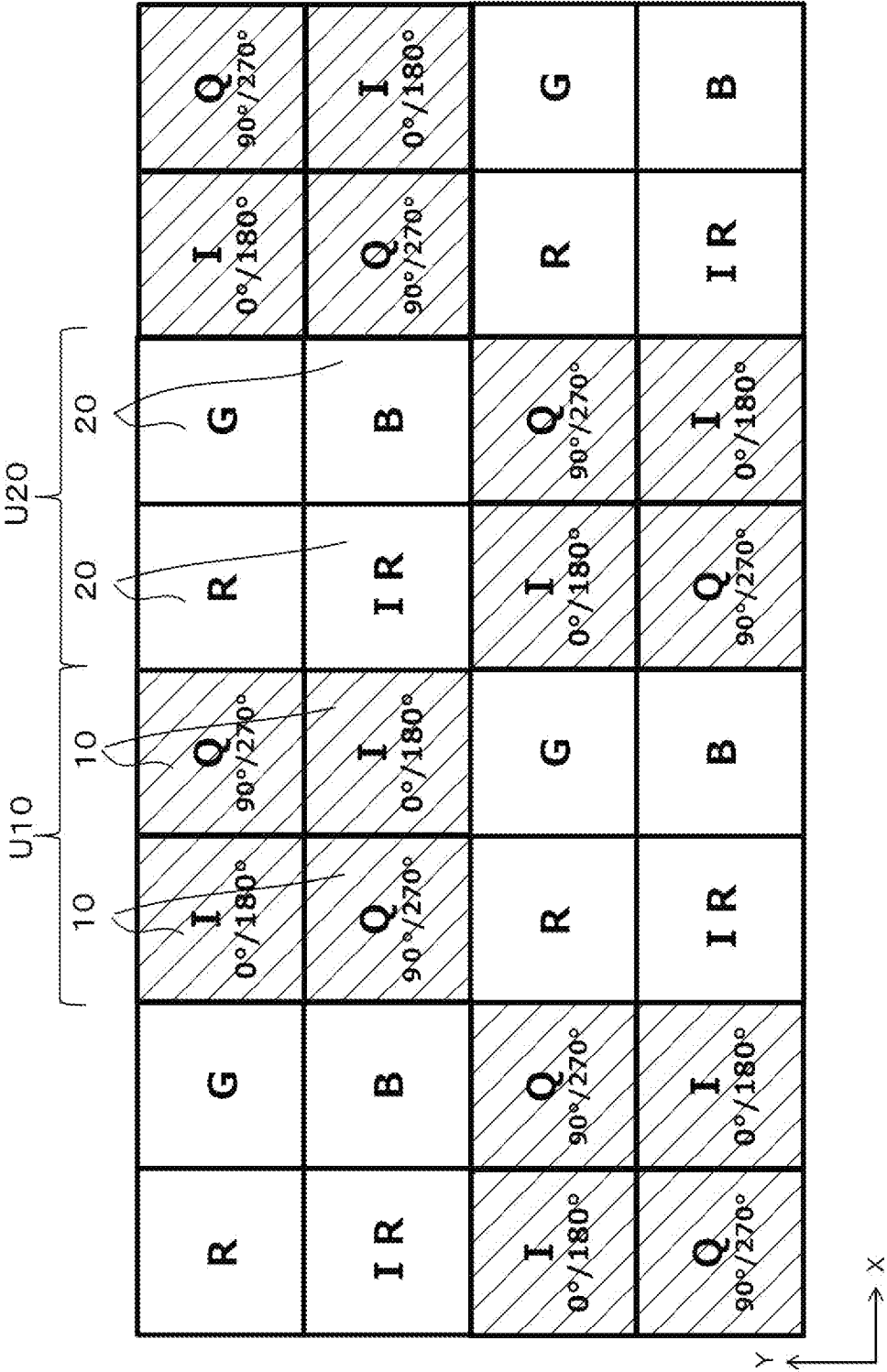
[図38]



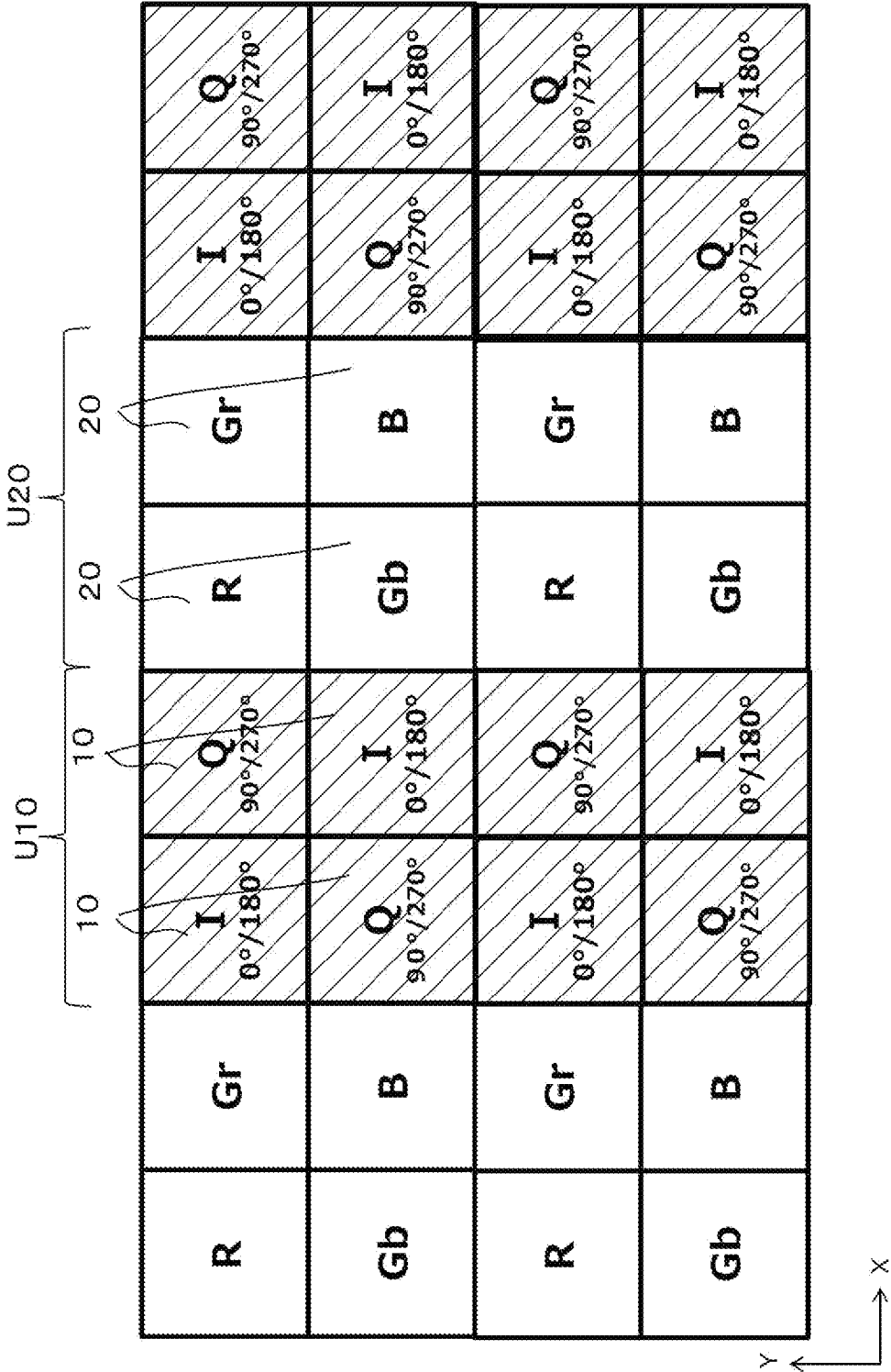
[図39]



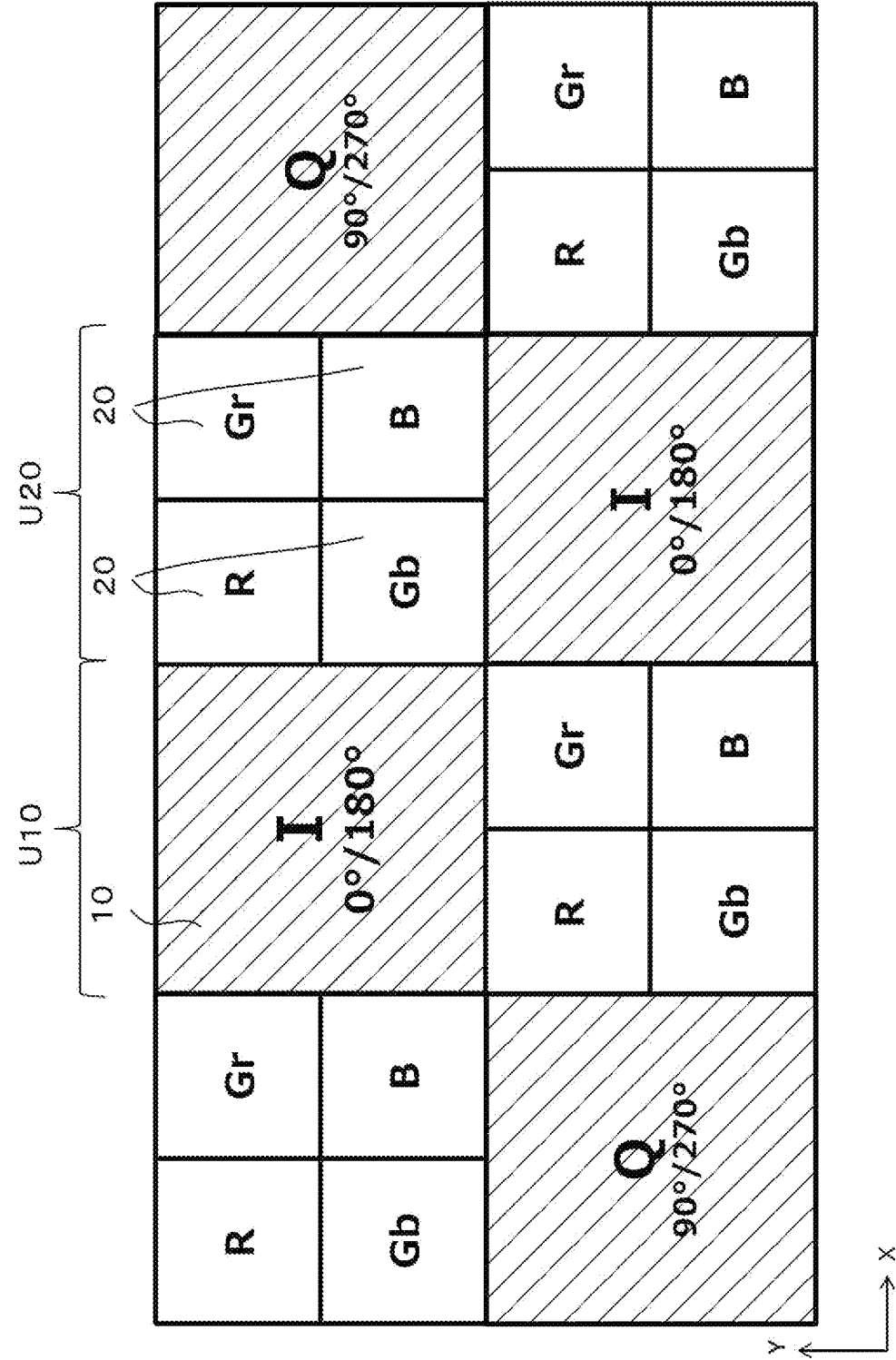
[図40]



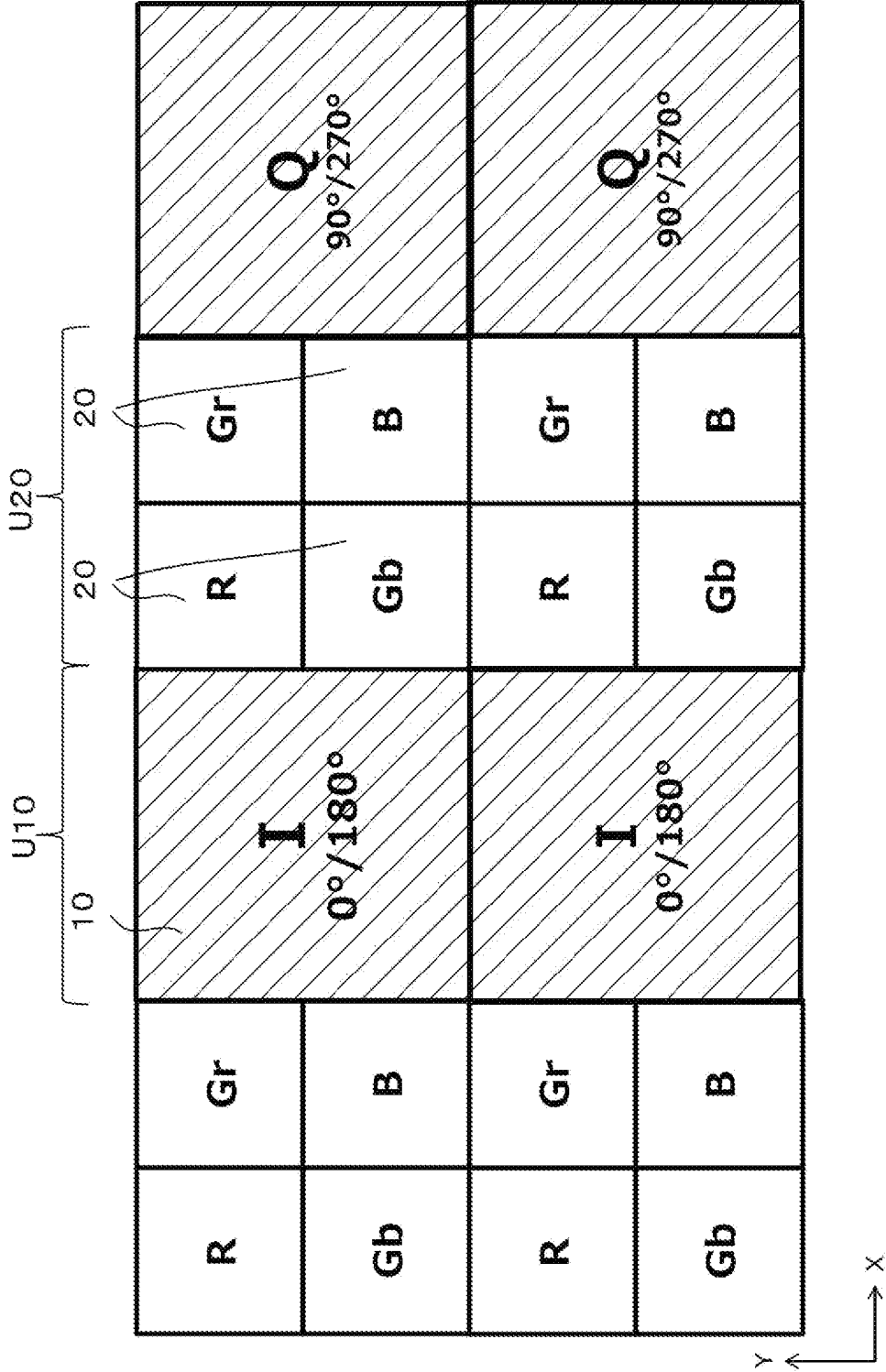
[図41]



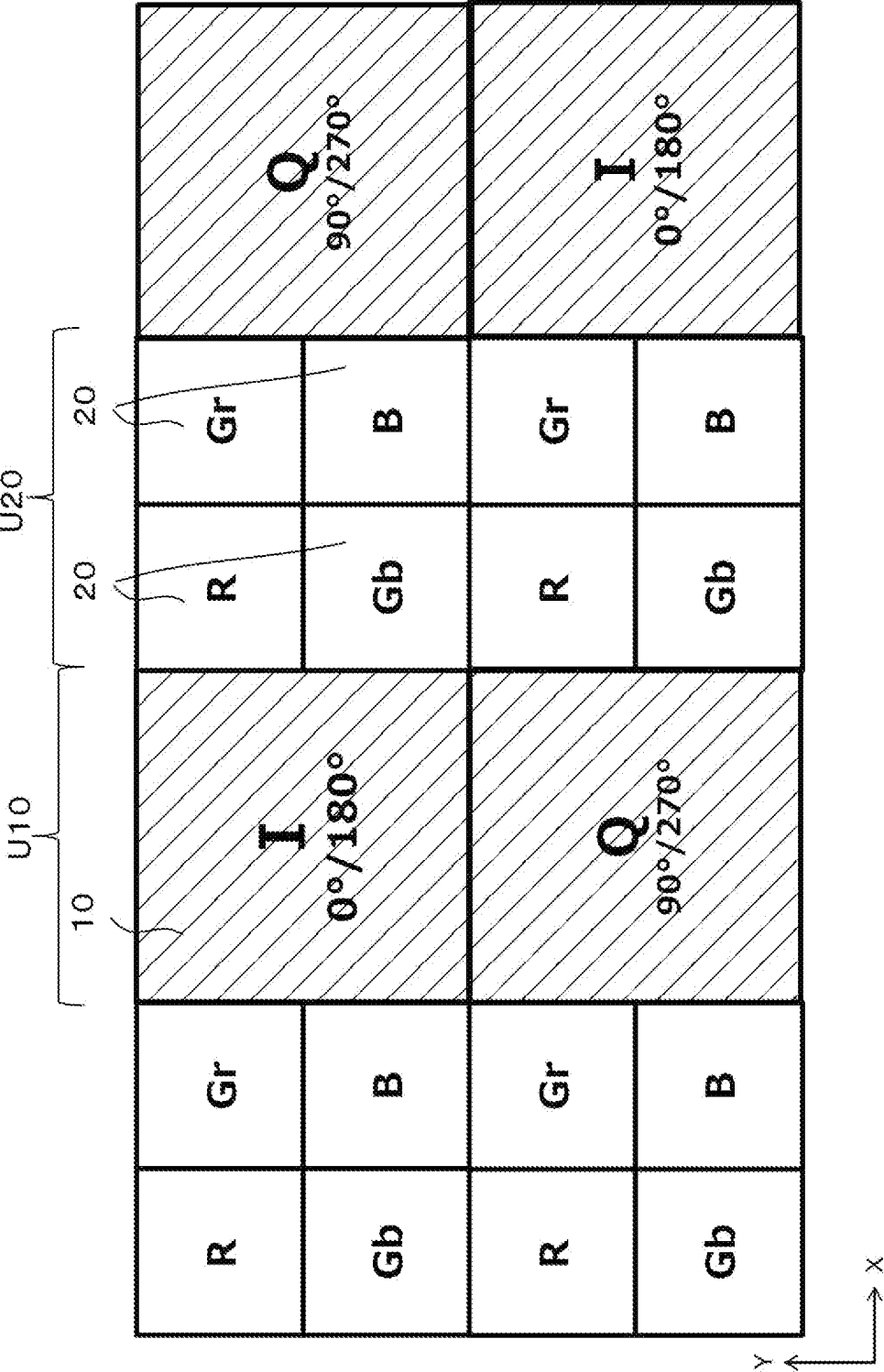
[図42]



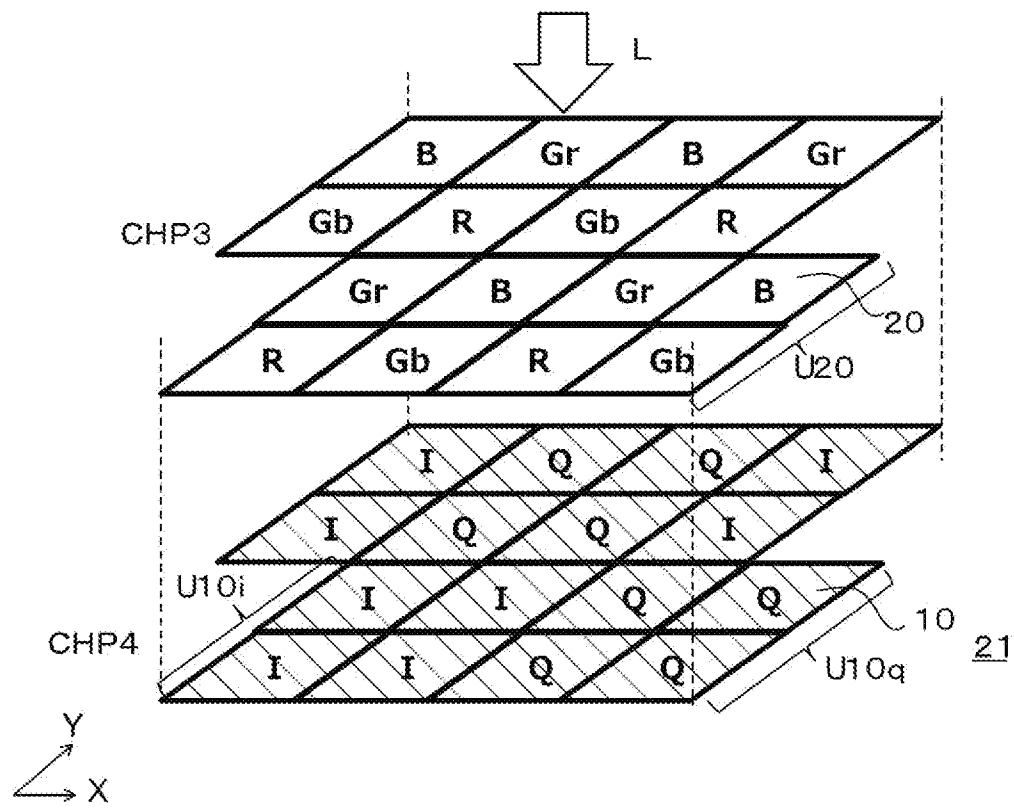
[図43]



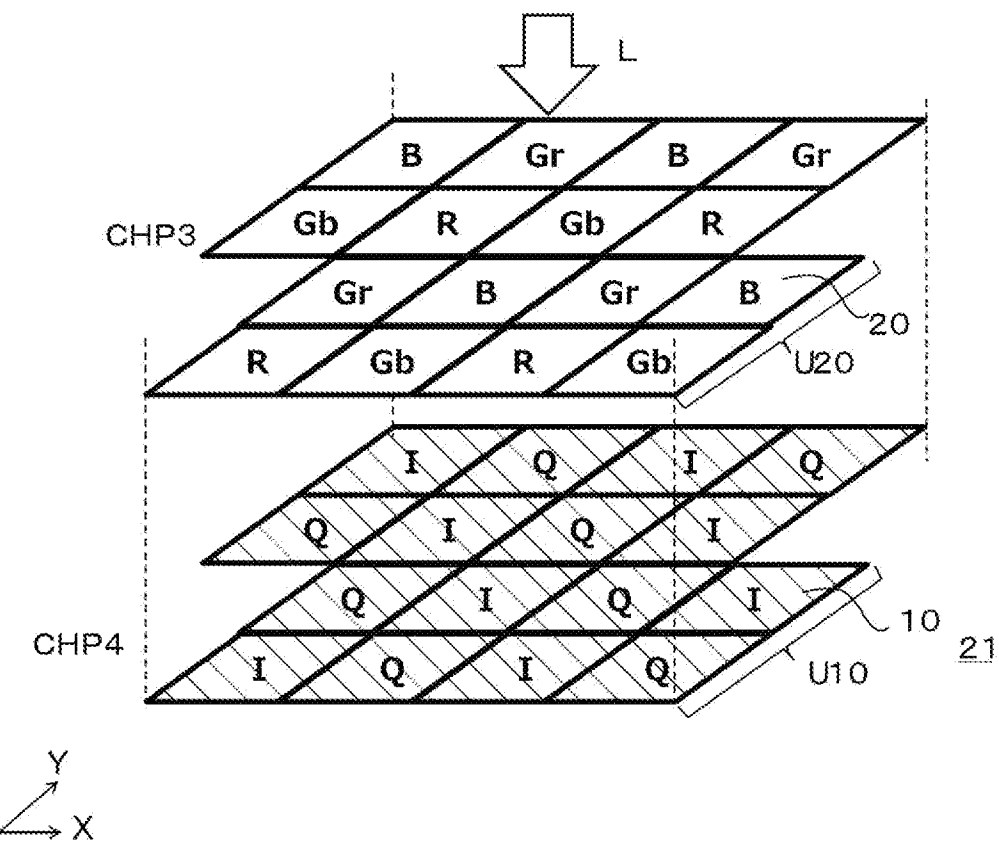
[図44]



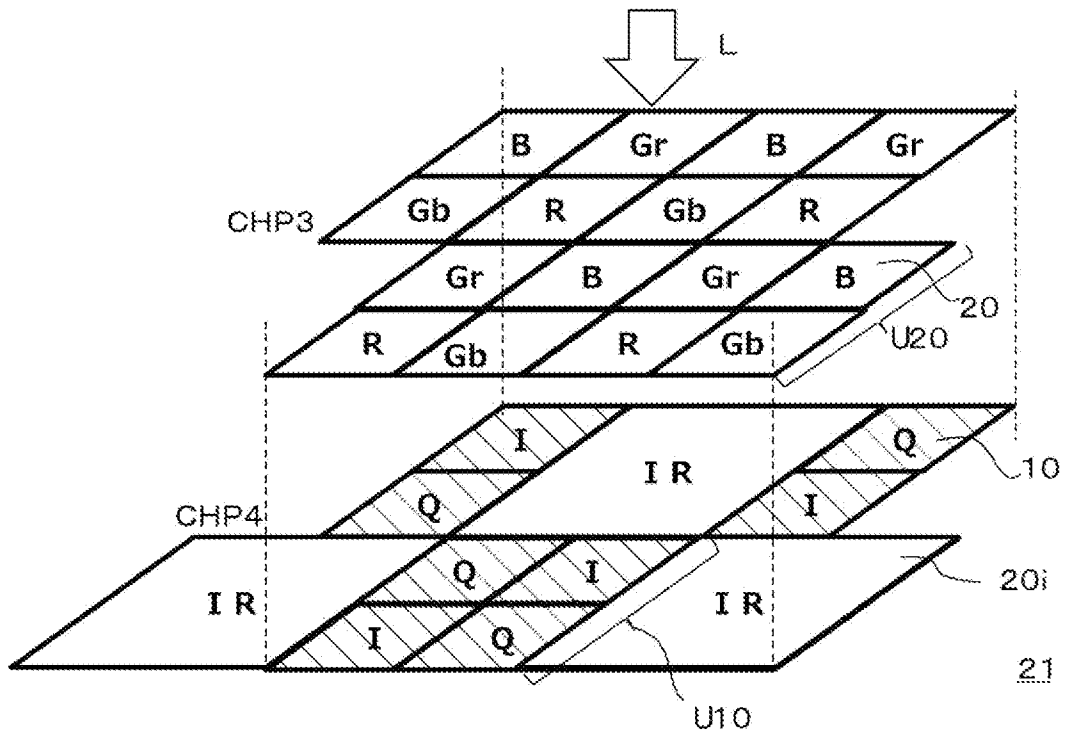
[図45]



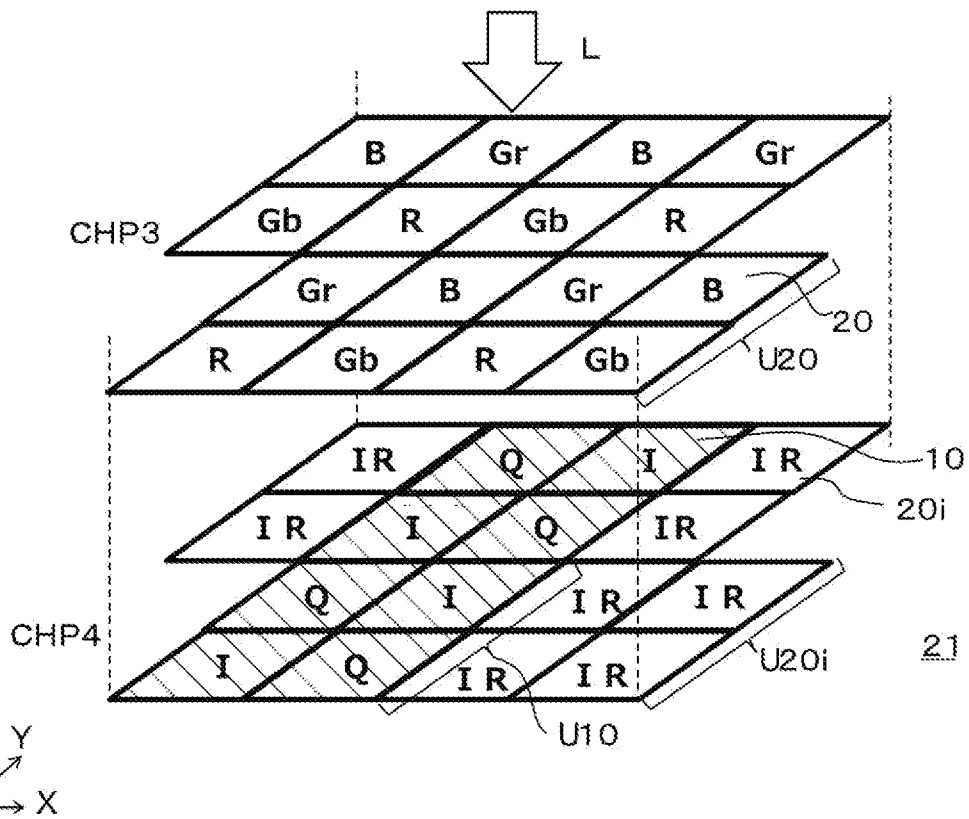
[図46]



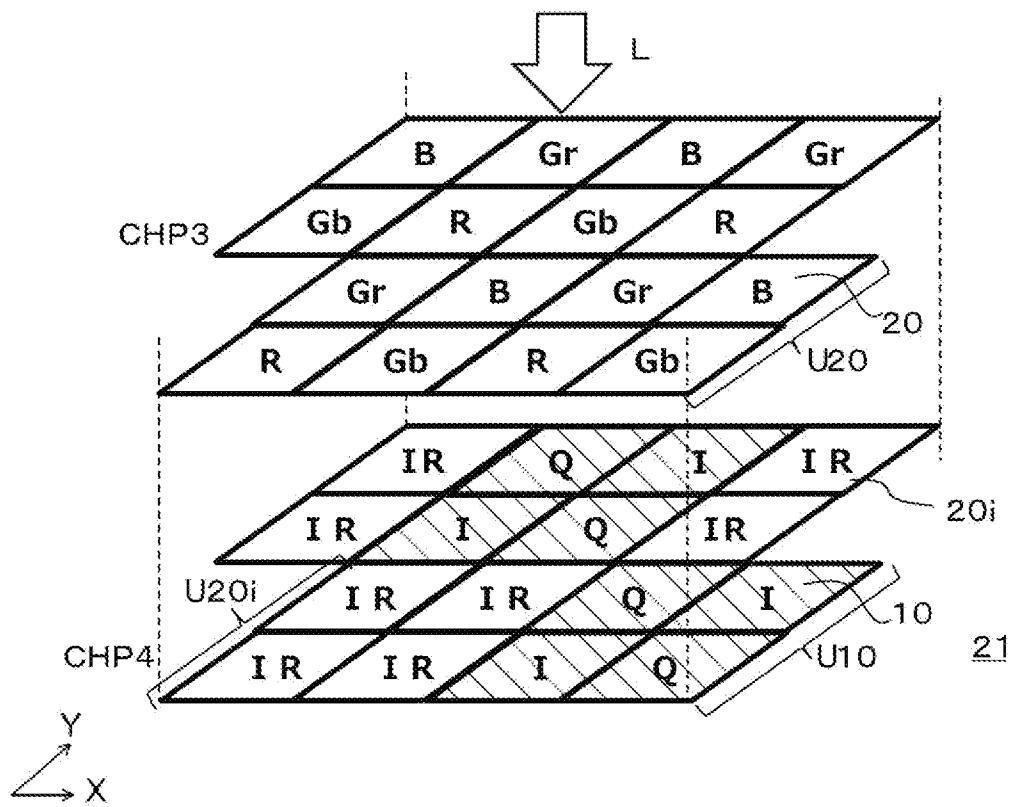
[図47]



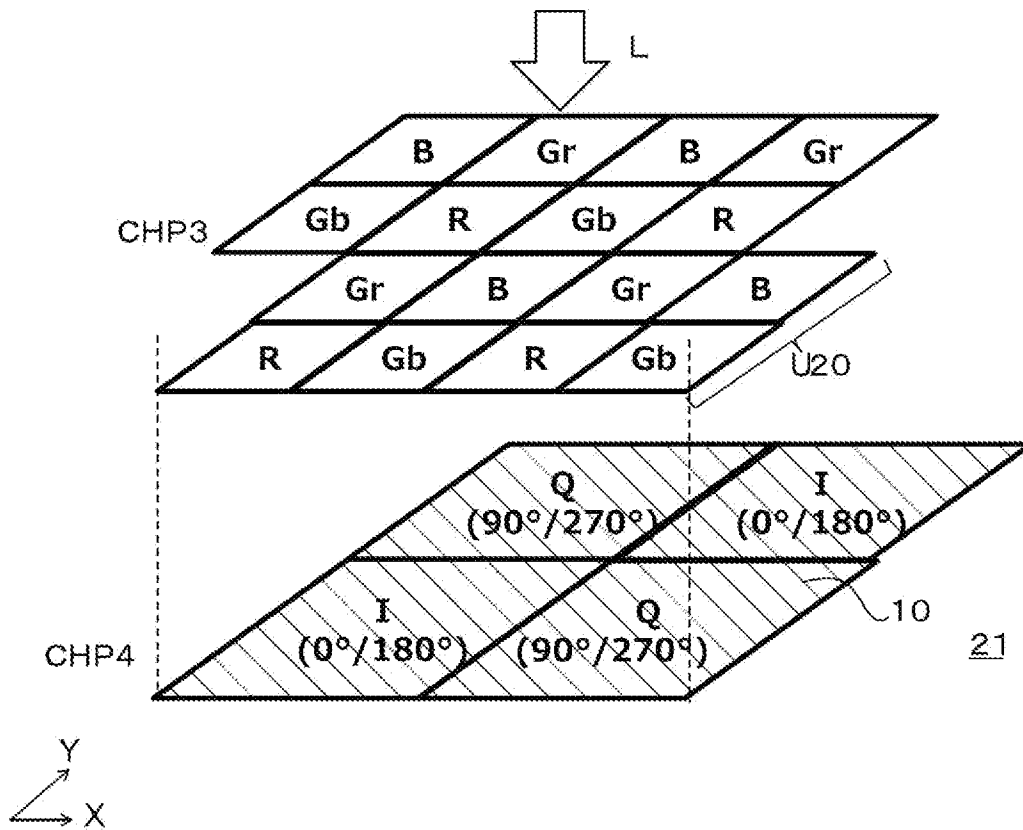
[図48]



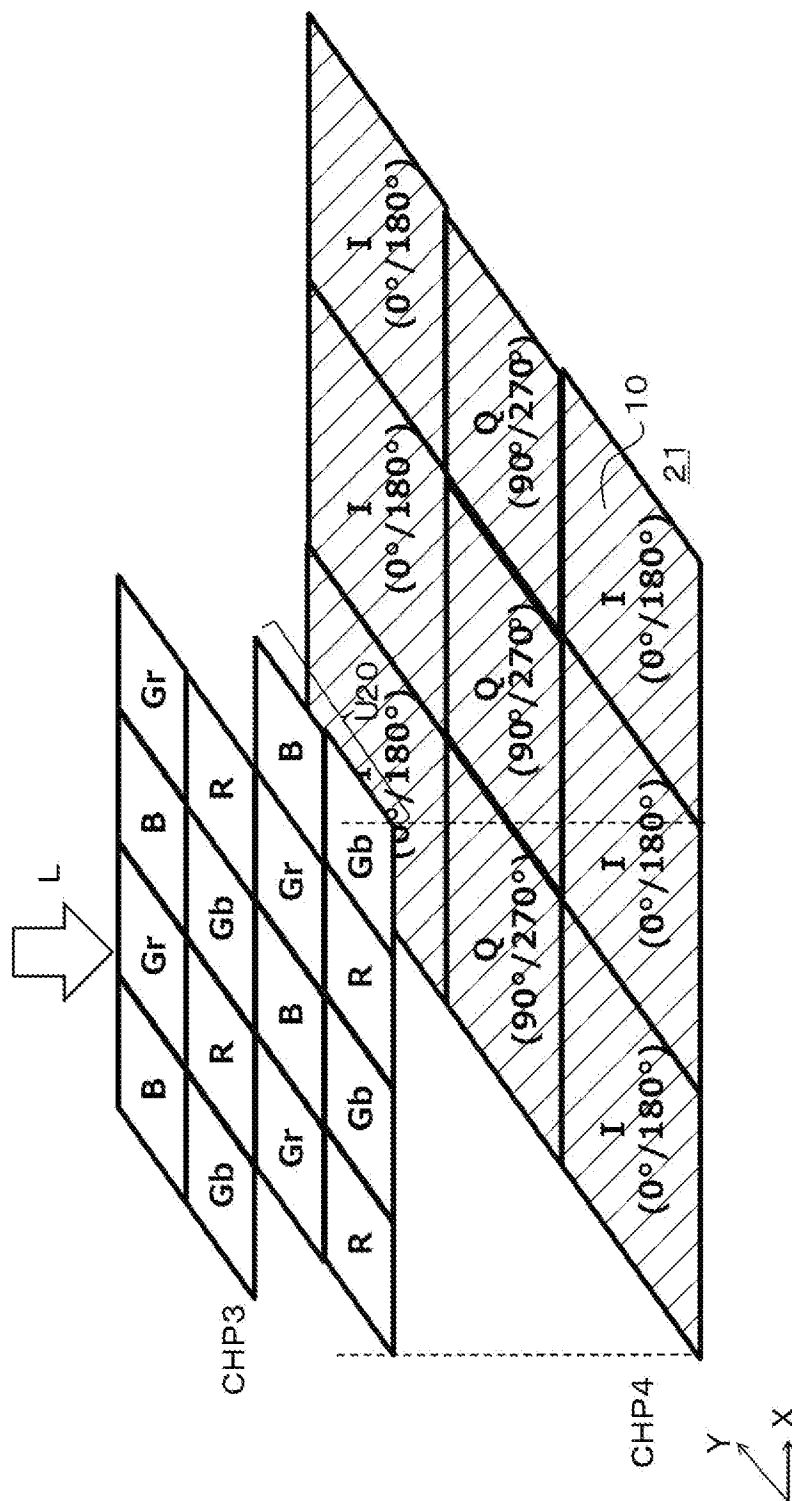
[図49]



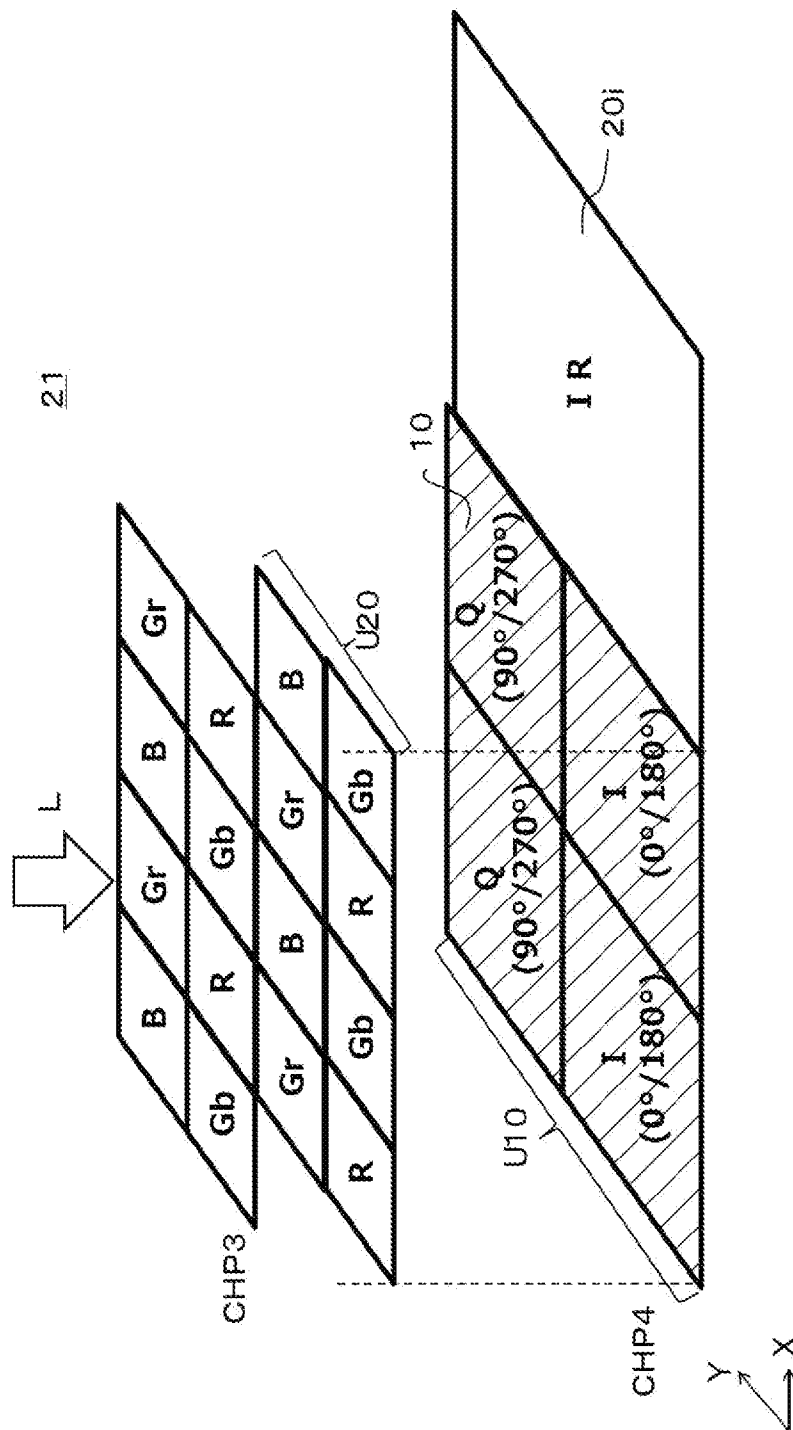
[図50]



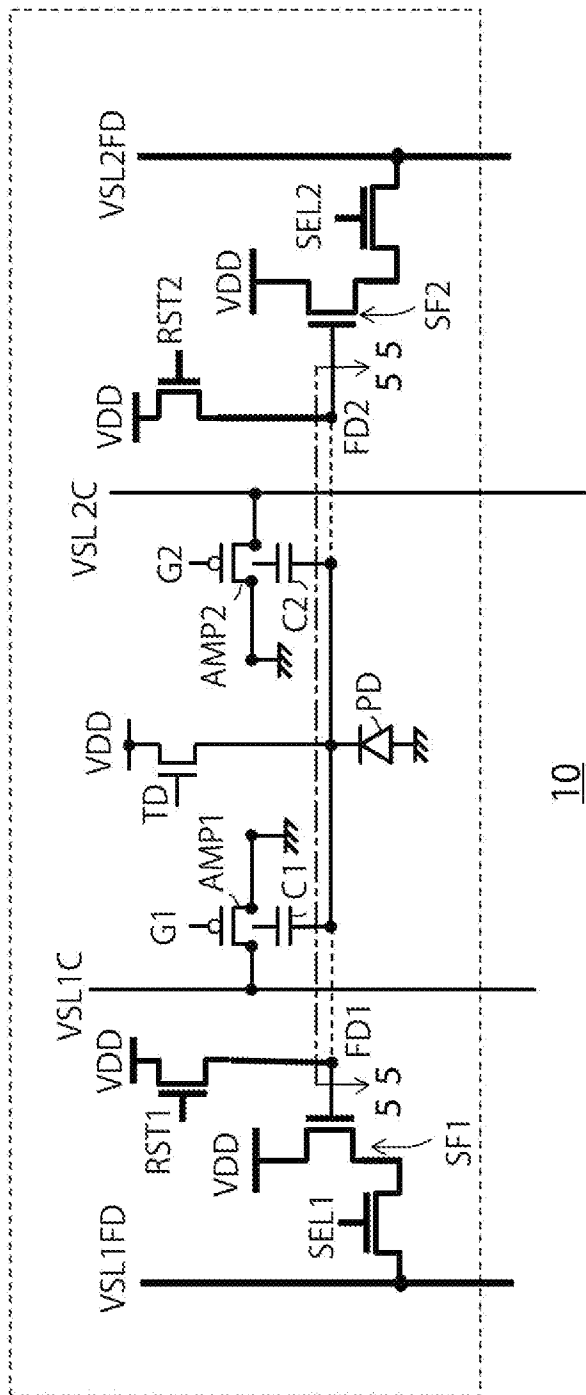
[図51]



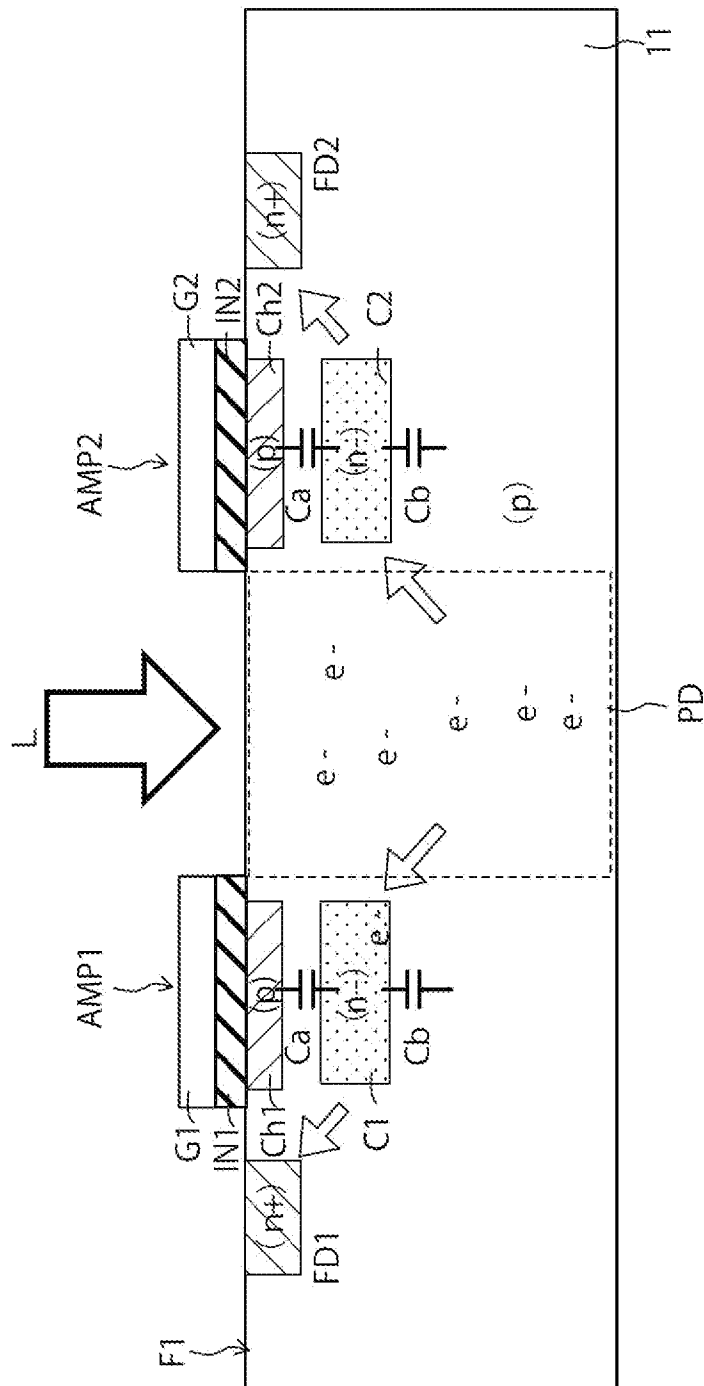
[図53]



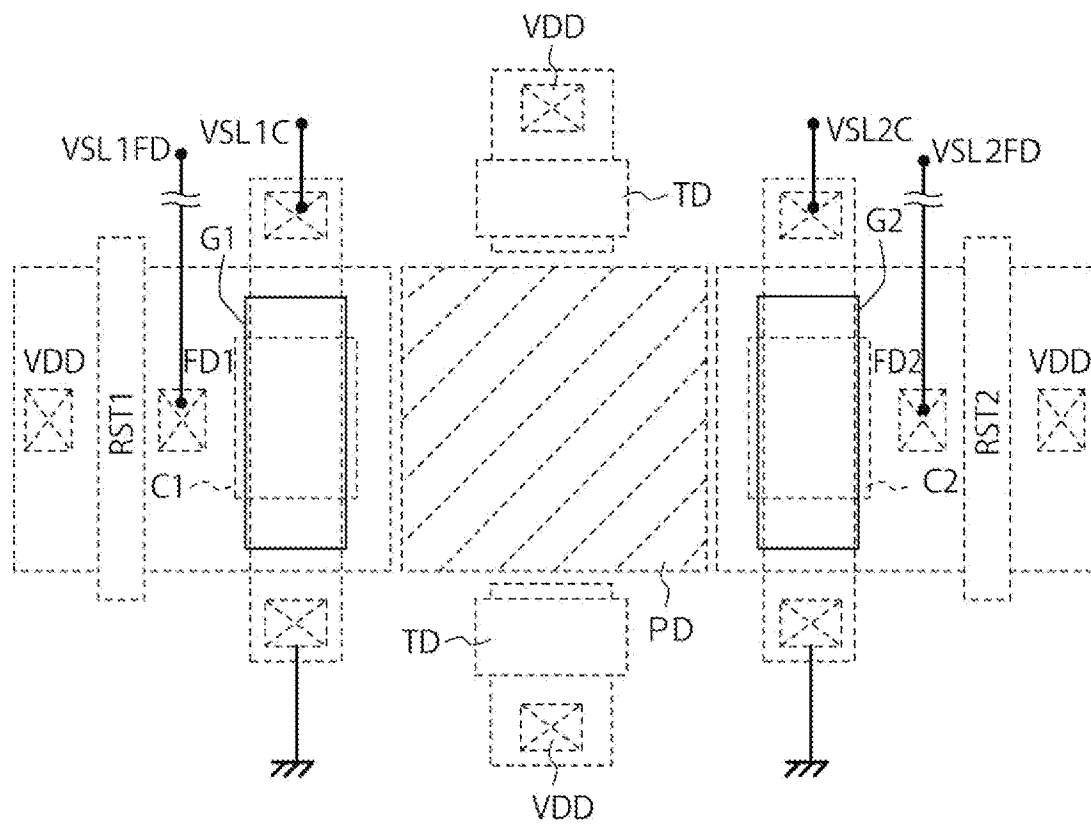
[図54]



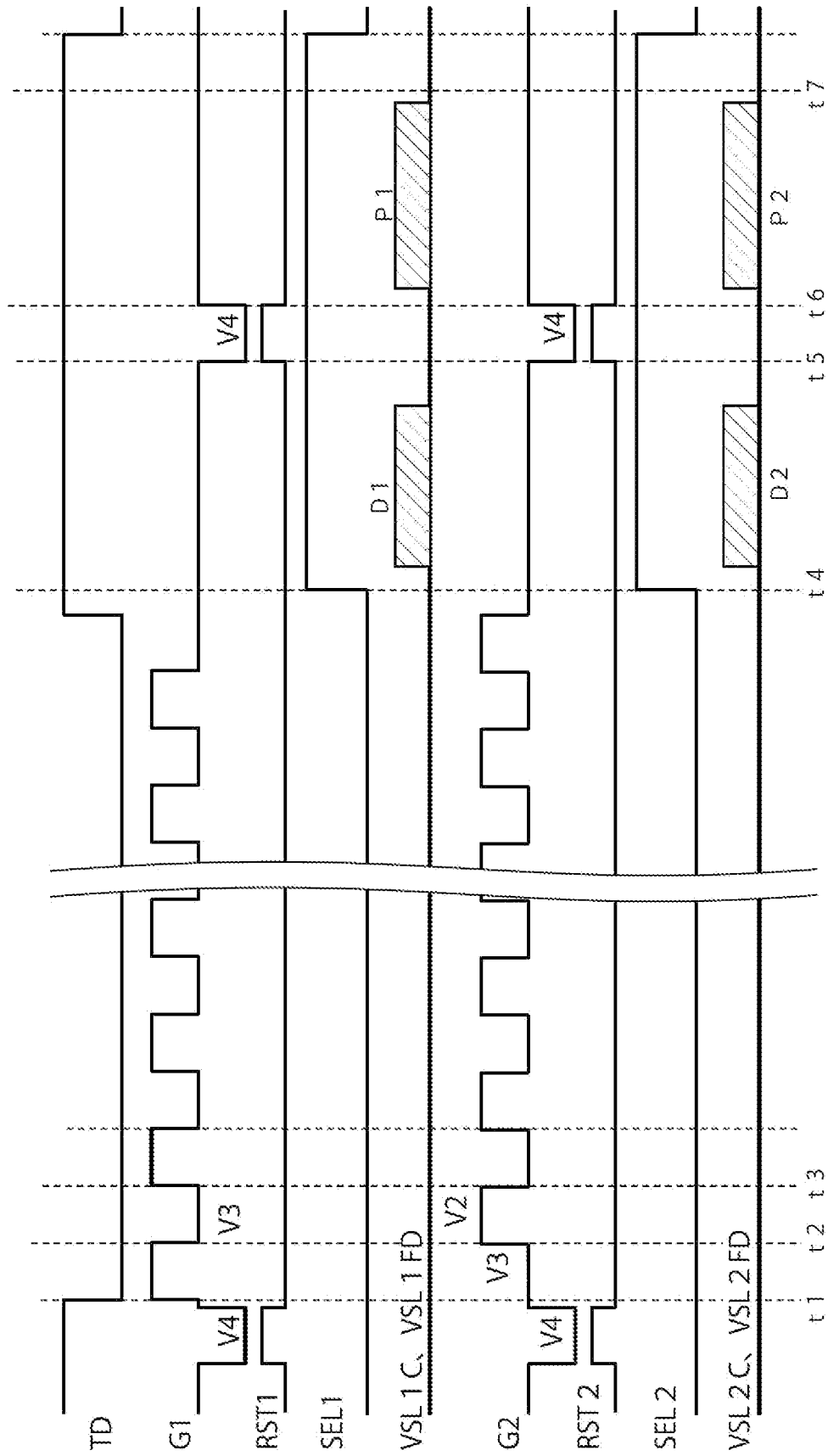
[図55]



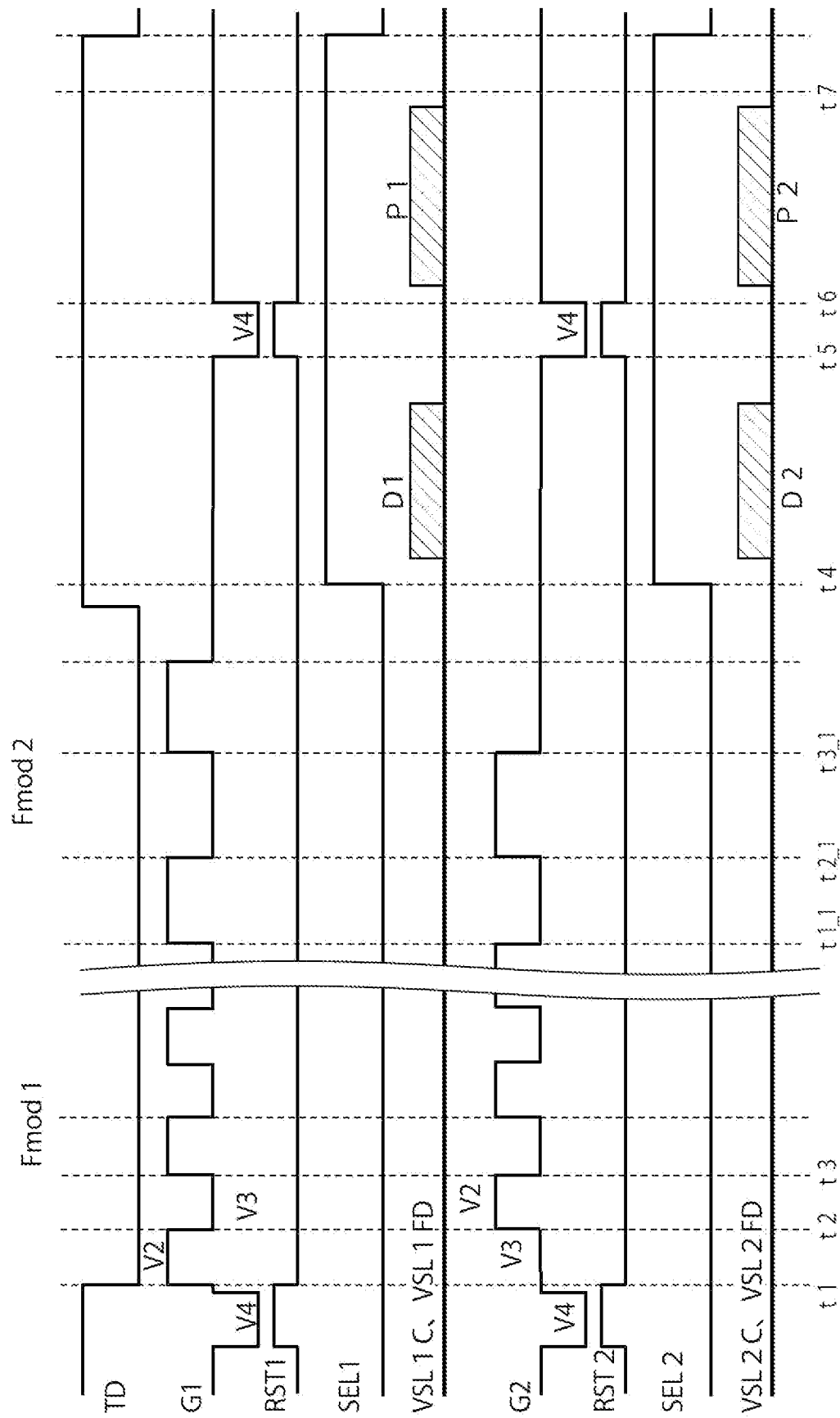
[図56]



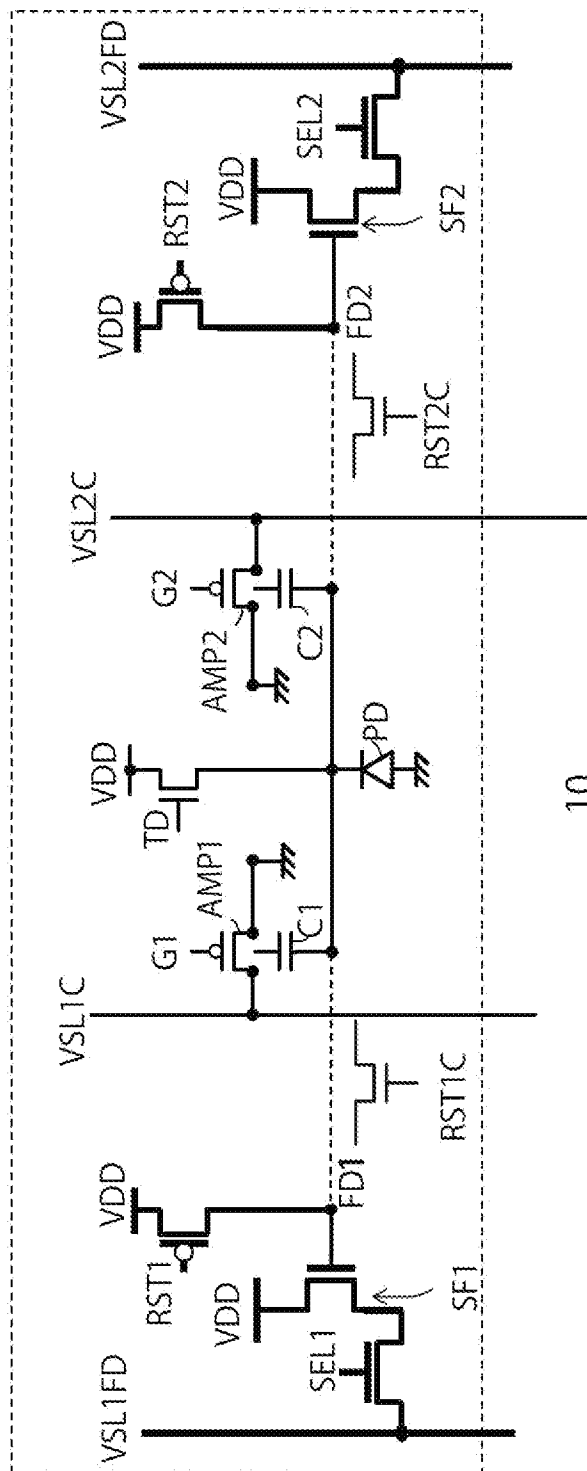
[図57]



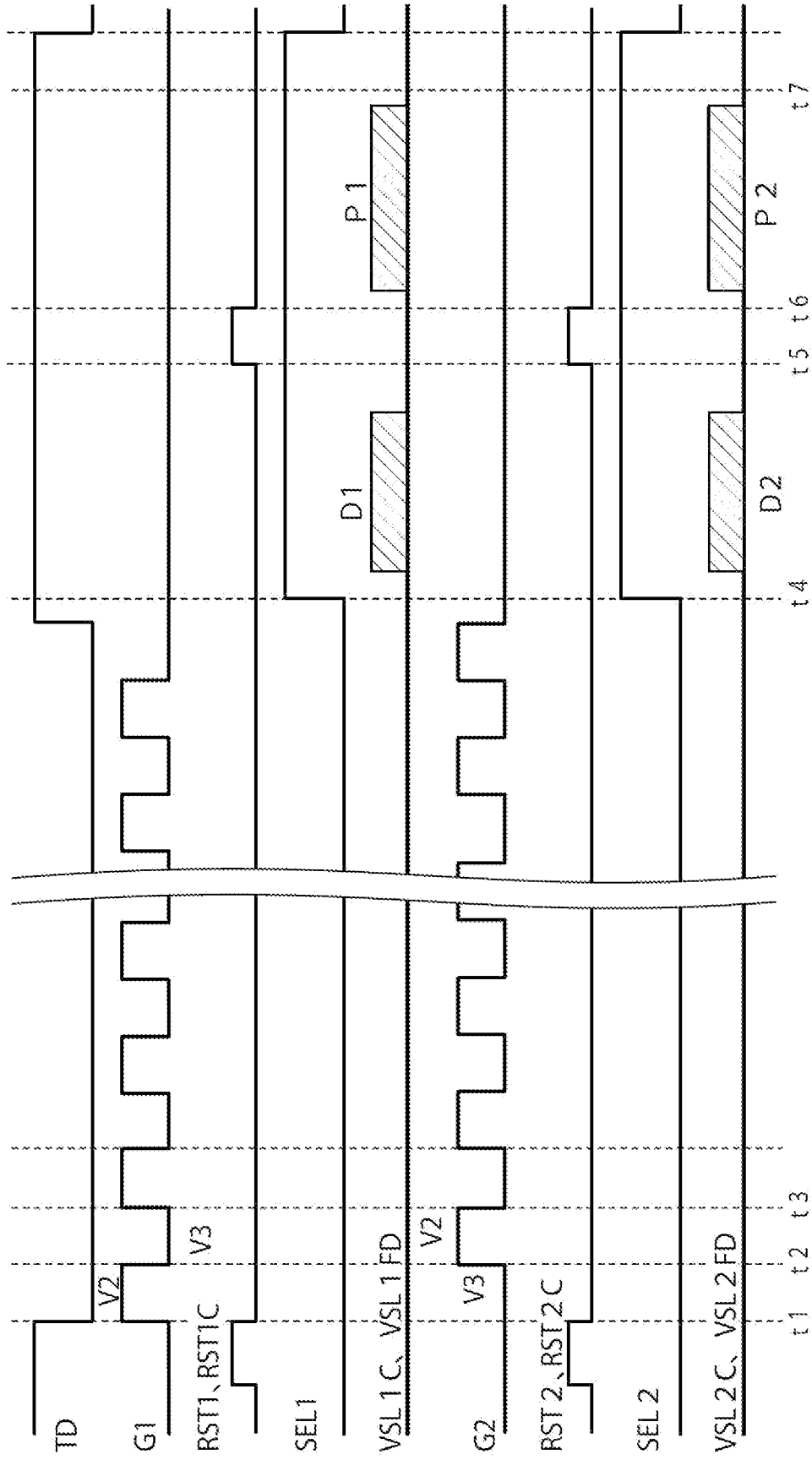
[図58]



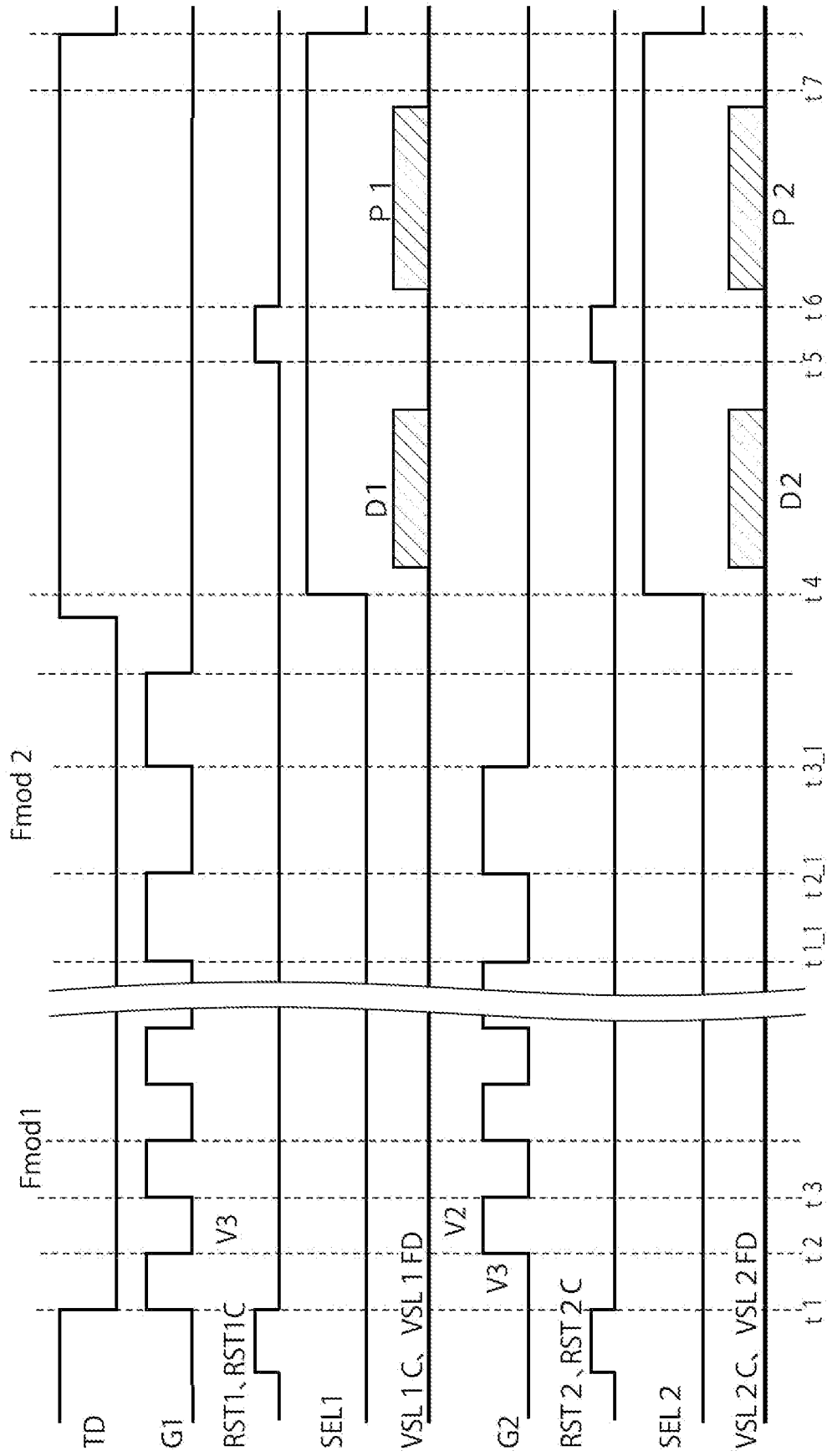
[図59]



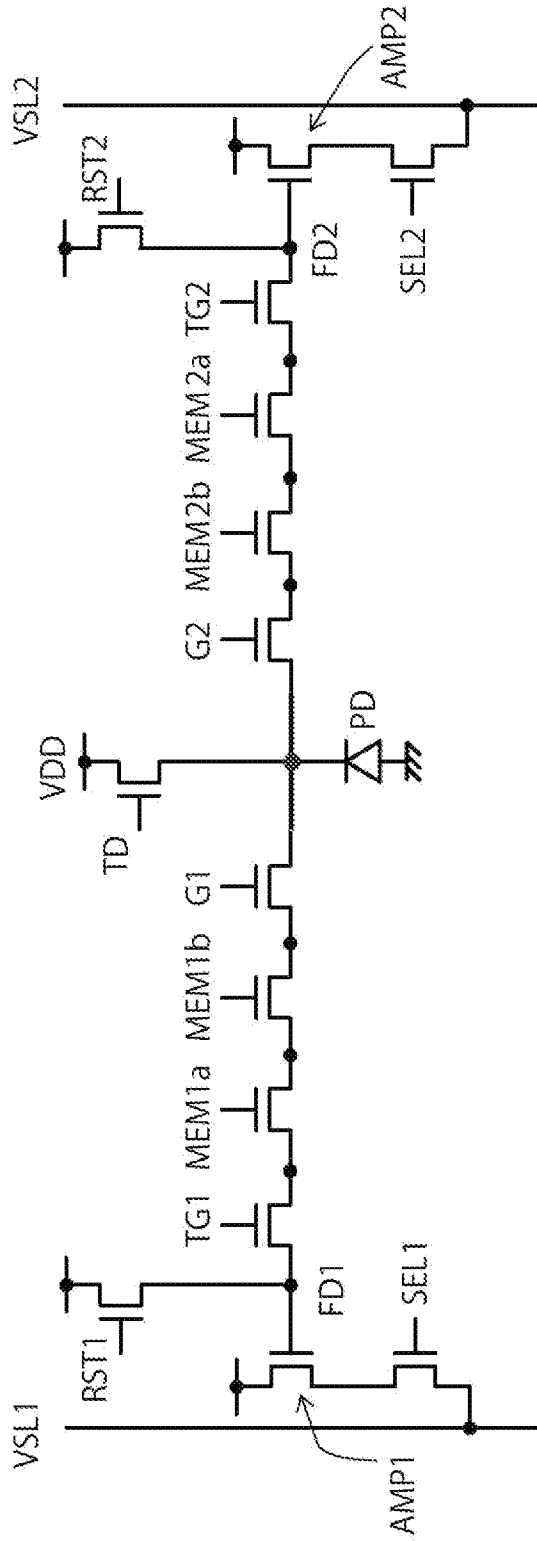
[図60]



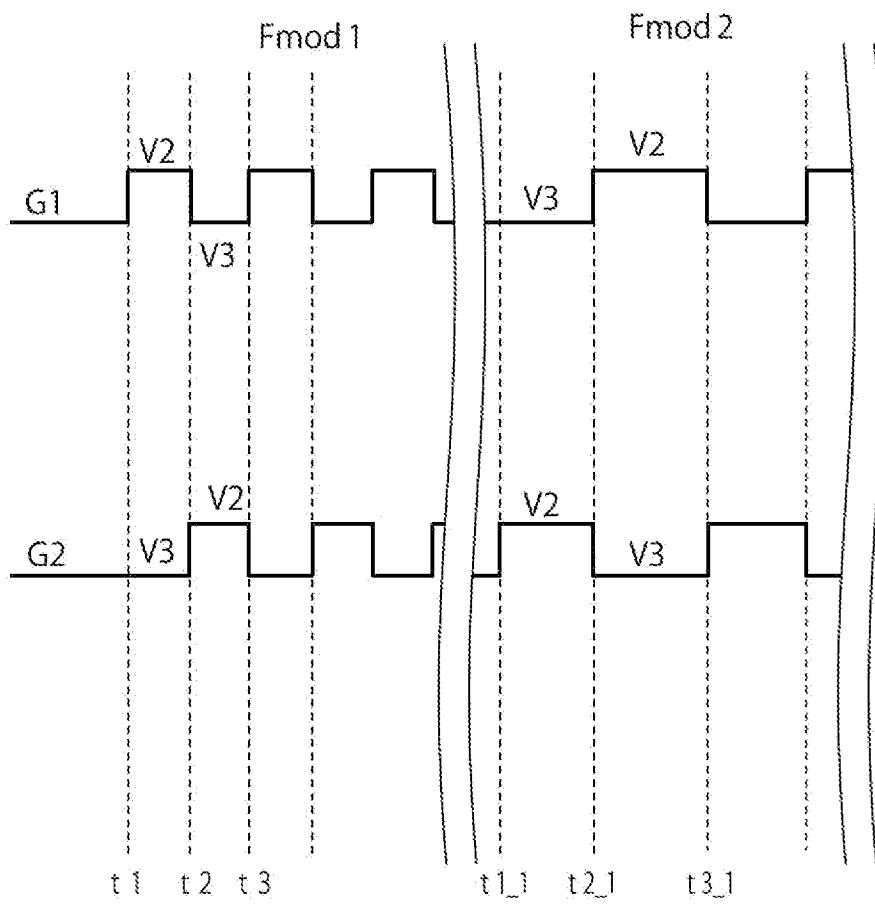
[図61]



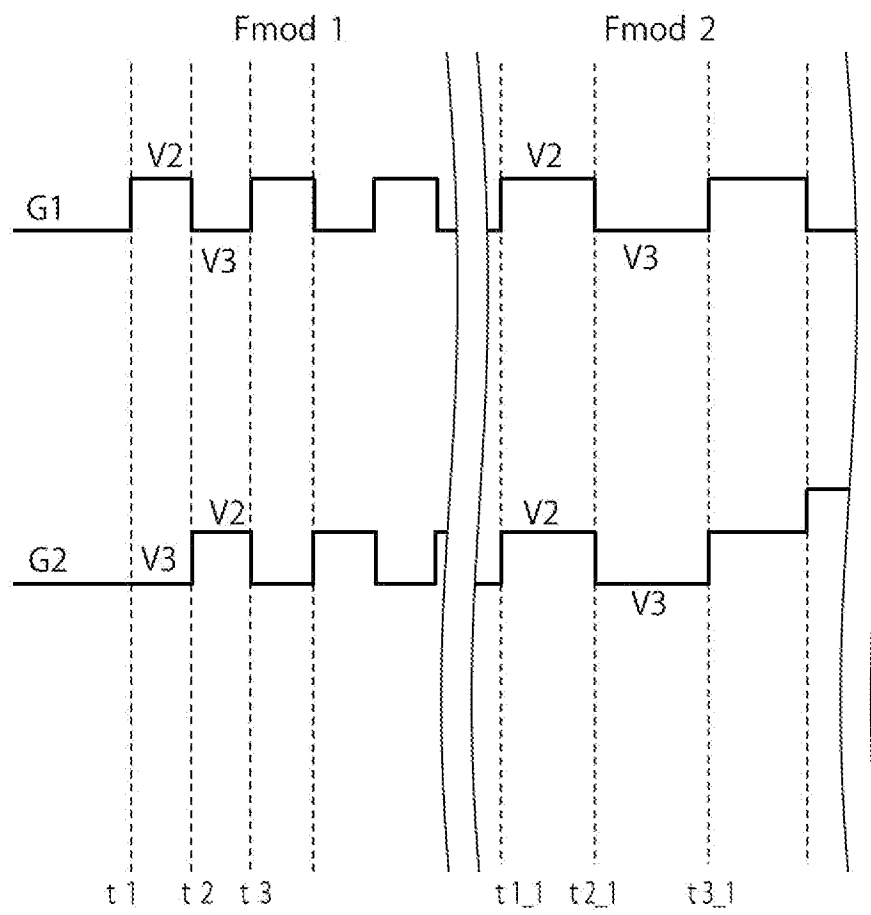
[図62]



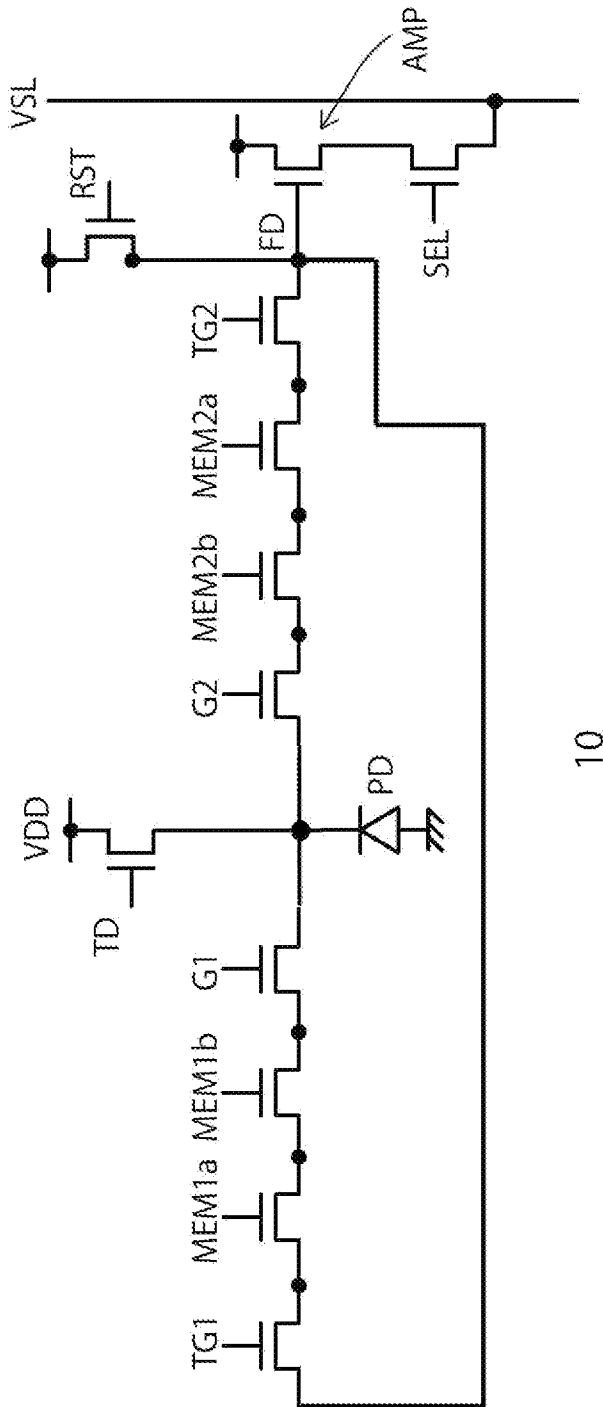
[図63A]



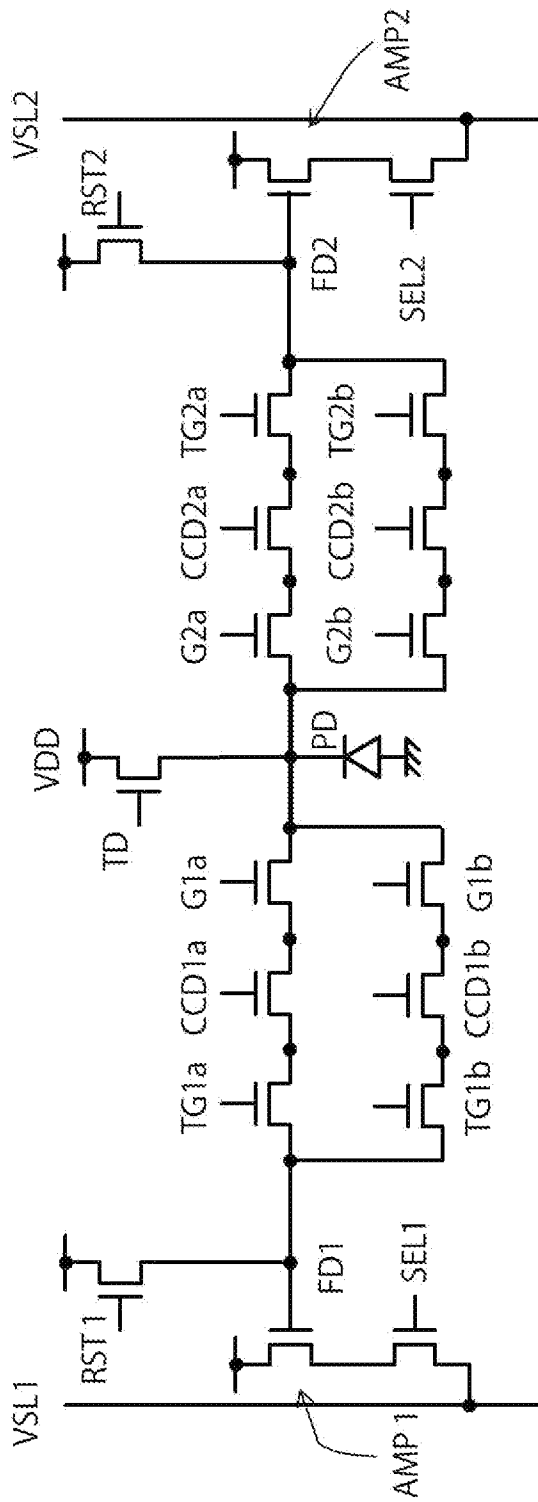
[図63B]



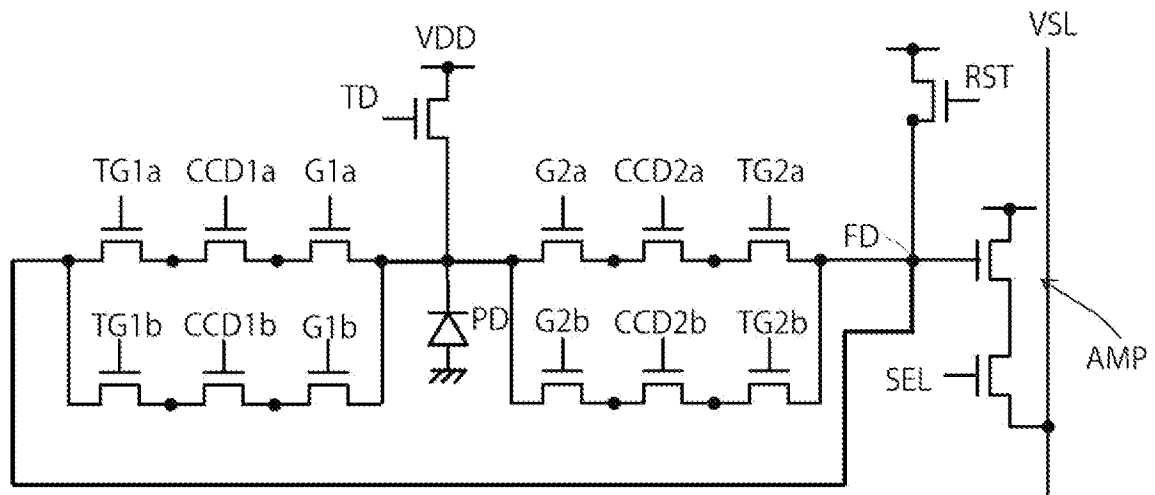
[図64]



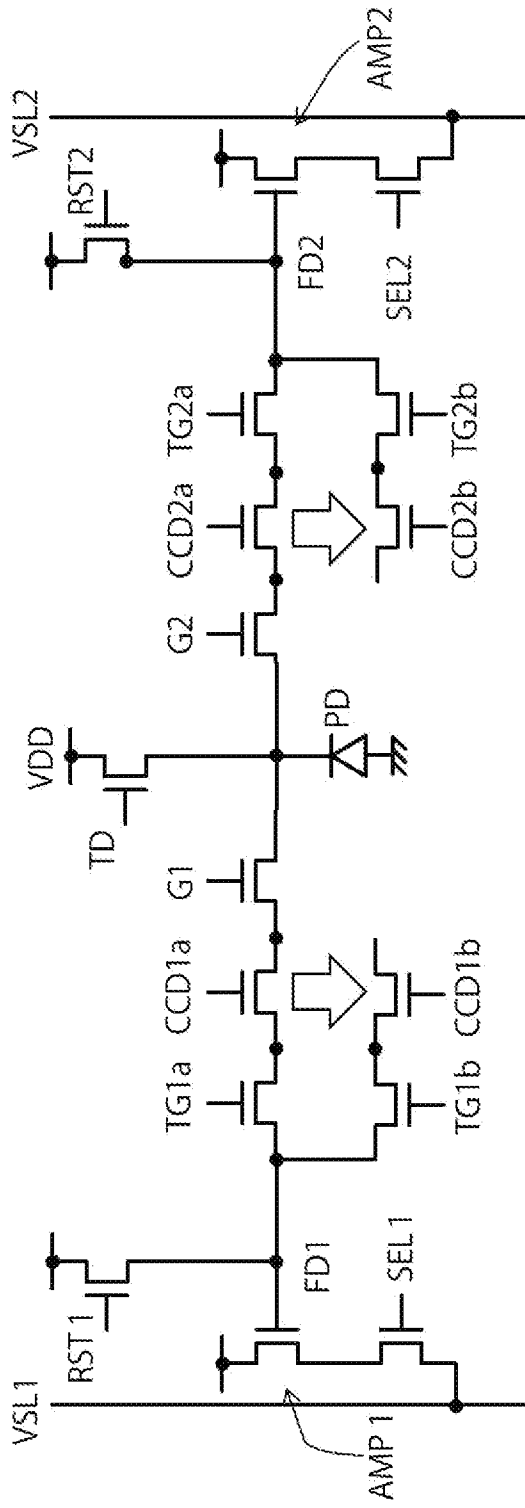
[図65]



[図66]

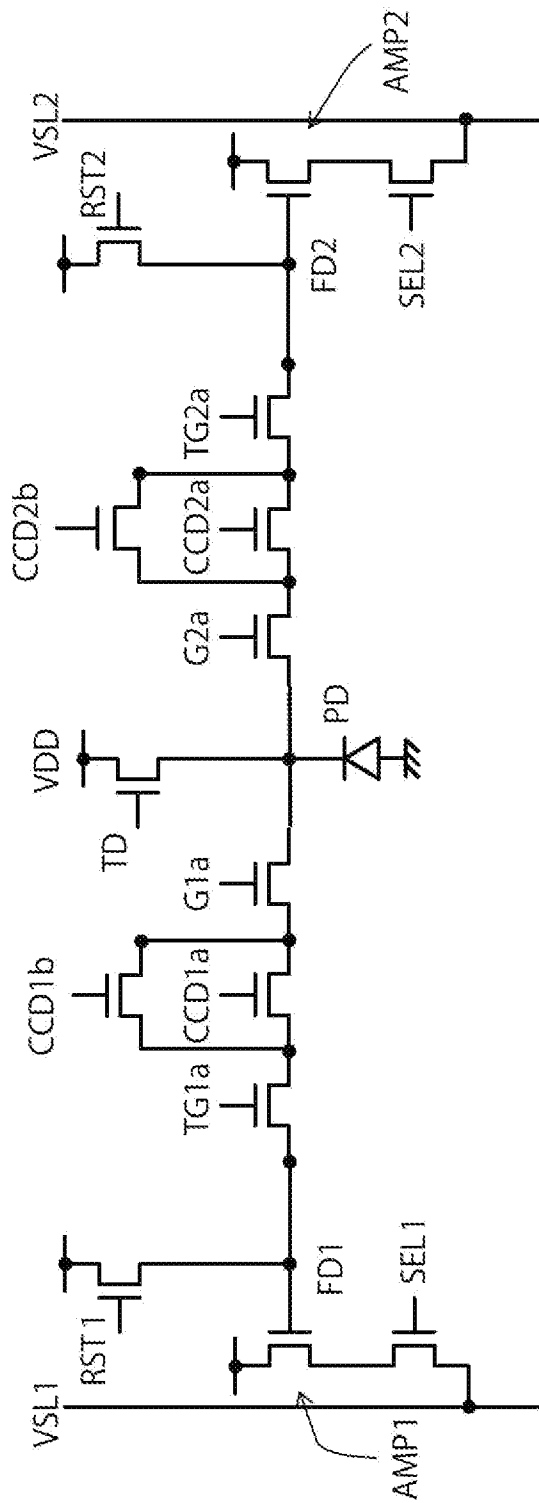
10

[図67]

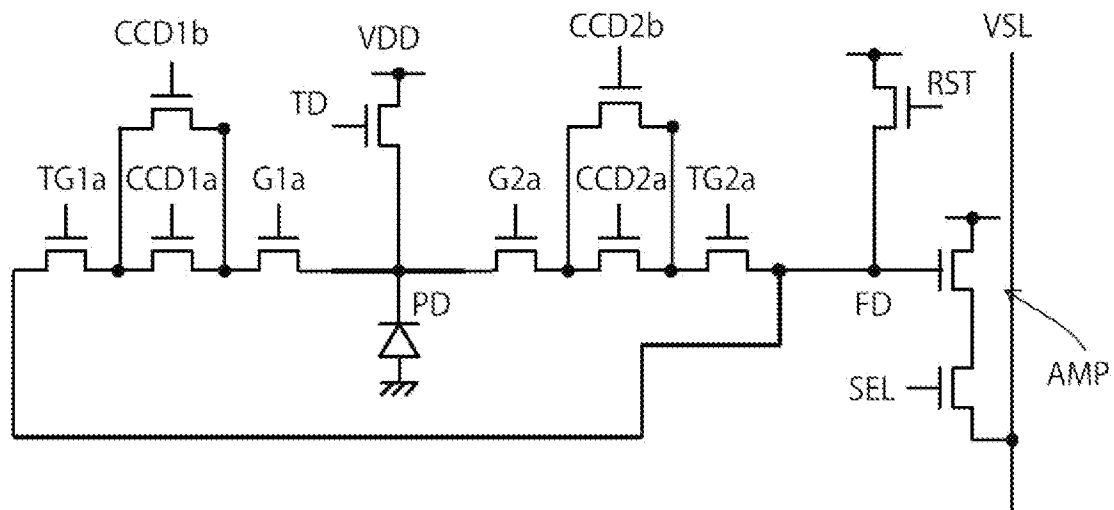


[illegible]

[図69]

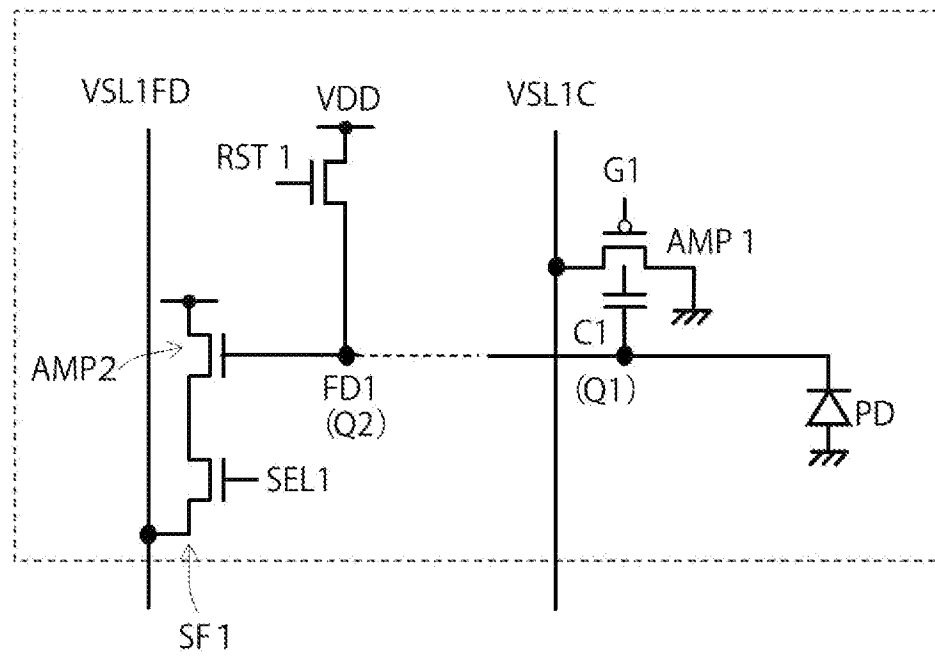


[図70]



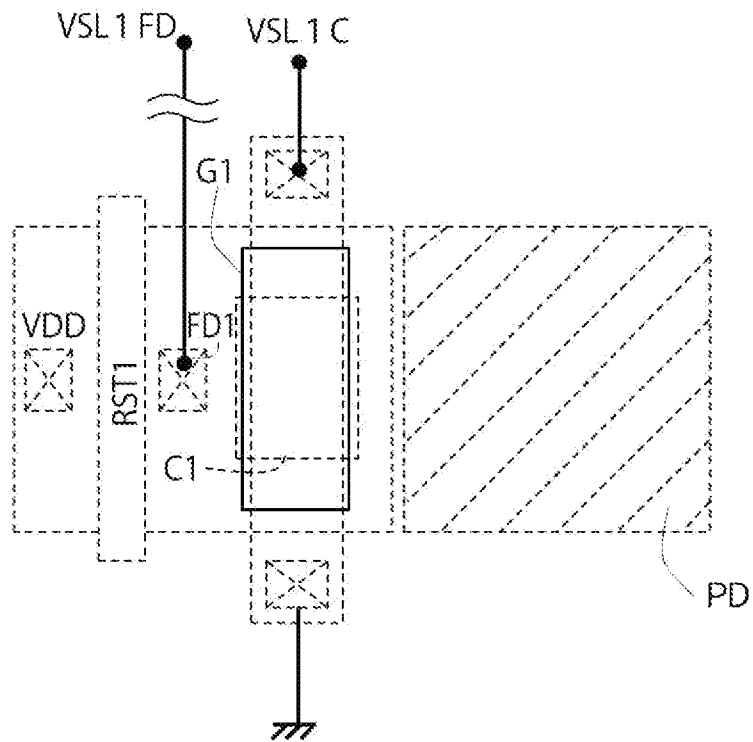
10

[図71]

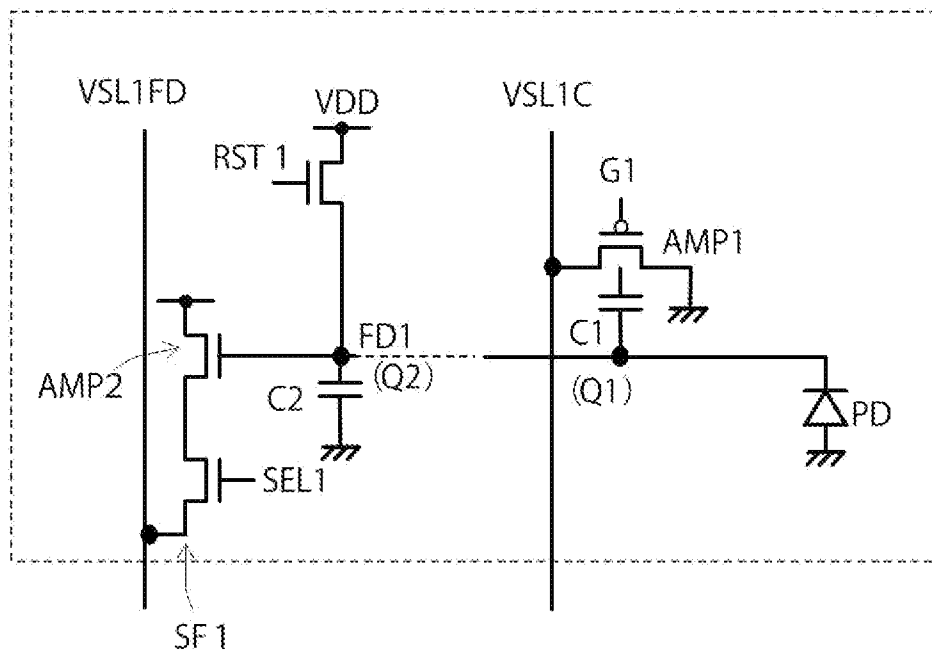


10

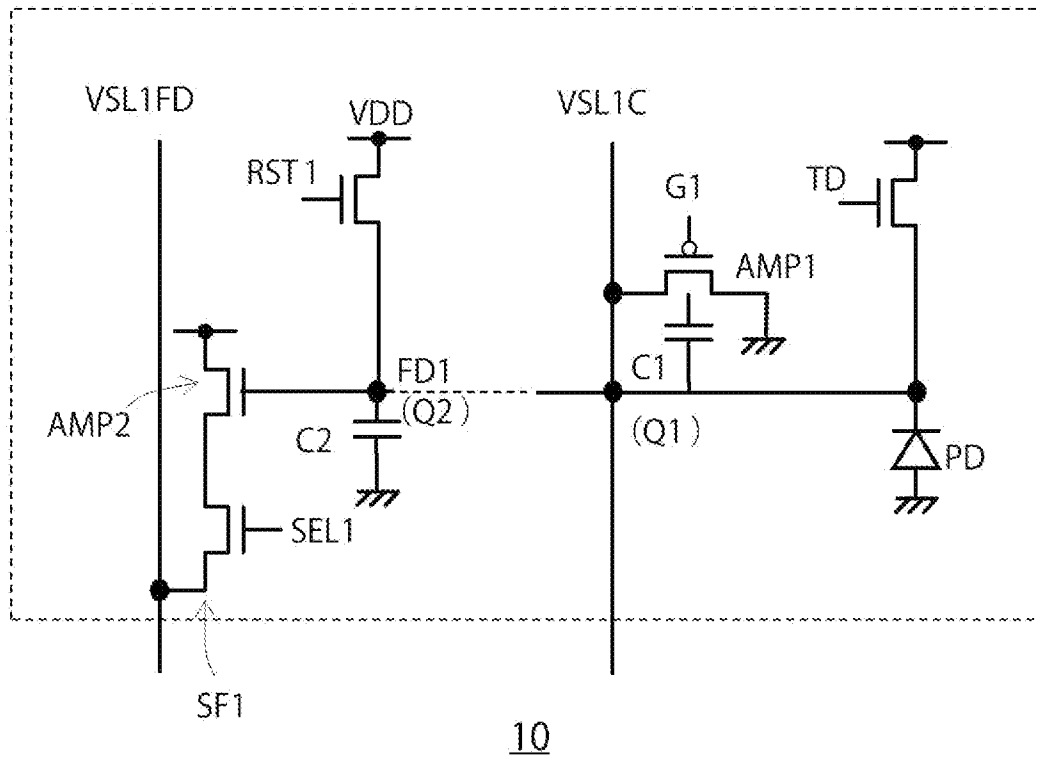
[図72]



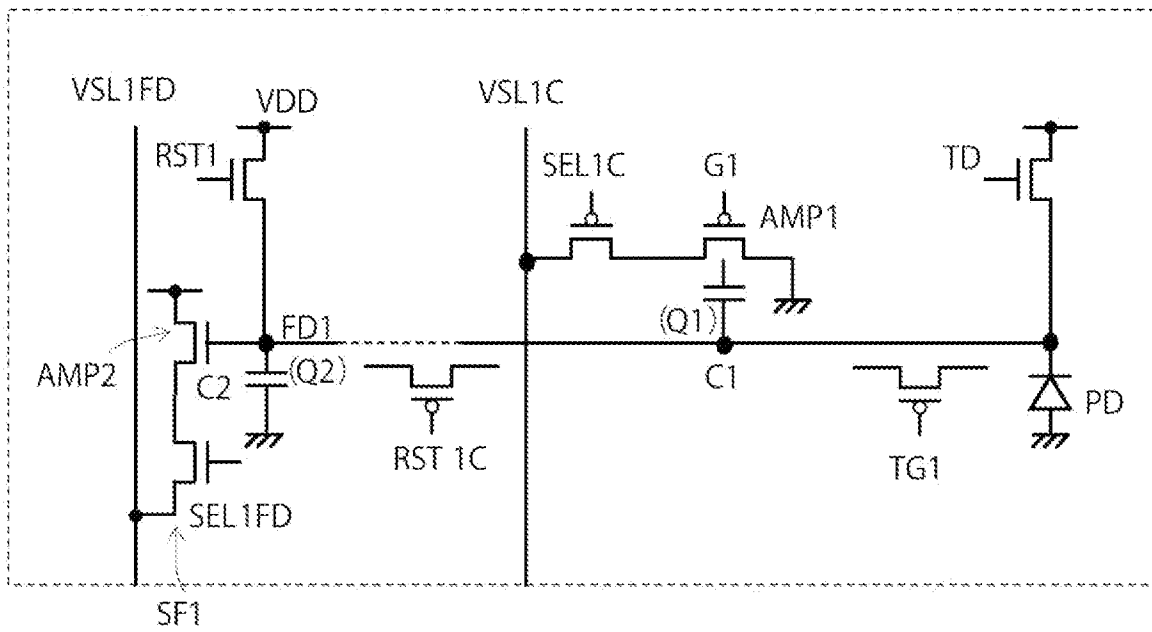
[図73]



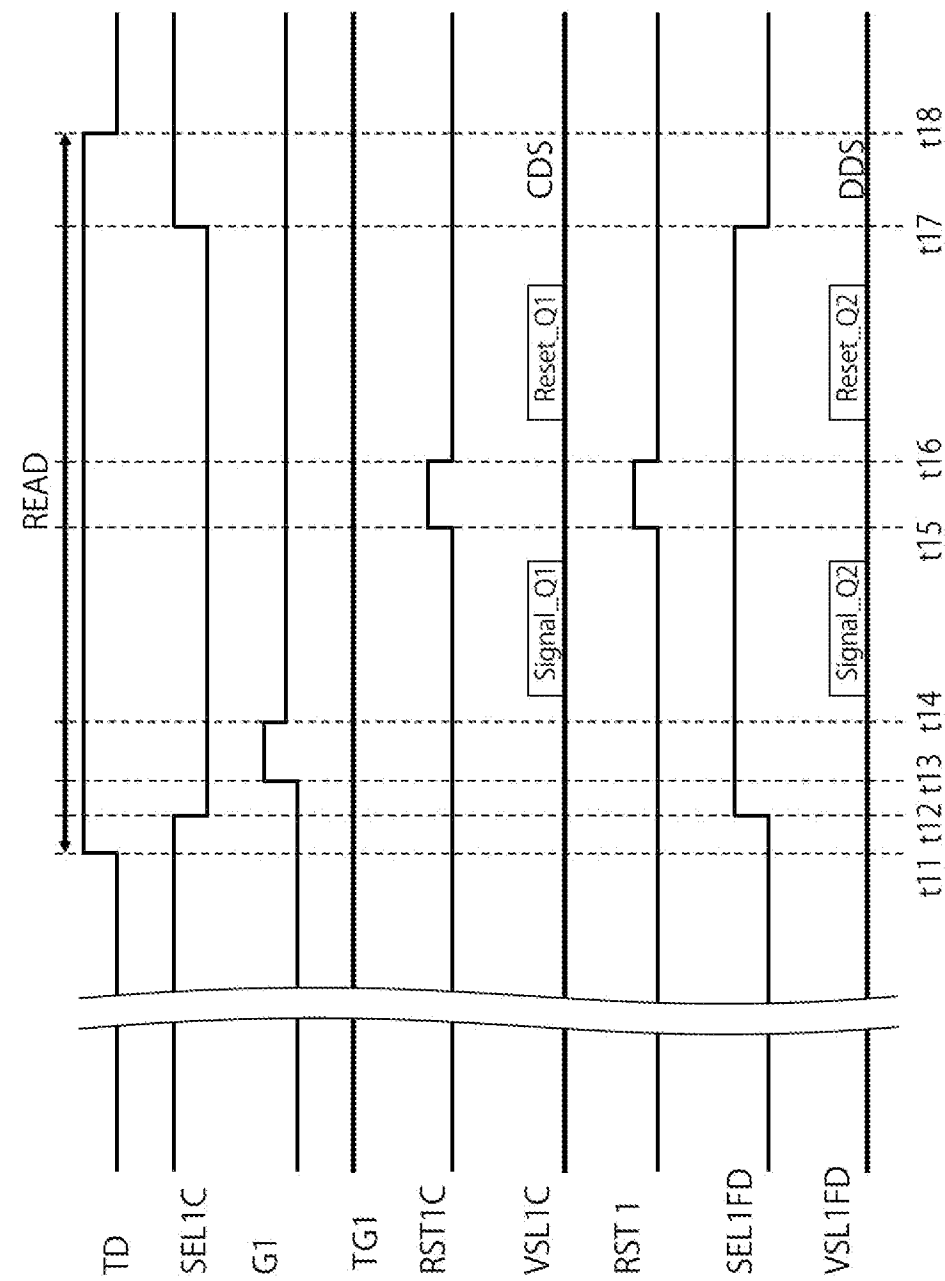
[図74]



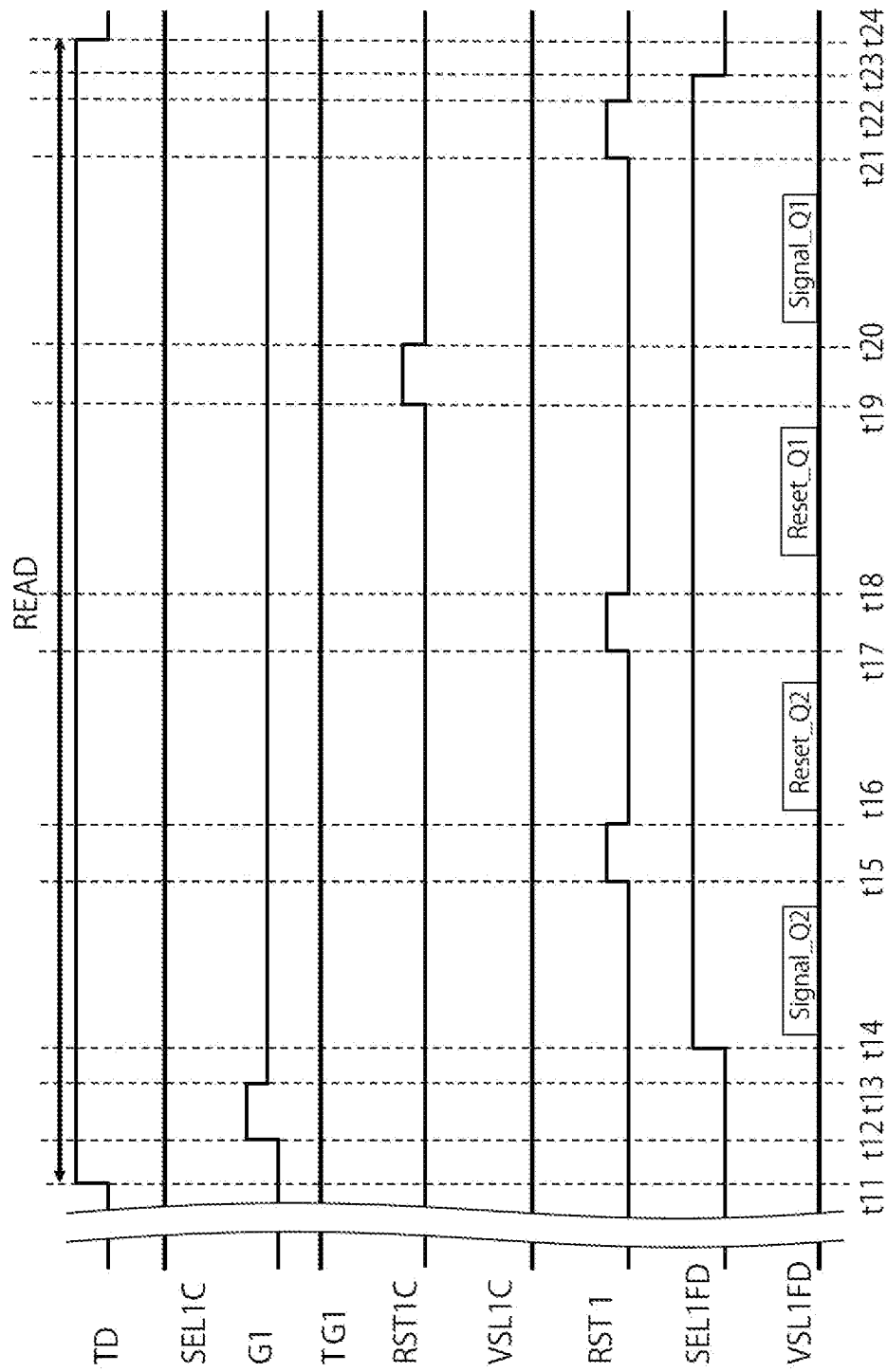
[図75]



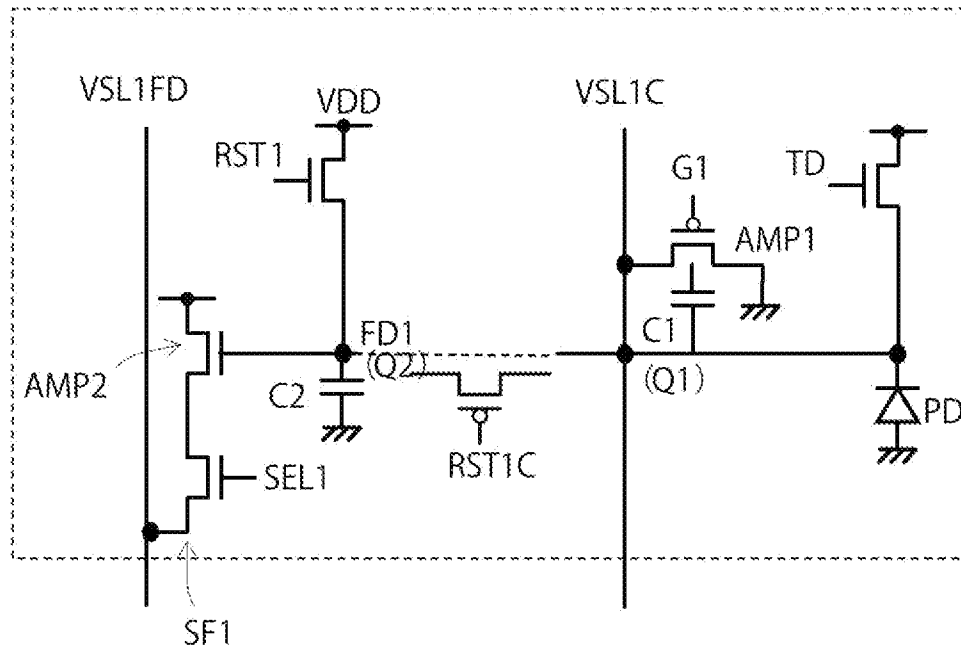
[図76]



[図77]

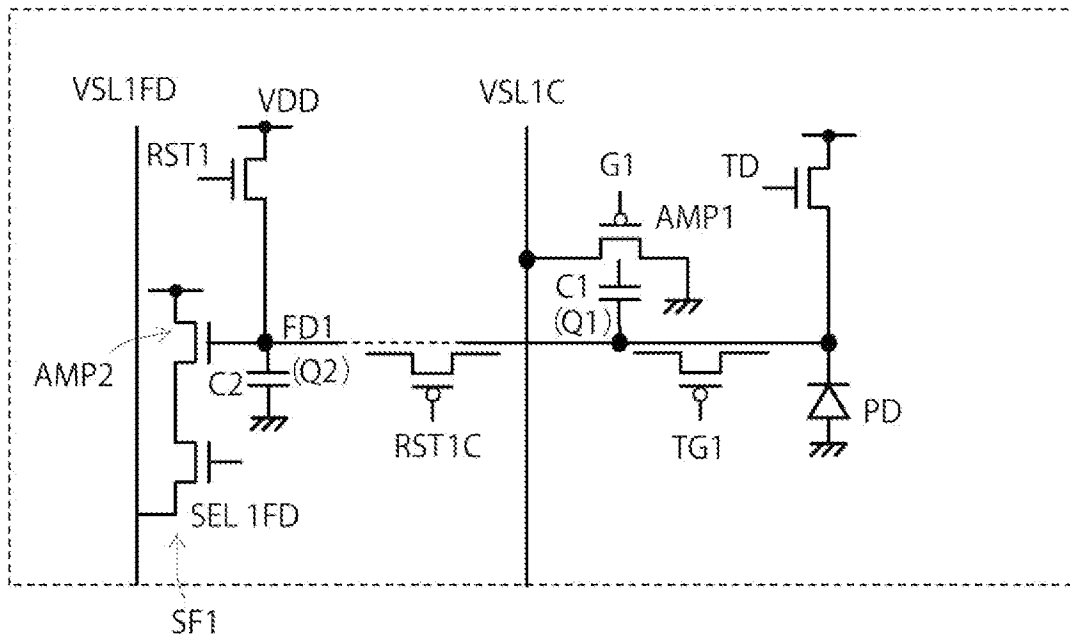


[図78]



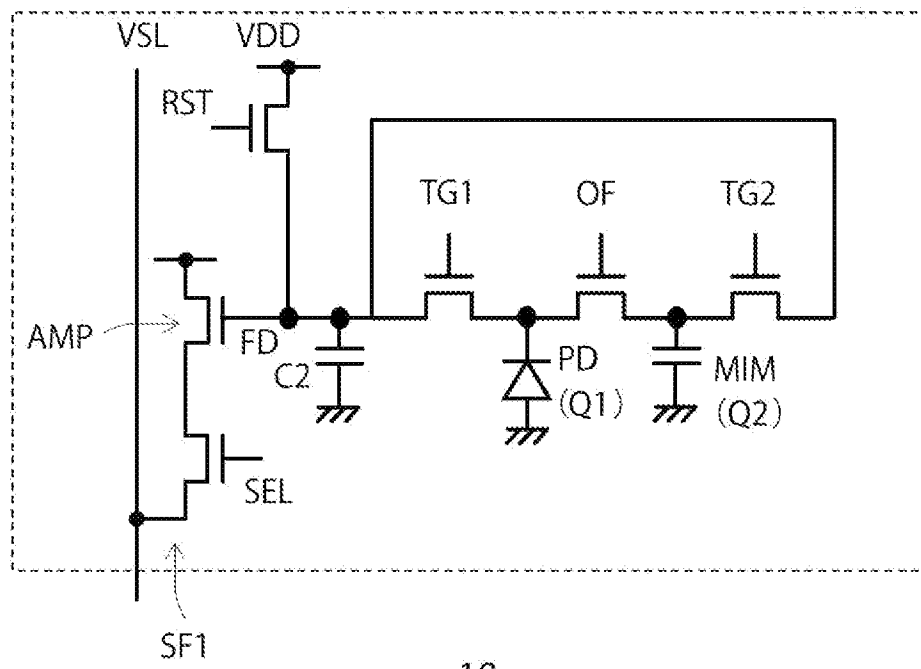
10

[図79]

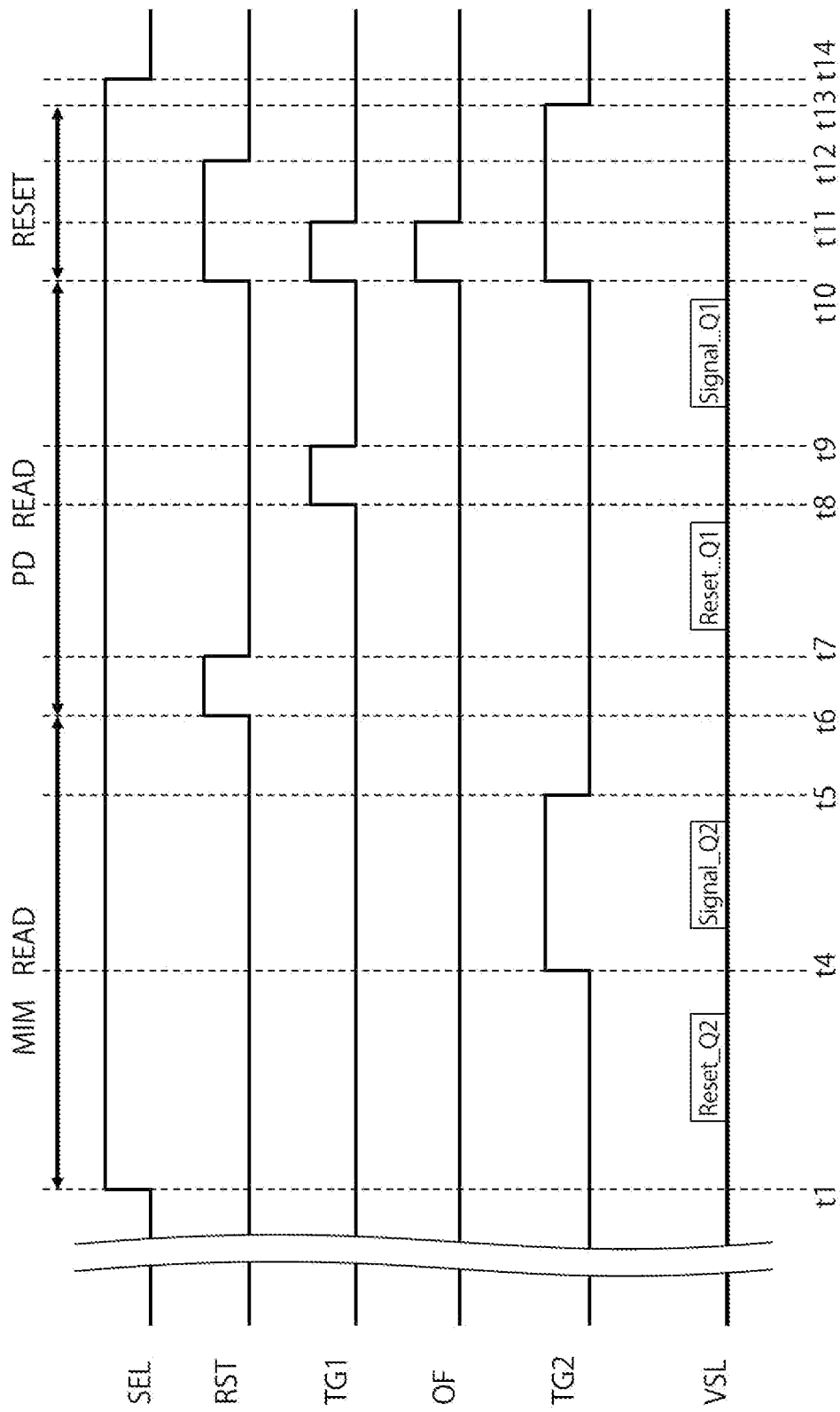


10

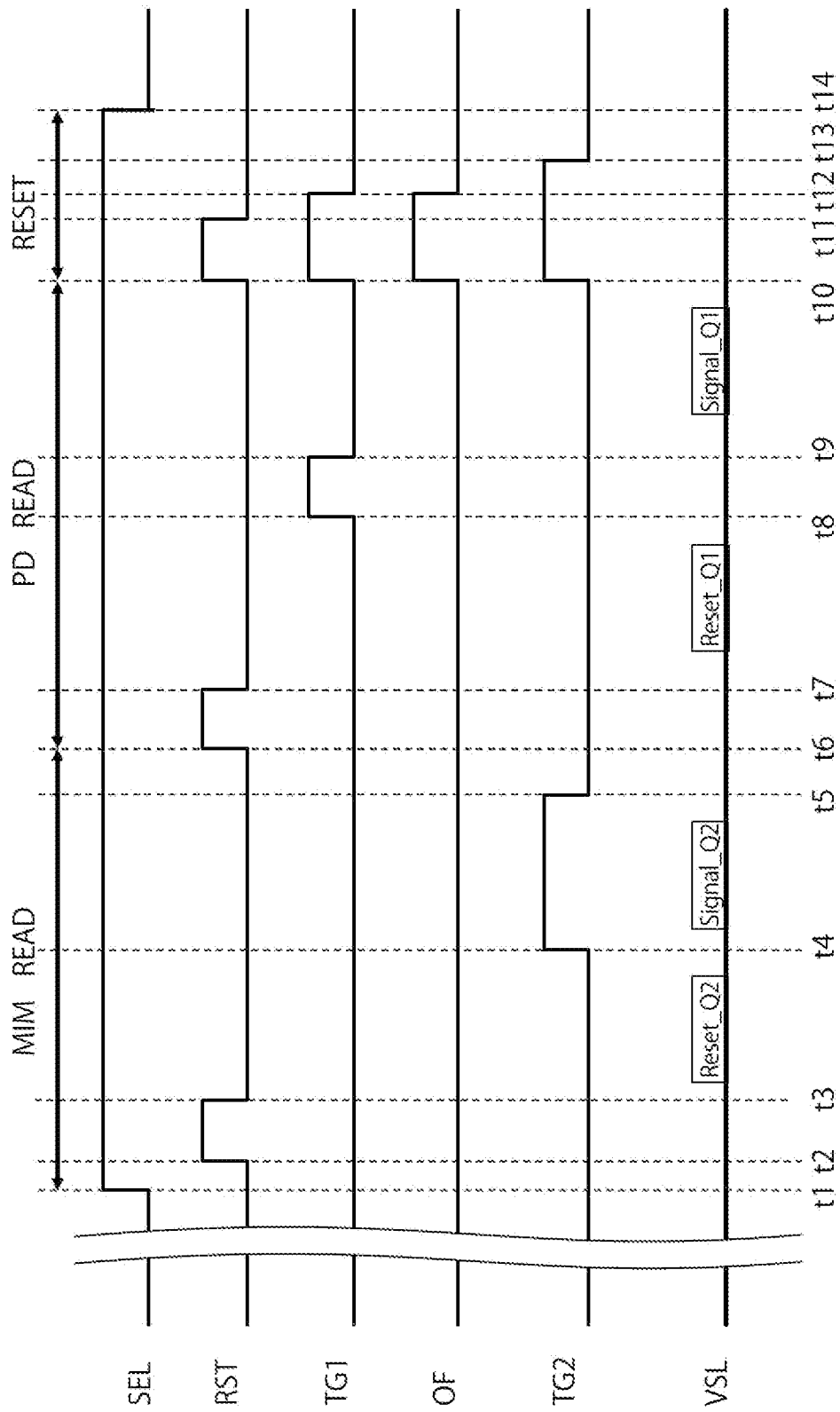
[図80]



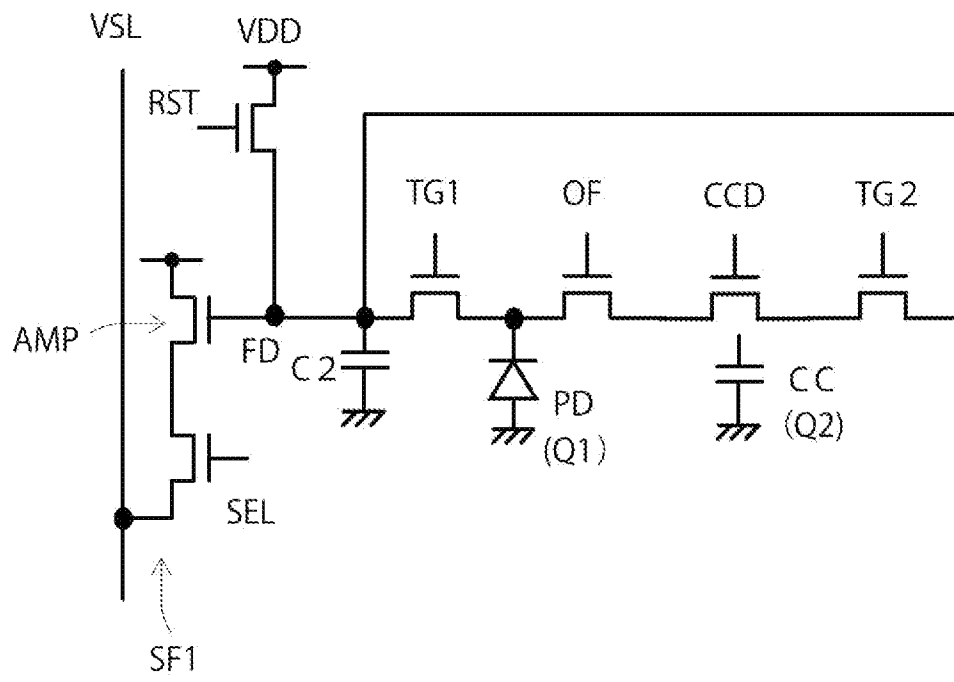
[図81]



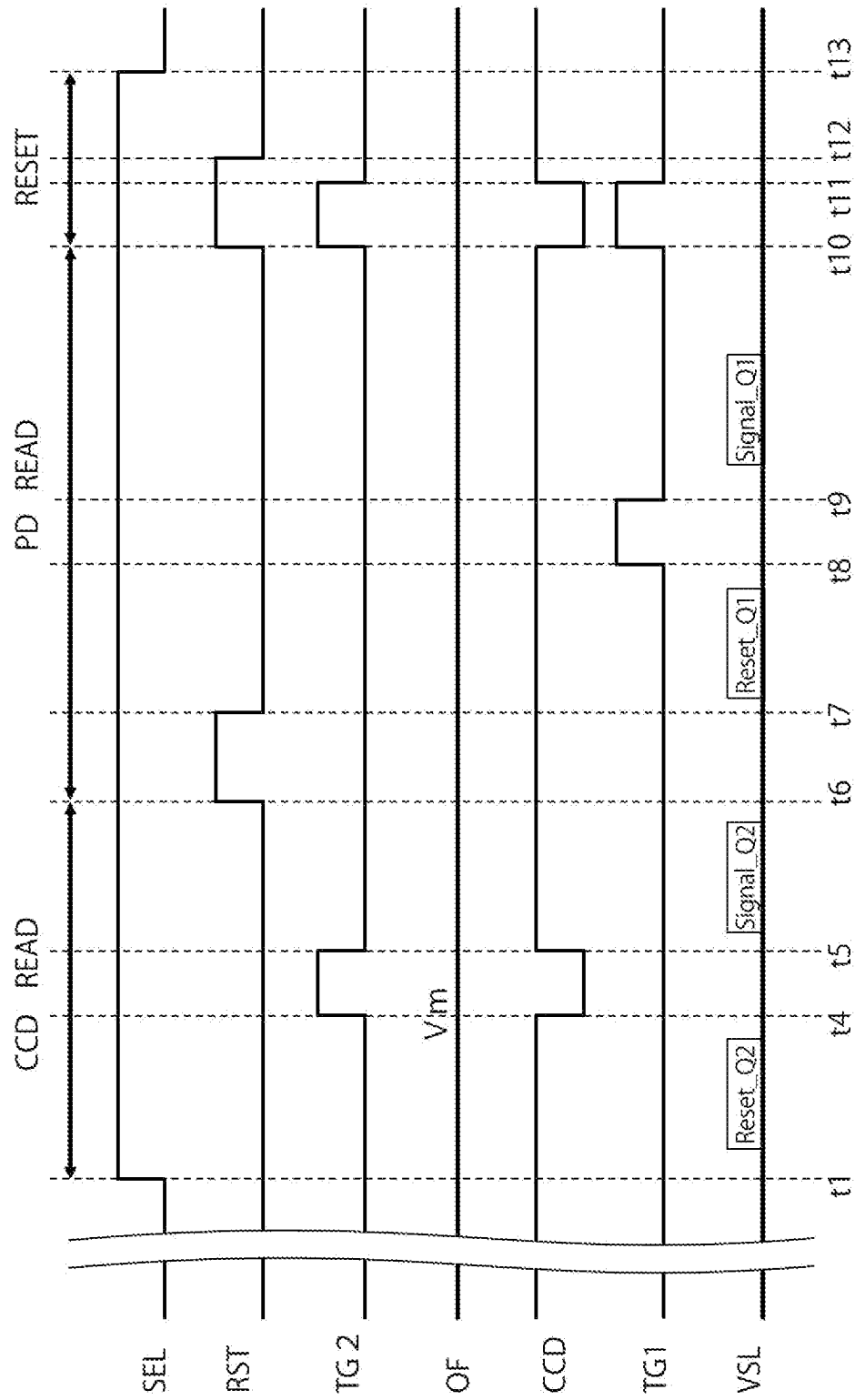
[図82]



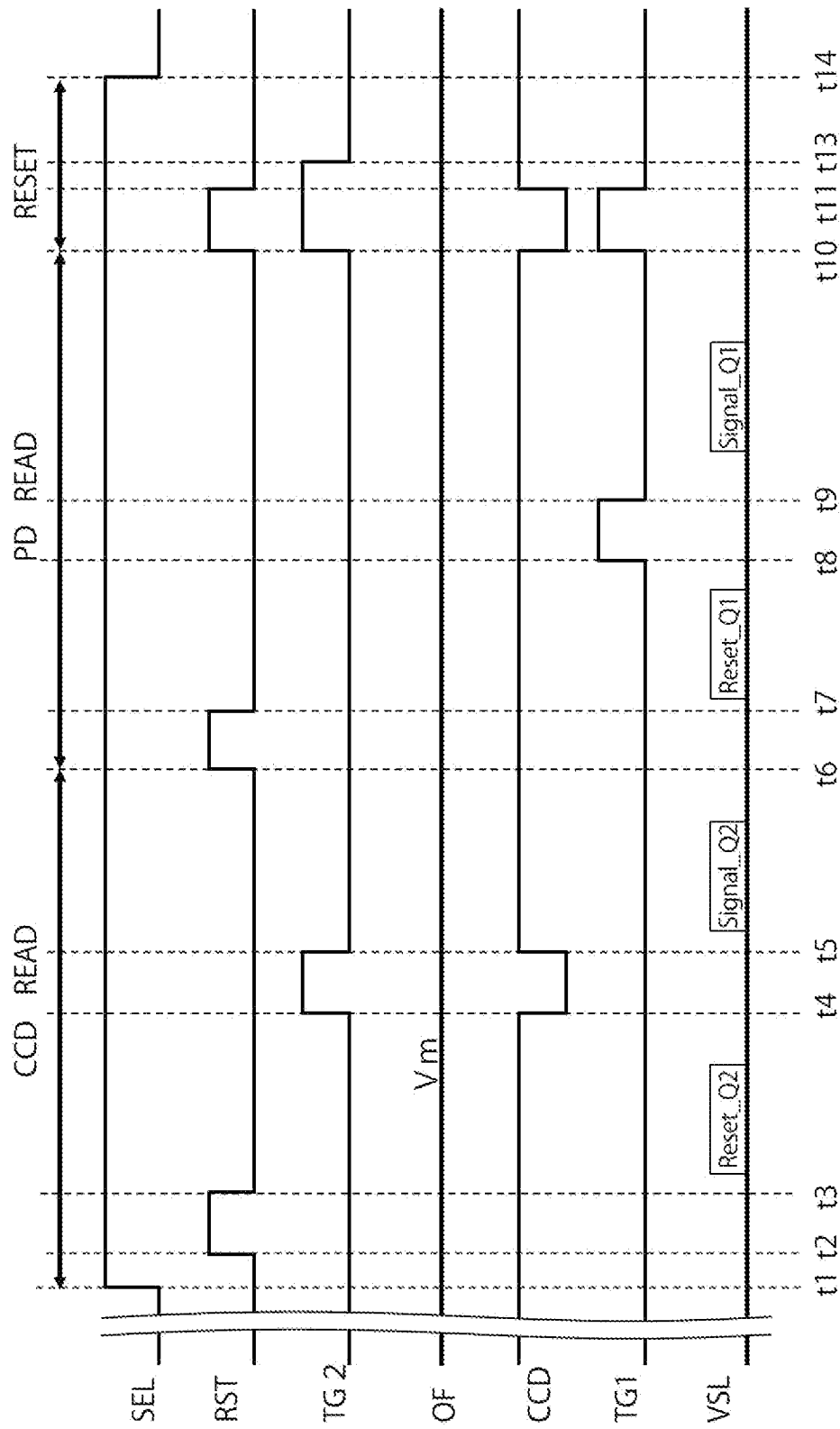
[図83]

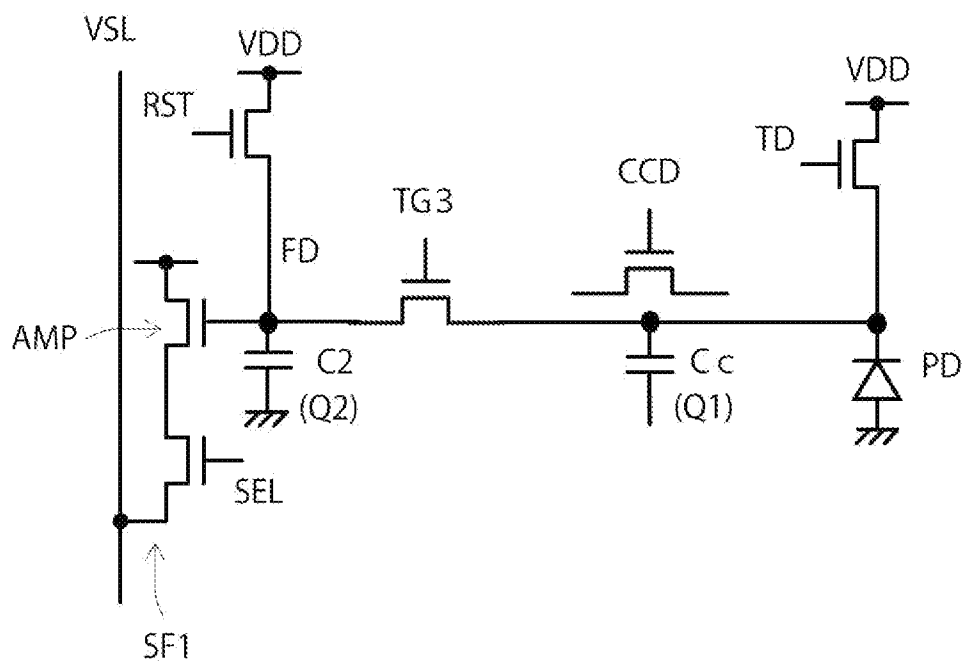


[図84]



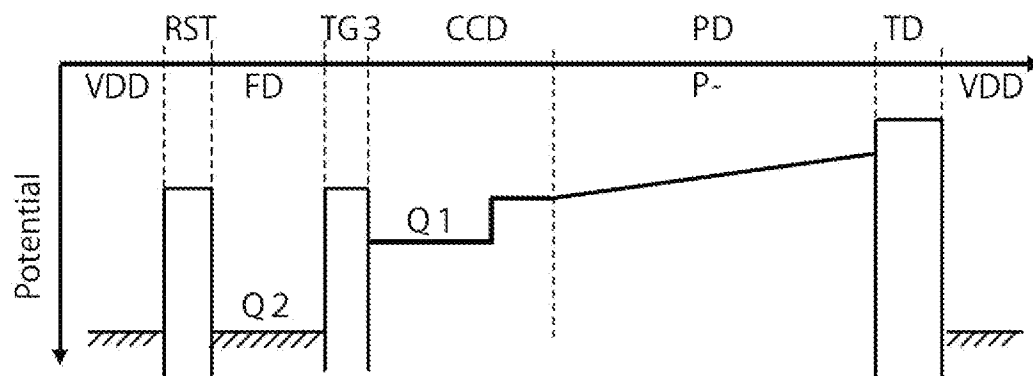
[図85]



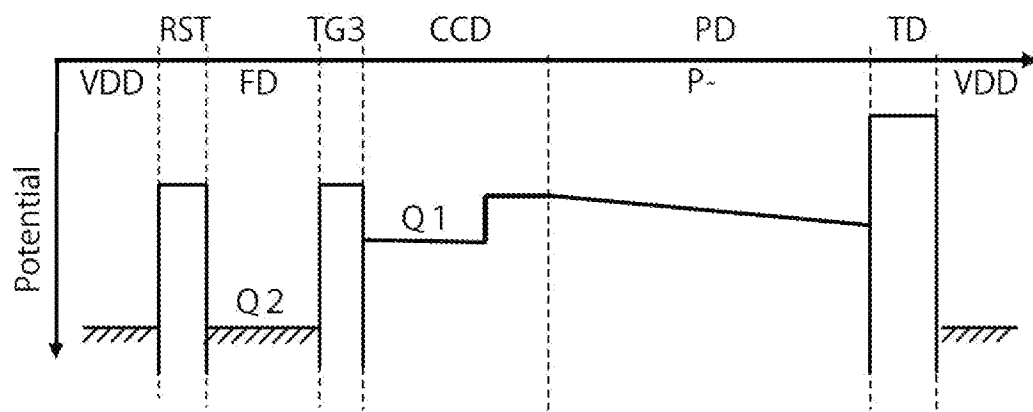


[illegible][illegible]

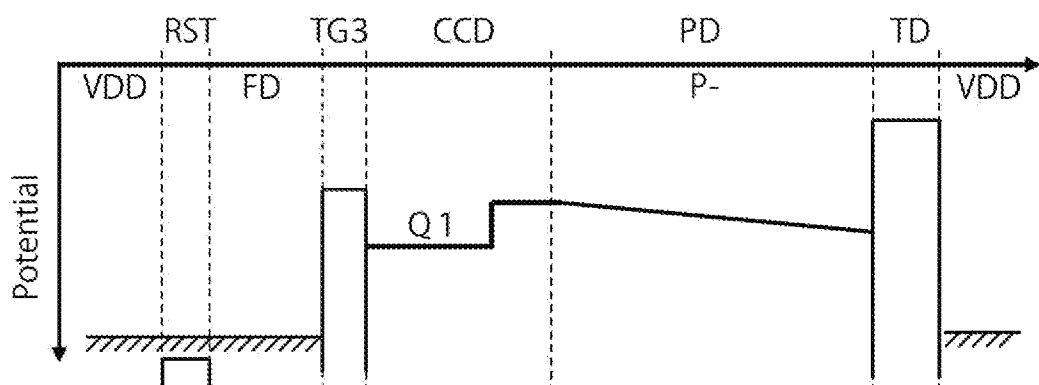
[図91]



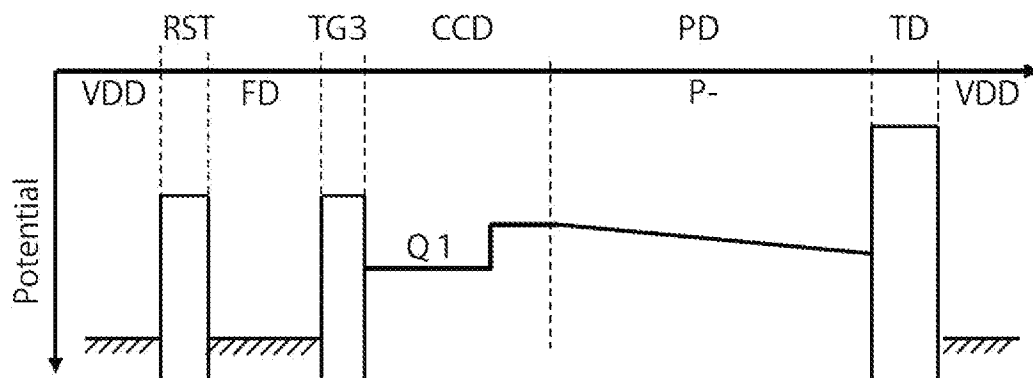
[図92]

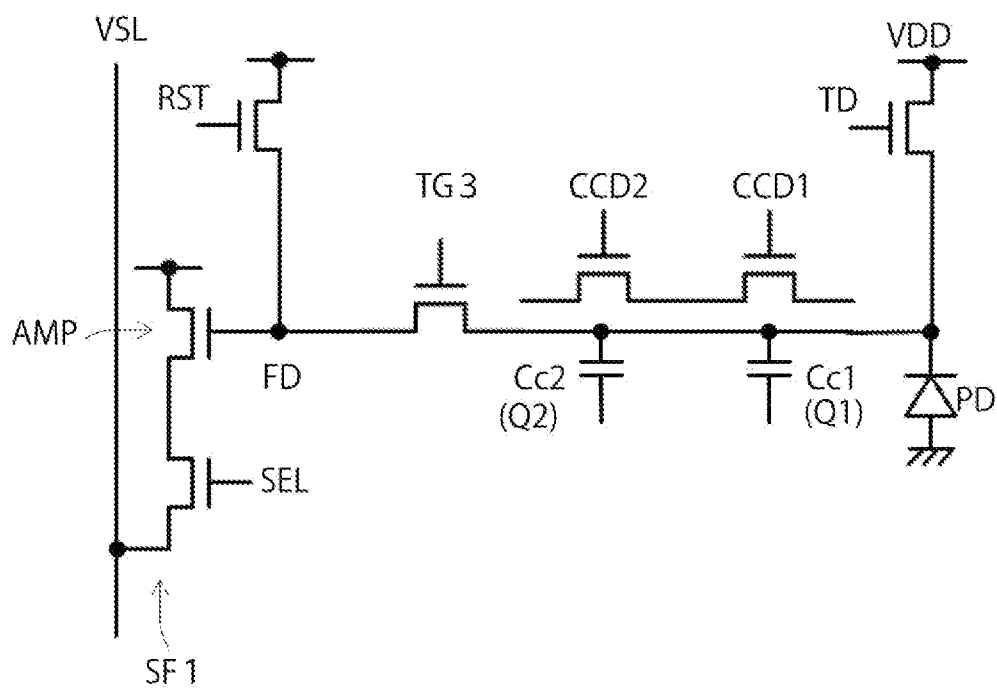
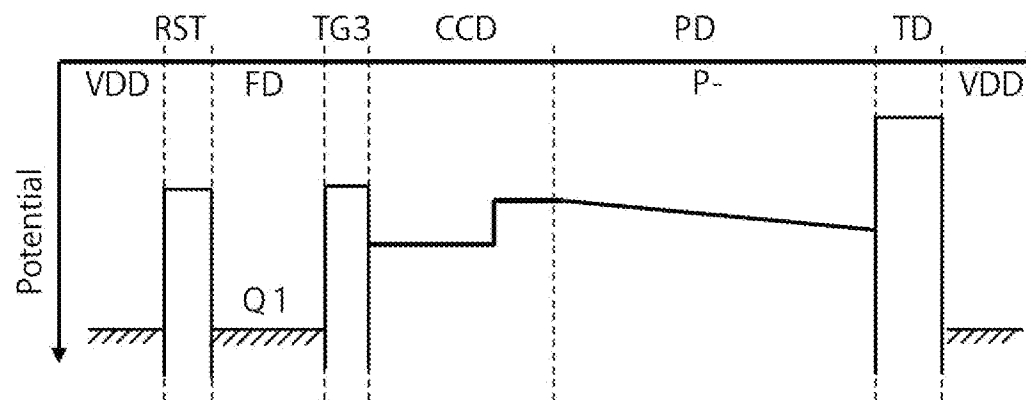
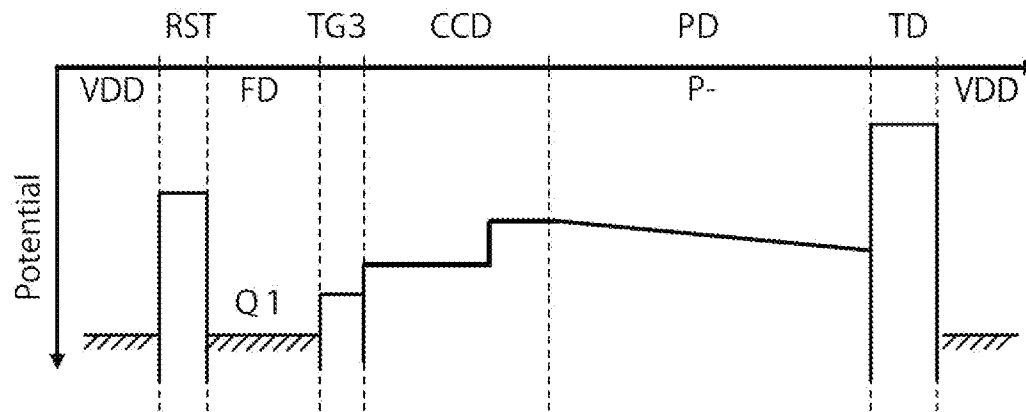


[図93]

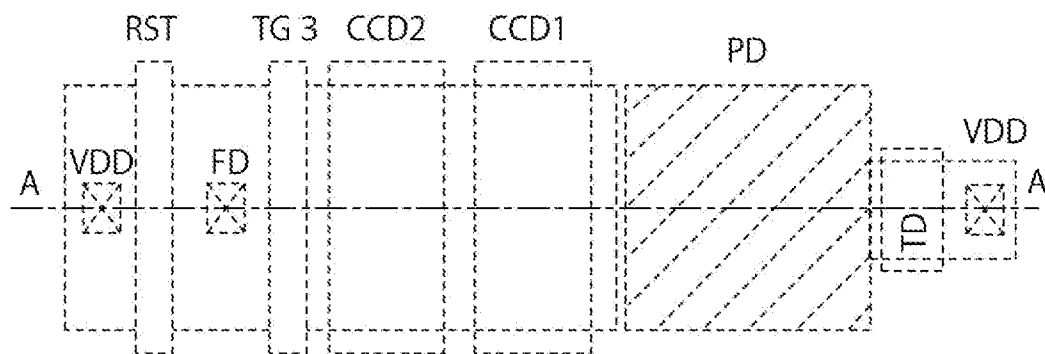


[図94]

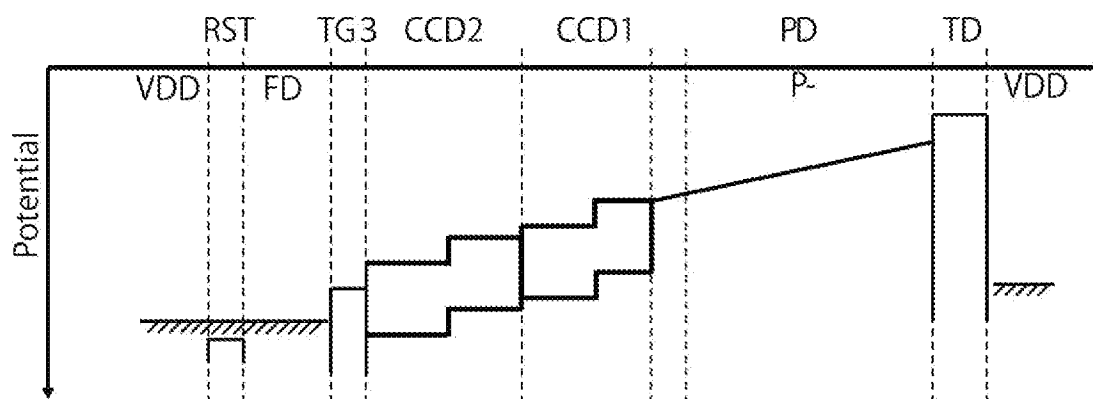




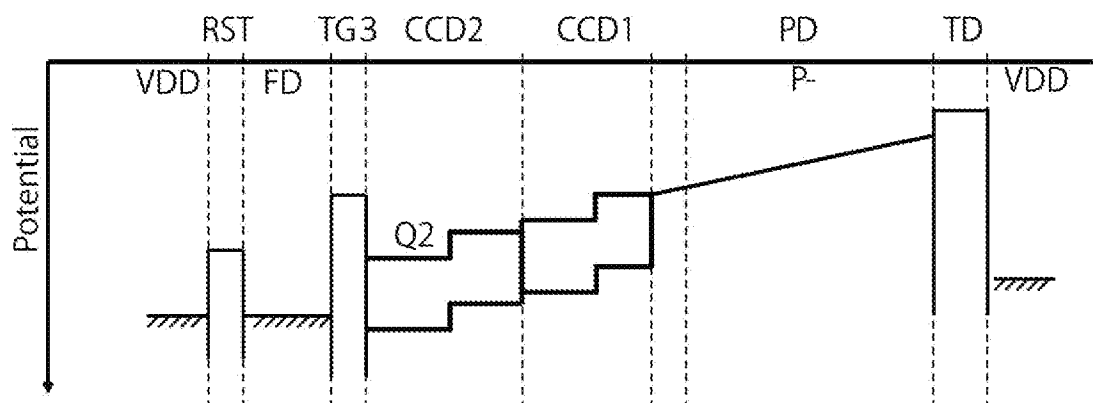
[図98]



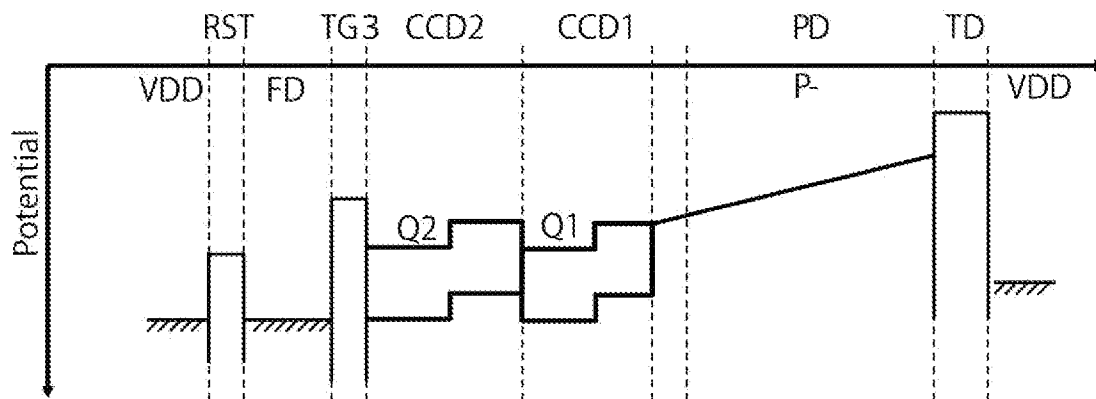
[図99]



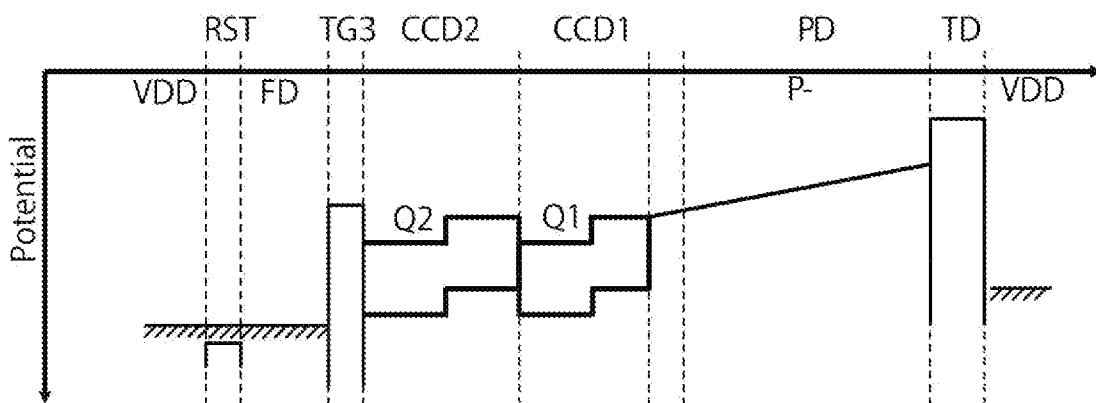
[図100]



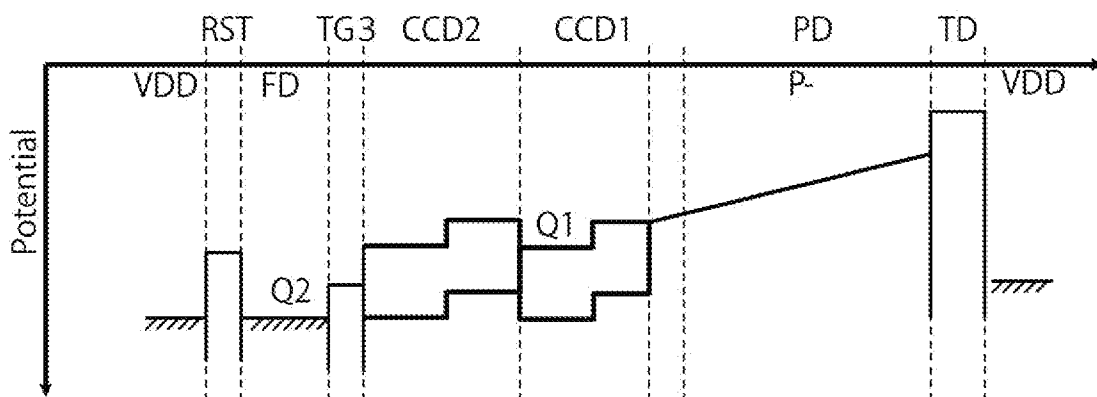
[図101]



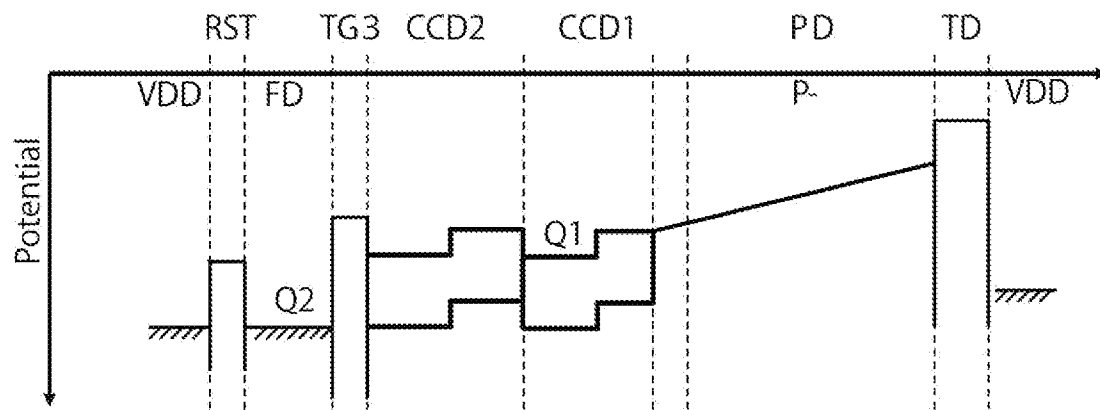
[図102]



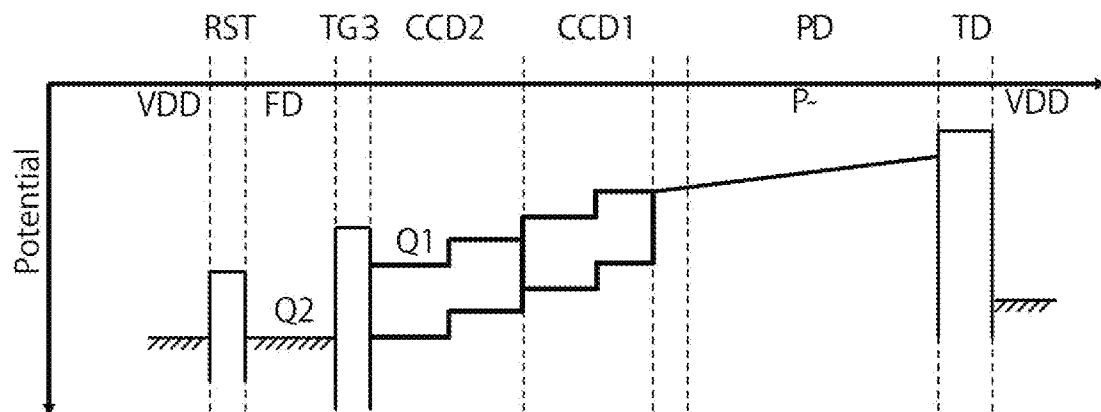
[図103]



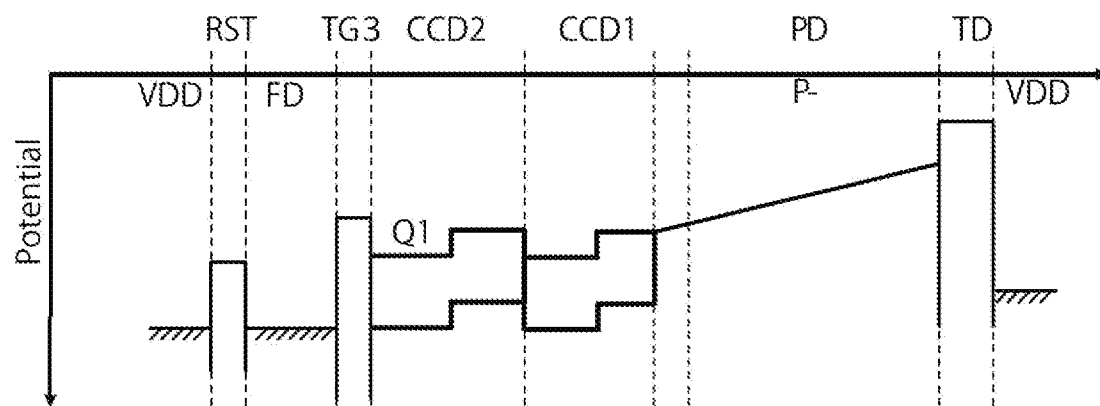
[図104]



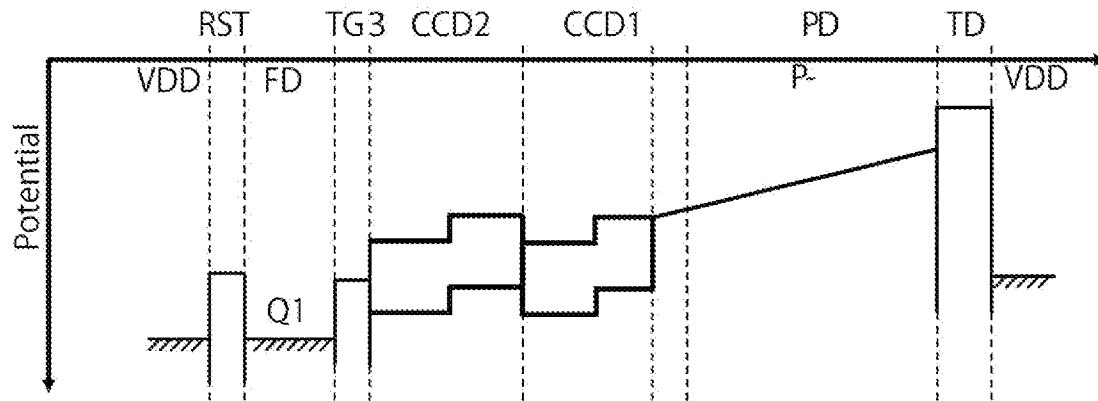
[図105]



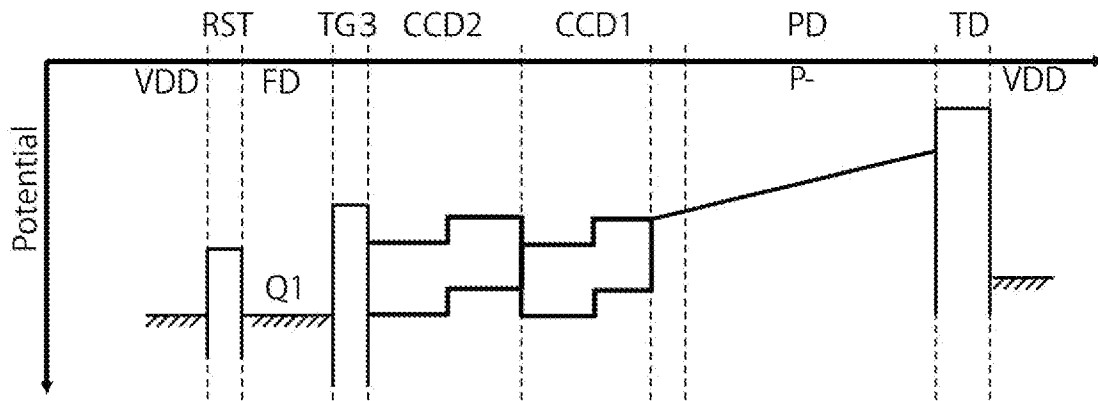
[図106]



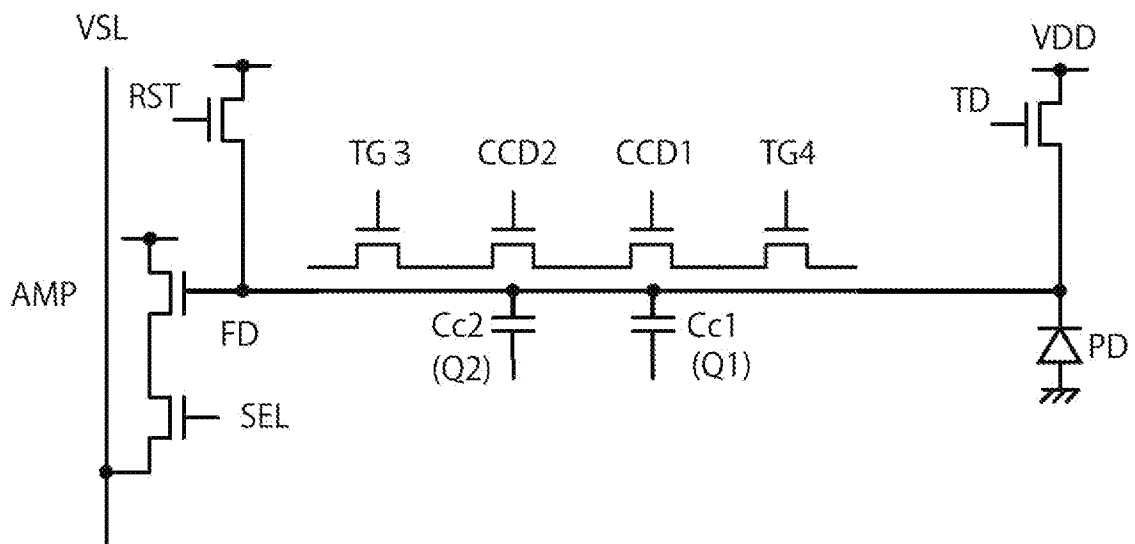
[図107]



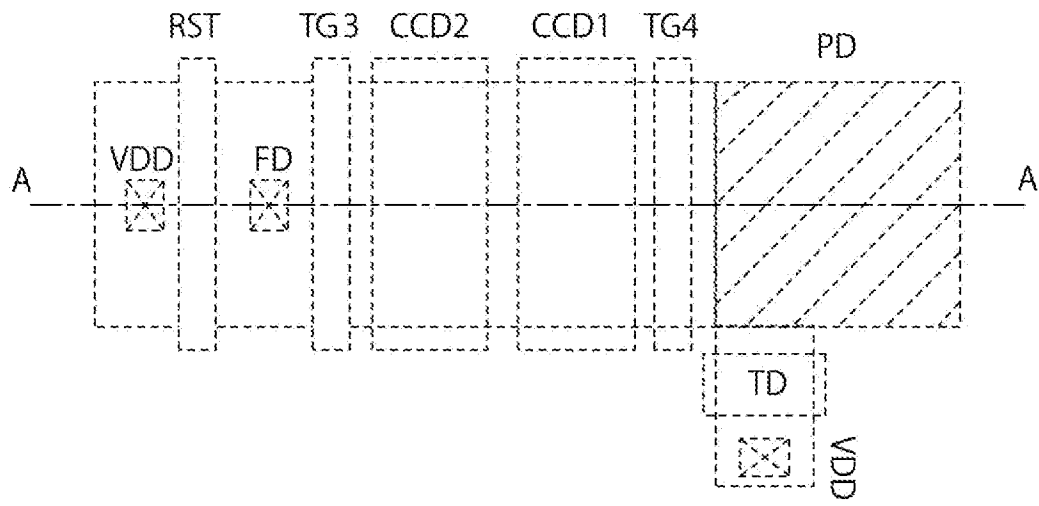
[図108]



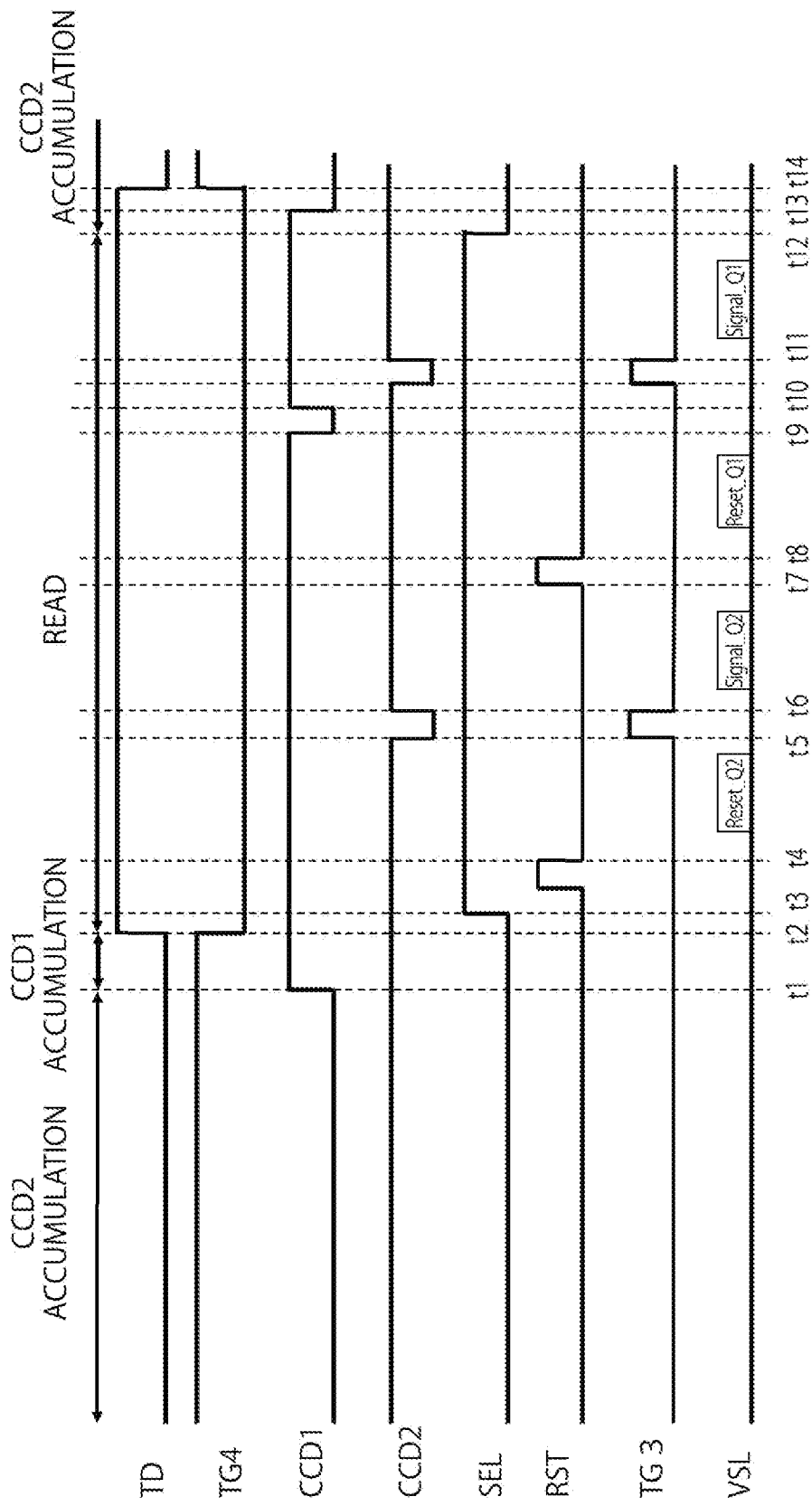
[図109]



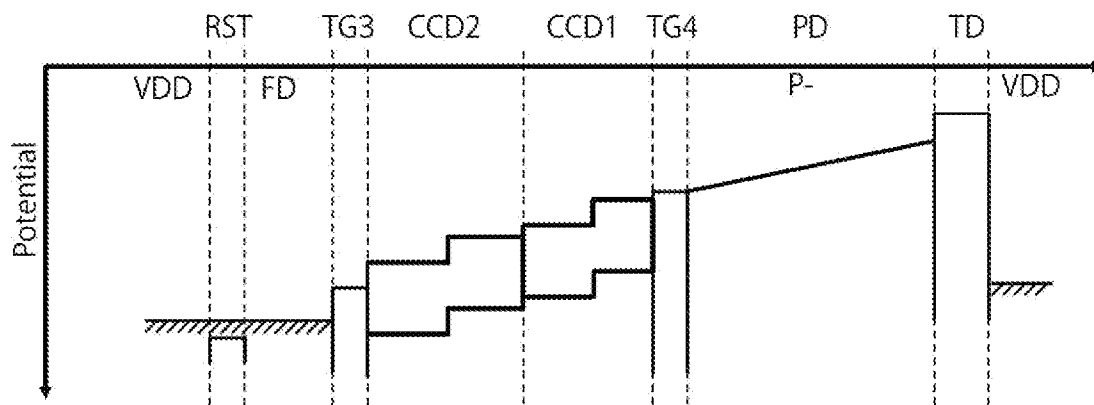
[図110]



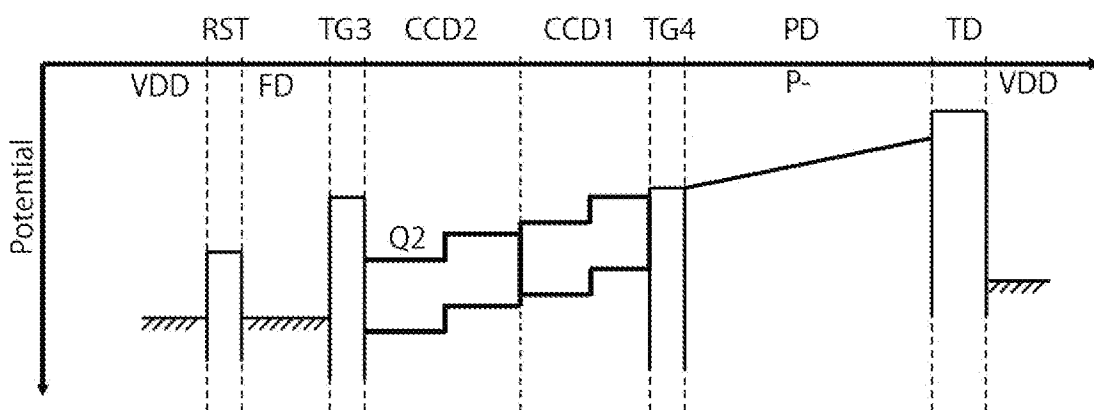
[111]



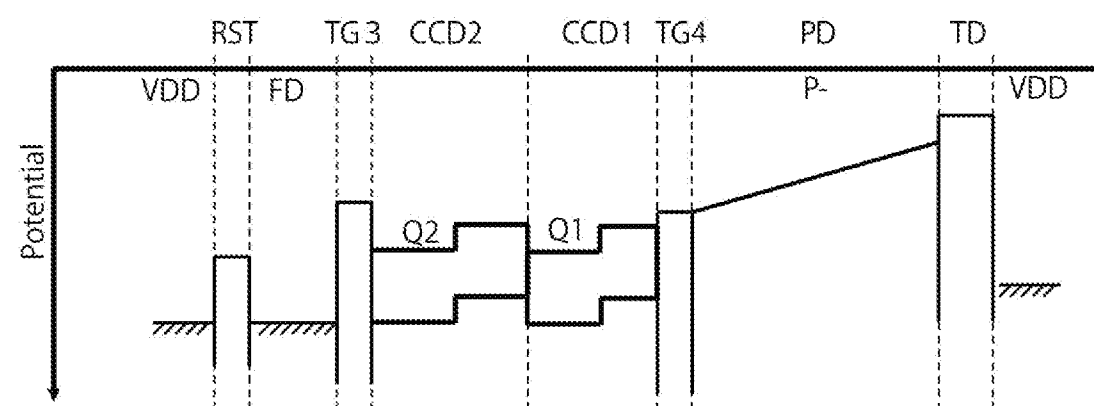
[図112]



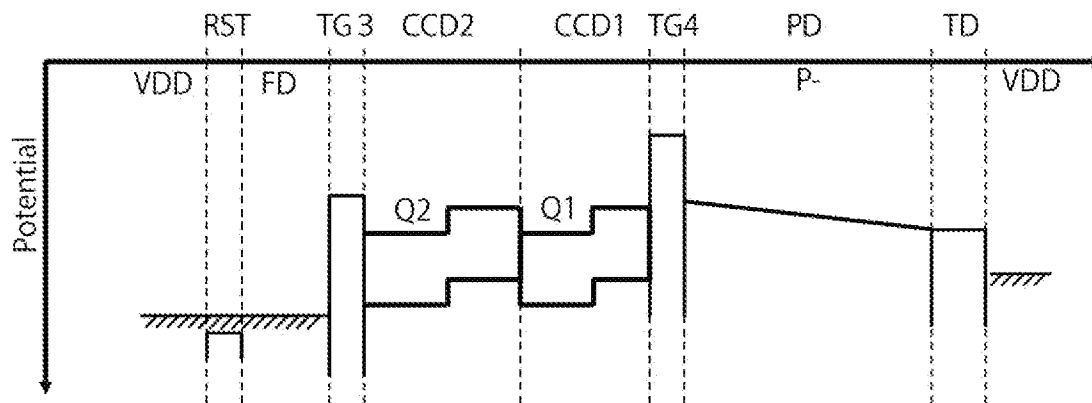
[図113]



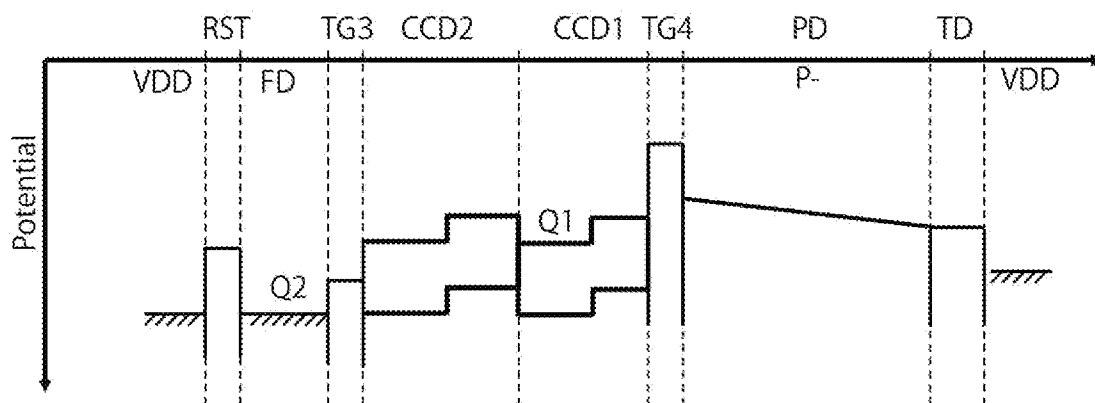
[図114]



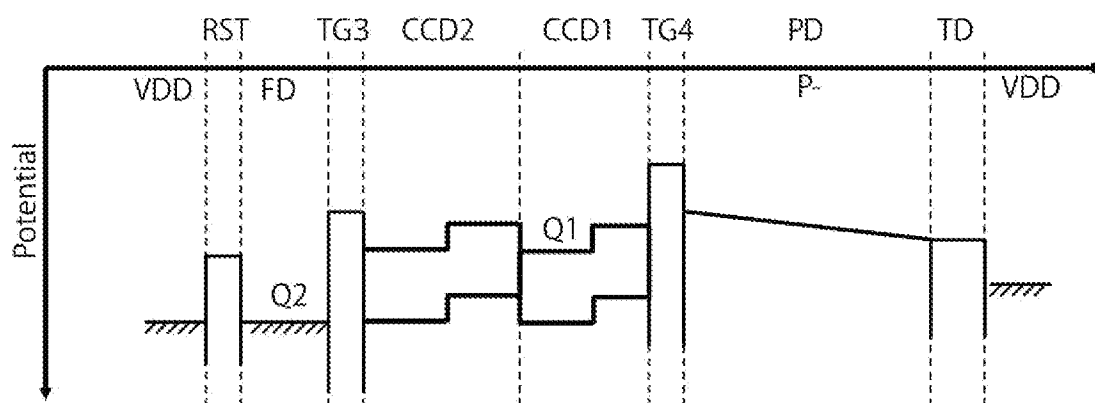
[図115]



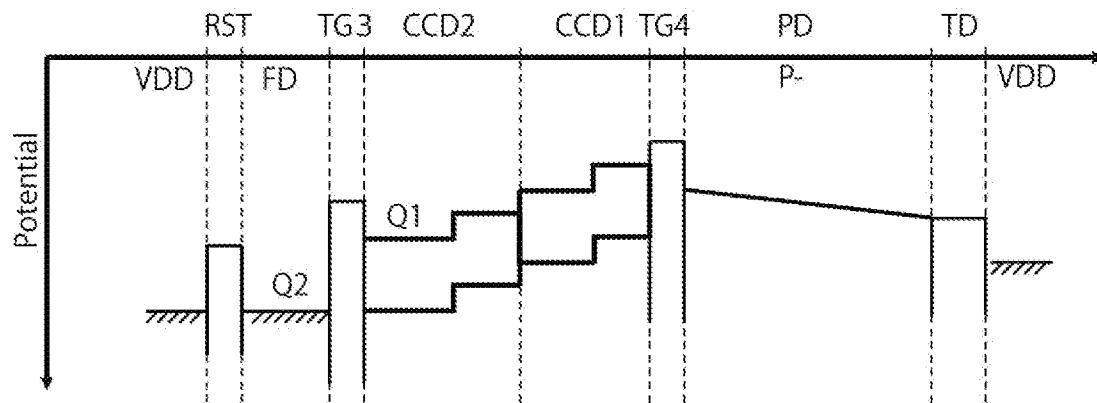
[図116]



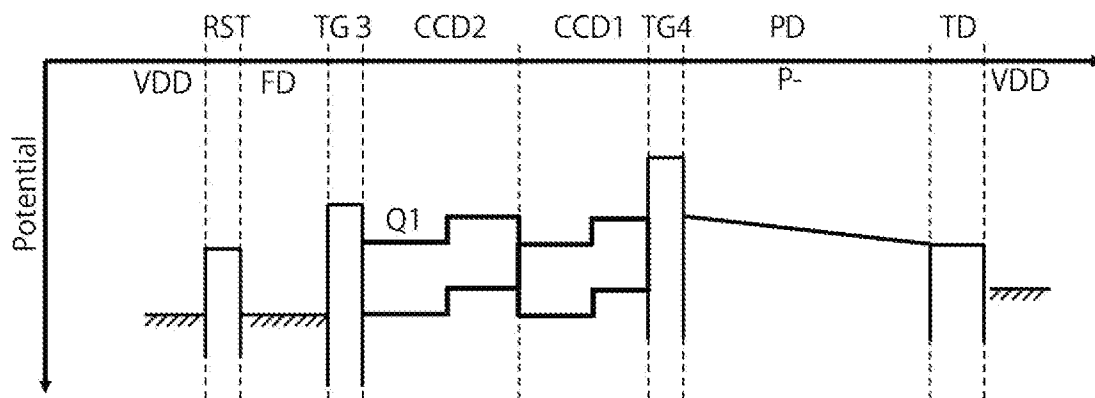
[図117]



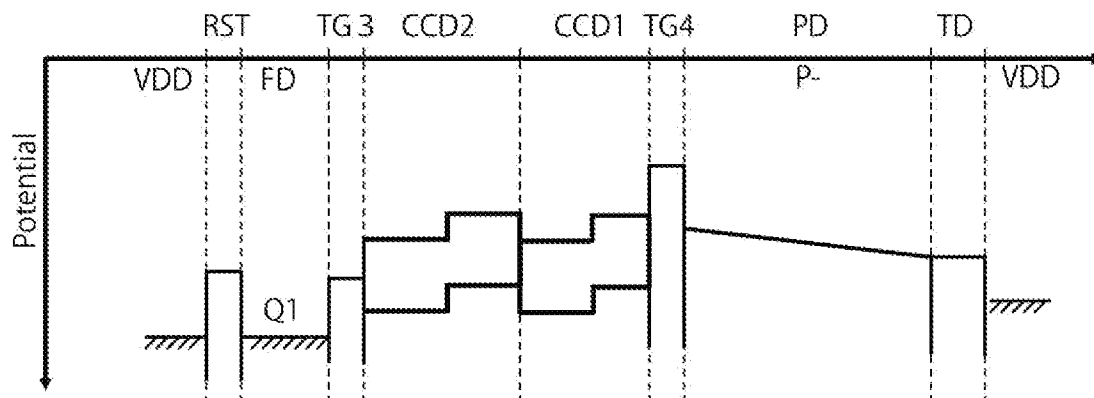
[図118]



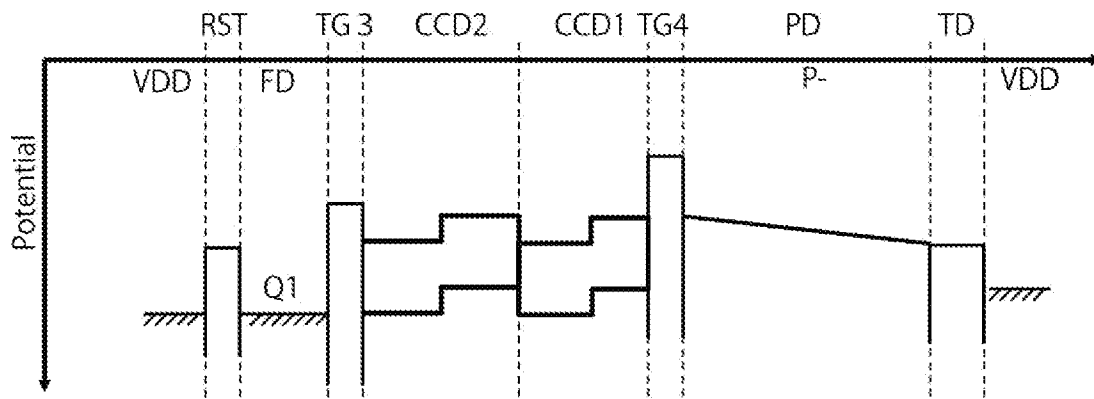
[図119]



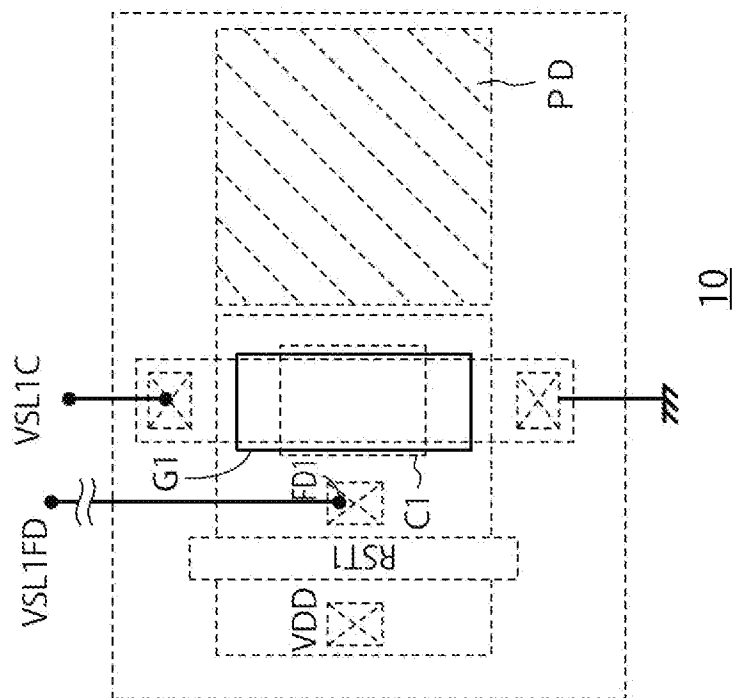
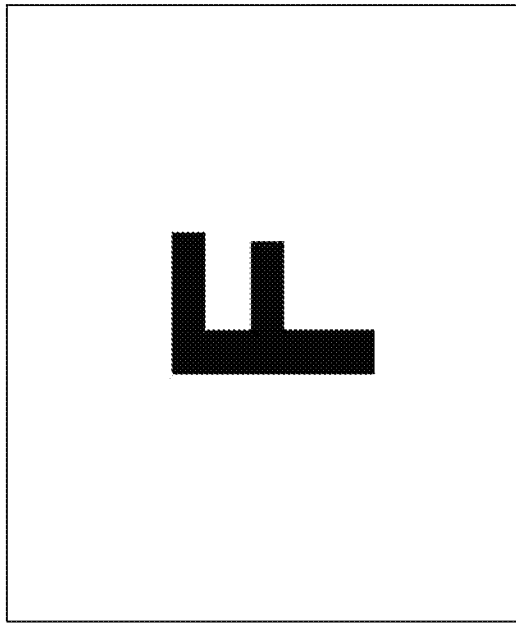
[図120]



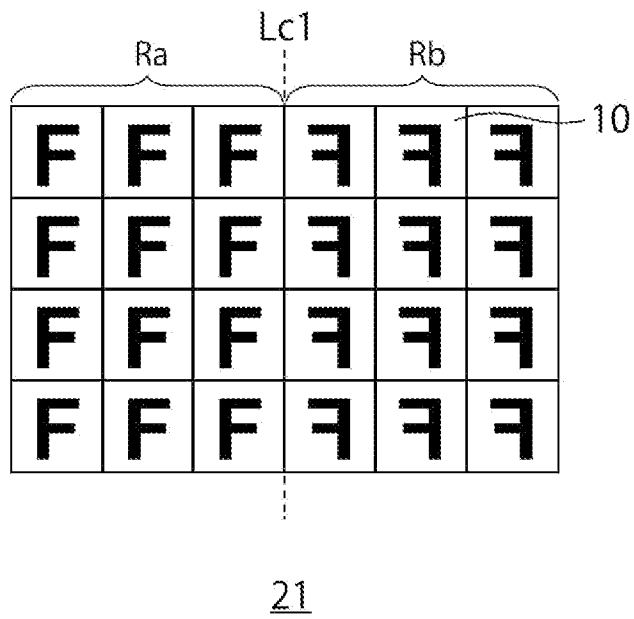
[図121]



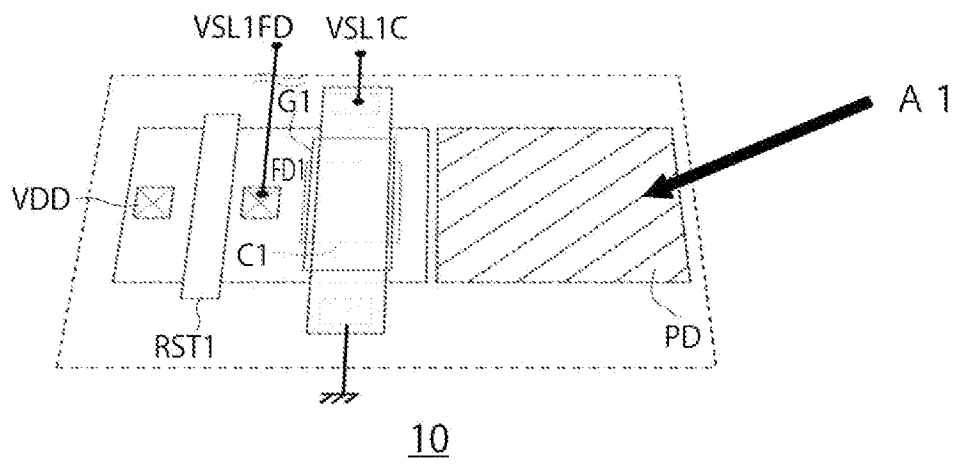
[図122]



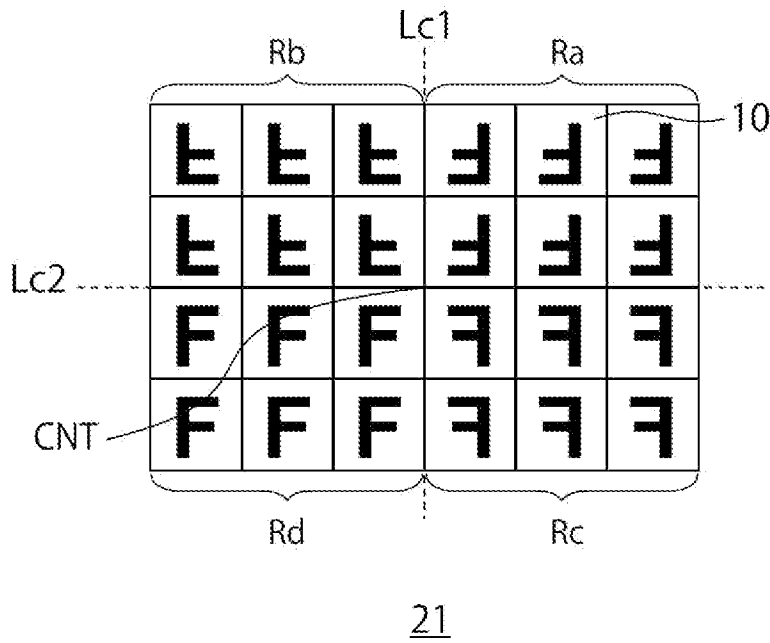
[図123]



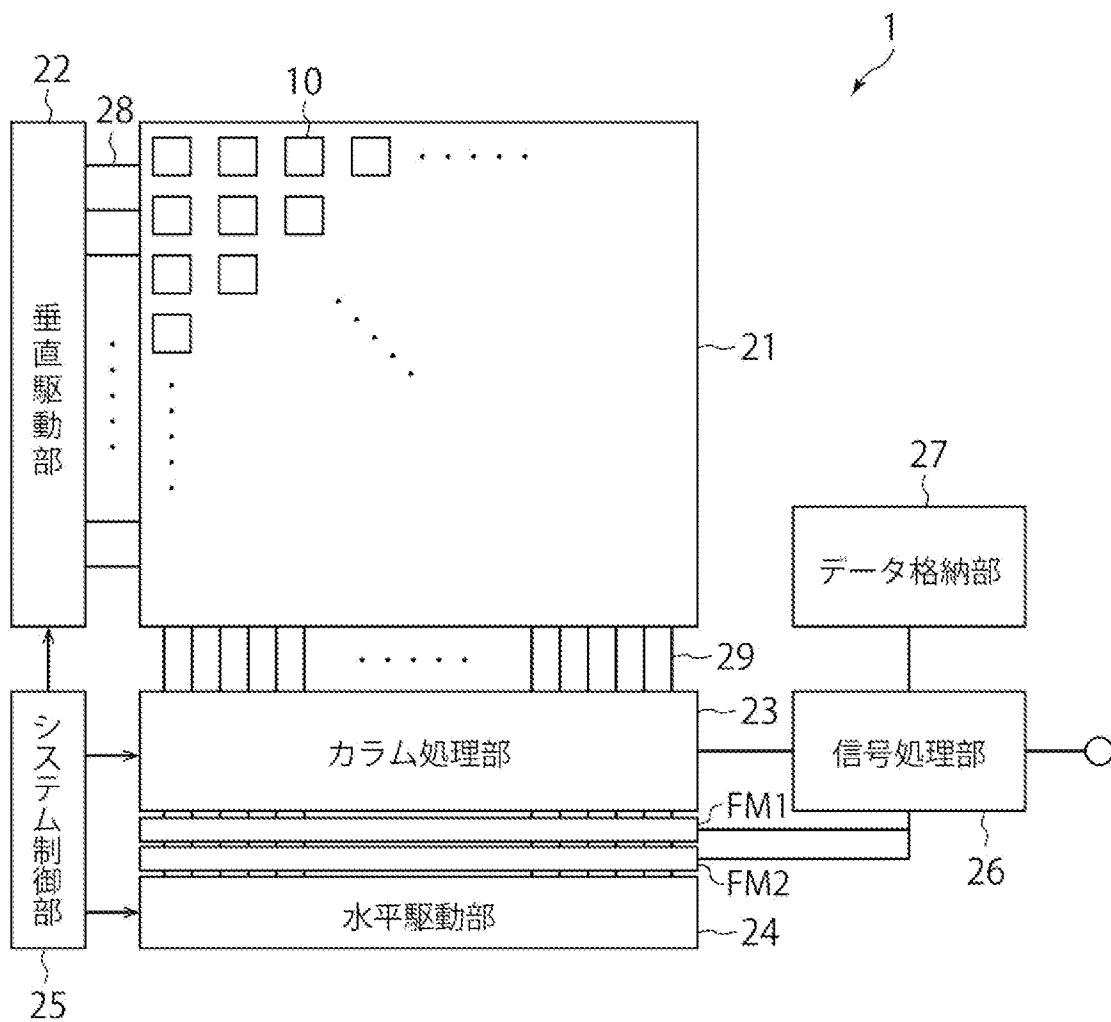
[図124]



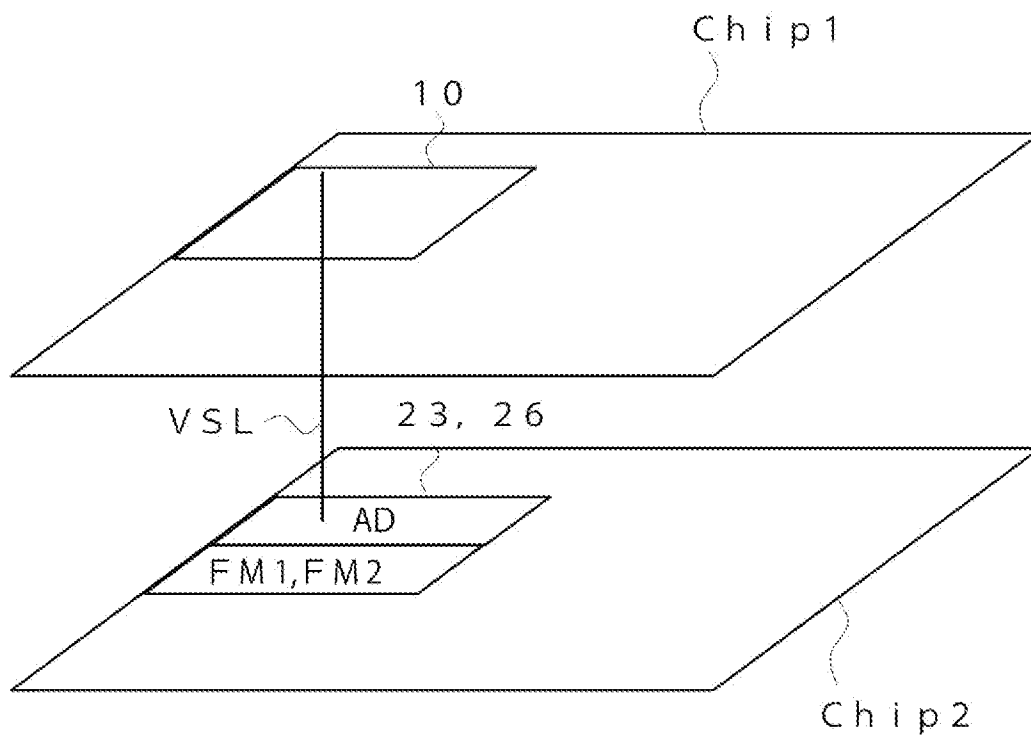
[図125]



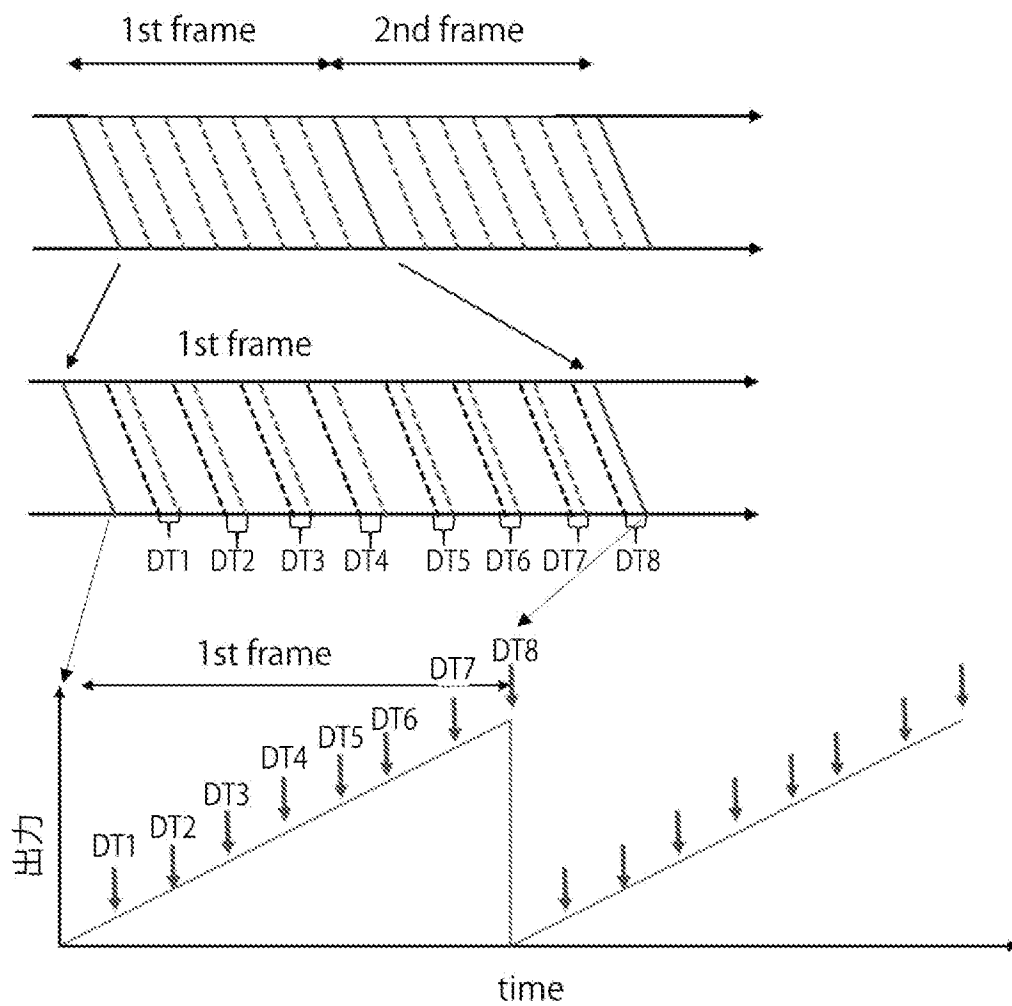
[図126]



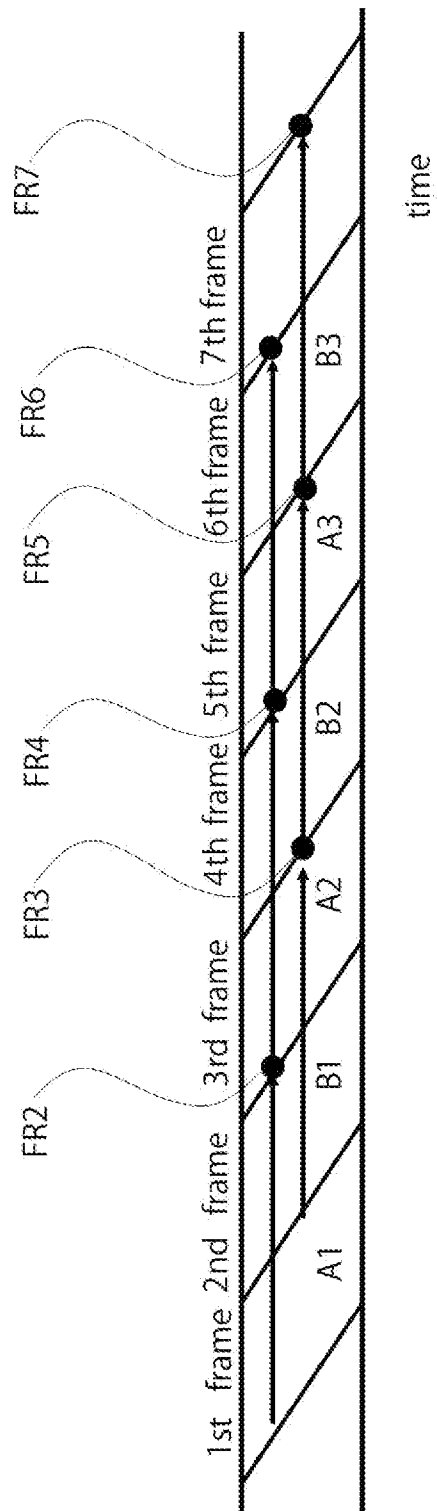
[図127]



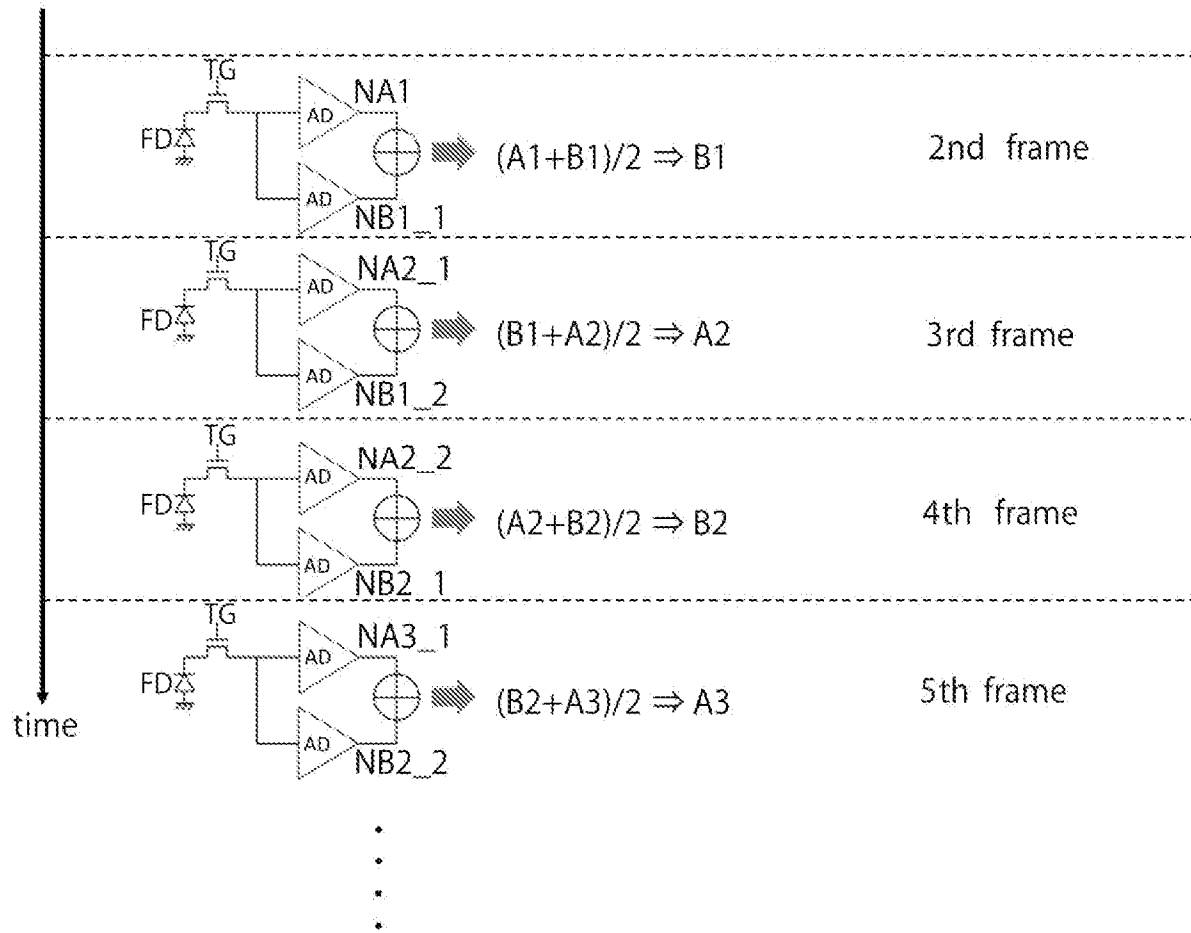
[図128]



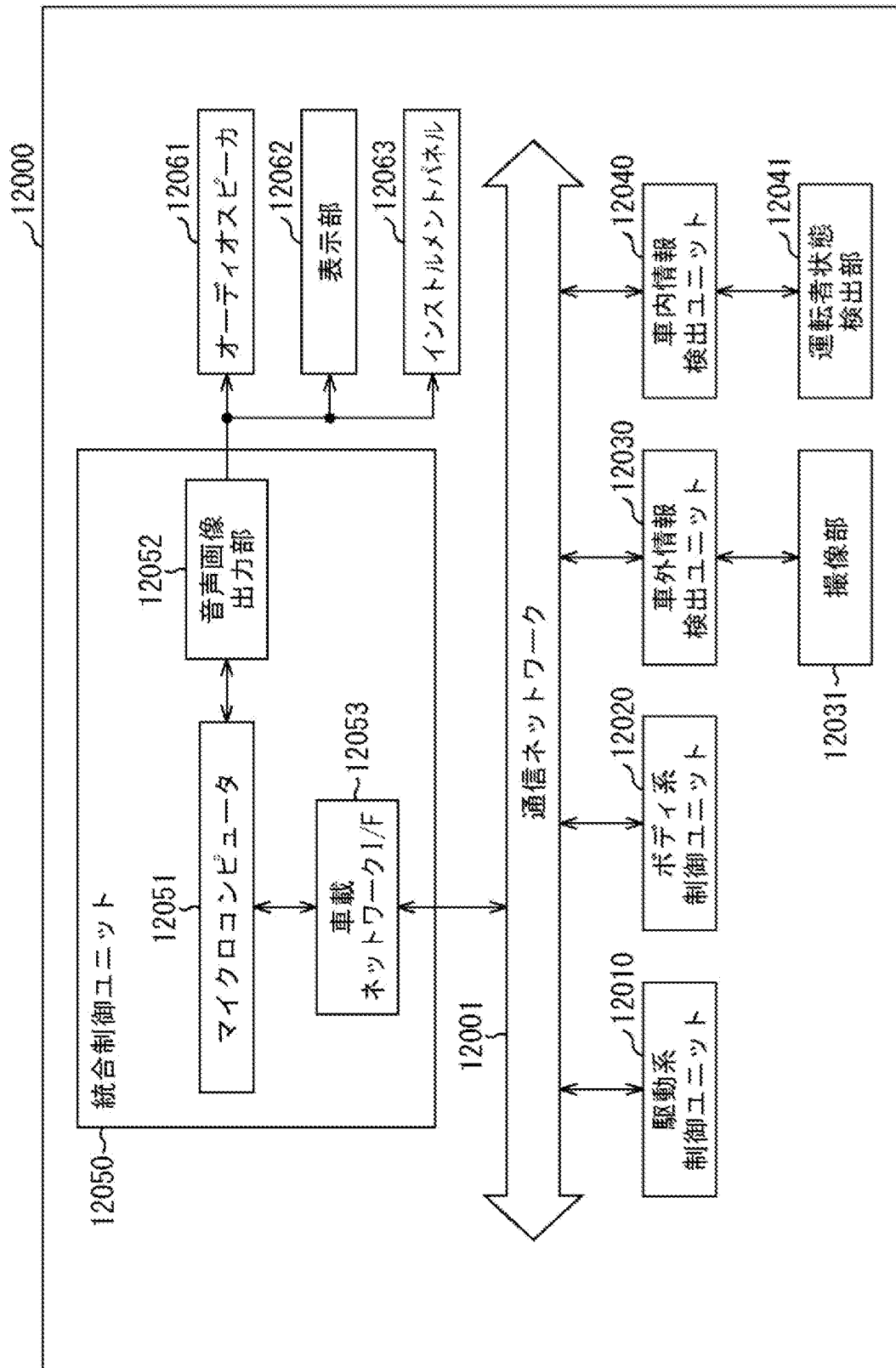
[図129]



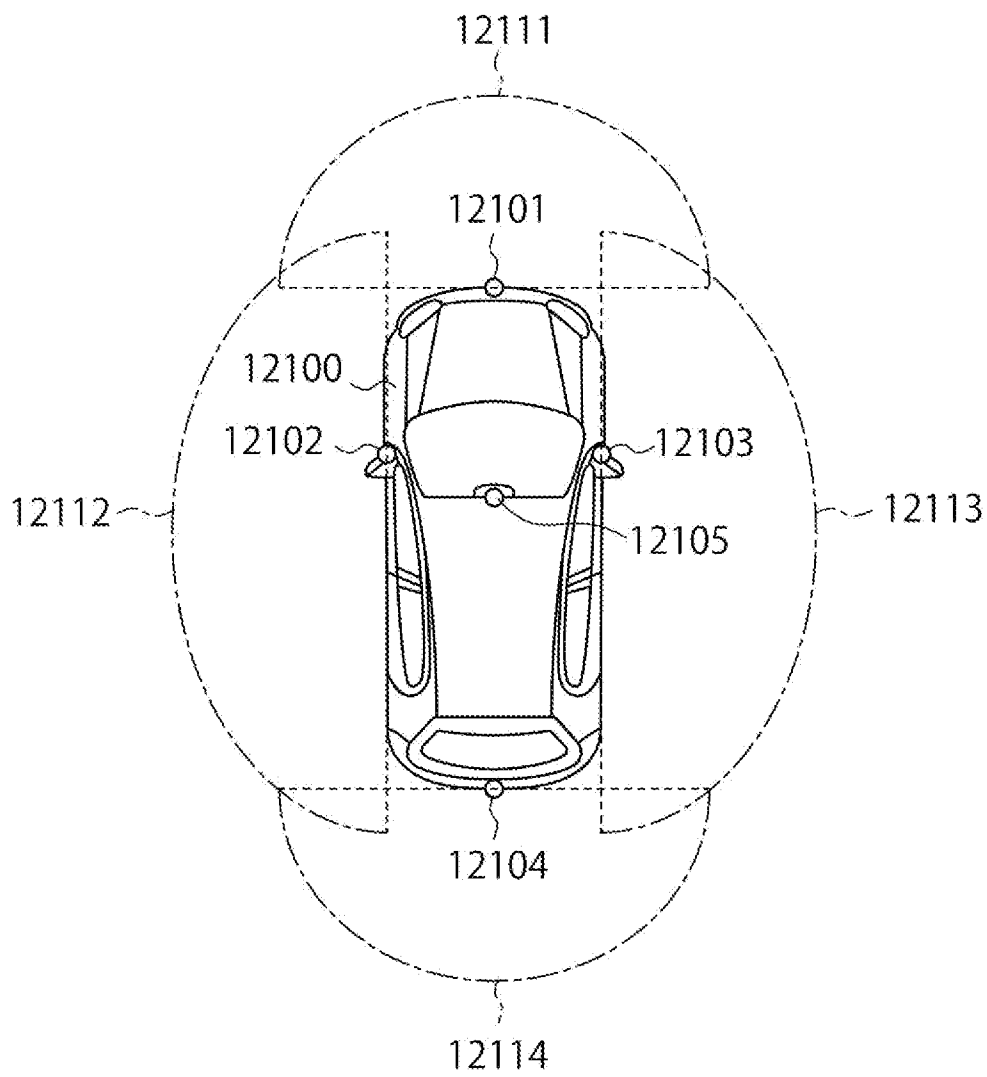
[図130]



[図131]



[図132]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/036932

A. CLASSIFICATION OF SUBJECT MATTER

H04N 5/3745(2011.01)i; **G01S 17/894**(2020.01)i; **H01L 27/146**(2006.01)i; **H04N 5/357**(2011.01)i; **H04N 5/369**(2011.01)i;
H04N 5/374(2011.01)i

FI: H04N5/3745; H04N5/369; H04N5/374; H04N5/357; H01L27/146 A; G01S17/894

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/3745; G01S17/894; H01L27/146; H04N5/357; H04N5/369; H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2019-4149 A (SAMSUNG ELECTRONICS CO., LTD.) 10 January 2019 (2019-01-10) paragraphs [0091], [0092], fig. 25, 26	24, 28
A		1-23, 25-27, 29-44
A	JP 2019-41018 A (SONY CORP) 14 March 2019 (2019-03-14) paragraphs [0077]-[0091], fig. 1	1-44
X	JP 2014-75729 A (CANON INC) 24 April 2014 (2014-04-24) paragraphs [0042]-[0044], fig. 10, 11	41, 43, 44

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

01 December 2021

Date of mailing of the international search report

28 December 2021

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/036932

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2019-4149	A	10 January 2019	US 2018/0366504 A1 paragraphs [0113], [0114], fig. 10A, 10B DE 102018109752 A1 KR 10-2018-0136717 A CN 109148493 A	
JP	2019-41018	A	14 March 2019	US 2020/0244911 A1 paragraphs [0229]-[0251], fig. 1 WO 2019/039029 A1 CN 111095559 A	
JP	2014-75729	A	24 April 2014	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/3745(2011.01)i; G01S 17/894(2020.01)i; H01L 27/146(2006.01)i; H04N 5/357(2011.01)i; H04N 5/369(2011.01)i; H04N 5/374(2011.01)i FI: H04N5/3745; H04N5/369; H04N5/374; H04N5/357; H01L27/146 A; G01S17/894		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H04N5/3745; G01S17/894; H01L27/146; H04N5/357; H04N5/369; H04N5/374		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2019-4149 A（三星電子株式会社）10.01.2019（2019-01-10） 段落 [0091]、[0092]、図25, 26	24, 28
A		1-23, 25-27, 29-44
A	JP 2019-41018 A（ソニー株式会社）14.03.2019（2019-03-14） 段落 [0077] - [0091]、図1	1-44
X	JP 2014-75729 A（キヤノン株式会社）24.04.2014（2014-04-24） 段落 [0042] - [0044]、図10, 11	41, 43, 44
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 01.12.2021		国際調査報告の発送日 28.12.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 鈴木 明 5V 9185 電話番号 03-3581-1101 内線 3571

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/036932

引用文献			公表日	パテントファミリー文献	公表日
JP	2019-4149	A	10.01.2019	US 2018/0366504 A1 段落 [0113] , [0114] 、図 10A, 10B DE 102018109752 A1 KR 10-2018-0136717 A CN 109148493 A	
JP	2019-41018	A	14.03.2019	US 2020/0244911 A1 段落 [0229] - [0251] 、図 1 WO 2019/039029 A1 CN 111095559 A	
JP	2014-75729	A	24.04.2014	(ファミリーなし)	