(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2018 年 6 月 28 日 (28.06.2018)

WIPO | PCT

(10) 国际公布号
WO 2018/113058 A1

(51) 国际专利分类号:
H01L 21/77 (2017.01)

(21) 国际申请号: PCT/CN2017/071154

(22) 国际申请日: 2017 年 1 月 13 日 (13.01.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201611215026.3 2016年12月23日 (23.12.2016) CN

(71) 申请人: 深圳市华星光电技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 韦显旺 (WEI, Xianwang); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。 刘洋(LIU, Yang); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。

(74) 代理人: 广州三环专利商标代理有限公司 (SCIHEAD IP LAW FIRM); 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,

WO 2018/113058 A1

(54) **Title:** ARRAY SUBSTRATE, ARRAY SUBSTRATE MANUFACTURING METHOD, AND LIQUID CRYSTAL DISPLAY SCREEN

(54) 发明名称: 阵列基板、阵列基板制造方法及液晶显示屏

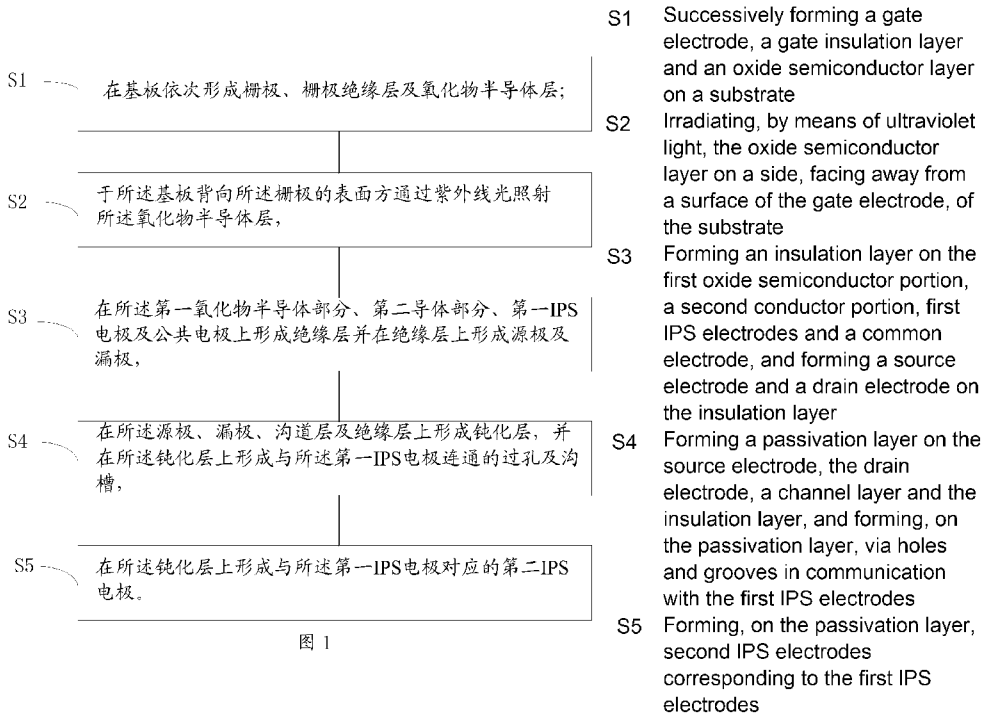


图 1

(57) **Abstract:** Disclosed are an array substrate, an array substrate manufacturing method, and a liquid crystal display screen. The array substrate comprises a substrate (10), and a gate electrode (11), a gate insulation layer (12), a channel layer, an insulation layer (14) and a passivation layer (17), that are successively formed on a surface of the substrate (10), wherein the gate insulation layer (12) is also provided with an oxide semiconductor layer forming the channel layer, and a plurality of first IPS electrodes (135) spaced apart from the oxide semiconductor layer; the insulation layer (14) covers the oxide semiconductor layer and the plurality of first IPS electrodes

[见续页]

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
一 包括国际检索报告(条约第21条(3))。

(135); the passivation layer (17) covers the channel layer and is provided with grooves (172) formed thereon; the grooves (172) are located between one side of each of the first IPS electrodes (135), and extends onto the gate insulation layer (12); and second IPS electrodes (18) corresponding to the first IPS electrodes (135) are formed on the passivation layer (17), and the second IPS electrodes (18) are connected to the first IPS electrodes (135).

(57) 摘要：一种阵列基板、阵列基板制造方法及液晶显示屏，所述阵列基板包括基板（10），依次形成所述基板（10）表面的栅极（11）、栅极绝缘层（12）、沟道层、绝缘层（14）及钝化层（17），所述栅极绝缘层（12）上还设有构成沟道层的氧化物半导体层及与氧化物半导体层间隔设置的多个第一IPS电极（135）；所述绝缘层（14）覆盖所述氧化物半导体层及多个第一IPS电极（135），所述钝化层（17）覆盖所述沟道层并形成有沟槽（172），所述沟槽（172）位于每个第一IPS电极（135）一侧间并延伸至所述栅极绝缘层（12）上；所述钝化层（17）上形成与第一IPS电极（135）对应的第二IPS电极（18），所述第二IPS电极（18）与所述第一IPS电极连接（135）。

阵列基板、阵列基板制造方法及液晶显示屏

本发明要求 2016 年 12 月 23 日递交的发明名称为“阵列基板、阵列基板制造方法及液晶显示屏”的申请号 2016112150263 的在先申请优先权，上述在先申请的内容以引入的方式并入本文本中。

技术领域

本发明涉及液晶显示屏制造技术领域，尤其涉及阵列基板、阵列基板制造方法及液晶显示屏。

背景技术

TFT LCD(Thin-Film-Transistor Liquid Crystal Display，薄膜晶体管液晶显示器) 由于其高速度、高亮度、高对比度等优点，目前已经得到普遍的应用。TFT 基板的模式有很多，较常见的有 TN、IPS、MVA 等。TN 模式，响应速度最快，但色彩最差，可视角度相对较小，成本低，主要应用在显示器和小型电视领域。IPS 模式的 TFT 基板，是一种宽视角显示技术，可视角度相对较高，响应速度较快，色彩准确，成本适中。

然而，传统技术中 IPS (In-Plane Switching)模式需要较高的驱动电压，当驱动电压加到 IPS 面板电极上后，靠近电极的液晶分子会获得较大的动力，但是远离电极的上层液晶分子就无法获得一样的动力，运动较慢，只用增加驱动电压才能使远离电极的液晶分子也获得不小的动力，所以驱动电压会较高。使得共面转换模式功耗升高，难以和 TFT 相匹配。同时在靠近基板附近的液晶分子电场驱动减弱，导致光透过率降低。

发明内容

本发明提供一种阵列基板及其制造方法，可以提高液晶分子驱动均匀性。

本申请所述阵列基板、一种阵列基板制造方法，其中，所述方法包括在基板依次形成栅极、栅极绝缘层及氧化物半导体层；其中，氧化物半导体层包括与所述栅极相对的第一氧化物半导体部分、连接于所述第一氧化物半导体部分

两侧的第二氧化物半导体部分以及与所述第二氧化物半导体部分间隔设置的多个第三氧化物半导体部分;

于所述基板背向所述栅极的表面方通过紫外线光罩所述氧化物半导体层,使所述第二氧化物半导体部分及多个所述第三氧化物半导体部分分别变成第二导体部分及多个第三导体部分,其中,所述多个第三导体部分分为第一IPS电极及公共电极;

在所述第一氧化物半导体部分、第二导体部分、第一 IPS 电极及公共电极上形成绝缘层并在绝缘层上形成源极及漏极,所述源极及漏极与所述第一氧化物半导体部分形成的沟道层构成半导体器件;

在所述源极、漏极、沟道层及绝缘层上形成钝化层,并在所述钝化层上形成与所述第一 IPS 电极连通的过孔及沟槽,所述沟槽位于每个第一 IPS 电极一侧并延伸至所述栅极绝缘层上;

在所述钝化层上形成与所述第一 IPS 电极对应的第二 IPS 电极,且所述第二 IPS 电极通过所述过孔与第一 IPS 电极连接。

其中,在基板依次形成栅极、栅极绝缘层及氧化物半导体层的步骤包括,在所述栅极绝缘层上物理气相沉积氧化物半导体层,然后对所述氧化物半导体层图案化形成所述的第一氧化物半导体部分、第二氧化物半导体部分及第三氧化物半导体部分。

其中,在所述第一氧化物半导体部分、第二导体部分、第一 IPS 电极及公共电极上形成绝缘层并在绝缘层上形成源极及漏极的步骤,包括在所述绝缘层上形成与所述第一氧化物半导体部分连通的所述通孔,然后在绝缘层上沉积形成金属层,图案化所述金属层形成所述源极及漏极以形成所述沟道层。

其中,在所述钝化层上形成第二 IPS 电极,所述第二 IPS 电极通过所述过孔与第一 IPS 电极连接步骤包括,在所述钝化层上形成 ITO 层,图案化所述 ITO 层形成所述第二 IPS 电极,并且第二 IPS 电极填满所述过孔与所述第一 IPS 电极连接。

其中,所述源极与漏极通过设于绝缘层的通孔分别与所述第一氧化物半导体部分两侧的第二导体部分连接。

本申请所述的阵列基板,包括基板,依次形成所述基板表面的栅极、栅

极绝缘层、沟道层、绝缘层及钝化层，

所述绝缘层覆盖所述氧化物半导体层及多个第一 IPS 电极，

所述钝化层覆盖所述沟道层并形成有沟槽，所述沟槽位于每个第一 IPS 电极一侧间并延伸至所述栅极绝缘层上；

所述钝化层上形成与第一 IPS 电极对应的第二 IPS 电极，所述第二 IPS 电极与所述第一 IPS 电极连接。

其中，所述第二 IPS 电极与所述第一 IPS 电极通过过孔连接。

其中，多个所述第二 IPS 电极包括呈间隔排列的第一组电极及第二组电极，所述第一组电极中的每个第二 IPS 电位于所述第二组电极中的每两个第二 IPS 之间。

本申请所述的液晶显示屏，包括彩膜基板、阵列基板及液晶层，所述彩膜基板与阵列基板之间形成收容液晶的收容空间，所述阵列基板包括基板，依次形成所述基板表面的栅极、栅极绝缘层、沟道层、绝缘层及钝化层，所述栅极绝缘层上还设有构成沟道层的氧化物半导体层及与氧化物半导体层间隔设置的多个第一 IPS 电极；所述绝缘层覆盖所述氧化物半导体层及多个第一 IPS 电极， 所述钝化层覆盖所述沟道层并形成有沟槽，所述沟槽位于每个第一 IPS 电极一侧间并延伸至所述栅极绝缘层上；所述钝化层上形成与第一 IPS 电极对应的第二 IPS 电极，所述第二 IPS 电极与所述第一 IPS 电极连接；所述阵列基板的沟槽与所述收容空间连通，液晶分布于所述液晶空间及沟槽内。

本发明的液晶显示屏的阵列基板具有第一 IPS 电极及第二 IPS 电极，当通电驱动液晶时，两个电极的电压是一致，形成双 IPS 驱动结构阵列基板，位于底部沟槽内的液晶同样可以被足够电压驱动，进而保证液晶层的有效驱动并实现液晶的高透过率。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本发明所述的阵列基板制造方法流程图。

图 2 至图 6 为图 1 所述的阵列基板制造方法各个步骤示意图。

图 7 为本发明阵列基板示意图。

图 8 为图 1 所述的阵列基板制造方法中第一组电极及第二组电极的排布示意图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

请参阅图 1、图 2 与图 3，本发明提供一种阵列基板制造方法，所述方法包括

步骤 S1，在基板 10 依次形成栅极 11、栅极绝缘层 12 及氧化物半导体层；其中，氧化物半导体层包括与所述栅极 11 相对的第一氧化物半导体部分 131、连接于所述第一氧化物半导体部分 131 两侧的第二氧化物半导体部分 132 以及与所述第二氧化物半导体部分 132 间隔设置的多个第三氧化物半导体部分 133。

本步骤中，包括，在所述栅极绝缘层 12 上物理气相沉积氧化物半导体层，然后对所述氧化物半导体层图案化形成所述的第一氧化物半导体部分 131、第二氧化物半导体部分 132 及第三氧化物半导体部分 133。

请一并参阅图 4，步骤 S2，于所述基板 10 背向所述栅极 11 的表面方通过紫外线光照所述氧化物半导体层，使所述第二氧化物半导体部分 132 及多个所述第三氧化物半导体部分 133 分别变成第二导体部分 134 及多个第三导体部分，其中，所述多个第三导体部分分为第一 IPS 电极 135 及公共电极 136。本步骤中，紫外线光照所述氧化物半导体层，所述第一氧化物半导体部分 131 被所述栅极 11 遮挡，其他部分被紫外线光照变成导体。第一 IPS 电极 135 及公共电极 136 均为多个且交叉绝缘排布。

请一并参阅图 5，步骤 S3，在所述第一氧化物半导体部分 131、第二导

体部分 134 及多个第一 IPS 电极 135、公共电极 136 上形成绝缘层 14 并在绝缘层 14 上形成源极 15 及漏极 16，所述源极 15 及漏极 16 与所述第一氧化物半导体部分 131 以形成沟道层。其中，所述源极 15 与漏极 16 通过设于绝缘层 14 的通孔分别与所述第一氧化物半导体部分 131 两侧的第二导体部分 134 连接。

本步骤中，包括在所述绝缘层 14 上形成与所述第一氧化物半导体部分 131 连通的所述通孔，然后在绝缘层 14 上沉积形成金属层，图案化所述金属层以形成所述源极 15 及漏极 16。

请参阅图 6，步骤 S4，在所述源极 15、漏极 16、沟道层及绝缘层 14 上形成钝化层 17，并在所述钝化层 17 上形成过孔 171 及沟槽 172，所述沟槽 172 于每个第一 IPS 电极 135 一侧并延伸至所述栅极绝缘层 12 上，所述过孔 171 连通所述第一 IPS 电极 135。所述沟槽 172 的槽底凹陷于位于所述第一 IPS 电极 135 一侧的栅极绝缘层 12 上。

请参阅图 7，步骤 S5，在所述钝化层 17 上形成与第一 IPS 电极 135 对应的第二 IPS 电极 18，所述第二 IPS 电极 18 与所述第一 IPS 电极 135 连接。具体为，在所述钝化层上形成 ITO 层，图案化所述 ITO 层形成所述第二 IPS 电极 18，并且第二 IPS 电极填满所述过孔与所述第一 IPS 电极连接。本方法形成的阵列基板具有上下层结构的第一 IPS 电极及第二 IPS 电极，位于底部沟槽内充满液晶，当通电驱动液晶时，两个电极的电压是一致，位于底部沟槽内的液晶同样可以被足够电压驱动，进而保证液晶层的有效驱动。

如图 8，需要说明的是，多个所述第二 IPS 电极 18 包括呈列排列的第一组电极 A 及第二组电极 B，所述第一组电极 A 中的每个第二 IPS 电极于所述第二组电极 B 中的每两个第二 IPS 之间。可以理解为多个所述第二 IPS 电极 18 分为多列设置并且与第一 IPS 电极设有过孔一侧相连接，同时第一组电极 A 中第二 IPS 电极与第二组电极 B 的第二 IPS 电极交叉绝缘排列。如此可以错开过孔 171 的开设位置，避免同一直线上出现多个过孔 171 而影响基板强度。

如图 7 所示，本发明还提供一种通过上述制造方法制造的阵列基板，所述阵列基板包括基板 10，依次形成所述基板表面的栅极 11、栅极绝缘层 12、沟道层 19、绝缘层 14 及钝化层 17。所述栅极绝缘层 12 上还设有构成沟道层的

氧化物半导体层及与氧化物半导体层间隔设置的多个第一 IPS 电极 135；所述绝缘层 14 覆盖所述氧化物半导体层及多个第一 IPS 电极 135，所述钝化层 17 覆盖所述沟道层并形成有沟槽 172，所述沟槽 172 位于每个第一 IPS 电极 135 一侧并延伸至所述栅极绝缘层 12 上；所述钝化层 17 上形成多个与第一 IPS 电极 135 对应的第二 IPS 电极 18，所述第二 IPS 电极 18 与所述第一 IPS 电极 18 通过过孔连接。

本发明所述的阵列基板制造方法不需要增加复杂的步骤只需要背部紫外线光照将半导体导体化，既可以实现阵列基板的双电极效果，是阵列基板包括氧化物半导体层变导体化形成的第一 IPS 电极和 ITO 制作的第二 IPS 电极，并通过孔连接第一 IPS 电极及第二 IPS 电极，保证两个电极电压一致，形成双 IPS 驱动结构的阵列基板，有效降低液晶的驱动电压。所述栅极绝缘层 12 上还设有与第一 IPS 电极 135 交叉设置的公共电极 136。

本发明还提供一种液晶显示屏（图未示），其包括彩膜基板、所述阵列基板及液晶层，所述彩膜基板与阵列基板之间形成收容液晶的收容空间，所述阵列基板的沟槽与所述收容空间连通，液晶分布于所述液晶空间及沟槽内。

本发明的液晶显示屏的阵列基板具有第一 IPS 电极及第二 IPS 电极，当通电驱动液晶时，两个电极的电压是一致，形成双 IPS 驱动结构阵列基板，位于底部沟槽内的液晶同样可以被足够电压驱动，进而保证液晶层的有效驱动并实现液晶的高透过率。

以上所揭露的仅为本发明一种较佳实施例而已，当然不能以此来限定本发明之权利范围，本领域普通技术人员可以理解实现上述实施例的全部或部分流程，并依本发明权利要求所作的等同变化，仍属于发明所涵盖的范围。

权 利 要 求

1、一种阵列基板制造方法，其中，所述方法包括在基板依次形成栅极、栅极绝缘层及氧化物半导体层；其中，氧化物半导体层包括与所述栅极相对的第一氧化物半导体部分、连接于所述第一氧化物半导体部分两侧的第二氧化物半导体部分以及与所述第二氧化物半导体部分间隔设置的多个第三氧化物半导体部分；

于所述基板背向所述栅极的表面方通过紫外线光照所述氧化物半导体层，使所述第二氧化物半导体部分及多个所述第三氧化物半导体部分分别变成第二导体部分及多个第三导体部分，其中，所述多个第三导体部分分为第一 IPS 电极及公共电极；

在所述第一氧化物半导体部分、第二导体部分、第一 IPS 电极及公共电极上形成绝缘层并在绝缘层上形成源极及漏极，所述源极及漏极与所述第一氧化物半导体部分形成的沟道层构成半导体器件；

在所述源极、漏极、沟道层及绝缘层上形成钝化层，并在所述钝化层上形成与所述第一 IPS 电极连通的过孔及沟槽，所述沟槽位于每个第一 IPS 电极一侧并延伸至所述栅极绝缘层上；

在所述钝化层上形成与所述第一 IPS 电极对应的第二 IPS 电极，且所述第二 IPS 电极通过所述过孔与第一 IPS 电极连接。

2、如权利要求 1 所述的一种阵列基板制造方法，其中，在基板依次形成栅极、栅极绝缘层及氧化物半导体层的步骤包括，在所述栅极绝缘层上物理气相沉积氧化物半导体层，然后对所述氧化物半导体层图案化形成所述的第一氧化物半导体部分、第二氧化物半导体部分及第三氧化物半导体部分。

3、如权利要求 1 所述的一种阵列基板制造方法，其中，在所述第一氧化物半导体部分、第二导体部分、第一 IPS 电极及公共电极上形成绝缘层并在绝缘层上形成源极及漏极的步骤，包括在所述绝缘层上形成与所述第一氧化物半导体部分连通的所述通孔，然后在绝缘层上沉积形成金属层，图案化所述金属层形成所述源极及漏极以形成所述沟道层。

4、如权利要求 1 所述的一种阵列基板制造方法，其中，在所述钝化层上形成第二 IPS 电极，所述第二 IPS 电极通过所述过孔与第一 IPS 电极连接步骤

包括，在所述钝化层上形成ITO层，图案化所述ITO层形成所述第二IPS电极，并且第二IPS电极填满所述过孔与所述第一IPS电极连接。

5、如权利要求1所述的一种阵列基板制造方法，其中，所述源极与漏极通过设于绝缘层的通孔分别与所述第一氧化物半导体部分两侧的第二导体部分连接。

6、一种阵列基板，其中，所述阵列基板包括基板，依次形成所述基板表面的栅极、栅极绝缘层、沟道层、绝缘层及钝化层，

所述栅极绝缘层上还设有构成沟道层的氧化物半导体层及与氧化物半导体层间隔设置的多个第一IPS电极；

所述绝缘层覆盖所述氧化物半导体层及多个第一IPS电极，

所述钝化层覆盖所述沟道层并形成有沟槽，所述沟槽位于每个第一IPS电极一侧并延伸至所述栅极绝缘层上；

所述钝化层上形成与第一IPS电极对应的第二IPS电极，所述第二IPS电极与所述第一IPS电极连接。

7、如权利要求6所述的一种阵列基板，其中，所述第二IPS电极与所述第一IPS电极通过过孔连接。

8、如权利要求6所述的一种阵列基板，其中，多个所述第二IPS电极包括呈间隔排列的第一组电极及第二组电极，所述第一组电极中的每个第二IPS电位于所述第二组电极中的每两个第二IPS之间。

9、一种液晶显示屏，其中，包括彩膜基板、阵列基板及液晶层，所述彩膜基板与阵列基板之间形成收容液晶的收容空间，所述阵列基板包括基板，依次形成所述基板表面的栅极、栅极绝缘层、沟道层、绝缘层及钝化层，所述栅极绝缘层上还设有构成沟道层的氧化物半导体层及与氧化物半导体层间隔设置的多个第一IPS电极；所述绝缘层覆盖所述氧化物半导体层及多个第一IPS电极，所述钝化层覆盖所述沟道层并形成有沟槽，所述沟槽位于每个第一IPS电极一侧间并延伸至所述栅极绝缘层上；所述钝化层上形成与第一IPS电极对应的第二IPS电极，所述第二IPS电极与所述第一IPS电极连接；所述阵列基板的沟槽与所述收容空间连通，液晶分布于所述液晶空间及沟槽内。

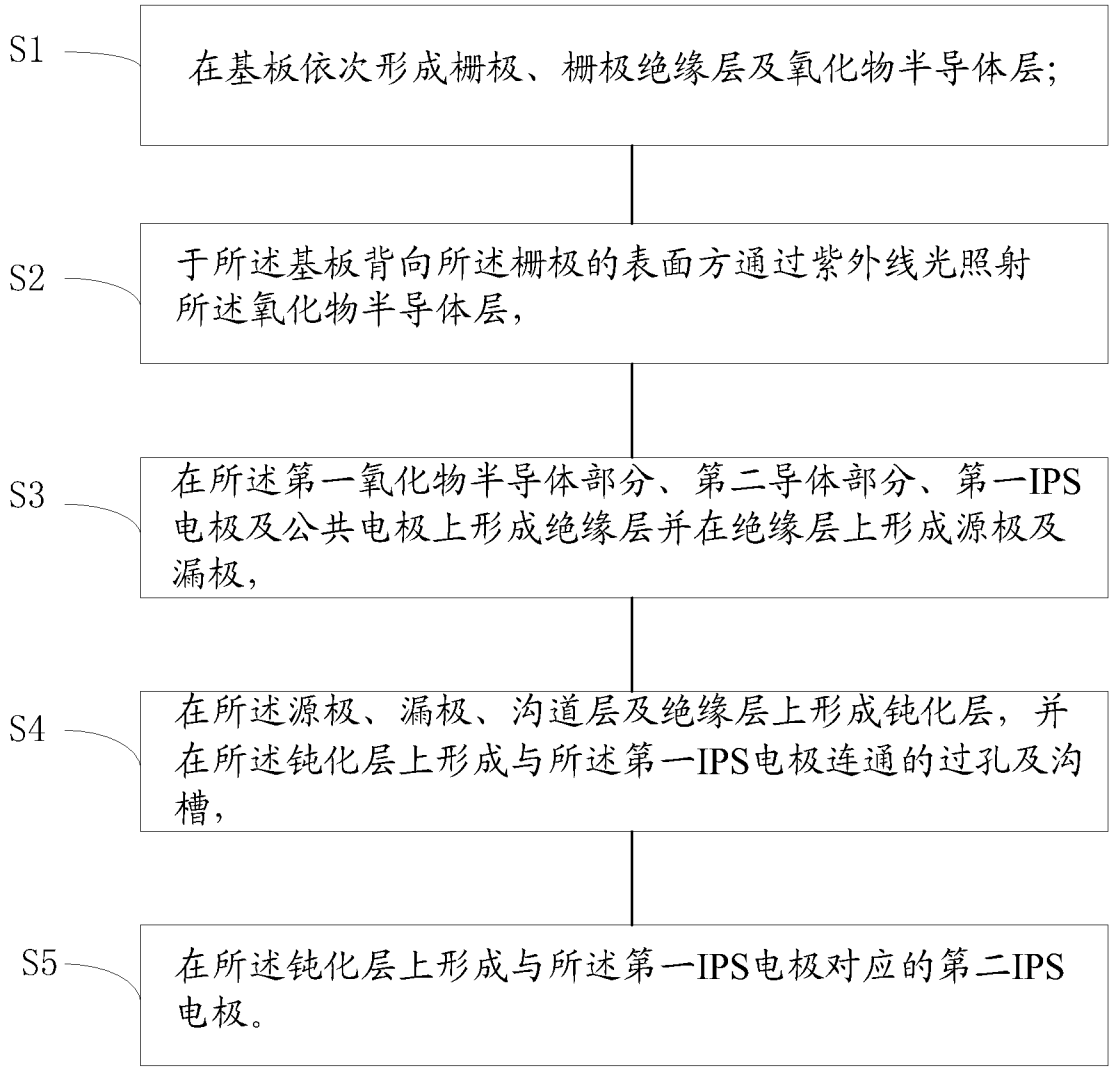

S1
在基板依次形成栅极、栅极绝缘层及氧化物半导体层;
S2
于所述基板背向所述栅极的表面方通过紫外线光照射所述氧化物半导体层,
S3
在所述第一氧化物半导体部分、第二导体部分、第一IPS电极及公共电极上形成绝缘层并在绝缘层上形成源极及漏极,
S4
在所述源极、漏极、沟道层及绝缘层上形成钝化层,并在所述钝化层上形成与所述第一IPS电极连通的过孔及沟槽,
S5
在所述钝化层上形成与所述第一IPS电极对应的第二IPS电极。

图 1

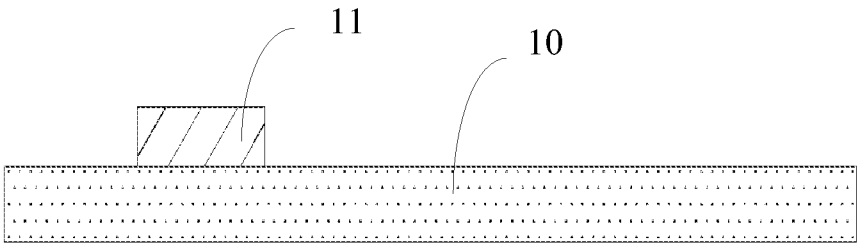


图 2

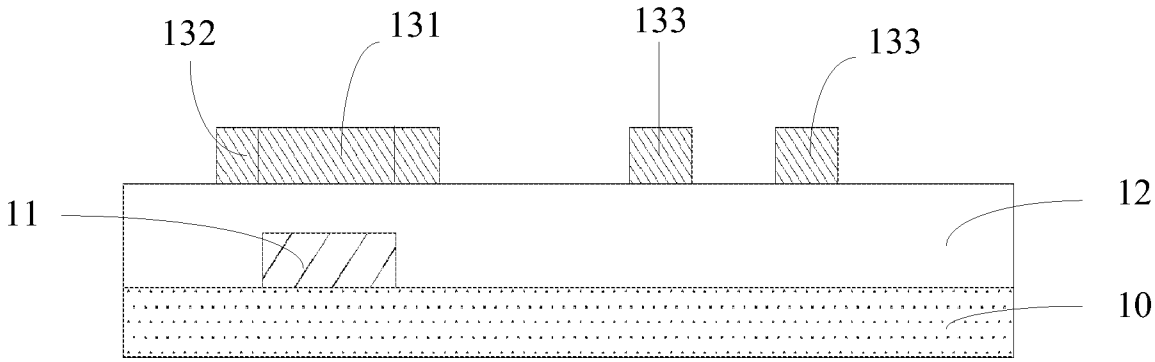


图 3

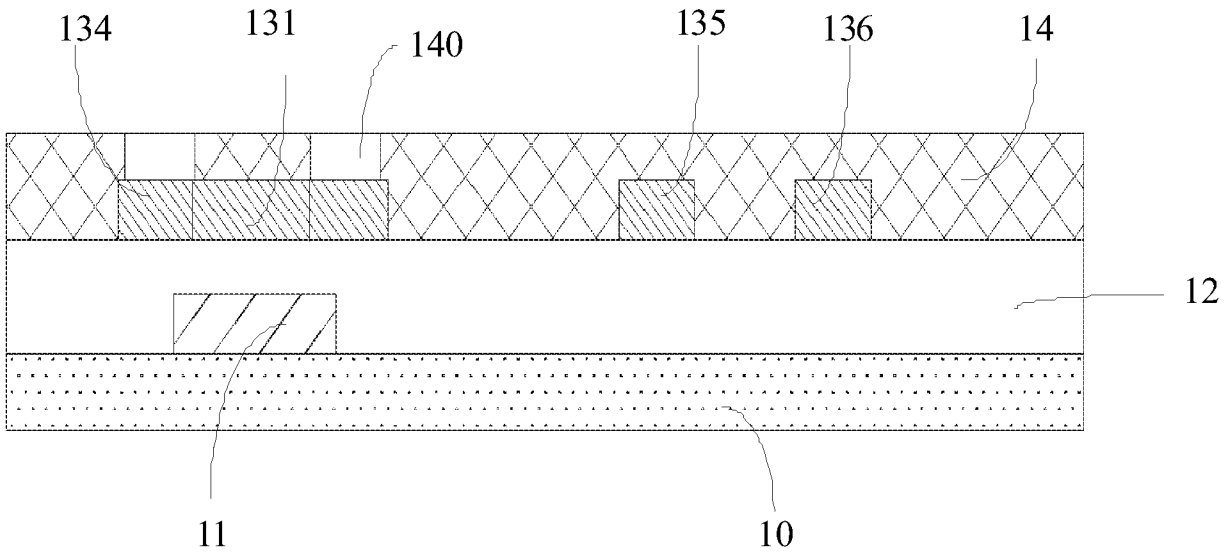


图 4

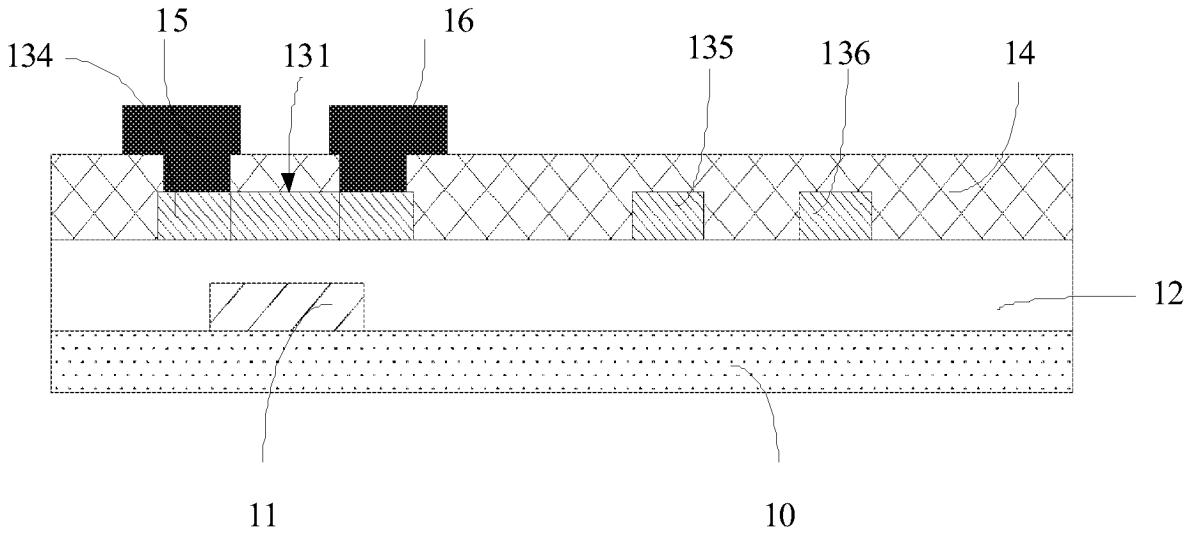

15
16
134
131
135
136
14
12
11
10

图 5

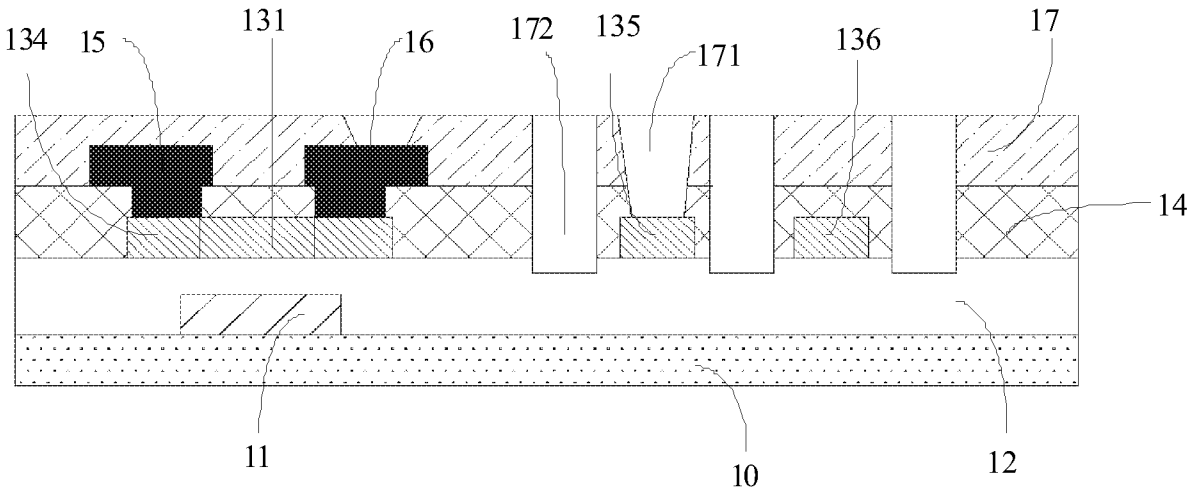

134
15
131
16
172
135
171
136
17
14
11
10
12

图 6

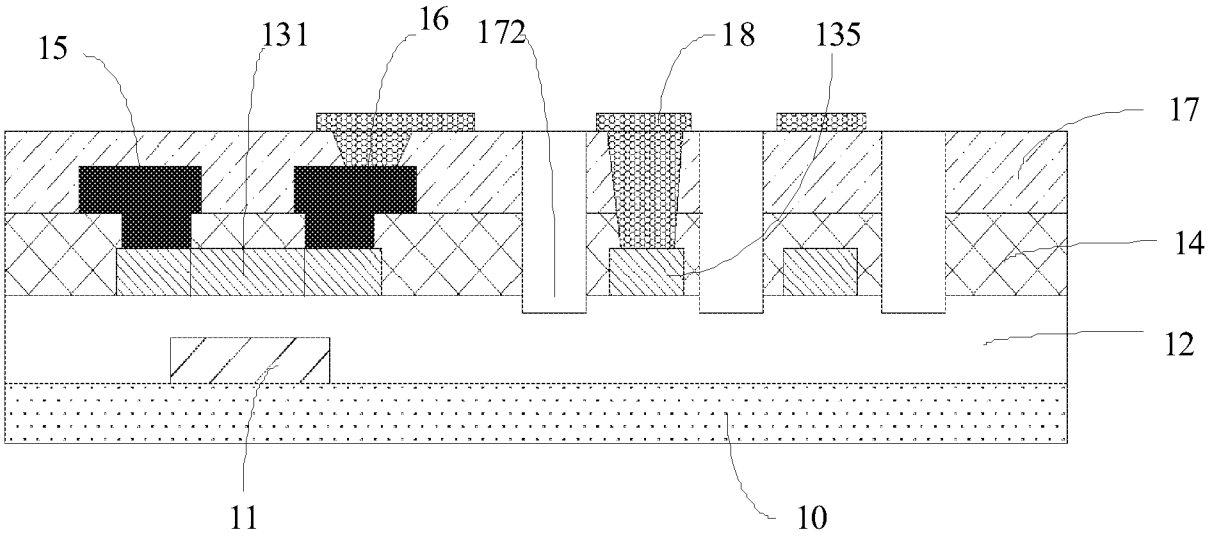


图 7

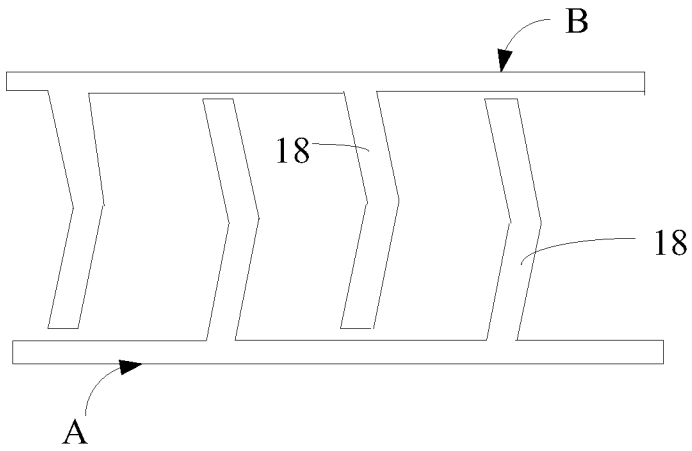


图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/071154

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2017.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: 阵列基板, 紫外, 像素电极, 共平面开关, 面内开关, 沟, 槽, array substrate, UV, ultraviolet, pixel electrode, IPS, in-plane switch+, trench+, groove+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103777418 A (BOE TECHNOLOGY GROUP CO., LTD.), 07 May 2014 (07.05.2014), description, paragraphs 0031-0046 and 0049-0053, and figure 2	1-9
A	CN 102237411 A (PRIME VIEW INTERNATIONAL CO., LTD.), 09 November 2011 (09.11.2011), entire document	1-9
A	CN 101216627 A (INNOCOM TECHNOLOGY (SHENZHEN) CO., LTD. et al.), 09 July 2008 (09.07.2008), entire document	1-9
A	CN 105549278 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 04 May 2016 (04.05.2016), entire document	1-9
A	US 2002089631 A1 (LEE, D.H. et al.), 11 July 2002 (11.07.2002), entire document	1-9

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
14 August 2017	30 August 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer CHENG, Kaifang Telephone No. (86-10) 61648458

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/071154

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103777418 A	07 May 2014	CN 103777418 B	04 May 2016
		US 2016011467 A1	14 January 2016
		WO 2015109786 A1	30 July 2015
CN 102237411 A	09 November 2011	None	
CN 101216627 A	09 July 2008	CN 100592159 C	24 February 2010
CN 105549278 A	04 May 2016	WO 2017121009 A1	20 July 2017
US 2002089631 A1	11 July 2002	KR 100620322 B1	13 September 2006
		KR 20020005899 A	18 January 2002
		US 7576821 B2	18 August 2009

国际检索报告

国际申请号
PCT/CN2017/071154

A. 主题的分类

H01L 21/77(2017.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNKI, CNPAT, WPI, EPODOC: 阵列基板, 紫外, 像素电极, 共平面开关, 面内开关, 沟, 槽, array substrate, UV, ultraviolet, pixel electrode, IPS, in-plane switch+, trench+, groove+

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 103777418 A (京东方科技集团股份有限公司) 2014年 5月 7日 (2014-05-07) 说明书第0031-0046、0049-0053段、图2	1-9
A	CN 102237411 A (元太科技工业股份有限公司) 2011年 11月 9日 (2011-11-09) 全文	1-9
A	CN 101216627 A (群康科技深圳有限公司 等) 2008年 7月 9日 (2008-07-09) 全文	1-9
A	CN 105549278 A (深圳市华星光电技术有限公司) 2016年 5月 4日 (2016-05-04) 全文	1-9
A	US 2002089631 A1 (LEE, DONG-HOON ET AL.) 2002年 7月 11日 (2002-07-11) 全文	1-9

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2017年 8月 14日	2017年 8月 30日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 程凯芳 电话号码 (86-10)61648458

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2017/071154

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
CN	103777418	A	2014年 5月 7日	CN	103777418	B	2016年 5月 4日
				US	2016011467	A1	2016年 1月 14日
				WO	2015109786	A1	2015年 7月 30日
CN	102237411	A	2011年 11月 9日		无		
CN	101216627	A	2008年 7月 9日	CN	100592159	C	2010年 2月 24日
CN	105549278	A	2016年 5月 4日	WO	2017121009	A1	2017年 7月 20日
US	2002089631	A1	2002年 7月 11日	KR	100620322	B1	2006年 9月 13日
				KR	20020005899	A	2002年 1月 18日
				US	7576821	B2	2009年 8月 18日