



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2017년07월17일  
(11) 등록번호 10-1758996  
(24) 등록일자 2017년07월11일

(51) 국제특허분류(Int. Cl.)  
H01L 29/78 (2006.01) H01L 29/66 (2006.01)  
(52) CPC특허분류  
H01L 29/7855 (2013.01)  
H01L 29/66795 (2013.01)  
(21) 출원번호 10-2015-0153198  
(22) 출원일자 2015년11월02일  
심사청구일자 2015년11월02일  
(65) 공개번호 10-2017-0015054  
(43) 공개일자 2017년02월08일  
(30) 우선권주장  
14/815,626 2015년07월31일 미국(US)  
(56) 선행기술조사문헌  
KR1019990023638 A\*  
KR1020150082086 A\*  
US20130069164 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드  
중화민국, 타이완, 신추, 신추 사이언스 파크,  
리-신 로드 6, 넘버 8  
(72) 발명자  
워커 에이메이 마하데브  
중화민국, 타이완 300-77, 신츄, 사이언스-베이스  
드 인터스트리얼 파크, 리신 로드. 6, 8호  
시에 치쑤  
중화민국, 타이완 300-77, 신츄, 사이언스-베이스  
드 인터스트리얼 파크, 리신 로드. 6, 8호  
(74) 대리인  
김태홍, 김진희

전체 청구항 수 : 총 8 항

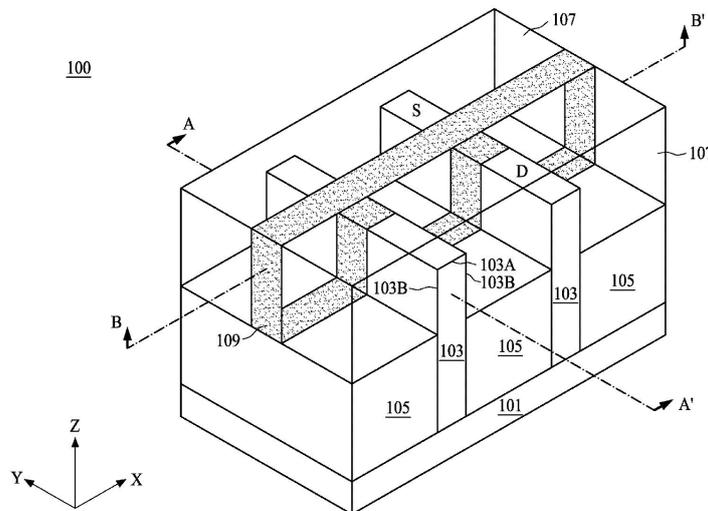
심사관 : 최정민

(54) 발명의 명칭 **다중-임계 전압 전계 효과 트랜지스터 및 그 제조 방법**

(57) 요약

본 발명은 제1 도전형의 트랜지스터를 포함하는 FET 구조체를 제공한다. 트랜지스터는 제2 도전형의 영역을 갖는 기판, 소스와 드레인 사이의 채널, 채널 위의 게이트를 포함한다. 채널은 제1 도전형의 도펀트를 포함한다. 게이트는 제2 도전형의 일함수 설정층을 포함한다. 또한, 본 발명은 다중-임계 전압 수단을 갖는 FET를 제조하는 방법을 제공한다. 방법은 제1 마스크로부터 제1 도전형의 제1 트랜지스터의 채널과 제2 도전형의 제1 트랜지스터의 채널을 노출시키는 단계와, 채널을 제1 도전형의 도펀트로 도핑하는 단계와, 제2 마스크로부터 제1 및 제2 도전형의 제2 트랜지스터의 채널을 노출시키는 단계와, 채널을 제2 도전형의 도펀트로 도핑하는 단계를 포함한다.

대표도



(52) CPC특허분류

*H01L 29/7831* (2013.01)

*H01L 29/7842* (2013.01)

*H01L 29/7845* (2013.01)

*H01L 2924/13067* (2013.01)

(72) 발명자

**추 체민**

중화민국, 타이완 300-77, 신쑤, 사이언스-베이스  
드 인터스트리얼 파크, 리신 로드. 6, 8호

**구오 유수안**

중화민국, 타이완 300-77, 신쑤, 사이언스-베이스  
드 인터스트리얼 파크, 리신 로드. 6, 8호

**명세서**

**청구범위**

**청구항 1**

다중-임계 전압을 갖는 FET 구조체에 있어서,

기판 상에, 제1 도전형의 제1 트랜지스터, 제2 도전형의 제1 트랜지스터, 제1 도전형의 제2 트랜지스터 및 제2 도전형의 제2 트랜지스터를 포함하고,

상기 제1 도전형의 제1 트랜지스터는,

상기 기판 내의 제2 도전형의 영역;

제1 도전형의 소스 및 드레인;

제1 도전형의 도펀트를 포함하는, 상기 소스와 상기 드레인 사이의 채널; 및

제2 도전형의 일함수 설정층(work function setting layer)과 상기 제2 도전형의 일함수 설정층 상의 제1 도전형의 일함수 설정층을 포함하는, 상기 채널 위의 게이트를 포함하고,

상기 제2 도전형의 제1 트랜지스터는,

상기 기판 내의 제1 도전형의 영역;

제2 도전형의 소스 및 드레인;

제2 도전형의 도펀트를 포함하는, 상기 소스와 상기 드레인 사이의 채널; 및

상기 제1 도전형의 일함수 설정층을 포함하는, 상기 채널 위의 게이트를 포함하고,

상기 제1 도전형의 제2 트랜지스터는,

상기 기판 내의 제2 도전형의 영역;

제1 도전형의 소스 및 드레인;

제2 도전형의 도펀트를 포함하는, 상기 소스와 상기 드레인 사이의 채널; 및

상기 제1 도전형의 일함수 설정층을 포함하는, 상기 채널 위의 게이트를 포함하고,

상기 제2 도전형의 제2 트랜지스터는,

상기 기판 내의 제1 도전형의 영역;

제2 도전형의 소스 및 드레인;

제1 도전형의 도펀트를 포함하는, 상기 소스와 상기 드레인 사이의 채널; 및

상기 제2 도전형의 일함수 설정층과 상기 제2 도전형의 일함수 설정층 상의 상기 제1 도전형의 일함수 설정층을 포함하는, 상기 채널 위의 게이트를 포함하고, 상기 제1 도전형은 상기 제2 도전형과 상이한 것인, 다중-임계 전압을 갖는 FET 구조체.

**청구항 2**

삭제

**청구항 3**

제1항에 있어서,

상기 제2 도전형의 일함수 설정층의 일함수는 상기 제1 도전형의 일함수 설정층의 일함수보다 큰 것인, 다중-임계 전압을 갖는 FET 구조체.

**청구항 4**

FET 구조체를 위한 다중-임계 전압을 설정하는 방법에 있어서,

제1 도전형의 제1 트랜지스터, 제2 도전형의 제1 트랜지스터, 제1 도전형의 제2 트랜지스터 및 제2 도전형의 제2 트랜지스터를 형성하는 단계를 포함하고, 상기 제1 도전형의 제1 트랜지스터, 상기 제2 도전형의 제1 트랜지스터, 상기 제1 도전형의 제2 트랜지스터 및 상기 제2 도전형의 제2 트랜지스터를 형성하는 단계는,

상기 제1 도전형의 제1 트랜지스터의 채널과 상기 제2 도전형의 제2 트랜지스터의 채널에 제1 도전형의 도펀트를 주입하는 동안, 상기 제2 도전형의 제1 트랜지스터의 채널과 상기 제1 도전형의 제2 트랜지스터의 채널 위에는 제1 마스크 요소를 제공하는 단계;

상기 제2 도전형의 제1 트랜지스터의 채널과 상기 제1 도전형의 제2 트랜지스터의 채널에 제2 도전형의 도펀트를 주입하는 동안, 상기 제1 마스크 요소를 제거하고, 상기 제1 도전형의 제1 트랜지스터의 채널과 상기 제2 도전형의 제2 트랜지스터의 채널 위에 제2 마스크 요소를 형성하는 단계;

제2 도전형의 일함수 설정층을 성막하여, 상기 제1 도전형의 제1 트랜지스터, 상기 제2 도전형의 제1 트랜지스터, 상기 제1 도전형의 제2 트랜지스터 및 상기 제2 도전형의 제2 트랜지스터의 채널들 각각을 커버하는 단계;

상기 제2 도전형의 제1 트랜지스터 및 상기 제1 도전형의 제2 트랜지스터의 채널들 위로부터 상기 제2 도전형의 일함수 설정층을 제거하는 단계; 및

상기 제2 도전형의 일함수 설정층을 제거한 후에, 상기 제2 도전형의 제1 트랜지스터 및 상기 제1 도전형의 제2 트랜지스터의 채널들 각각 위에 제1 도전형의 일함수 설정층을 성막하고, 상기 제1 도전형의 제1 트랜지스터와 상기 제2 도전형의 제2 트랜지스터의 채널들 위에 있는 상기 제2 도전형의 일함수 설정층 위에 상기 제1 도전형의 일함수 설정층을 성막하는 단계를 포함하고, 상기 제1 도전형은 상기 제2 도전형과 상이한 것인, FET 구조체를 위한 다중-임계 전압을 설정하는 방법.

**청구항 5**

삭제

**청구항 6**

제4항에 있어서,

제1 도전형의 제3 트랜지스터의 채널 위에 상기 제2 도전형의 일함수 설정층을 성막하는 것에 의해 상기 제1 도전형의 제3 트랜지스터를 형성하는 단계를 더 포함하고, 상기 제1 도전형의 제3 트랜지스터는 상기 제1 도전형의 제1 트랜지스터보다 높은 임계 전압을 갖는 것인, FET 구조체를 위한 다중-임계 전압을 설정하는 방법.

**청구항 7**

제4항에 있어서,

제2 도전형의 제3 트랜지스터의 채널 위에 상기 제1 도전형의 일함수 설정층을 성막하는 것에 의해 상기 제2 도전형의 제3 트랜지스터를 형성하는 단계를 더 포함하고, 상기 제2 도전형의 제3 트랜지스터는 상기 제2 도전형의 제1 트랜지스터보다 높은 임계 전압을 갖는 것인, FET 구조체를 위한 다중-임계 전압을 설정하는 방법.

**청구항 8**

다중-임계 전압을 갖는 FET를 제조하는 방법에 있어서,

제1 마스크로부터 제1 도전형의 제1 트랜지스터의 채널과 제2 도전형의 제1 트랜지스터의 채널을 노출시키는 단계;

제1 도전형의 제2 트랜지스터의 채널 및 제2 도전형의 제2 트랜지스터의 채널을 상기 제1 마스크로 커버하는 동안, 상기 제1 도전형의 제1 트랜지스터의 채널과 상기 제2 도전형의 제1 트랜지스터의 채널을 제1 도전형의 도펀트로 동일한 주입량으로 도핑하는 단계;

제2 마스크로부터 상기 제1 도전형의 제2 트랜지스터의 채널과 상기 제2 도전형의 제2 트랜지스터의 채널을 노

출시키는 단계;

상기 제1 도전형의 제1 트랜지스터의 채널과 상기 제2 도전형의 제1 트랜지스터의 채널을 상기 제2 마스크로 커버하는 동안, 상기 제1 도전형의 제2 트랜지스터의 채널과 상기 제2 도전형의 제2 트랜지스터의 채널을 제2 도전형의 도펀트로 동일한 주입량으로 도핑하는 단계;

상기 제1 도전형의 제1 트랜지스터의 채널과 상기 제2 도전형의 제1 트랜지스터의 채널 위에 제2 도전형의 일함수 설정층을 성막하는 단계;

상기 제1 도전형의 제2 트랜지스터의 채널 및 상기 제2 도전형의 제2 트랜지스터의 채널 위로부터 상기 제2 도전형의 일함수 설정층을 제거하는 단계; 및

상기 제2 도전형의 일함수 설정층을 제거한 후에, 상기 제1 도전형의 제2 트랜지스터와 상기 제2 도전형의 제2 트랜지스터의 채널들 각각 위에 제1 도전형의 일함수 설정층을 성막하고, 상기 제1 도전형의 제1 트랜지스터와 상기 제2 도전형의 제1 트랜지스터의 채널들 위에 있는 상기 제2 도전형의 일함수 설정층 위에 상기 제1 도전형의 일함수 설정층을 성막하는 단계를 포함하고, 상기 제1 도전형은 상기 제2 도전형과 상이한 것인, 다중-임계 전압을 갖는 FET를 제조하는 방법.

### 청구항 9

제8항에 있어서, 상기 제2 도전형의 일함수 설정층을 성막하는 단계는, 상기 제1 도전형의 제2 트랜지스터, 제1 도전형의 제3 트랜지스터, 상기 제2 도전형의 제2 트랜지스터 및 제2 도전형의 제3 트랜지스터의 채널들 위에 상기 제2 도전형의 일함수 설정층을 성막하는 단계를 포함하고,

상기 제2 도전형의 일함수 설정층을 제거하는 단계는,

상기 제1 도전형의 제3 트랜지스터의 채널과 상기 제2 도전형의 제3 트랜지스터의 채널 위로부터 상기 제2 도전형의 일함수 설정층을 제거하는 단계를 더 포함하고,

상기 제1 도전형의 일함수 설정층을 성막하는 단계는,

상기 제1 도전형의 제3 트랜지스터 및 상기 제2 도전형의 제3 트랜지스터 위에 상기 제1 도전형의 일함수 설정층을 성막하는 단계를 더 포함하는 것인, 다중-임계 전압을 갖는 FET를 제조하는 방법.

### 청구항 10

제8항에 있어서,

상기 제1 도전형의 제1 트랜지스터의 채널과 상기 제2 도전형의 제1 트랜지스터의 채널 위의 더미 게이트를 제거하는 단계를 더 포함하는, 다중-임계 전압을 갖는 FET를 제조하는 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 다중-임계 전압( $V_t$ ) 트랜지스터를 포함하는 전계 효과 트랜지스터(FET) 구조체와 FET 구조체를 제조하는 방법에 관한 것이다.

### 배경 기술

[0002] 다중-임계 전압 IC 소자는 반도체 집적 회로(IC) 산업에서 지연 또는 전력의 최적화를 위해 종종 사용된다. 다중-임계 전압 IC 소자는 각각 다른 임계 전압(즉, 동작 전압)을 갖는 다수의 상이한 소자를 포함할 수 있다. 예를 들면, 다중-임계 전압 IC 소자는 저 임계 전압 소자와 고 임계 전압 소자를 포함한다. 다른 임계 전압 소자를 얻기 위한 하나의 접근법은 채널 및 할로(halo) 주입 최적화를 포함한다. 이것은 더 고 임계 전압 소자와 소망하는 임계 전압마다 분리 마스크를 획득하도록 중 이온 주입(heavy implantation)을 구현한다. 중 이온 주입 공정은 이동성 저하 및 접합 누설 전류를 야기할 수 있고 소망하는 각각의 임계 전압마다 분리 마스크를 사용하는 것은 불필요한 비용을 초래함을 알고 있다. 예를 들면, 대역간(band-to-band) 터널링 전류는 OFF 전류가 증가되도록 중 이온 주입하에서 높다. 캐리어 이동성 저하는 ON 전류를 감소시킨다.

[0003] 채널/할로 주입 최적화와 함께 사용되는 다른 접근법은 보다 고 임계 전압 소자의 채널 길이를 늘이는 것을 포

함한다. 그러나, 기술 노드가 계속적으로 감소됨에 따라, 기능 밀도(즉, 칩 면적 당 상호 연결된 소자의 수)가 전반적으로 증가된 반면, 지오메트리 크기(제조 공정을 이용하여 형성될 수 있는 최소 성분(또는 라인))은 감소되었다. 따라서, 보다 고 임계 전압 소자를 허용하도록 채널 길이를 증가시키는 것은 유용한 IC 소자 공간을 소비함으로써 단일 칩 상에 제조될 수 있는 소자의 양을 제한한다. 또한, 긴 채널 길이는 정전용량의 증가는 물론 ON 전류의 감소를 가져오므로 소자 동작 속도를 저하시킨다.

[0004] 따라서, 다중-임계 전압 소자를 제조하는 기존의 접근법은 전반적으로 그 의도하는 목적에 적합할지라도 모든 측면에서 전적으로 만족스런 것은 아니었다.

**발명의 내용**

[0005] 본 발명은 제1 도전형의 트랜지스터를 포함하는 FET 구조체를 제공한다. 트랜지스터는 제2 도전형의 영역을 갖는 기판, 제1 도전형의 소스 및 드레인, 제1 도전형의 도펀트를 포함하는 소스와 드레인 사이의 채널, 제2 도전형의 일함수 설정층을 포함하는 채널 위의 게이트를 포함한다.

[0006] 본 발명은 FET 구조체를 위한 다중-임계 전압을 설정하는 방법을 제공한다. 방법은 제1 도전형의 저 임계 전압( $V_t$ ) 트랜지스터를 형성하는 단계를 포함하고, 해당 단계는 상기 제1 도전형의 저  $V_t$  트랜지스터의 채널에 상기 제1 도전형의 도펀트를 주입하는 단계와; 제2 도전형의 일함수 설정층을 성막하여 상기 제1 도전형의 저  $V_t$  트랜지스터의 채널을 커버하는 단계를 포함한다.

[0007] 본 발명은 다중-임계 전압을 갖는 FET를 제조하는 방법을 제공한다. 방법은 제1 마스크로부터 제1 도전형의 제1 트랜지스터의 채널과 제2 도전형의 제1 트랜지스터의 채널을 노출시키고, 제1 도전형의 제1 트랜지스터의 채널과 제2 도전형의 제1 트랜지스터의 채널을 제1 도전형의 도펀트로 실질적으로 동일한 주입량으로 도핑하고, 제2 마스크로부터 제1 도전형의 제2 트랜지스터의 채널과 제2 도전형의 제2 트랜지스터의 채널을 노출시키고, 제1 도전형의 제2 트랜지스터의 채널과 제2 도전형의 제2 트랜지스터의 채널을 제2 도전형의 도펀트로 실질적으로 동일한 주입량으로 도핑하고, 제1 도전형의 제1 트랜지스터와 제2 도전형의 제1 트랜지스터 위에 제2 도전형의 일함수 설정층을 성막하는 것을 포함한다.

**도면의 간단한 설명**

[0008] 본 발명의 여러 측면들은 첨부 도면을 함께 관독시 다음의 상세한 설명으로부터 가장 잘 이해될 것이다. 산업계에서의 표준 관행에 따라 다양한 특징부들은 비율대로 작도된 것은 아님을 밝힌다. 실제, 다양한 특징부의 치수는 논의의 명확성을 위해 임의로 증감될 수 있다.

- 도 1은 본 발명의 일부 실시예에 따른 FinFET 구조체의 사시도이고;
- 도 2a는 본 발명의 일부 실시예에 따른 도 1의 AA' 라인을 따라 취한 FinFET 구조체의 단면도이고;
- 도 2b는 본 발명의 일부 실시예에 따른 도 1의 BB' 라인을 따라 취한 FinFET 구조체의 단면도이고;
- 도 3a는 본 발명의 일부 실시예에 따른 도 1의 AA' 라인을 따라 취한 FinFET 구조체의 단면도이고;
- 도 3b는 본 발명의 일부 실시예에 따른 도 1의 BB' 라인을 따라 취한 FinFET 구조체의 단면도이고;
- 도 4는 본 발명의 일부 실시예에 따른 도 1의 BB' 라인을 따라 취한 다중-임계 전압( $V_t$ ) FinFET 구조체의 단면도이고;
- 도 5는 본 발명의 일부 실시예에 따른 다중-임계 전압( $V_t$ ) FinFET 구조체에 대한 임계 전압 주입의 도전형과 일함수 설정층의 도전형의 스프레드 테이블이고;
- 도 6은 본 발명의 일부 실시예에 따라 임계 전압이 조절된 나노와이어 FET의 사시도이고;
- 도 7은 본 발명의 일부 실시예에 따른 상이한 임계 전압을 갖는 도 6의 나노와이어 FET의 채널 영역의 단면도이고;
- 도 8은 본 발명의 일부 실시예에 따라 임계 전압이 조절된 완전 공핍된(fully depleted) 실리콘 온 인슐레이터(FD-SOI) FET의 단면도이고;
- 도 9는 본 발명의 일부 실시예에 따라 상이한 임계 전압을 갖는 도 8의 FD-SOI FET의 단면도이고;

도 10-14는 본 발명의 일부 실시예에 따른 FinFET의 게이트-후형성(gate-last) 동작의 구분 단면도를 보여주며; 도 15-21은 본 발명의 일부 실시예에 따라 2개의 주입 동작과 2개의 일함수 설정층 성막 동작에 의해 N-uLVT, N-LVT, N-SVT, N-HVT, P-uLVT, P-LVT, P-SVT, P-HVT를 갖는 다중-임계 전압 FinFET 구조체의 형성의 구분 단면도를 보여준다.

**발명을 실시하기 위한 구체적인 내용**

- [0009] 예시적인 실시예에 대한 본 설명은 기록된 전체 설명의 일부로 간주될 수 있는 첨부 도면과 관련하여 이해되도록 의도된 것이다. 여기 개시된 실시예의 설명에서, 방향 또는 배향에 대한 어떤 언급도 설명의 편의를 위해 의도된 것으로, 결코 본 발명의 범위를 한정하고자 의도된 것이 아니다. "하부", "상부", "수평", "수직", "위", "아래", "위로", "아래로", "상단", "하단" 등의 상대 용어와 그 파생어(예, "수평으로", "하방으로", "상방으로" 등)는 설명되는 바와 같은 또는 논의되는 도면에 도시된 바와 같은 배향을 말하는 것으로 해석되어야 한다. 이들 상대 용어는 오직 설명의 편의를 위한 것이므로 장치가 특별한 배향으로 구성되거나 동작되는 것을 필요로 하지 않는다. "접속된", "부착된", "연결된", "상호 연결된" 등의 용어는, 달리 명확히 기술되지 않으면, 양자 모두가 이동 가능하거나 고정 상태인 부착구 또는 관계인 것은 물론, 개재 구조체를 통해 직접적으로 또는 간접적으로 서로에 고정되거나 부착되는 관계를 말한다. 더욱이, 본 발명의 특징과 장점들은 바람직한 실시예를 참조로 예시된다. 따라서, 본 발명은 단독으로 존재하거나 특징의 다른 조합으로 존재할 수 있는 일부 가능한 비한정적인 특징의 조합을 나타내는 이러한 바람직한 실시예에 한정되지 않아야 함이 분명하고, 발명의 범위는 여기 첨부된 청구범위에 의해 한정된다.
- [0010] 도면에서, 유사한 참조 번호는 여러 도면에 걸쳐 유사하거나 비슷한 요소를 지정하는데 사용되며, 본 발명의 예시적인 실시예들이 예시되고 기술된다. 도면들은 반드시 비율대로 작도된 것이 아니며, 일부의 경우, 도면은 그 대신 오직 예시적인 목적으로 과장 및/또는 단순화되게 표현되어 있다. 당업자 중 어느 당업자라도 본 발명의 다음의 예시적인 실시예를 기초로 한 본 발명의 다양한 가능한 응용 및 변경을 알 것이다.
- [0011] 다른 임계 전압 특성을 갖는 소자를 제조하기 위한 현재의 방법은 채널 및 할로(halo) 주입 최적화를 단독으로 또는 소자의 채널(또는 게이트) 길이의 확장과 함께 활용하는 것이다. 예를 들면, 소자 채널/할로 포켓에 대해 중 이온 주입(heavy implantation)을 행하고 그 게이트 길이, 즉 채널 길이를 확장하는 것에 의해 고 임계 전압 소자가 달성된다. 중 이온 주입 공정은 접합 누설 및/또는 이동도 저하를 야기할 수 있다. 소자 기술 노드가 계속적으로 축소되고 있음에 따라, 소자 게이트/채널 길이는 유용한 소자 면적을 소비한다. 또한, 현재의 방법은 고비용이 소요되는데, 이는 상이한 임계 전압 특성을 갖는 각각의 소자의 채널/할로 주입을 위해 분리 마스크를 사용하는 데에서 비롯될 수 있다.
- [0012] 또한, 특히, 임계 전압 조절을 위한 도핑(예, 이온 주입 및 열처리)은 일반적으로 박막형 FET(예, FinFET, 나노 와이어 FET, 완전 공핍 SOI 상의 FET)에서는 비효율적이고, 이는 박막형 FET 세팅에서 양호한 다중-임계 전압 FET 구조체의 획득을 더 어렵게 한다.
- [0013] 다중-임계 전압( $V_T$ )은 집적 회로에서 양호한 출력 효율을 달성하는데 필요하다. 통상적으로, 다중-임계 전압 FET 구조체는 2개 이상의 금속 게이트와 2-4종의 임계 전압 불순물을 사용하는 것에 의해 구현된다. 전체 공정은 다수의 마스크, 리소그래피 및 성막, 식각 및 주입 단계를 필요로 하는데, 이는 예컨대 최종 박막 FET 제품의 비용을 증가시킨다. 추가로, 사물 인터넷(Internet of Things: IoT) 시장을 위한 초저전력(ultra low power: ULP)의 적용은 매우 낮은 생산비를 요구한다. 그러므로, 본 발명에서, 오직 2개의 금속 게이트와 2번의 임계 주입을 사용하는 다중-임계 전압 방식의 효율적인 구현이 제시된다. 본 발명의 다중-임계 전압 FET는 박막 FET 기술의 비용 절감의 측면에서 유익하다.
- [0014] 본 발명은 제1 도전형 및 제2 도전형 각각의 도전형의 초저  $V_T$ (uLVT) 트랜지스터, 저  $V_T$ (LVT) 트랜지스터, 기준  $V_T$ (SVT) 트랜지스터 및 고  $V_T$ (HVT) 트랜지스터를 포함하는 다중  $V_T$  구조체와 해당 다중  $V_T$  구조체의 제조 방법을 제공한다. 전술한 제1 및 제2 도전형의 uLVT, LVT, SVT, HVT 트랜지스터의 구현을 위해 오직 2개의 일함수 설정층과 2번의 임계 전압 주입이 적용된다. 달리 말하면, 2개의 일함수 재료 성막과 2번의 주입 동작을 이용하여 상이한 임계 전압을 갖는 총 8개의 트랜지스터가 형성될 수 있다.
- [0015] 또한, 본 발명의 다중  $V_T$  구조체는 어떤 임계 주입도 없어서 감소된 불순물 분산에 기인하여 높은 캐리어 이동도로부터 이익을 얻는 uLVT 및 HVT 트랜지스터를 제공한다. 이것은 결국 양호한 ON 전류를 제공하여 결국 양호한

ON/OFF 전류 비율을 제공한다. 여기에 개시된 uLVT 및 HVT 트랜지스터에는 주입 손상에 기인한 트랩 발생이 적게 일어날 수 있으므로, 결국 감소된 트랩-지원 터널링 및 대역간(band to band) 터널링(BTBT) 전류가 일어날 수 있다. 또한, 여기 개시된 uLVT 및 HVT 트랜지스터에 예컨대  $1nA/\mu m$  미만의 매우 낮은 값의 게이트 유도된 드레인 누설(GIDL) 전류, 낮은 드레인-기관 BTBT 전류 및 낮은 OFF 전류가 일어날 수 있다.

[0016] 도 1을 참조하면, 금속 게이트(MG) FinFET 구조체(100)의 사시도가 예시된다. 기관(101) 위에 2개의 반도체 핀(103)이 위치되고 얇은 트렌치 소자분리부(105)에 의해 분리된다. 반도체 핀(103)은 실리콘, 실리콘-게르마늄, 게르마늄 또는 다중 적절한 반도체 재료로 형성될 수 있다. 반도체 핀(103)의 상부면(103A)과 측벽(103B) 위에 금속 게이트(109)가 제공된다. 반도체 핀의 상부면(103A)과 측벽(103B)을 따라 트랜지스터(도시 생략)의 채널이 형성되어 반도체 핀(103)의 소스(S)와 드레인(D) 사이에서 연장된다. 도 1에서 반도체 핀(103)은 Y 방향을 따라 연장되는 반면, 게이트(109)는 X 방향을 따라 연장된다. 후속하는 도면에서는 AA' 및 BB' 라인을 따른 단면도가 예시된다. AA' 라인은 반도체 핀(103)을 따라 그 위에 배치된 금속 게이트(109)에 직교하도록 절단되므로, 도 2a 및 도 3a에 도시된 바와 같이, 반도체 핀(103)의 소스/드레인(일부)과 상부면(103A) 위의 금속 게이트(109)의 일부의 단면을 볼 수 있다. BB' 라인은 금속 게이트(109)를 따라 반도체 핀(103)에 직교하도록 절단되므로, 도 2b 및 도 3b에 도시된 바와 같이, 반도체 핀(103)의 단면과 금속 게이트(109)의 피복부를 볼 수 있다. 반도체 핀(103)의 소스(S) 및 드레인(D) 부분에서 상부면(103A)과 측벽(103B) 위에 ILD(107)가 배치된다.

[0017] 본 실시예에서, 기관(101)은 p-형 반도체 기관(P-기관) 또는 실리콘을 포함하는 n-형 반도체 기관(N-기관)이다. 대안적으로, 기관(101)은 Ge, SiGe, SiGeSn, SiC, GeSn 등의 다른 원소 반도체; 실리콘 카바이드, 갈륨 비소, 갈륨 인, 인듐 인, 인듐 비소, 및/또는 인듐 안티몬을 포함하는 화합물 반도체; SiGe, GaAsP, AlInAs, AlGaAs, GaInAs, GaInP, 및/또는 GaInAsP를 포함하는 합금 반도체; 또는 이들의 조합을 포함한다. 또 다른 대체예에서, 기관(101)은 반도체 온 인슐레이터(SOI)이다. 다른 대체예에서, 반도체 기관(101)은 도핑된 에피 층, 구배 반도체 층, 및/또는 실리콘 게르마늄 층 위의 실리콘 층과 같이 다른 종류의 다른 반도체 층 위에 배치된 반도체 층을 포함할 수 있다. 기관(101)은 p-우물, n-우물 또는 이들의 조합과 같은 도핑된 영역을 포함할 수 있다.

[0018] 기관(101) 위에 ILD(107)가 형성될 수 있다. ILD(107)는 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, TEOS 형성된 산화물, 포스포실리케이트 유리(PSG), 보로포스포실리케이트 유리(BPSG), 저-k 유전 재료, 다른 적절한 유전 재료 및/또는 이들의 조합과 같은 유전 재료를 포함한다. 저-k 유전 재료의 예는 불화 실리카 유리(FSG), 탄소 도핑된 실리콘 산화물, Black Diamond®(캘리포니아 산타 클라라에 소재한 Applied Materials의 제품), Xerogel, Aerogel, 비정질 불화 탄소, 파릴렌, BCB(비스-벤조시클로부텐), SiLK(미시간 미드랜드에 소재한 Dow Chemical의 제품), 폴리이미드, 다른 적절한 재료 및/또는 이들의 조합을 포함한다. ILD 층은 다층 유전 재료를 갖는 다층 구조체를 포함할 수 있다.

[0019] 도 2a 및 도 2b를 참조하면, MG FinFET 구조체의 2개의 단면도가 예시된다. 도 2a 및 도 2b에 예시된 단면도와 도 1의 사시도의 관계는 이전 구문에서 언급되었으므로 여기에 반복되지 않는다. 도 2a 및 도 2b와 도 1에서 동일한 참조 번호의 요소는 동일한 재료 구조체에 관한 것으로 단순성을 위해 여기에 반복되지 않는다. 도 2a 및 도 2b는 채널 주입과 일함수 설정층을 조절하는 것에 의해 임계 전압이 조절된 FinFET를 예시한다. 반도체 핀(103)의 상부면(103A)을 따라 채널 길이가 형성되어 반도체 핀(103)의 소스(S)와 드레인(D) 사이에서 연장된다. 도 2a 및 도 2b의 FinFET는 제1 도전형의 트랜지스터이다. 반도체 핀(103)은 제2 도전형을 갖는 벌크형 반도체 기관(101)을 식각하는 것에 의해 형성된다. 벌크형 반도체 기관(101)의 도전형에 무관하게, 예컨대 우물 주입 동작에 의해 반대의 도전형의 영역이 형성될 수 있다. 도 2a 및 도 2b에 예시된 일부 실시예에서, 반도체 핀(103)은 FinFET의 소수의 캐리어의 도전형과 반대인 제2 도전형을 가진다. 채널(113)의 양측에 소스/드레인이 배치되는데, 일부 실시예에서, 금속 게이트(109)의 측벽 스페이서(109) 아래에 다소 중첩된다(도 2a에 도시되지 않음). 도 2a 및 도 2b에는 표현되지 않았지만, 재성장 소스/드레인 기법이 FinFET 기술과 관련하여 최신 기술에 속하기 때문에 본 실시예에서 상승된 소스/드레인 구현될 수 있음을 알아야 한다.

[0020] 채널(113)은 소스/드레인 사이에 배치되며, 제1 도전형 도펀트로 도핑된다. FinFET는 박막형 FET 중 하나이므로, 도핑된 채널은 반도체 핀(103)의 상부면(103A)으로부터 측정시 약 50 nm 미만인 두께(T)로 식별될 수 있다. 일부 실시예에서, 채널(113) 내의 제1 도전형 도펀트의 농도는 효과적인 임계 전압 조절 결과를 얻기 위해 약  $1E15/cm^3$ 보다 크다. 금속 게이트(109)는 채널(113) 위에 위치되며, 도펀트 농도는 물론 채널 도펀트의 도전형을 고려하는 특별한 일함수를 설정하도록 구성된 일함수 설정층(109A)을 가진다. 일부 실시예에서, 채널(113)과 일함수 설정층(109A) 사이에 게이트 유전체(109B)가 위치될 수 있다. 도 2b를 참조하면, 제1 도전형 불순물을 갖는 채널(113)이 약 50 nm 미만의 두께를 갖는 반도체 핀(103)의 상부면(103A)과 측벽(103B) 아래에 위치된

다.

- [0021] 예를 들면, 제1 도전형이 N형이고 제2 도전형이 P형이면, 도 2a 및 도 2b의 다중-임계 전압 FinFET는 N-도핑된 채널과 P 일함수 설정층을 갖는 NMOSFET를 나타낸다. 제안된 본 발명의 다중-임계 전압 FinFET에서는 도핑 채널과 일함수 설정층이 다른 도전형을 가지는 것에 유의하여야 한다.
- [0022] 도 3a 및 도 3b를 참조하면, MG FinFET 구조체의 2개의 단면도가 예시된다. 도 3a 및 도 3b에 예시된 단면도와 도 1의 사시도의 관계는 이전 구문에서 언급되었으므로 여기에 반복되지 않는다. 도 3a 및 도 3b와 도 1, 도 2a 및 도 2b에서 동일한 참조 번호의 요소는 동일한 재료 구조체에 관한 것으로 단순성을 위해 여기에 반복되지 않는다. 도 3a 및 도 3b에서, 채널(113)은 소스/드레인 사이에 배치되며 제2 도전형 도펀트로 도핑된다.
- [0023] 채널(113')은 소스/드레인 사이에 배치되며, 제2 도전형 도펀트로 도핑된다. FinFET는 박막형 FET 중 하나이므로, 도핑된 채널은 반도체 핀(103)의 상부면(103A) 아래로 약 50 nm 미만인 두께(T)로 식별될 수 있다. 일부 실시예에서, 채널(113) 내의 제2 도전형 도펀트의 농도는 효과적인 임계 전압 조절 결과를 얻기 위해 약  $1E15/cm^3$ 보다 크다. 금속 게이트(109)는 채널(113') 위에 위치되며, 도펀트 농도는 물론 채널 도펀트의 도전형을 고려하는 특별한 일함수를 설정하도록 구성된 제1 도전형의 일함수 설정층(109A')을 가진다. 일부 실시예에서, 채널(113')과 일함수 설정층(109A') 사이에 게이트 유전체(109B)가 위치될 수 있다. 제2 도전형의 일함수 설정층(109A)은 제1 도전형의 일함수 설정층(109A') 위에 배치됨에 유의하여야 한다. 도 3a의 FinFET에 대한 유효 일함수는 제1 도전형의 일함수 설정층(109A')의 일함수에 가깝다. 그러나, 다른 실시예에서, 추가적인 동작에 의해 상부 피복된 제2 도전형의 일함수 설정층(109A)은 제거된다. 도 3b를 참조하면, 제2 도전형 불순물을 갖는 채널(113)이 약 50 nm 미만의 두께를 갖는 반도체 핀(103)의 상부면(103A)과 측벽(103B) 아래에 위치된다.
- [0024] 예를 들면, 제1 도전형이 N형이고 제2 도전형이 P형이면, 도 3a 및 도 3b의 다중-임계 전압 FinFET는 P-도핑된 채널과 N 일함수 설정층을 갖는 PMOSFET를 나타낸다. 제안된 본 발명의 다중-임계 전압 FinFET에서는 도핑 채널과 일함수 설정층이 다른 도전형을 가지는 것에 유의하여야 한다.
- [0025] 일부 실시예에서, 도 2a 및 도 3a에 도시된 금속 게이트(109)는 각각 일함수 설정층(109A, 109A')을 갖는 게이트 스택을 포함한다. 게이트 스택은 다른 도전형을 갖는 일함수 설정층을 포함한다. 일함수 설정층은 n-형 일함수 재료 또는 p-형 일함수 재료를 포함한다. n-형 일함수 재료는 Ti, Ag, Al, TiAlN, TaC, TaCN, TaSiN, Mn, Zr, 다른 적절한 n-형 일함수 재료 또는 이들의 조합을 포함한다. p-형 일함수 재료는 TiN, TaN, Ru, Mo, Al, WN, 다른 적절한 p-형 일함수 재료 또는 이들의 조합을 포함한다. 일함수 값은 일함수 설정층의 재료 조성 과 관련되므로, 각각의 게이트 스택의 일함수 설정층은 각각의 소자 영역에서 원하는 임계 전압( $V_t$ )이 얻어지도록 자체의 일함수 값을 조절하도록 선택된다. 예를 들면, 본 실시예에서, 도 3a의 게이트 스택은 P-FinFET 소자를 위한 기준 임계 전압을 달성하도록 선택된 n-형 일함수 재료를 포함하고, 도 2a의 게이트 스택은 N-FinFET 소자를 위한 기준 임계 전압(SVT)을 달성하도록 선택된 p-형 일함수 재료를 포함한다.
- [0026] 일부 실시예에서, 동일한 기판 상에 P-FinFET 소자와 N-FinFET 소자가 형성된다. 도 2a의 N-FinFET 내의 일함수 설정층(109A)의 일함수는 도 3a의 P-FinFET 내의 일함수 설정층(109A')의 일함수보다 크다. 예를 들면, 일함수 설정층(109A)은 일함수 설정층(109A')보다 5% 큰 일함수를 가진다. 일부 실시예에서, 일함수 설정층(109A)은 P-형 일함수 재료를 포함하고, 일함수 설정층(109A')은 N-형 일함수 재료를 포함한다. 본 발명에서, 일함수 설정층(109A, 109A')의 일함수는 양자 모두 약 3.8eV~약 5.5eV의 범위에 있다.
- [0027] 도 4를 참조하면, 다른 임계 전압을 갖는 일련의 8개 FinFET가 예시된다. 일부 실시예에서, 본 발명의 도 15a~21에 언급되는 바와 같이, 8개 FinFET는 2회의 주입 동작과 2회의 일함수 설정층 성막 동작하에서 형성된다. 예를 들면, FinFET(401)는 임의의 채널 불순물이 없고 N 일함수 설정층(109A')을 갖는 uLVT NFET이다. FinFET(402)는 P-형 불순물 채널 주입물을 가지고 N 일함수 설정층(109A')을 갖는 LVT NFET이다. P-형 불순물 채널 주입물은 B, In, BF<sub>2</sub>와 같은 III족 원소를 적용할 수 있다. FinFET(403)는 N-형 불순물 채널 주입물을 가지고 상부에 배치된 N 일함수 설정층(109A')의 위치에 비해 채널에 가까운 P 일함수 설정층(109A)을 갖는 SVT NFET이다. FinFET(404)는 임의의 채널 불순물이 없고 채널에 가까운 P 일함수 설정층(109A)을 갖는 HVT NFET이다. FinFET(405)는 임의의 채널 불순물이 없고 채널에 가까운 P 일함수 설정층(109A)을 갖는 uLVT PFET이다. FinFET(406)는 N-형 불순물 채널 주입물을 가지고 채널에 가까운 P 일함수 설정층(109A)을 갖는 LVT PFET이다. N-형 불순물 채널 주입물은 P와 As와 같은 V족 원소를 적용할 수 있다. FinFET(407)는 P-형 불순물 채널 주입물을 가지고 N 일함수 설정층(109A')을 갖는 SVT PFET이다. FinFET(408)는 임의의 채널 불순물이 없

고 N 일함수 설정층(109A')을 갖는 HVT PFET이다.

[0028] 도 5를 참조하면, 다중-임계 전압( $V_t$ ) FET 구조체에 있어서 다중 전압 주입을 위한 도전형과 일함수 설정층의 도전형을 나타낸 스프레드 테이블이 예시된다. WF-1은 제1 도전형의 일함수 설정층을 말한다. WF-2는 제2 도전형의 일함수 설정층을 말한다. 본 발명에서, 제1 도전형의 일함수 설정층은 제2 도전형의 일함수 설정층의 경우보다 작은 일함수 값을 가진다. 다시 말해, 제1 도전형의 일함수 설정층은 N-일함수 재료로 구성될 수 있고, 제2 도전형의 일함수 설정층은 P-일함수 재료로 구성될 수 있다. 그러나, 전술한 사항은 본 발명에 한정되지 않으며, WF-1과 WF-2는 WF-1의 일함수 값이 WF-2보다 작은 경우라면 동일한 도전형의 일함수 재료로 구성될 수 있다. 일부 실시예에서, WF-1은 유효 일함수를 발생시키는 재료의 조합으로 지칭될 수 있다. 재료의 조합은 다양한 재료층을 갖는 스택으로서 균일하게 혼합되거나 실현될 수 있다. 동일한 사항이 WF-2에 적용될 수 있다.  $\mu$ LVT와 HVT를 갖는 NMOS와 PMOS의 경우, 채널 주입이 적용되지 않음에 유의하여야 한다. NMOS의 경우, WF-1과 P 채널 주입이 결합되어 LVT를 갖는 소자를 달성한다. WF-2와 N 채널 주입이 결합되어 SVT를 갖는 소자를 달성한다. PMOS의 경우, WF-2와 N 채널 주입이 결합되어 LVT를 갖는 소자를 달성한다. WF-1과 P 채널 주입이 결합되어 SVT를 갖는 소자를 달성한다. WF-1이 N 일함수 재료이고 WF-2가 P 일함수 재료인 경우, LVT를 갖는 NMOS와 SVT를 갖는 NMOS는 혼합된 도전형의 일함수 설정층과 채널 불순물을 가진다. 유사하게, LVT를 갖는 PMOS와 SVT를 갖는 PMOS는 혼합된 도전형의 일함수 설정층과 채널 불순물을 가진다.

[0029] 도 6을 참조하면, 도 6은 게이트-올-어라운드(gate-all-around: GAA) 나노와이어 채널 전계 효과 트랜지스터(NW-FET)이다. NW-FET는 현재의 평면형 상보적 금속산화물 반도체(CMOS) 기술을 넘는 선평 크기를 가능케 할 수 있다. 나노와이어 채널 FET는 통상적인 FET 소자에 비해 우수할 수 있는 정전기력에 기인하여 관심을 받을 수 있다. 나노와이어 채널 FET의 제조는 나노와이어 다발을 생성하고 나노와이어를 원하는 곳에 배치(예, 상향식 접근)하는 것을 포함하거나, 다양한 리소그래픽 패턴화 절차를 포함할 수 있다(예, 하향식 접근). 도 6에 도시된 바와 같이, 나노와이어와 소스/드레인의 개략도가 표현된다. 나노와이어(603)는 소스/드레인 영역을 연결하고 게이트 유전체(609b)와 게이트(609)에 의해 둘러싸인다. CC' 라인을 따른 단면도가 추가로 도 7에 제공된다. 예를 들면, 제1 도전형의 나노와이어(603)의 표면에 근접한 채널은 약 50 nm 미만의 두께를 가진다.

[0030] 도 7에서, 다른 임계 전압을 갖는 일련의 8개 NW-FinFET가 예시된다. 일부 실시예에서, 8개 NW-FinFET는 2회의 주입 동작과 2회의 일함수 설정층 성막 동작하에서 형성된다. 예를 들면, NW-FinFET(701)는 임의의 채널 불순물이 없고 N 일함수 설정층(609A')을 갖는  $\mu$ LVT NFET이다. FinFET(702)는 P-형 불순물 채널 주입물(613')을 가지고 N 일함수 설정층(609A')을 갖는 LVT NFET이다. FinFET(703)는 N-형 불순물 채널 주입물(613)을 가지고 상부에 배치된 N 일함수 설정층(609A')의 위치에 비해 채널에 가까운 P 일함수 설정층(609A)을 갖는 SVT NFET이다. FinFET(704)는 임의의 채널 불순물이 없고 채널에 가까운 P 일함수 설정층(609A)을 갖는 HVT NFET이다. FinFET(705)는 임의의 채널 불순물이 없고 채널에 가까운 P 일함수 설정층(609A)을 갖는  $\mu$ LVT PFET이다. FinFET(706)는 N-형 불순물 채널 주입물(613)을 가지고 채널에 가까운 P 일함수 설정층(609A)을 갖는 LVT PFET이다. FinFET(707)는 P-형 불순물 채널 주입물(613')을 가지고 N 일함수 설정층(609A')을 갖는 SVT PFET이다. FinFET(708)는 임의의 채널 불순물이 없고 N 일함수 설정층(609A')을 갖는 HVT PFET이다.

[0031] FinFET와 NW-FinFET 이외에, 임계 전압을 조절하기 위해 여기에 제시된 구조체에 의해 평면 형상의 CMOS도 구현될 수 있다. NMOS 및 PMOS 소자의 성능을 향상시키기 위한 전통적인 접근법의 효과는 NMOS 및 PMOS 소자에 대해 선택적으로 트랜지스터 채널 재료와 그 각각의 스트레인 수준을 추가적으로 맞춤화하는 것에 의해 향상될 수 있다. 이것은 부분적으로 공핍된 반도체-온-인슐레이터(PDSOI) 소자 또는 완전 공핍된 반도체-온-인슐레이터(FDSOI) 소자와 같은 발전된 트랜지스터 형상의 경우 특히 그러하다. 통상적인 평면형 벌크 CMOS 소자의 대체물로서 완전 공핍된 평면 SOI 소자가 특히 매력적인데, 이는 Si 박막과 2개 게이트에 의한 개선된 게이트 제어가 정전 누설, 단채널 효과 또는 성능 저하의 측면에서 중대한 페널티 없이 소자 크기의 공격적인 축소를 가능케 하기 때문이다. FDSOI 소자는 원하는 임계 전압( $V_t$ )을 얻기 위해 금속성 게이트 전극을 포함한다.

[0032] 도 8을 참조하면, 도 8은 FDSOI 전계 효과 트랜지스터(FDSOI-FET)의 단면도이다. 도 8에 예시된 바와 같이, 기판(801)과 공핍체(803) 사이에 매립된 산화물층(810)이 배치된다. 공핍체(803)의 상부면에 근접하게 제1 도전형의 채널(813)이 제공된다. 제2 도전형의 일함수 설정층(809A)은 게이트 전극(809B) 위에 위치된다. 일부 실시예에서, 제2 도전형의 일함수 설정층(809A) 위에 제1 도전형의 일함수 설정층(809A')이 위치된다. 예를 들면, 제1 도전형의 채널(813)은 약 50 nm 미만의 두께를 가진다.

[0033] 도 9에서, 다른 임계 전압을 갖는 일련의 8개 FDSOI-FinFET가 예시된다. 일부 실시예에서, 8개 FDSOI-FinFET는 2회의 주입 동작과 2회의 일함수 설정층 성막 동작하에서 형성된다. 예를 들면, FDSOI-FinFET(901)는 임의의

채널 불순물이 없고 N 일함수 설정층(809A')을 갖는 uLVT NFET이다. FDSOI-FinFET(902)는 P-형 불순물 채널 주입물(813')을 가지고 N 일함수 설정층(809A')을 갖는 LVT NFET이다. FDSOI-FinFET(903)는 N-형 불순물 채널 주입물(813)을 가지고 상부에 배치된 N 일함수 설정층(809A')의 위치에 비해 채널에 가까운 P 일함수 설정층(809A)을 갖는 SVT NFET이다. FDSOI-FinFET(904)는 임의의 채널 불순물이 없고 채널에 가까운 P 일함수 설정층(809A)을 갖는 HVT NFET이다. FDSOI-FinFET(905)는 임의의 채널 불순물이 없고 채널에 가까운 P 일함수 설정층(809A)을 갖는 uLVT PFET이다. FDSOI-FinFET(906)는 N-형 불순물 채널 주입물(813)을 가지고 채널에 가까운 P 일함수 설정층(809A)을 갖는 LVT PFET이다. FDSOI-FinFET(907)는 P-형 불순물 채널 주입물(813')을 가지고 N 일함수 설정층(809A')을 갖는 SVT PFET이다. FDSOI-FinFET(908)는 임의의 채널 불순물이 없고 N 일함수 설정층(809A')을 갖는 HVT PFET이다.

[0034] 도 9에서, 다양한 영역의 분리를 위해 기판(801) 내에 FDSOI-FET(901)와 FDSOI-FET(902)와 같은 아이솔레이션 특징부(900)가 형성됨에 유의하라. 아이솔레이션 특징부(900)는 다른 FDSOI-FET로부터 FDSOI-FET(901)와 FDSOI-FET(902)를 분리시킨다. 아이솔레이션 특징부(900)는 실리콘의 부분 산화(LOCOS) 및/또는 얇은 트렌치 소자분리(STI)와 같은 분리 기술을 활용하여 다양한 영역을 형성하고 전기적으로 절연시킨다. 아이솔레이션 특징부(900)는 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 다른 적절한 재료 또는 이들의 조합을 포함한다. 아이솔레이션 특징부(900)는 임의의 적절한 공정에 의해 형성된다. 일례로서, STI의 형성은 기판 내에 트렌치를 식각하고(예, 건식 식각 및/또는 습식 식각을 이용하여), 일종 이상의 유전 재료로 트렌치를 충전하는(예, 화학적 기상 증착 공정을 이용하여) 포토리소그래피 공정을 포함한다. 예를 들면, 충전된 트렌치는 실리콘 질화물 또는 실리콘 산화물로 충전된 열산화 라이너 층과 같은 다층 구조체를 가질 수 있다. 다른 예에서, STI 구조체는 패드 산화물을 성장시키고, 저압 화학적 기상 증착(LPCVD) 질화물 층을 형성하고, 포토레지스트와 마스크를 사용하여 STI 개구를 패터닝하고, 기판 내에 트렌치를 식각하고, 트렌치 계면을 개선시키도록 선택적으로 열 산화물 트렌치 라이너를 성장시키고, 산화물로 트렌치를 충전하고, 화학적 기계적 연마(CMP) 처리를 이용하여 식각 제거 및 평탄화를 행하고, 질화물 스트리핑 공정을 이용하여 실리콘 질화물을 제거하는 등의 처리 순서를 이용하여 형성될 수 있다.

[0035] 도 10-14는 FinFET에 수행되는 "게이트-후형성" 동작의 구분 단면도이다. 다른 실시예에서, "게이트-선형성(gate-first)" 동작이 본 발명의 제조 공정에 수행된다. 일부 실시예에서, "게이트-후형성" 동작은 게이트의 형성 후에 수행되어야 하는 고온 처리를 포함하는 후속 공정의 수를 줄여준다.

[0036] 도 10에서, 본 발명의 일부 실시예에 따르면, 반도체 기판(도시 생략) 위에 반도체 핀(1001)이 형성된다. 반도체 핀(1001) 위에는 희생 유전층(1003)이 형성된다. 일부 실시예에서, 희생 유전층(1003)은 선택적인 것이다. 일부 실시예에서, 희생 유전층(1003)은 열 또는 화학적 기상 증착에 의해 형성된 산화물을 포함한다. 일부 실시예에서, 희생 유전층(1003)은 단일 웨이퍼 챔버 장비에서 형성된다. 다른 실시예에서, 희생 유전층(1003)은 배치(batch) 모드를 이용하여 로 내에서 형성된다.

[0037] 도 11에서, 희생 유전층(1003) 위에 더미 게이트(1005)가 형성된다. 일부 실시예에서, 더미 게이트(1005)는 물리적 기상 증착, 화학적 기상 증착(CVD), 또는 다른 적절한 성막 동작에 의해 형성된다. 일부 실시예에서, 더미 게이트(1005)를 형성하기 위해 CVD 동작에 실란(SiH<sub>4</sub>), 디-실란((Si<sub>2</sub>H<sub>6</sub>), 또는 디-클로로실란(SiCl<sub>2</sub>H<sub>4</sub>)이 사용될 수 있다. 더미 게이트(1005)는 약 150Å~약 2500Å의 범위의 두께를 가질 수 있다.

[0038] 도 11 및 도 12를 참조하면, 더미 게이트(1005) 위에 하드 마스크 층(1006)이 패터닝되고, 패터닝이 하부의 더미 게이트(1005)와 선택적인 희생 유전층(1003)으로 전해진다. 일부 실시예에서, 하드 마스크 층(1006)은 실리콘 질화물, 실리콘 산질화물, 실리콘 카바이드 및/또는 다른 적절한 유전 재료를 포함하며, 화학적 기상 증착(CVD) 또는 물리적 기상 증착(PVD 또는 스퍼터링)과 같은 방법을 이용하여 형성될 수 있다. 하드 마스크 층(1006)은 약 100Å~약 400Å의 두께를 가진다. 일부 실시예에서, 포토레지스트 층의 패터닝을 위한 포토리소그래피 공정을 개선하기 위해 하드 마스크 층 위에 반사방지 코팅층(ARC)이 형성된다. 예를 들면, 하드 마스크 층(1006) 위에 패터닝된 포토레지스트 층(도시 생략)이 형성될 수 있다. 하드 마스크 층(1006)의 패터닝은 이후 건식 식각, 습식 식각 또는 이들의 조합에 의해 더미 게이트(1005)로 전달된다.

[0039] 도 13에서, 측벽 스페이서(1010), 질화물 층(1013) 및 층간절연막(ILD)(1009)이 형성된다. ILD(1009)는 일종 이상의 유전 재료 및/또는 하나 이상의 유전층을 포함할 수 있음을 알아야 한다. ILD(1009)에 사용되는 재료는 도 1을 참조로 앞서 논의되었으므로 단순성을 위해 여기에 반복되지 않는다. 일부 실시예에서, ILD(1009)는 더미 게이트(1005)가 도 13에 도시된 바와 같이 노출될 때까지 화학적 기계적 연마(CMP) 공정에 의해 평탄화된다.

[0040] 도 14에서, 게이트 대체 공정이 수행된다. 건식 식각, 습식 식각, 건식 및 습식 식각의 조합 또는 다른 적절한

공정에 의해 더미 게이트(1005)와 희생 유전층(1003)이 제거된다. 일부 실시예에서, 더미 게이트(1005)와 희생 유전층(1003)은 단일 단계 식각 공정 또는 다중 단계 식각 공정으로 제거된다. 예를 들면, 더미 게이트(1005)의 제거에 1차 습식 식각 공정이 이용된다. 1차 습식 식각 공정은 수산화물-함유 용액(예, 수산화 암모늄), 탈염수 및/또는 다른 적절한 식각 용액에 노출시키는 것을 포함할 수 있다. 희생 유전층(1003)의 제거에 2차 습식 식각 공정이 이용된다. 2차 습식 식각 공정은 완충된 HF 용액 E코는 완충된 산화물 식각제(BOE)에 노출시키는 것을 포함한다. 2차 습식 식각 공정은 희생 유전층(1003)을 선택적으로 제거하고 반도체 핀(1001)에서 정지됨으로써 금속 게이트 구조체 내에 트렌치(1006)를 형성할 수 있다. 희생 유전층(1003)과 더미 게이트(1005)의 선택적 제거에 다른 식각 작용제가 사용될 수 있음을 알아야 한다.

[0041] 도 15-21은 본 발명의 일부 실시예에 따른 2개의 주입 동작과 2개의 일함수 설정층 성막 동작에 의해 N-uLVT(151), N-LVT(152), N-SVT(153), N-HVT(154), P-uLVT(155), P-LVT(156), P-SVT(157), P-HVT(158) 트랜지스터를 갖는 다중-임계 전압 FinFET 구조체를 형성하는 것에 대한 구분 단면도를 보여준다. 도 15에서, 도 1의 BB' 라인을 따라 절단된 단면이 보여진다. "게이트-후형성" 동작 방법에서, 도 15는 도 14에 예시된 게이트 대체 동작 후의 구분 단면도를 보여준다. 예를 들면, 도 15에는 다른 임계 전압 하에서 동작되는 총 8개의 FinFET가 예시된다. 반도체 핀(1503)의 바닥은 기판(1501)과 연결되며, 인접한 핀은 반도체 핀(1503)의 하부 사이에 부분적으로 충전된 유전층(1505)에 의해 서로 절연된다.

[0042] 도 16에서, 반도체 핀(1503) 위에 제1 주입 동작을 위한 제1 마스크(1601)가 형성됨으로써 N-SVT(153)(즉, 제1 도전형의 제1 트랜지스터)와 P-LVT(156)(즉, 제2 도전형의 제1 트랜지스터)를 갖는 FinFET만을 노출시킨다. 일부 실시예에서, 2개의 노출된 FinFET는 제1 도전형을 갖는 채널에서 실질적으로 동일한 농도의 도펀트를 가지는데, 이는 실질적으로 동일한 주입량이 적용되기 때문이다. 예를 들면, N 도펀트는 채널에서 약  $1E15\text{cm}^3$ 보다 큰 도펀트 농도를 가진다. 일부 실시예에서, 주입량은 현재의 채널 주입 동작의 경우 약  $1E11\text{cm}^2$ 보다 크다. 도 17에서, 반도체 핀(1503) 위에 제2 주입 동작을 위한 제2 마스크(1602)가 형성됨으로써 N-LVT(152)(즉, 제1 도전형의 제2 트랜지스터)와 P-SVT(157)(즉, 제2 도전형의 제2 트랜지스터)를 갖는 FinFET만을 노출시킨다. 일부 실시예에서, 2개의 노출된 FinFET는 제2 도전형을 갖는 채널에서 실질적으로 동일한 농도의 도펀트를 가지는데, 이는 실질적으로 동일한 주입량이 적용되기 때문이다. 예를 들면, P 도펀트는 채널에서 약  $1E15\text{cm}^3$ 보다 큰 도펀트 농도를 가진다. 일부 실시예에서, 주입량은 현재의 채널 주입 동작의 경우 약  $1E11\text{cm}^2$ 보다 크다. 전술한 채널 주입 동작은 반도체 핀(1503)의 상부면과 측면을 균일하게 도핑하기 위해 경사각을 가지고 수행될 수 있음을 알아야 한다. 일부 실시예에서, 반도체 핀(1503)의 상부면으로부터 반도체 핀(1503)의 약 50 nm 미만의 깊이까지 약  $1E15\text{cm}^3$ 보다 큰 도펀트 농도로 도핑된 채널을 형성하는 것은 100KeV 미만의 도펀트 에너지를 필요로 할 수 있다.

[0043] 도 18에서, 전부 8개의 FinFET 위에 제2 도전형의 일함수 설정층(1801)이 블랭킷 성막된다(blanket deposited). 일함수 설정층(1801)은 제1 도전형[N-SVT(153), P-LVT(156)]과 제2 도전형[N-LVT(152), P-SVT(157)]의 도핑된 채널과 다른 비도핑 채널[N-uLVT(151), N-HVT(154), P-uLVT(155), P-HVT(158), 즉 제1 도전형의 제3 및 제4 트랜지스터, 제2 도전형의 제3 및 제4 트랜지스터]를 커버한다. 도 19에서, N-uLVT(151), N-LVT(152), P-SVT(157), P-HVT(158)[즉, 제1 도전형의 제2 및 제3 트랜지스터, 제2 도전형의 제2 및 제3 트랜지스터]로부터 일함수 설정층(1801)이 제거된다. 도 20에서, 전부 8개의 FinFET 위에 제1 도전형의 일함수 설정층(1802)이 블랭킷 성막됨으로써, FinFET 중 일부[N-SVT(153), N-HVT(154), P-uLVT(155), P-LVT(156)]는 2개 층의 일함수 설정층(1801, 1802)을 포함한다. 일부 실시예에서, 추가적인 식각 동작(도시 생략)에 의해 FinFET 중 일부[예, N-SVT(153), N-HVT(154), P-uLVT(155), P-LVT(156)]로부터 나중에 성막된 일함수 설정층(1802)이 제거될 수 있다. 예를 들면, 각각의 일함수 설정층(1801, 1802)은 최종적인 임계 전압에 영향을 미치는 다양한 설계 인자에 따라 약 0.1 nm~약 50 nm의 두께를 가질 수 있다. 도 21에서, 제1 도전형의 제1~제4 트랜지스터와 제2 도전형의 제1~제4 트랜지스터를 포함하는 전부 8개의 FinFET 위에 충전 금속(2101)이 형성된다.

[0044] 게이트 스택은, 일함수 설정층(1801, 1802)과 충전 금속 이외에, 계면층 게이트 유전층, 고-k 유전층, 캐핑층, 부착층, 장벽층, 전착층, 다른 적절한 층, 및/또는 이들의 조합과 같은 다른 재료층을 포함할 수 있다. 게이트 스택의 일함수 설정층과 다른 재료층은 성막, 포토리소그래피 패터닝 및 식각 공정에 의해 형성된다. 성막 공정은 화학적 기상 증착(CVD), 물리적 기상 증착(PVD), 원자층 증착(ALD), 고밀도 플라즈마 CVD(HDPCVD), 유기 금속 CVD(MOCVD), 원격 플라즈마 CVD(RPCVD), 플라즈마 증착 CVD(PECVD), 도금, 다른 적절한 방법 및/또는 이들의 조합을 포함한다. 포토리소그래피 패터닝 공정은 포토레지스트 코팅(예, 스핀-온 코팅), 소프트 베이킹,

마스크 정렬, 노광, 사후-노광 베이킹, 포토레지스트 현상, 세척, 건조(예, 하드 베이킹), 다른 적절한 공정 및/또는 이들의 조합을 포함한다. 대안적으로, 무-마스크 포토리소그래피, 전자빔 기록 또는 이온 빔 기록과 같은 다른 적절한 방법에 의해 포토리소그래피 노광 공정이 실시되거나 대체된다. 식각 공정은 건식 식각, 습식 식각 및/또는 다른 식각 방법을 포함한다.

[0045] 집적 회로 소자는 당업계에 공지된 다양한 특징부를 형성하기 위해 추가적인 CMOS 또는 MOS 기술 처리를 받을 수 있다. 예를 들면, 실리사이드 영역과 같은 하나 이상의 접촉부(도시 생략)도 형성될 수 있다. 접촉부는 소스와 드레인에 결합될 수 있다. 접촉부는 니켈 실리사이드(NiSi), 니켈-백금 실리사이드(NiPtSi), 니켈-백금-게르마늄 실리사이드(NiPtGeSi), 니켈-게르마늄 실리사이드(NiGeSi), 이터븀 실리사이드(YbSi), 백금 실리사이드(PtSi), 이리듐 실리사이드(IrSi), 에르븀 실리사이드(ErSi), 코발트 실리사이드(CoSi), 다른 적절한 전도성 재료 및/또는 이들의 조합과 같은 실리사이드 재료를 포함한다. 예로서, 접촉부는 살리사이드(salicide)(자체 정렬된 실리사이드) 공정에 의해 형성된다.

[0046] 후속 처리로는 기판 상에 집적 회로 소자(200)의 다양한 특징부 또는 구조체를 연결하도록 구성된 다양한 접촉 비아/라인 및 다층 배선부(예, 금속층과 층간 절연막)를 형성하는 것을 포함한다. 추가적인 특징부는 형성된 금속 게이트를 포함하는 소자에 전기적인 상호 연결을 제공할 수 있다. 예를 들면, 다층 배선은 통상적인 비아 또는 접촉부와 같은 수직 배선과 금속 라인과 같은 수평 배선을 포함한다. 다양한 배선부는 구리, 텅스텐, 및/또는 실리사이드를 포함하는 다양한 전도성 재료를 사용할 수 있다. 일례로, 다마신 및/또는 듀얼 다마신 공정을 이용하여 구리-관련 다층 배선 구조체를 형성한다.

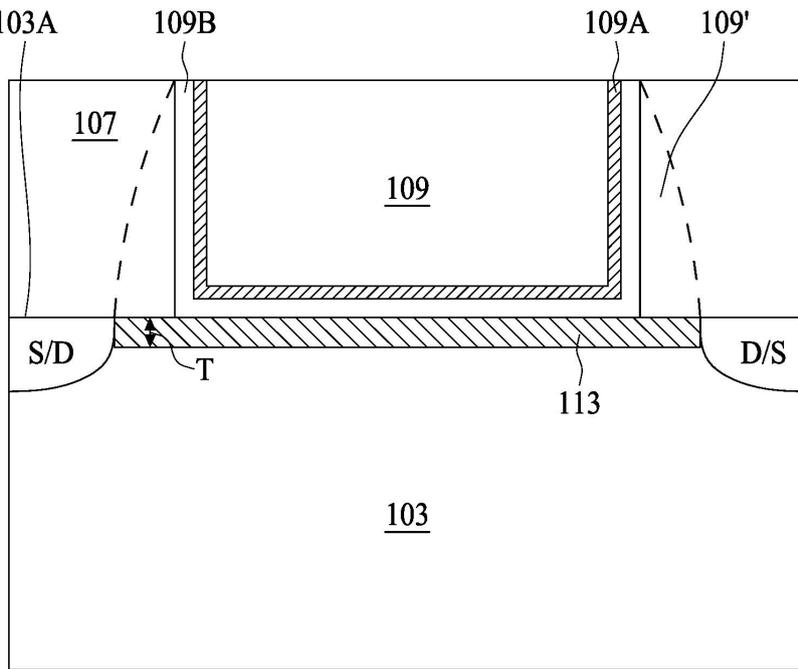
[0047] 본 개시 내용에 제공된 다중-임계 전압 FET 구조체는 미디어, 환경 모니터링, 인프라 관리, 에너지 관리, 의료 및 건강 관리 시스템, 건축, 산업 및 가정용 모니터링 및 자동화, 운송, 대규모 배치 등과 같은 다양한 용례에서 임의의 휴대용 IoT 소자로 구현될 수 있다.

[0048] 본 발명과 그 장점을 상세히 설명하였지만, 첨부된 청구범위에 의해 한정되는 본 발명의 취지 및 범위를 벗어나지 않고 여기에 다양한 변화, 대체 및 변경이 가능함을 알아야 한다. 예를 들면, 상기 논의된 공정 중 다수는 다른 방법으로 실행될 수 있고 다른 공정 또는 이들의 조합에 의해 대체될 수 있다.

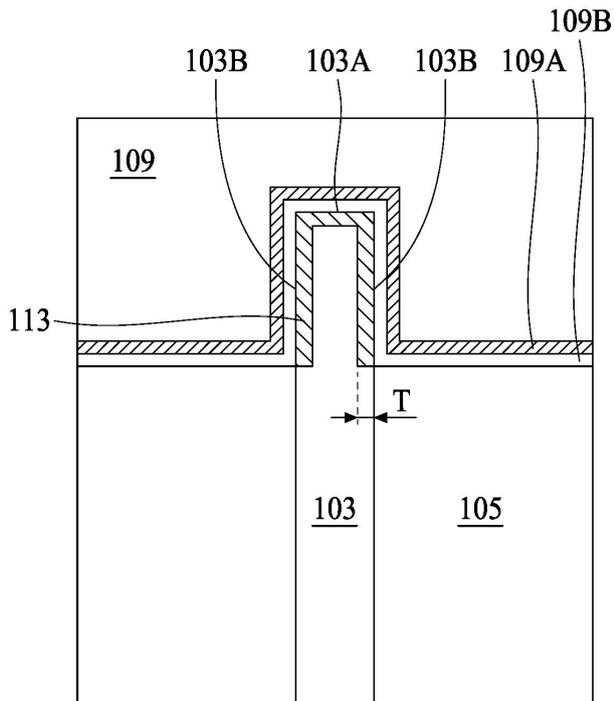
[0049] 더욱이, 본 출원의 범위는 명세서에 기술된 특정 실시예의 공정, 장치, 제조, 물질의 조성, 수단, 방법 및 단계에 한정되는 것으로 의도된 것이 아니다. 당업자 중 어느 한 사람이라도 본 발명의 개시 내용으로부터 쉽게 알 수 있는 바와 같이, 현재 존재하거나 나중에 개발되는 것으로서, 여기에 설명된 대응하는 실시예와 실질적으로 동일한 기능을 수행하거나 실질적으로 동일한 결과를 달성하는 공정, 장치, 제조, 물질의 조성, 수단, 방법 또는 단계는 본 발명에 따라 활용될 수 있다. 따라서, 첨부된 청구범위는 그 범위 내에 이러한 공정, 장치, 제조, 물질의 조성, 수단, 방법 또는 단계를 포함하는 것으로 의도된 것이다.



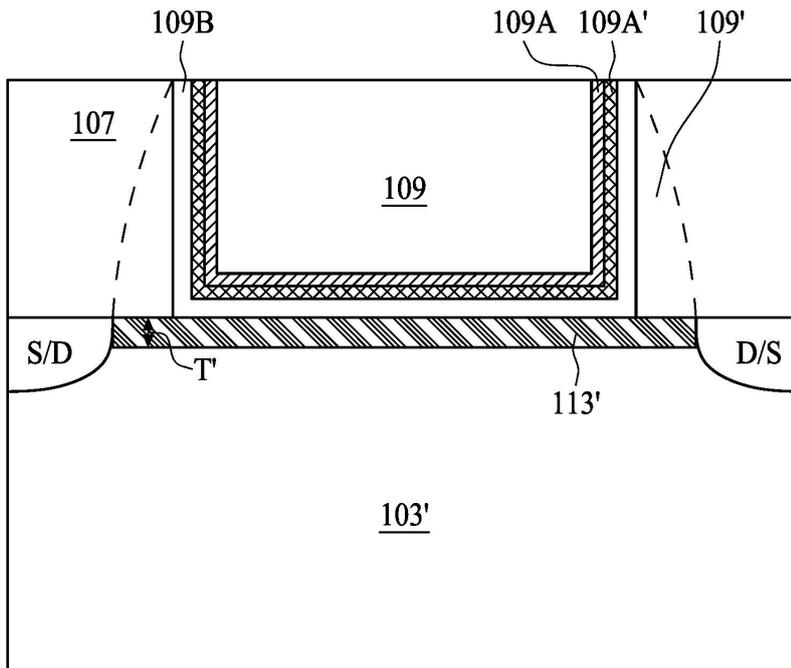
도면2a



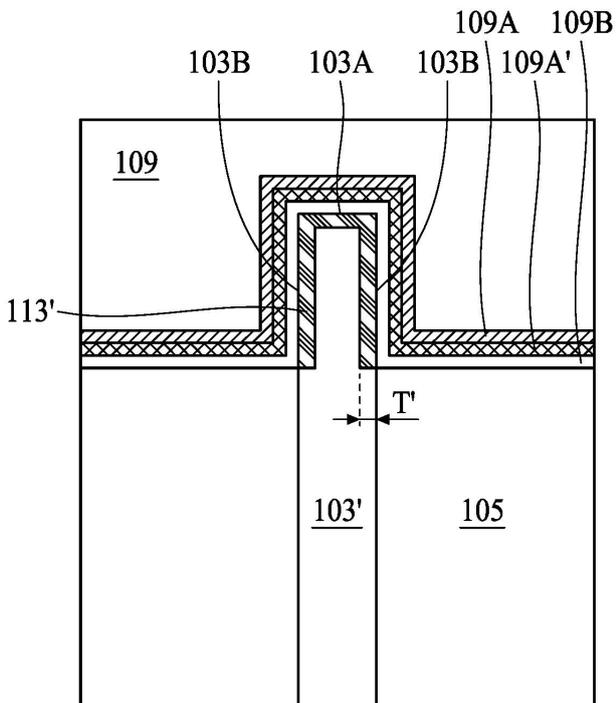
도면2b



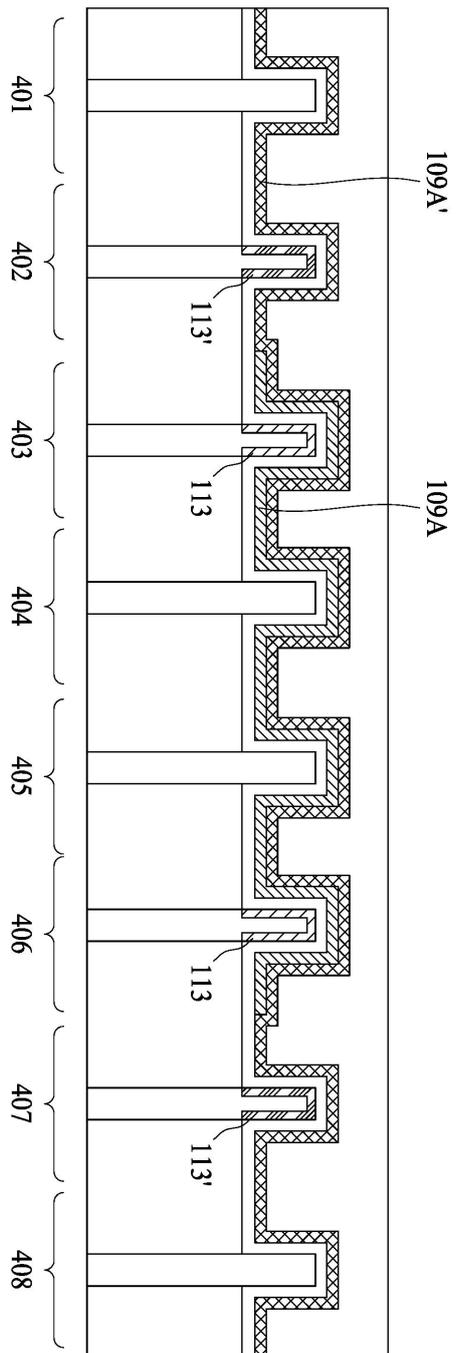
도면3a



도면3b



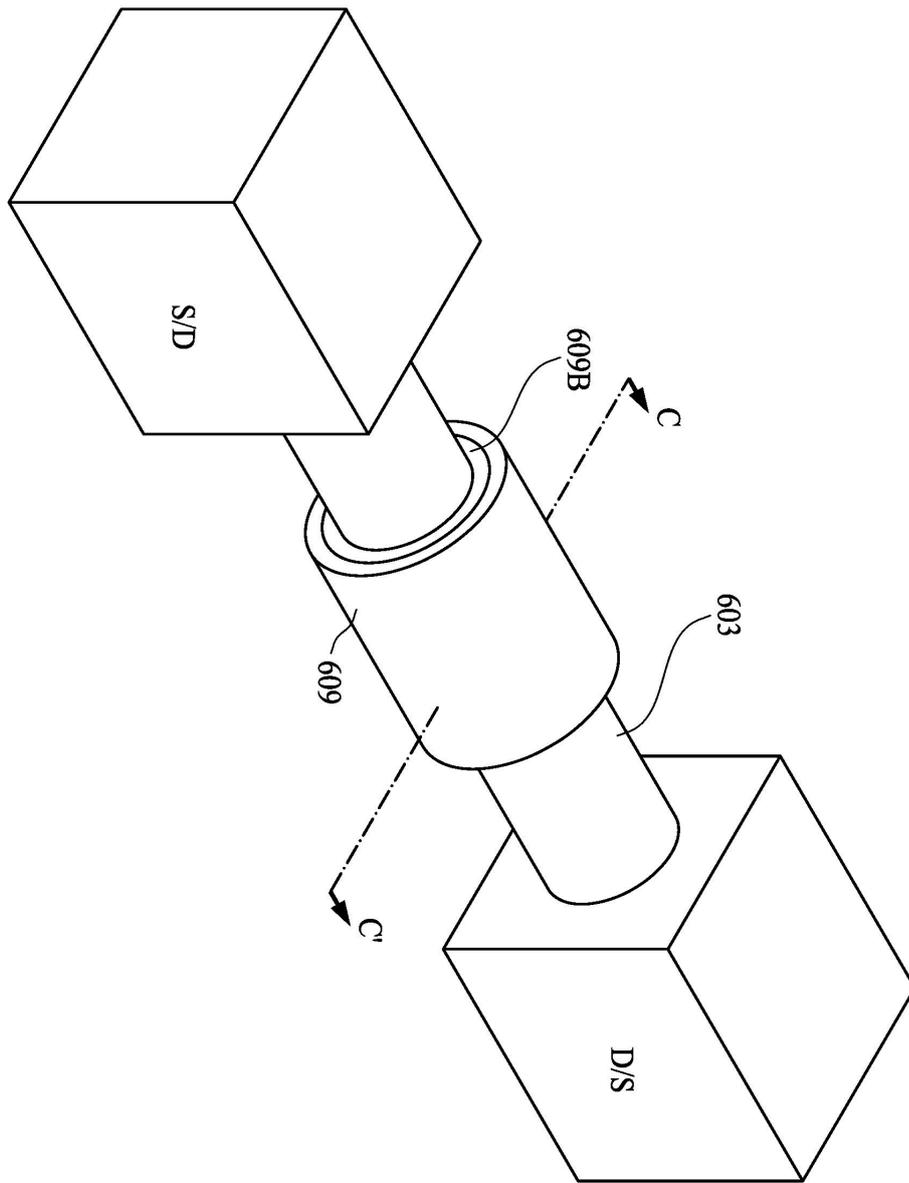
도면4



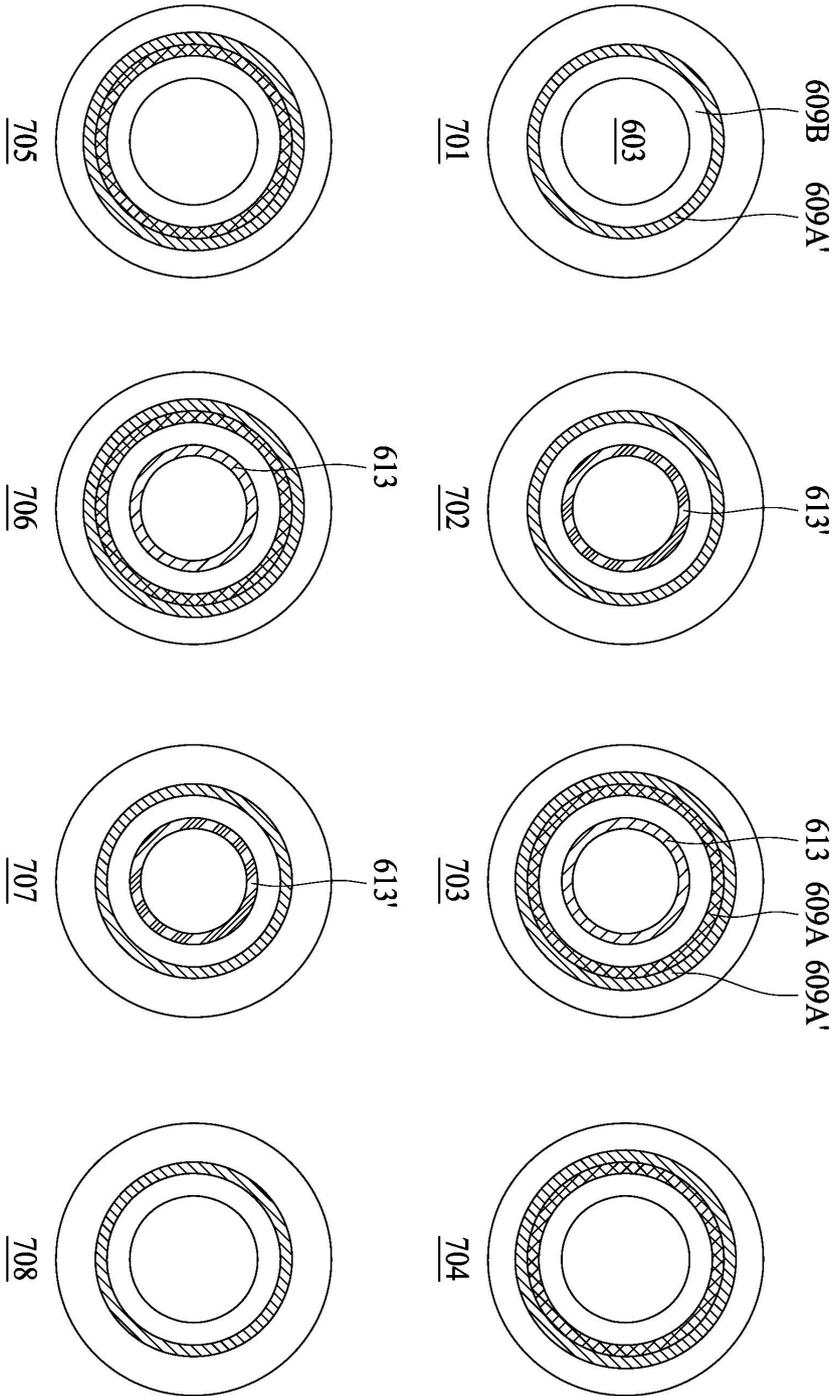
도면5

VT Scheme	NMOS				PMOS			
	uLVT	LVT	SVT	HVT	uLVT	LVT	SVT	HVT
WF-1	V	V					V	
WF-2			V	V	V	V		V
N-IMP			V			V		
P-IMP		V					V	

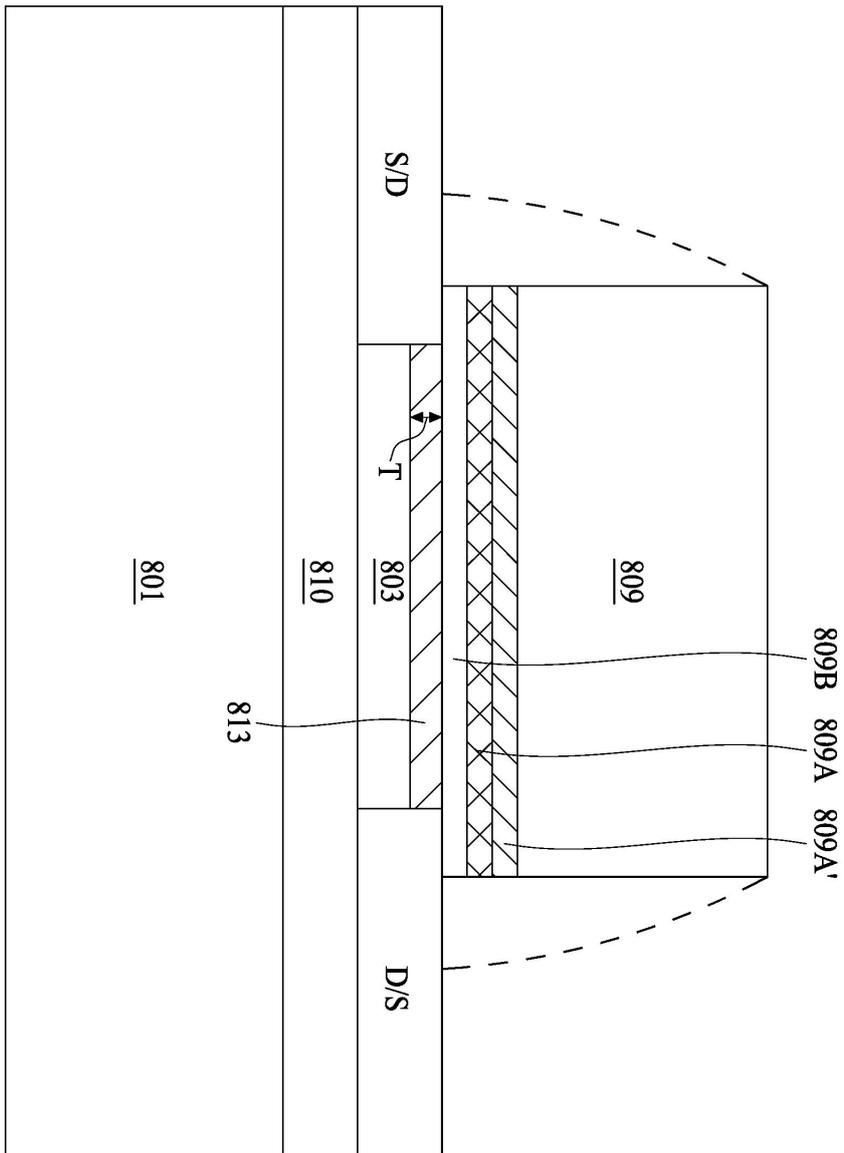
도면6



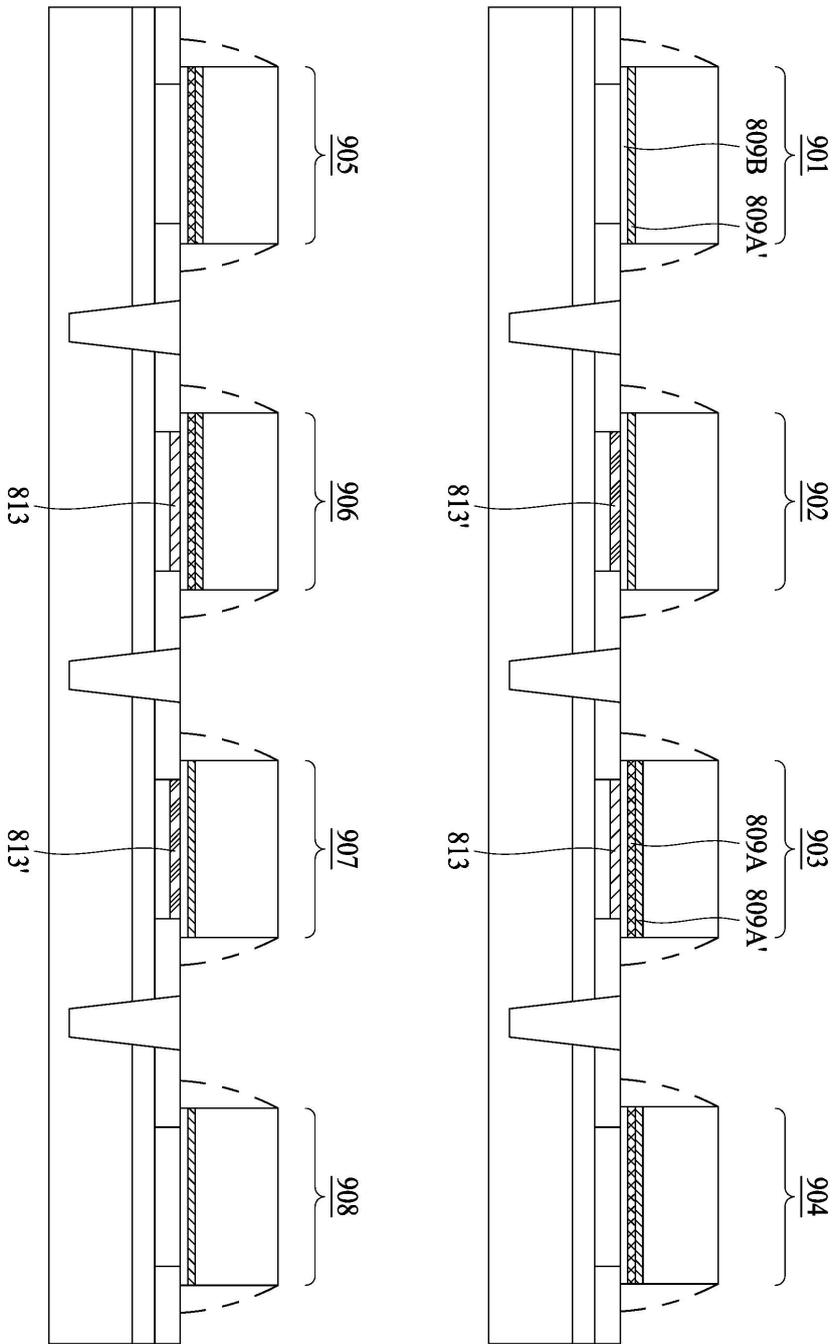
도면7



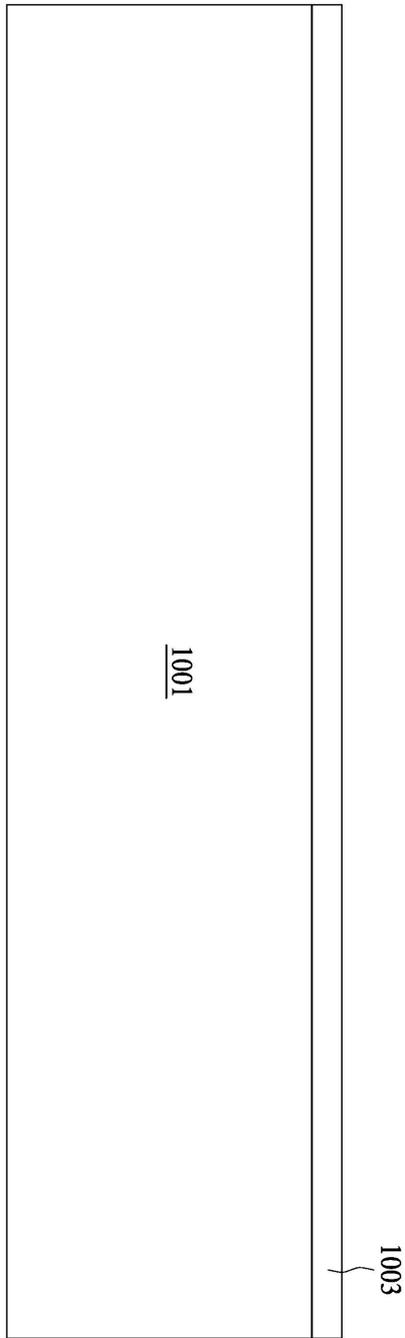
도면8



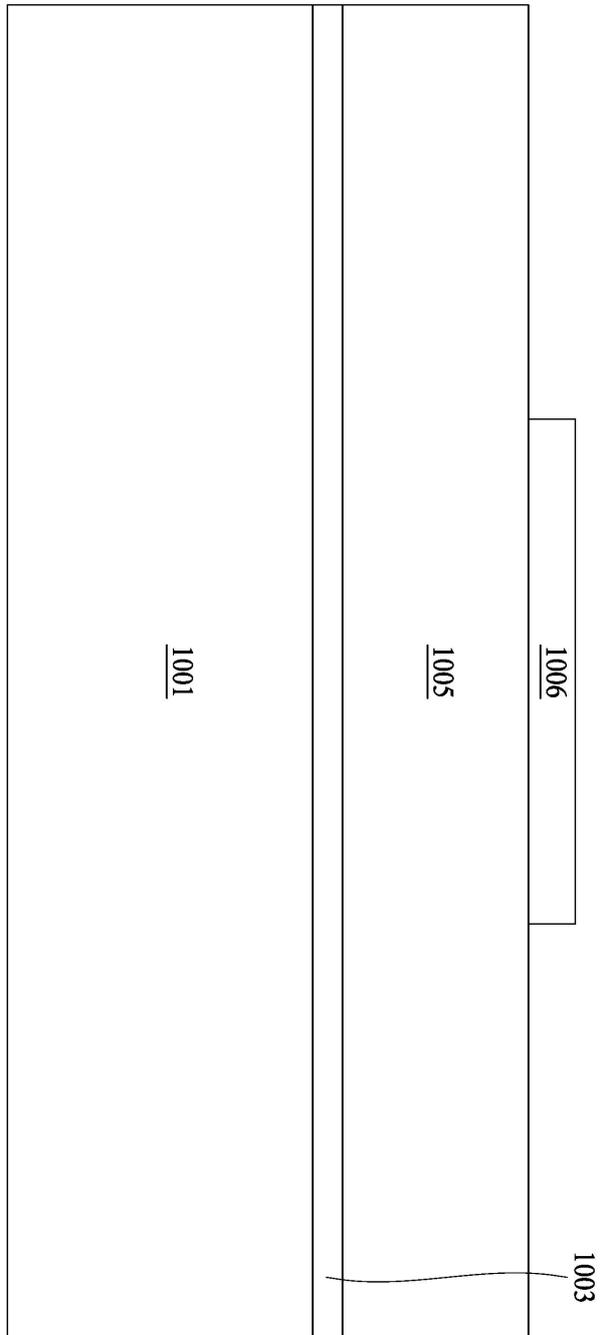
도면9



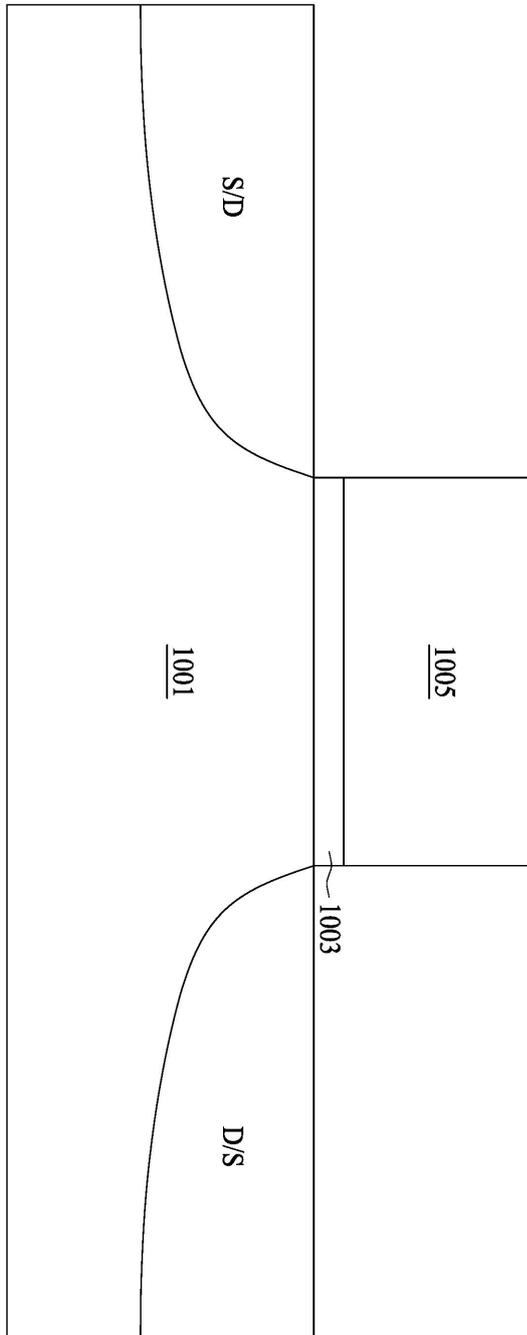
도면10



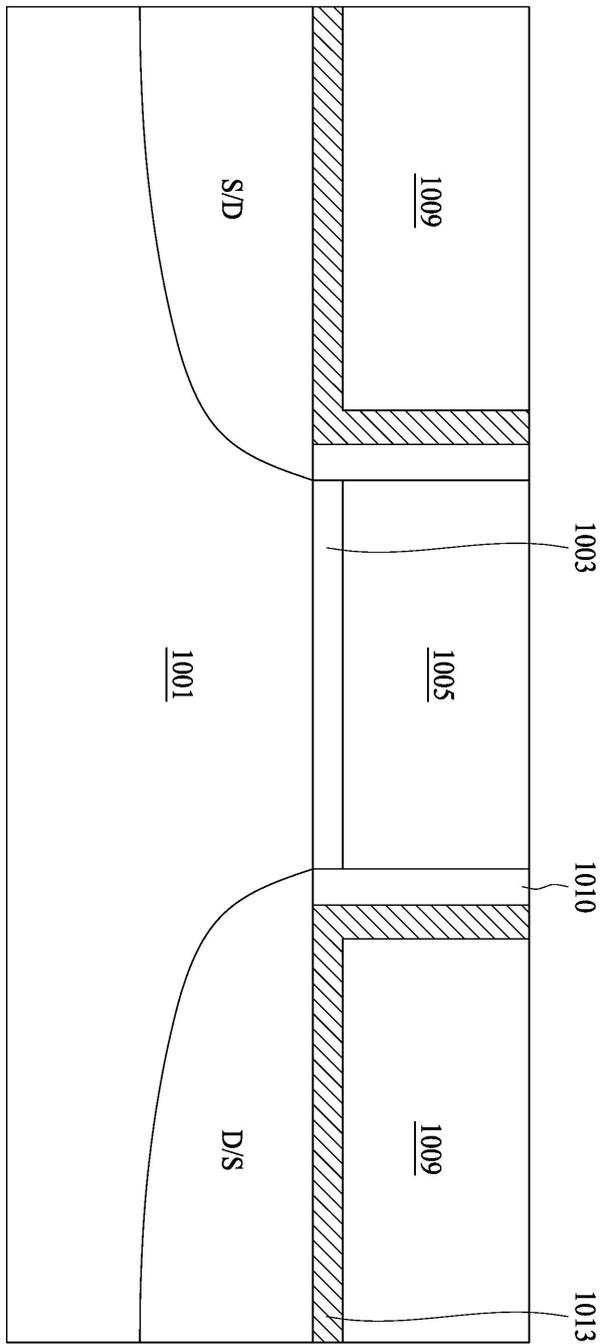
도면11



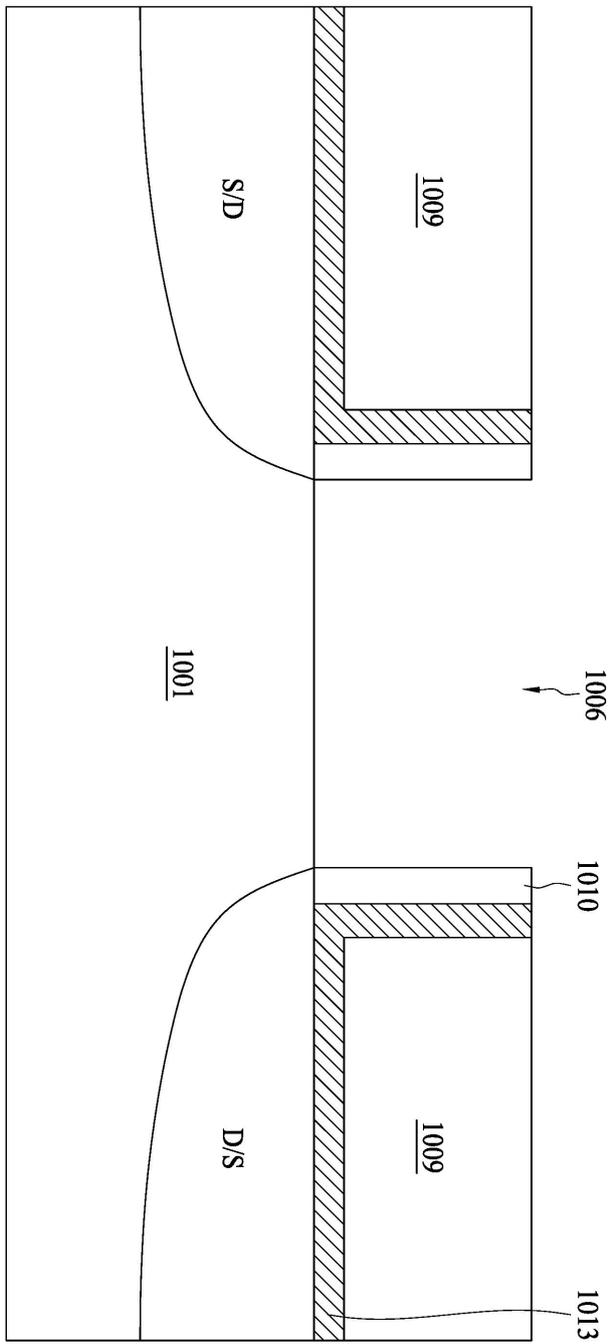
도면12



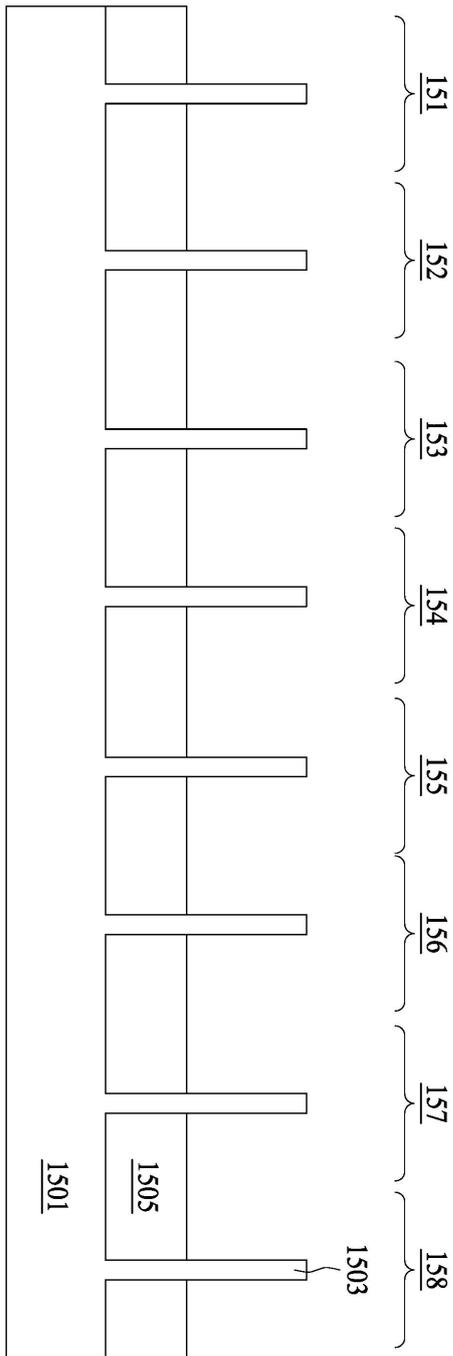
도면13



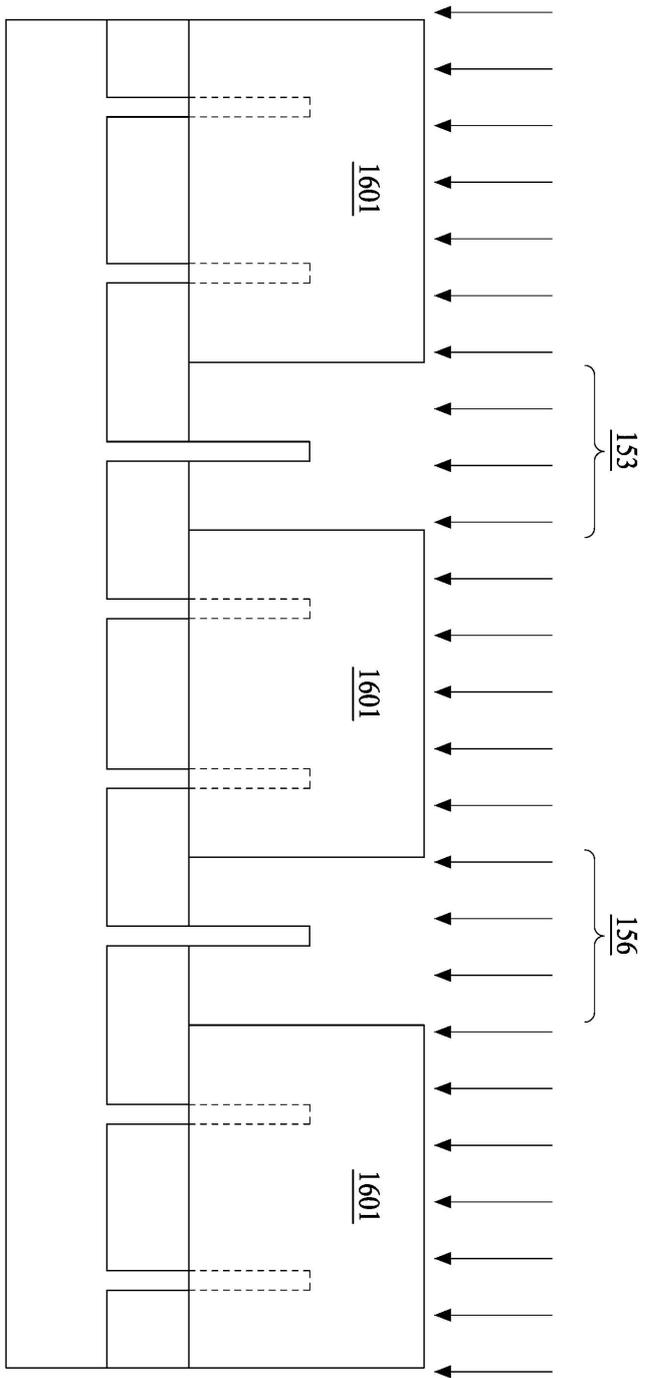
도면14



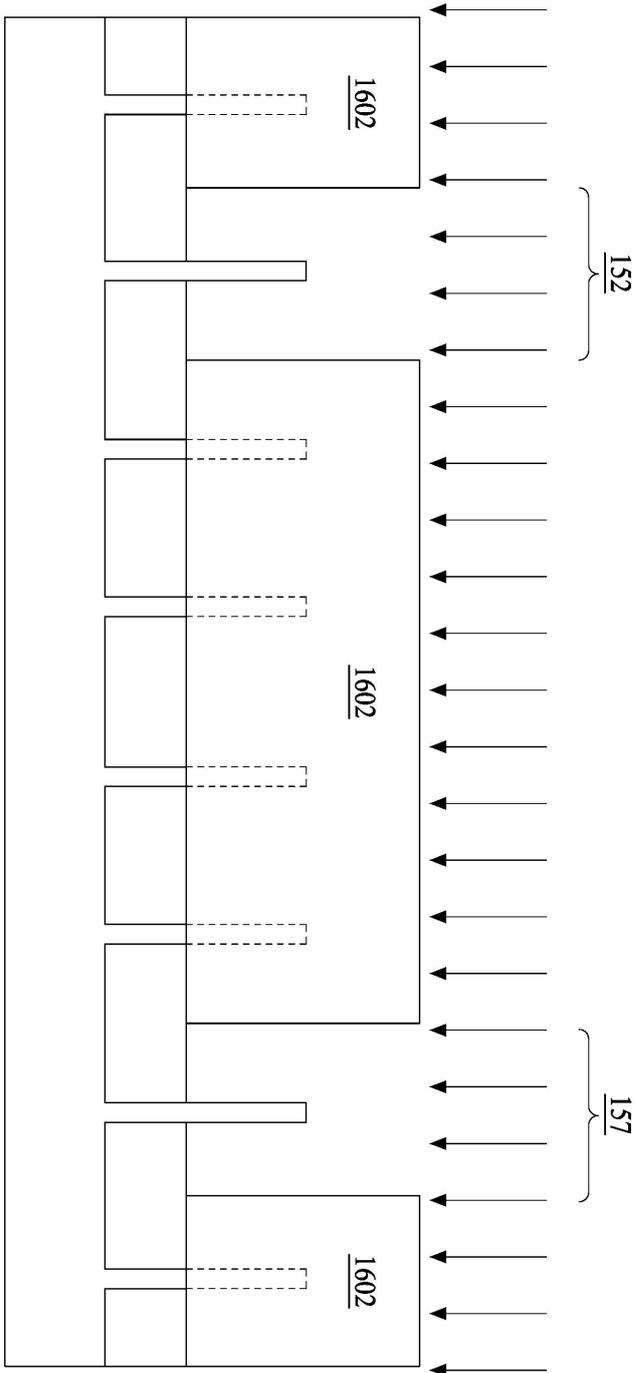
도면15



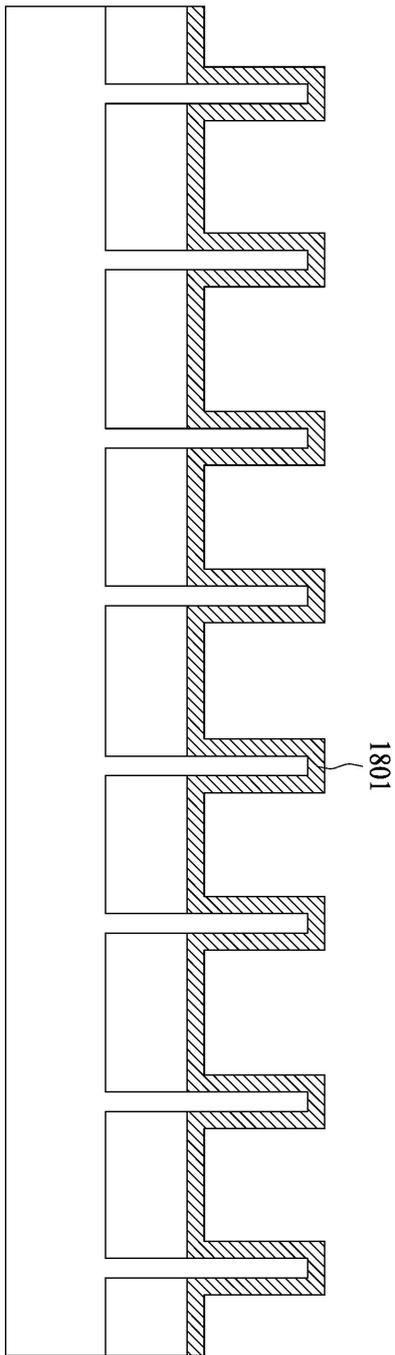
도면16



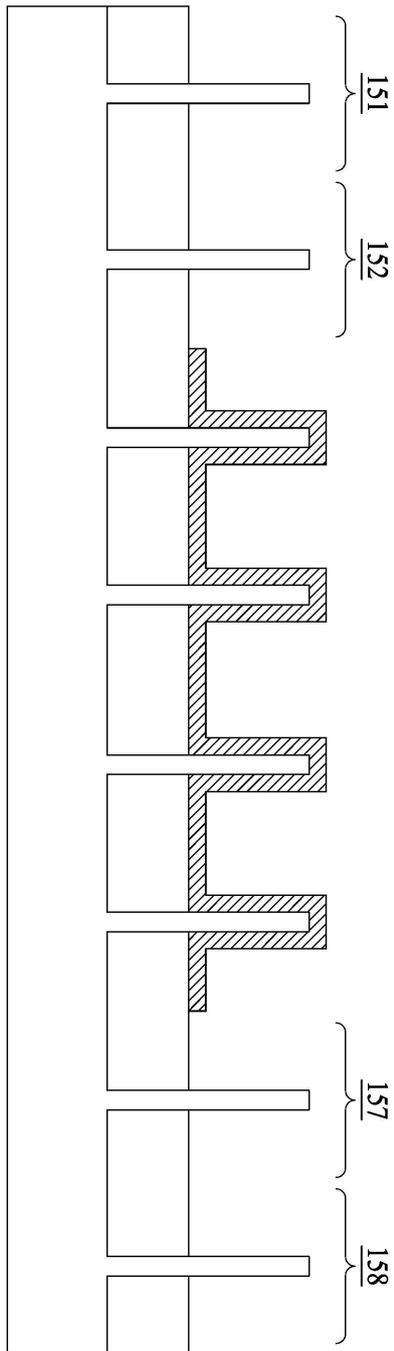
도면17



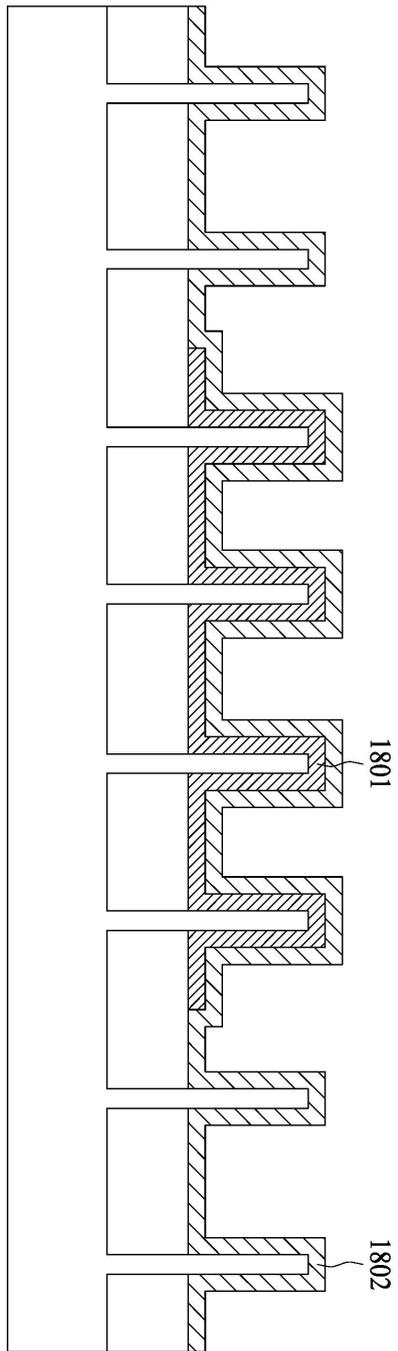
도면18



도면19



도면20



도면21

