



(12) 发明专利申请

(10) 申请公布号 CN 105612471 A

(43) 申请公布日 2016. 05. 25

(21) 申请号 201480048519. 5

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

(22) 申请日 2014. 08. 27

代理人 吕俊刚

(30) 优先权数据

61/873, 643 2013. 09. 04 US

(51) Int. Cl.

G06F 1/32(2006. 01)

(85) PCT国际申请进入国家阶段日

2016. 03. 02

(86) PCT国际申请的申请数据

PCT/EP2014/068147 2014. 08. 27

(87) PCT国际申请的公布数据

W02015/032666 EN 2015. 03. 12

(71) 申请人 微电子中心德累斯顿有限公司

地址 德国德累斯顿

(72) 发明人 A·凯利 T·拉布

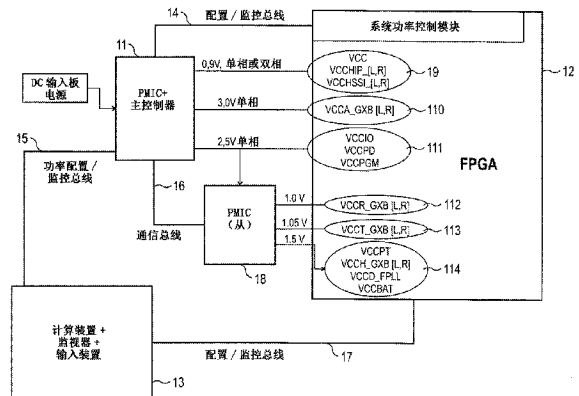
权利要求书2页 说明书4页 附图2页

(54) 发明名称

FPGA 功率管理系统

(57) 摘要

本发明涉及一种 FPGA 功率管理系统, 其包括主功率管理集成电路 (11), 其经由 FPGA 配置 / 监测总线 (14) 连接至 FPGA 系统功率控制模块 (12), 并且经由功率配置 / 监测总线 (15) 连接至计算装置 (13)。主功率管理集成电路包括配置与监测模块 (图 2 :22), 其被配置为与 FPGA 系统控制模块及计算装置 (13) 进行配置 / 监测信号的往返通信。主功率管理集成电路还包括至少一个稳压器 (图 2 :23-25), 用于根据通过配置与监测模块 (图 2 :22) 通信的功率配置信号向 FPGA 电源轨 (119、110、111) 提供输出电压。主功率管理集成电路还包括功率分析器 (图 2 :27), 其被配置为测量 FPGA 电源轨上的输出电流并将其提供至配置与监测模块。FPGA 系统控制模块被配置为协调和执行 FPGA (12) 与主功率管理集成电路 (11) 之间所需通信的传输 (14)。



1. 一种FPGA功率管理系统,该FPGA功率管理系统包括:

主功率管理集成电路,该主功率管理集成电路经由FPGA配置/监测总线连接至FPGA系统功率控制模块,并且经由功率配置/监测总线连接至计算装置,所述主功率管理集成电路包括:配置与监测模块,该配置与监测模块被配置为与所述FPGA系统控制模块及所述计算装置进行配置/监测信号的往返通信;至少一个稳压器,该至少一个稳压器用于根据通过所述配置与监测模块通信的功率配置信号向FPGA电源轨提供输出电压;功率分析器,该功率分析器被配置为测量所述FPGA电源轨上的输出电流并将该输出电流提供至所述配置与监测模块;

所述FPGA系统功率控制模块,所述FPGA系统功率控制模块被配置为协调和执行所述FPGA与所述主功率管理集成电路之间所需通信的传输;以及

计算装置,该计算装置包括用于FPGA操作的监测和控制方面的显示器和输入装置。

2. 根据权利要求1所述的FPGA功率管理系统,其中,所述FPGA操作的监测方面包括所述FPGA电源轨上的动态及平均电流消耗。

3. 根据权利要求1或2所述的FPGA功率管理系统,其中,所述功率分析器被进一步配置为向所述配置与监测模块逐周期地提供动态电流测量值和平均电流。

4. 根据权利要求1至3中任一项所述的FPGA功率管理系统,其中,出于监测和协同设计的目的,所述功率配置/监测总线被配置为通信相关数据。

5. 根据权利要求4所述的FPGA功率管理系统,其中,所述相关数据包括电流测量值。

6. 根据权利要求1至5中任一项所述的FPGA功率管理系统,其中,所述主功率管理集成电路还包括连接至所述功率配置/监测总线的主控制器,并且该主控制器被配置为经由从通信总线控制从功率管理集成电路。

7. 根据权利要求6所述的FPGA功率管理系统,其中,所述从功率管理集成电路包括:

从配置与监测模块;

至少一个稳压器,该至少一个稳压器用于根据由所述配置与监测模块通信的功率配置信号向另一FPGA电源轨提供输出电压;以及

从功率分析器,该从功率分析器被配置为测量所述另一FPGA电源轨上的输出电流并将该输出电流提供至所述配置与监测模块。

8. 根据权利要求7所述的FPGA功率管理系统,其中,基于混合信号工艺设计所述主功率管理集成电路,并且基于模拟工艺设计所述从功率管理集成电路。

9. 根据权利要求8所述的FPGA功率管理系统,其中,所述模拟工艺是双极工艺。

10. 根据权利要求1至9中任一项所述的FPGA功率管理系统,其中,所述FPGA的所述系统功率控制模块是软模块或硬模块。

11. 根据权利要求1至10中任一项所述的FPGA功率管理系统,所述FPGA功率管理系统对于固件升级是能调整的。

12. 根据权利要求1至11中任一项所述的FPGA功率管理系统,其中,所述FPGA系统功率控制模块被配置为向所述主功率管理集成电路提供功率需求预测,并且其中所述主功率管理集成电路被配置为提前将功率级调整至实际需求。

13. 根据权利要求1至12中任一项所述的FPGA功率管理系统,其中,所述计算装置被配置为执行代码,该代码能够通过显示用于所述FPGA与稳压器的配置的提示及建议值来引导

使用者,以便优化诸如功率损失或热耗散的系统参数。

14.根据权利要求1至13中任一项所述的FPGA功率管理系统,其中,所述计算装置被配置为执行代码,该代码自动调整所述FPGA和功率控制器的配置。

15.根据权利要求1至14中任一项所述的FPGA功率管理系统,该FPGA功率管理系统被集成在包括FPGA设计工具和功率设计工具的协同设计环境中。

FPGA功率管理系统

技术领域

[0001] 本发明涉及一种FPGA(现场可编程门阵列)功率管理系统。本发明具体涉及一种适于协同设计的FPGA和FPGA的功率管理的FPGA功率系统管理。

背景技术

[0002] 在许多电子装置中,FPGA利用诸如其在设计工艺中的处理功率、可再配置性以及灵活性等方面被广泛使用于各种任务。此外,在FPGA电路配置中的设计取舍影响功耗、数据吞吐量以及处理速度。虽然门的数量与特征操作持续增加,但是FPGA消耗显著且渐增的电量。因此,当使用FPGA设计电路时,适当设计系统来提供足够的功率及冷却以确保正确操作是重要的。然而,现今的超大功率及冷却导致功率损失增加和整体系统的性能降低。

[0003] 现有技术系统已经通过辨别相较于基准时钟的空闲时间解决了自动调整信号处理电路的Vdd的问题(例如US7117378,Adaptive voltage scaling digital processing component and method of operating the same)。然而,FPGA系统设计者无法将此应用于理解如何针对功耗或性能来优化系统。例如,这种方法将针对目标时钟频率来优化Vdd,但是FPGA系统设计者将得益于知晓随时间推移的功耗分布,并且可以使用该信息来告知包含FPGA的系统的设计工艺。上述的现有技术并未解决此重要问题。

[0004] 确定用于告知包含FPGA的系统的设计工艺的功耗信息的现有技术方法是使用基于软件的设计估算算法来估计功耗,其准确性受限。

[0005] 现有技术的分析器(profiler)受限于,在基于FPGA的软件处理器上分析用于执行代码段的循环计数。典型的示例公开于:2011年9月由M.Aldham、J.H.Anderson、S.Brown以及A.Canis在加州圣塔莫尼卡的关于特定应用的系统、体系结构和处理器(ASAP)的IEEE国际会议中发表的“Low-Cost Hardware Profiling of Run-Time and Energy in FPGA Embedded Processors”。使用这种技术无法得到对应于各个代码段的准确功率分布。功率测量电路的添加可能增加不想要的功率损失。

[0006] 管理使用FPGA的系统中的功率涉及对各种负载点(POL)稳压器和低压差(LDO)稳压器的有限的、集中的功率管理,这些功率管理在系统的功率管理方面少量或没有交互、通信或处理,例如:2008年11月,Altera提出的Voltage Regulator Selection for FPGAs(用于FPGA的稳压器选择),白皮书,1.0版。因此,使用协同设计方法优化这种系统的能力被限制。

发明内容

[0007] 因此,需要的是一种解决方案,由此在其电路和系统中应用FPGA的设计者可以实时准确获取FPGA功耗,并且被提供有采用通过硬件-固件-功率协同设计的方法来优化系统的功耗的步骤所需的信息与数据。

[0008] 该解决方案利用根据独立系统权利要求的FPGA功率管理系统来实现。从属权利要求涉及本发明的其它方面。

[0009] 本发明涉及一种FPGA功率管理系统,其包括主功率管理集成电路,其经由FPGA配置/监测总线连接至FPGA的系统功率控制模块,并且经由功率配置/监测总线连接至计算装置。

[0010] 主功率管理集成电路包括配置与监测模块,其被配置为与FPGA系统控制模块及计算装置进行配置/监测信号的往返通信。主功率管理集成电路还包括至少一个稳压器,其用于根据通过配置与监测模块通信的功率配置信号向FPGA电源轨提供输出电压。主功率管理集成电路还包括功率分析器,其被配置为测量FPGA电源轨上的输出电流,并将该输出电流提供至配置与监测模块。

[0011] FPGA系统控制模块被配置为协调和执行FPGA与主功率管理集成电路之间所需通信的传输。

[0012] 计算装置包括用于FPGA操作的监测和控制方面的显示器和输入装置。

[0013] 监测方面可以包括FPGA电源轨上的动态及平均电流消耗。

[0014] 出于该目的,功率分析器可以被配置为向配置与监测模块逐周期地提供动态电流测量值和平均电流。

[0015] 因此,FPGA系统设计者可以在FPGA配置/监测总线以及功率配置监测总线上配置FPGA电路及电源,并且通过使用连接有监视器和输入装置的计算装置来监测系统操作。

[0016] 作为协同设计的方法,FPGA系统设计者因而能够监测诸如电源轨的动态及平均电流消耗的FPGA操作的多方面。

[0017] 协同设计方面涉及为了改变FPGA配置或功率而作用于所接收到的信息的FPGA系统设计者。例如,FPGA系统设计者可以比较FPGA中的功能的两个实施方式的功率分布;一个实施方式在FPGA上的软件处理核上的固件中实现;另一个实施方式被实现为FPGA上的时钟寄存器和逻辑,并且可基于优选的功耗或功率分布选择一个或另一个实施方式作为最终实现方式。用这种方法,可以优化FPGA的热和功率需求。

[0018] 此外,FPGA系统设计者可以使用该信息从不同的时钟频率决定FPGA电路的时钟部分,以优化功率和执行速度。此外,FPGA系统设计者可以针对较低或较高的电压电平来配置电源,以便优化功率和执行速度。用这种方法,协同设计方法使FPGA系统设计者能够基于提供给FPGA系统设计者的反馈来优化FPGA设计的功率和配置,以符合设计目标。

[0019] FPGA功率管理系统可以被集成在包括FPGA设计工具和功率设计工具的协同设计环境中。该FPGA设计工具和功率设计工具可以同时运行或在相同的环境中运行或在连接有监视器和输入装置的计算装置上的应用程序中运行。

[0020] FPGA功率管理系统可以在对例如可以在终端产品的使用期限内动态实现的固件升级的限制内自动调整。

[0021] 本发明的一个方面涉及优化的发电。FPGA的系统功率控制模块可以通过向主功率管理集成电路提供功率需求信息进一步优化能量效率,其可以将功率级调整至实际需求。当预先知道实际功率需求时,主功率管理集成电路可以提前准备功率需求。这可以导致额外的节能。反之亦然,FPGA装置可以执行系统功率管理和系统功率优化。FPGA的系统功率控制模块可以是软模块或硬模块。

[0022] 本发明的一个方面涉及计算装置。在连接有监视器和输入装置的计算装置上执行的代码可以通过显示用于FPGA和功率控制器的配置的提醒及建议值来引导FPGA系统设计

者,以便优化系统参数,诸如功率损失或热耗散。

[0023] 在另一实施方式中,所述代码可以自动调整FPGA和功率控制器的配置。

附图说明

[0024] 通过示例性实施方式并参照附图,在下文中更详细地描述根据本发明的FPGA功率管理系统,其中:

[0025] 图1示出了FPGA功率管理系统的框图;

[0026] 图2示出了主功率管理集成电路的框图;以及

[0027] 图3示出了从功率管理集成电路的框图。

具体实施方式

[0028] 图3示出了根据本发明的多方面的FPGA功率管理系统的实施方式。在优选实施方式中,FPGA系统设计者在各个总线14、15、16、17上配置FPGA电路12以及电源19、110、111、112、113、114,并且通过使用连接有监测器和输入装置的计算装置13来监测系统操作。

[0029] FPGA功率管理系统包括主功率管理集成电路(HPMIC)11,其经由FPGA配置/监测总线14连接至FPGA的系统功率控制模块12,并且经由功率配置/监测总线15连接至计算装置。该计算装置经由另一配置/监测总线17进一步连接至FPGA系统功率控制模块12。FPGA系统控制模块12被配置为协调和执行FPGA与主功率管理集成电路11之间所需通信的传输。

[0030] 图2中示出了HPMIC的优选实施方式。为清楚起见,省略了输入电压。功率分析器模块27测量由FPGA电源轨29、210、211(图1中的119、110、111)上的稳压器23、24、25生成的电压输出端V1至V3上的电流,并向配置与监测模块22以及主控制器28逐周期地提供动态电流测量值和平均电流。出于监测和协同设计的目的,功率配置/监测总线15可以将电流测量值和/或其它相关数据通信给FPGA系统设计者。

[0031] 在系统中,可以优选集中主控制器28以及主PMIC中相关联的控制、时钟及定时单元的处理。现在返回图1,因此设置了至从PMIC 18的通信总线16(图2中的26),以便配置和控制从PMIC 18。图3中示出了从PMIC 31。为清楚起见,再次省略了输入电压。功率分析器模块37测量由FPGA电源轨312、313、314(图1中的112、113、114)上的稳压器33、34、35生成的电压输出端V1至V3上的电流,并向配置与监测模块32逐周期地提供动态电流测量值和平均电流。通信总线36(图2中的26)可以将电流测量值和/或其它相关数据通信给如图2所示的主PMIC 21的主控制器28。

[0032] 可以基于最适合于稳压的目的的工艺(例如双极工艺)来设计从PMIC。可以利用用于主控制器的数字电路和时钟电路的优化的数字装置基于混合信号工艺来设计主PMIC。现在返回图1,作为协同设计的方法,FPGA系统设计者监测FPGA操作的多方面,诸如电源轨119、110、111、112、113、114的动态及平均电流消耗,其从主PMIC 11的PMIC主控制器(图2中的28)通信给FPGA系统设计者。FPGA中的系统功率控制模块12可以是软件或硬件模块,其出于在时间和功能上控制分析操作的目的,协调和执行FPGA与主PMIC 11之间所需通信的传输。

[0033] 协同设计的方面涉及为了改变FPGA配置或功率而作用于所接收到的信息的使用者。在一个实施方式中,这种协同设计环境将由同时运行或在相同的环境内运行或在连接

有监视器和输入装置的计算装置上的应用程序中运行FPGA设计工具和功率设计工具组成。

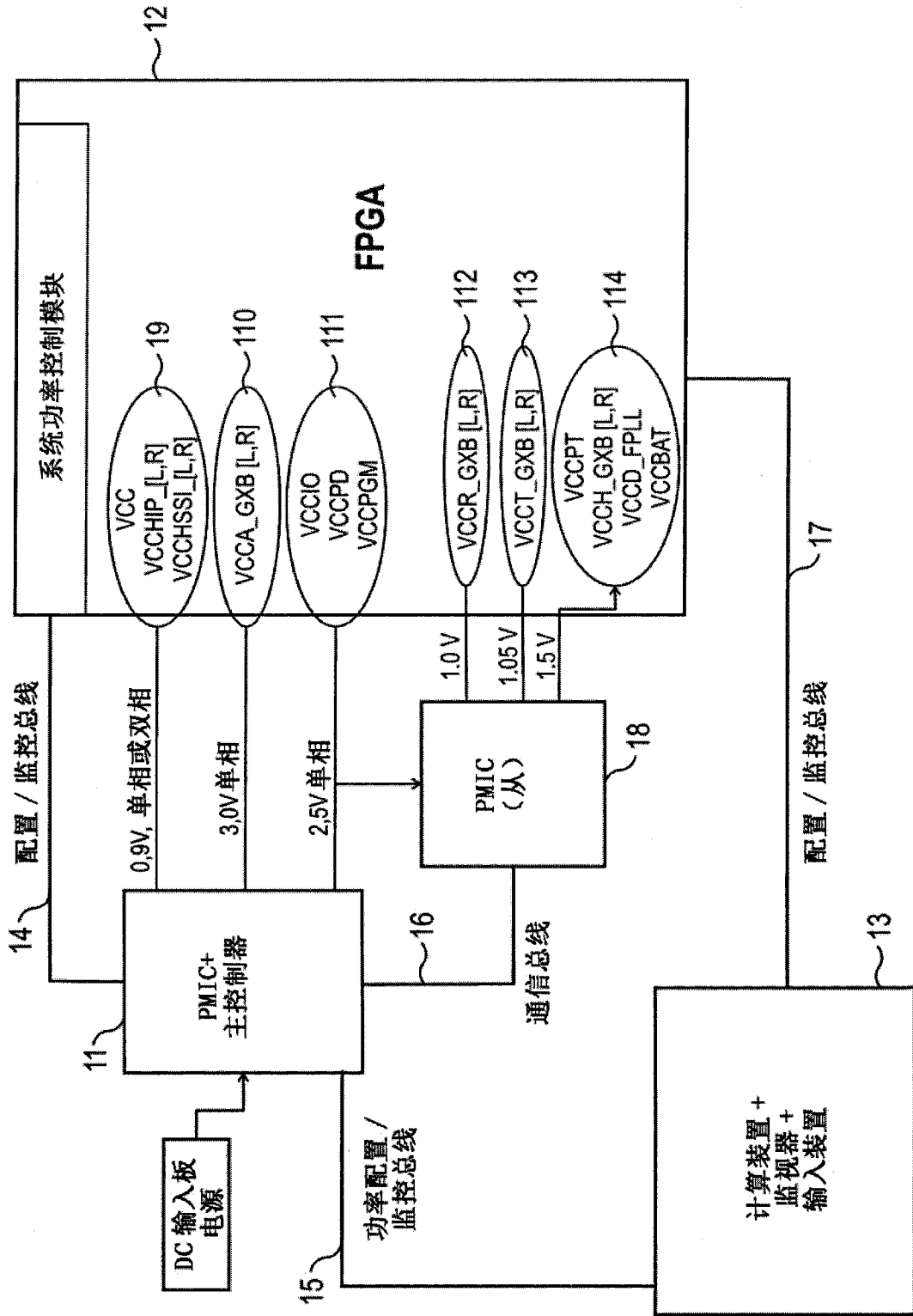


图1

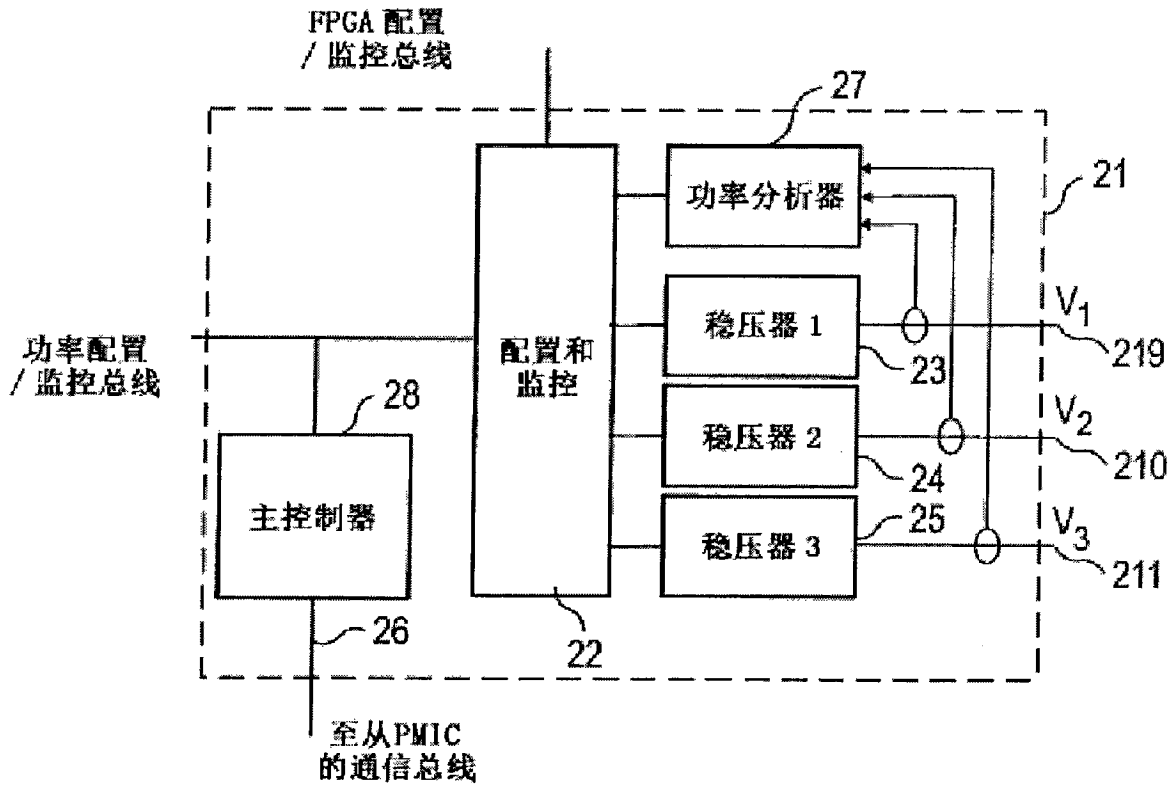


图2

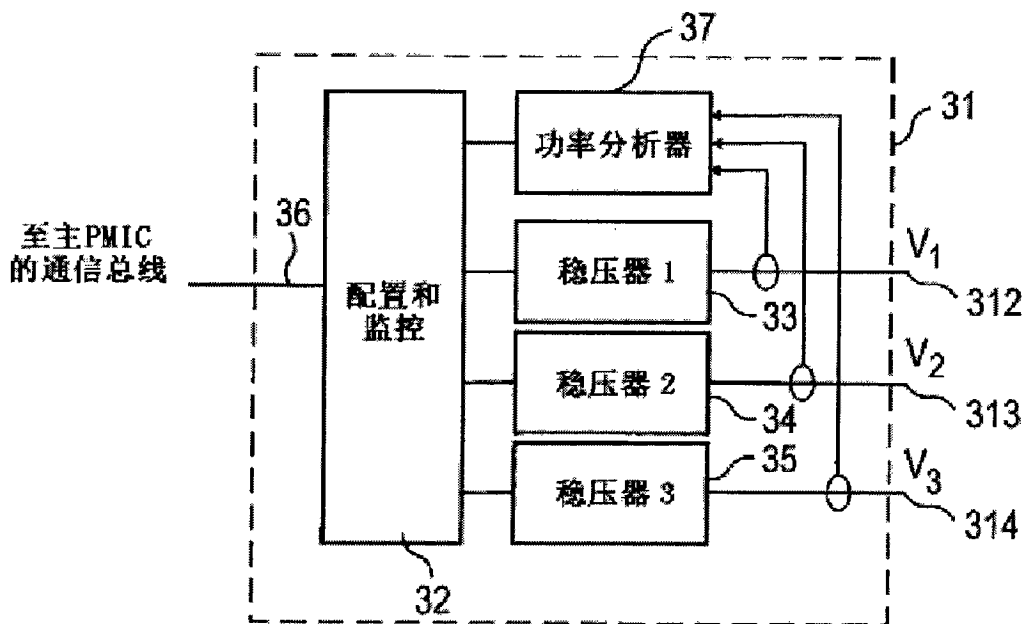


图3