



등록특허 10-2798570



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2025년04월18일  
(11) 등록번호 10-2798570  
(24) 등록일자 2025년04월16일

- (51) 국제특허분류(Int. Cl.)  
*H10N 97/00* (2023.01) *H01L 21/02* (2006.01)  
*H10B 12/00* (2023.01)
- (52) CPC특허분류  
*H10D 1/68* (2025.01)  
*H01L 21/02194* (2013.01)
- (21) 출원번호 10-2021-0015715
- (22) 출원일자 2021년02월03일  
심사청구일자 2023년11월02일
- (65) 공개번호 10-2022-0112124
- (43) 공개일자 2022년08월10일
- (56) 선행기술조사문헌  
M. Park et al., Morphotropic Phase Boundary of Hf<sub>1-x</sub>Zr<sub>x</sub>O<sub>2</sub> Thin Films for Dynamic Random Access Memories, ACS Appl. Mater. Interfaces 2018, 10, 42666 - 42673\*
- \*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
한국과학기술원  
대전광역시 유성구 대학로 291(구성동)
- (72) 발명자  
진현수  
경기도 안양시 동안구 임곡로 16 임곡휴먼시아아  
파트 203동 1503호  
조병진  
대전광역시 유성구 대학로 291 한국과학기술원  
나노종합기술원 521호  
김성호  
대전광역시 유성구 대학로 291 한국과학기술원  
나노종합기술원 521호
- (74) 대리인  
김권석

전체 청구항 수 : 총 16 항

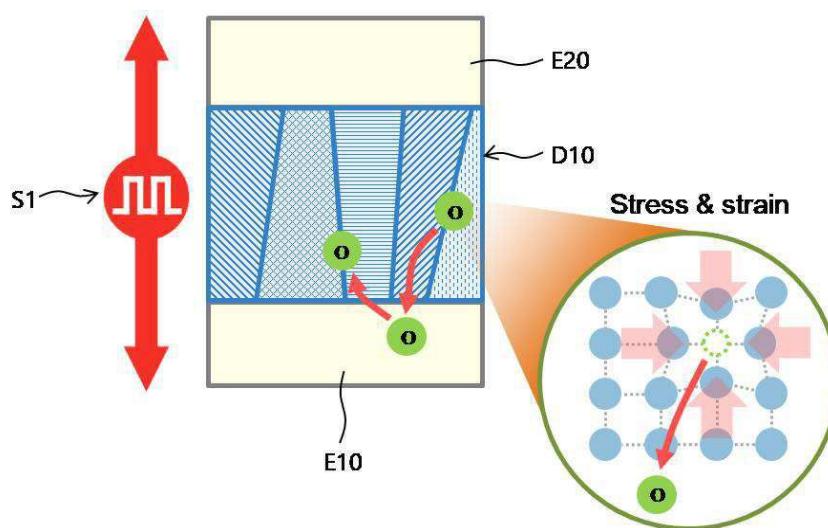
심사관 : 이제희

(54) 발명의 명칭 DRAM용 커패시터, 이를 포함하는 DRAM 및 이들의 제조 방법

**(57) 요약**

DRAM용 커패시터와 이를 포함하는 DRAM 및 이들의 제조 방법에 관해 개시되어 있다. 일 실시예에 따른 DRAM용 커패시터는 제 1 전극, 상기 제 1 전극과 이격된 제 2 전극 및 상기 제 1 전극과 상기 제 2 전극 사이에 배치된 HfZrO 막을 구비한 유전체층을 포함할 수 있고, 상기 HfZrO 막은 반강유전성을 갖는 정방정계(tetragonal) 결정상의 또는 상기 정방정계 결정상이 지배적인(dominant) 제 1 상태와 강유전성을 갖는 사방정계(orthorhombic) 결정상의 또는 상기 사방정계 결정상이 지배적인 제 2 상태 사이의 상전이 영역에 해당하는 중간 상태를 가질 수 있다. 상기 HfZrO 막은 상기 정방정계 결정상과 상기 사방정계 결정상을 모두 포함할 수 있다. 상기 커패시터의 동작 전압 범위 내에서 상기 HfZrO 막은 상기 상전이 영역에 해당하는 중간 상태를 유지할 수 있다.

대 표 도 - 도3d



(52) CPC특허분류

*H10B 12/03* (2023.02)

*H10B 12/30* (2023.02)

---

## 명세서

### 청구범위

#### 청구항 1

DRAM(dynamic random access memory)용 커패시터로서,

제 1 전극;

상기 제 1 전극과 이격된 제 2 전극; 및

상기 제 1 전극과 상기 제 2 전극 사이에 배치된  $HfZrO$  막을 구비한 유전체층을 포함하고,

상기  $HfZrO$  막은 반강유전성을 갖는 정방정계(tetragonal) 결정상의 또는 상기 정방정계 결정상이 지배적인 제 1 상태와 강유전성을 갖는 사방정계(orthorhombic) 결정상의 또는 상기 사방정계 결정상이 지배적인 제 2 상태 사이의 상전이 영역에 해당하는 중간 상태를 갖고,

상기 상전이 영역에 해당하는 상기 중간 상태는 상기 제 1 및 제 2 전극 사이에 상기  $HfZrO$  막이 배치된 상태에서 상기 제 1 및 제 2 전극 사이에 전기적 신호를 반복 인가함으로써 형성된 것이고,

상기 커패시터의 동작 전압 범위 내에서 상기  $HfZrO$  막은 상기 상전이 영역에 해당하는 중간 상태를 유지하도록 구성되며,

상기 제 1 전극과 상기 제 2 전극 사이에 전압이 미인가된 초기 상태에서, 상기  $HfZrO$  막은 상기 상전이 영역에 해당하는 제 1 중간 상태를 갖고,

상기 커패시터에 전하를 충전하기 위해 상기 제 1 전극과 상기 제 2 전극 사이에 제 1 동작 전압이 인가된 상태에서, 상기  $HfZrO$  막은 상기 상전이 영역에 해당하는 제 2 중간 상태를 가지며,

상기 제 2 중간 상태의 사방정계 결정상의 함유율은 상기 제 1 중간 상태의 사방정계 결정상의 함유율 보다 높고,

상기  $HfZrO$  막이 상기 중간 상태를 유지하면서 상기 커패시터의 충·방전 동작 및 이에 기초한 정보 기록 및 소거 동작이 이루어지는, DRAM용 커패시터.

#### 청구항 2

삭제

#### 청구항 3

제 1 항에 있어서,

상기 제 1 전극과 상기 제 2 전극 사이에 0 V 보다 큰 제 1 동작 전압이 인가된 후, 상기 제 1 전극과 상기 제 2 전극 사이에 0 V의 전압이 인가된 경우, 상기  $HfZrO$  막은 실질적으로 0에 해당하는 잔류 분극(remnant polarization)을 갖는 DRAM용 커패시터.

#### 청구항 4

제 1 항에 있어서,

상기 커패시터의 상기 동작 전압 범위는 -3~3 V 인 DRAM용 커패시터.

#### 청구항 5

제 1 항에 있어서,

상기  $HfZrO$  막은  $Hf_xZr_{1-x}O_2$  (여기서,  $0 < x < 1$ )로 표현되는 조성을 갖는 DRAM용 커패시터.

#### 청구항 6

제 1 항에 있어서,

상기 HfZrO 막은 1~10 nm 범위의 두께를 갖는 DRAM용 커패시터.

### 청구항 7

제 1 항에 있어서,

상기 HfZrO 막은 50 이상의 유전율을 갖고,

상기 HfZrO 막은 0.5 nm 이하의 EOT(equivalent oxide thickness)를 갖는 DRAM용 커패시터.

### 청구항 8

청구항 1 및 3 내지 7 중 어느 한 항에 기재된 커패시터를 포함하는 DRAM.

### 청구항 9

DRAM용 커패시터의 제조 방법으로서,

제 1 전극을 형성하는 단계;

상기 제 1 전극 상에 HfZrO 막을 구비한 유전체층을 형성하는 단계;

상기 유전체층 상에 제 2 전극을 형성하는 단계; 및

상기 제 1 및 제 2 전극 사이에 전기적 신호를 반복 인가하여, 상기 HfZrO 막의 상태를 반강유전성을 갖는 정방 정계(tetragonal) 결정상의 또는 상기 정방정계 결정상이 지배적인 제 1 상태와 강유전성을 갖는 사방정계(orthorhombic) 결정상의 또는 상기 사방정계 결정상이 지배적인 2 상태 사이의 상전이 영역에 해당하는 중간 상태로 변화시키는 단계를 포함하고,

상기 커패시터의 동작 전압 범위 내에서 상기 HfZrO 막은 상기 상전이 영역에 해당하는 중간 상태를 유지하도록 구성되며,

상기 제 1 전극과 상기 제 2 전극 사이에 전압이 미인가된 초기 상태에서, 상기 HfZrO 막은 상기 상전이 영역에 해당하는 제 1 중간 상태를 갖고,

상기 커패시터에 전하를 충전하기 위해 상기 제 1 전극과 상기 제 2 전극 사이에 제 1 동작 전압이 인가된 상태에서, 상기 HfZrO 막은 상기 상전이 영역에 해당하는 제 2 중간 상태를 가지며,

상기 제 2 중간 상태의 사방정계 결정상의 함유율은 상기 제 1 중간 상태의 사방정계 결정상의 함유율 보다 높고,

상기 HfZrO 막이 상기 중간 상태를 유지하면서 상기 커패시터의 충·방전 동작 및 이에 기초한 정보 기록 및 소거 동작이 이루어지는, DRAM용 커패시터의 제조 방법.

### 청구항 10

제 9 항에 있어서,

상기 전기적 신호는 -3~3 V의 크기를 갖는 전압 신호인 DRAM용 커패시터의 제조 방법.

### 청구항 11

제 9 항에 있어서,

상기 전기적 신호는 0~1000  $\mu$ s의 유지 시간을 갖는 펄스 전압 신호이고,

상기 전기적 신호의 반복 인가시, 상기 펄스 전압 신호 사이의 간격은 0~1000  $\mu$ s인 DRAM용 커패시터의 제조 방법.

### 청구항 12

제 9 항에 있어서,

상기 전기적 신호의 반복 인가시, 상기 전기적 신호의 사이클 횟수는  $10^3$  내지  $10^9$  범위인 DRAM용 커패시터의 제조 방법.

### 청구항 13

제 9 항에 있어서,

상기 커패시터의 상기 동작 전압 범위는  $-3\sim 3$  V 인 DRAM용 커패시터의 제조 방법.

### 청구항 14

제 9 항에 있어서,

상기  $\text{HfZrO}$  막은  $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$  (여기서,  $0 < x < 1$ )로 표현되는 조성을 갖는 DRAM용 커패시터의 제조 방법.

### 청구항 15

제 9 항에 있어서,

상기  $\text{HfZrO}$  막은 1~10 nm 범위의 두께를 갖는 DRAM용 커패시터의 제조 방법.

### 청구항 16

제 9 항에 있어서,

상기  $\text{HfZrO}$  막의 상태를 상기 중간 상태로 변화시키는 단계 후,

상기  $\text{HfZrO}$  막은 50 이상의 유전율을 갖고,

상기  $\text{HfZrO}$  막은 0.4 nm 이하의 EOT(equivalent oxide thickness)를 갖는 DRAM용 커패시터의 제조 방법.

### 청구항 17

스위칭 소자부 및 상기 스위칭 소자부에 전기적으로 연결된 커패시터를 포함하는 DRAM의 제조 방법으로서,

청구항 9 내지 16 중 어느 한 항에 기재된 방법으로 상기 커패시터를 제조하는 단계를 포함하는 DRAM의 제조 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 전자 소자와 이를 포함하는 장치 및 이들의 제조 방법에 관한 것으로서, 더욱 상세하게는 커패시터, 이를 포함하는 휘발성 메모리 장치 및 이들의 제조 방법에 관한 것이다.

### 배경 기술

[0002] 최근, 반도체 제조 공정 기술의 발전으로 대규모 집적 회로(large scale integrated circuits)(LSIs)의 스케일 축소가 가속화되고 있다. 특히 메모리 소자의 경우, 디자인 룰이 지속적으로 감소되면서, 30 nm 이하의 메모리 셀 크기를 요구하고 있다.

[0003] 대표적인 반도체 소자인 DRAM(dynamic random access memory)의 경우에도, 스케일링 다운을 위해 메모리 셀의 정보 저장 소자인 커패시터의 점유 면적이 점차 감소되고 있다. 그러나, 감소되는 커패시터의 면적에도 불구하고, 동작 마진의 확보를 위해 소정의 커패시턴스가 유지되어야 하며, 이를 위해 다양한 기술이 제안되고 있다. 예를 들면, 커패시턴스의 유지를 위해 유전체의 두께를 감소시키는 접근이 가능하다. 그러나, 이 경우, 유전체에 인가되는 전계에 의해 누설 전류가 증가하는 문제점이 있다. 이러한 누설 전류를 감소시키기 위하여 물리적 두께는 두꺼우면서도 얇은 등가 산화막을 구현할 수 있고 아울러 큰 밴드갭을 갖는 고유전율 재료로 기준의 유전체 물질(실리콘 산화막)을 대체하려는 연구가 이루어지고 있다.

[0004] 상기 고유전율 재료로서, 하프늄 산화물, 지르코늄 산화물 및  $\text{SrTiO}_3$  막과 같은 단일 막구조 또는  $\text{ZrO}_2/\text{Al}_2\text{O}_3/\text{ZrO}_2$ 와 같은 복합 산화막과 같은 유전체 재료가 제안되고 있다. 차세대 DRAM 커패시터의 구현을 위한

유력한 유전체 후보 물질이 요구된다.

## 선행기술문헌

### 비특허문헌

(비)특허문헌 0001) M. Park et al., Morphotropic Phase Boundary of  $Hf_{1-x}Zr_xO_2$  Thin Films for Dynamic Random Access Memories, ACS Appl. Mater. Interfaces 2018, 10, 42666 – 42673

## 발명의 내용

### 해결하려는 과제

- [0005] 본 발명이 이루고자 하는 기술적 과제는 높은 유전율을 갖고 얇은 EOT(equivalent oxide thickness)를 실현할 수 있으며 누설 전류 문제를 억제(또는 최소화)할 수 있는 유전체층을 포함하는 DRAM용 커패시터를 제공하는데 있다.
- [0006] 또한, 본 발명이 이루고자 하는 기술적 과제는 전기적 신호 인가를 이용해서 상기한 DRAM용 커패시터를 용이하게 제조할 수 있는 방법을 제공하는데 있다.
- [0007] 또한, 본 발명이 이루고자 하는 기술적 과제는 상기한 DRAM용 커패시터를 적용한 DRAM 장치 및 그 제조 방법을 제공하는데 있다.
- [0008] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 이해될 수 있을 것이다.

### 과제의 해결 수단

- [0009] 본 발명의 일 실시예에 따르면, 디램 제 1 전극; 상기 제 1 전극과 이격된 제 2 전극; 및 상기 제 1 전극과 상기 제 2 전극 사이에 배치된 하프늄-지르코늄 산화막( $HfZrO$  막)을 갖는 유전체층을 포함하고, 상기  $HfZrO$  막은 반강유전성을 갖는 정방정계(tetragonal) 결정상의 제 1 상태와 강유전성을 갖는 사방정계(orthorhombic) 결정상의 제 2 상태 사이의 상전이 영역에 해당하는 중간 상태를 갖고, 상기 정방정계 결정상과 상기 사방정계 결정상을 모두 포함하며, 상기 커패시터의 동작 전압 범위 내에서 상기  $HfZrO$  막은 상기 상전이 영역에 해당하는 중간 상태를 유지하도록 구성된 DRAM용 커패시터가 제공된다.
- [0010] 상기 제 1 전극과 상기 제 2 전극 사이에 전압이 미인가된 초기 상태에서, 상기  $HfZrO$  막은 상기 상전이 영역에 해당하는 제 1 중간 상태를 가질 수 있고, 상기 커패시터에 전하를 충전하기 위해 상기 제 1 전극과 상기 제 2 전극 사이에 제 1 동작 전압이 인가된 상태에서, 상기  $HfZrO$  막은 상기 상전이 영역에 해당하는 제 2 중간 상태를 가질 수 있으며, 상기 제 2 중간 상태의 사방정계 결정상의 함유율은 상기 제 1 중간 상태의 사방정계 결정상의 함유율 보다 높을 수 있다.
- [0011] 상기 제 1 전극과 상기 제 2 전극 사이에 0V 보다 큰 제 1 동작 전압이 인가된 후, 상기 제 1 전극과 상기 제 2 전극 사이에 0V의 전압이 인가된 경우, 상기  $HfZrO$  막은 실질적으로 0에 해당하는 잔류 분극(remnant polarization)을 가질 수 있다.
- [0012] 상기 커패시터의 상기 동작 전압 범위는 약 -3~3 V의 범위 내 또는 -1.2 V 내지 1.2 V의 범위 내일 수 있다. 상기  $Hf_xZr_{1-x}O_2$  (여기서,  $0 < x < 1$ )로 표현되는 조성을 가질 수 있다.
- [0013] 상기  $HfZrO$  막은 약 1~10 nm 범위의 두께를 가질 수 있으며, 5 nm 이하로 감소될 수 있다.
- [0014] 상기  $HfZrO$  막은 약 50 이상의 유전율을 가질 수 있다.
- [0015] 상기  $HfZrO$  막은 약 0.5 nm 이하 또는 0.4 nm 이하의 EOT(equivalent oxide thickness)를 가질 수 있다.
- [0016] 본 발명의 다른 실시예에 따르면, 전술한 커패시터를 포함하는 DRAM이 제공된다.
- [0017] 본 발명의 다른 실시예에 따르면, DRAM용 커패시터의 제조 방법으로서, 제 1 전극을 형성하는 단계; 상기 제 1 전극 상에  $HfZrO$  막을 구비한 유전체층을 형성하는 단계; 상기 유전체층 상에 제 2 전극을 형성하는 단계; 및

상기 제 1 및 제 2 전극 사이에 전기적 신호를 반복 인가하여, 상기 HfZrO 막의 상태를 반강유전성을 갖는 정방 정계(tetragonal) 결정상이 지배적인 제 1 상태와 강유전성을 갖는 사방정계(orthorhombic) 결정상이 지배적인 제 2 상태 사이의 상전이 영역에 해당하는 중간 상태로 변화시키는 단계를 포함하고, 상기 중간 상태에서 상기 HfZrO 막은 상기 정방정계 결정상과 상기 사방정계 결정상을 모두 포함하고, 상기 커패시터의 동작 전압 범위 내에서 상기 HfZrO 막은 상기 상전이 영역에 해당하는 중간 상태를 유지하도록 구성된 DRAM용 커패시터의 제조 방법이 제공된다.

[0018] 상기 전기적 신호는 약  $-3\sim 3$  MV/cm 의 크기 또는  $-1.2$  내지  $1.2$  MV/cm 의 크기를 갖는 전기장 신호일 수 있다. 상기 전기적 신호는 약  $0\sim 1000$   $\mu$ s의 유지 시간을 갖는 펄스 전압 신호일 수 있다.

[0019] 상기 전기적 신호의 반복 인가시, 상기 펄스 전압 신호 사이의 간격은 약  $0\sim 1000$   $\mu$ s 일 수 있다.

[0020] 상기 전기적 신호의 반복 인가시, 상기 전기적 신호의 사이를 횟수는 약  $10^3$  내지  $10^9$  범위일 수 있다.

[0021] 상기 커패시터의 상기 동작 전압 범위는 약  $-3\sim 3$  V 의 범위 내 또는  $-1.2$  V 내지  $1.2$  V의 범위 내일 수 있다. 상기 HfZrO 막은  $Hf_xZr_{1-x}O_2$  (여기서,  $0 < x < 1$ )로 표현되는 조성을 가질 수 있다.

[0022] 상기 HfZrO 막은 약  $1\sim 10$  nm 범위의 두께를 가질 수 있다.

[0023] 상기 HfZrO 막의 상태를 상기 중간 상태로 변화시키는 단계 후, 상기 HfZrO 막은 약 50 이상의 유전율을 가질 수 있고, 상기 HfZrO 막은 약  $0.5$  nm 이하의 EOT(equivalent oxide thickness)를 가질 수 있다.

[0024] 본 발명의 다른 실시예에 따르면, 스위칭 소자부 및 상기 스위칭 소자부에 전기적으로 연결된 커패시터를 포함하는 DRAM의 제조 방법으로서, 전술한 방법을 이용해서 상기 커패시터를 제조하는 단계를 포함하는 DRAM의 제조 방법이 제공된다.

### 발명의 효과

[0025] 본 발명의 실시예들에 따르면, 높은 유전율을 갖고 얇은 EOT(equivalent oxide thickness)를 실현할 수 있으며 누설 전류 문제를 억제 또는 최소화할 수 있는 유전체층을 포함하는 DRAM용 커패시터를 구현할 수 있다. 또한, 본 발명의 실시예들에 따르면, 전기적 신호 인가를 이용해서 특성 열화 등의 문제 없이, 상기한 DRAM용 커패시터를 용이하게 제조할 수 있다.

[0026] 본 발명의 실시예에 따른 커패시터를 적용하면, 작은 메모리 셀 사이즈를 가지면서도 우수한 동작 특성을 갖는 DRAM을 구현할 수 있다.

### 도면의 간단한 설명

[0027] 도 1은 본 발명의 일 실시예에 따른 DRAM(dynamic random access memory)용 커패시터를 나타내는 단면도이다.

도 2는 본 발명의 일 실시예에 따른 DRAM용 커패시터에 적용된 유전체층의 미세 구조를 개념적으로 나타내는 평면도이다.

도 3a 내지 도 3d는 본 발명의 일 실시예에 따른 DRAM용 커패시터의 제조 방법을 나타내는 단면도이다.

도 4는 반강유전성을 갖는 HfZrO 막의 상태를 두 가지 방식으로 변화시키는 과정을 나타내는 평면도이다.

도 5는 HfZrO 막( $Hf_xZr_{1-x}O_2$  막)의 깁스 자유 에너지(Gibbs free energy)에 따른 결정화 상의 변화 추이를 나타내는 그래프이다.

도 6은 DRAM 회로 상에서 커패시터에 전기적 사이클링(electric cycling) 신호를 인가하는 방식을 설명하기 위한 회로도이다.

도 7은 본 발명의 실시예에 따른 커패시터의 HfZrO 막에 대한 전기적 사이클링(electric cycling) 신호 인가 횟수에 따른 HfZrO 막의 P-E(polarization-electric field) 특성 변화를 나타내는 그래프이다.

도 8은 본 발명의 실시예에 따른 커패시터의 HfZrO 막에 대한 전기적 사이클링(electric cycling) 신호 인가 횟수에 따른 HfZrO 막의 유전율(k) 변화를 나타내는 그래프이다.

도 9는 본 발명의 실시예에 따른 커패시터의 HfZrO 막에 대한 전기적 사이클링(electric cycling) 신호 인가 횟수에 따른 HfZrO 막의 유전율(k) 변화를 나타내는 그래프이다.

수에 따른 HfZrO 막의 EOT 변화를 나타내는 그래프이다.

도 10은 본 발명의 실시예에 따른 커패시터의 HfZrO 막에 대한 전기적 사이클링(electric cycling) 및 열처리 온도에 따른 HfZrO 막의 포화분극과 잔류분극의 차이(즉, 2Ps-2Pr) 변화를 나타내는 그래프이다.

도 11은 도 8 내지 도 10의 결과를 종합하여 나타내는 그래프이다.

도 12는 HfZrO 막에 대한 열처리 온도에 따른 상기 HfZrO 막의 누설 전류 특성 변화를 나타내는 전압-전류밀도 (voltage-current density) 그래프이다.

도 13은 도 12에서 설명한 각 열처리 온도로 처리된 HfZrO 막에 대하여 전기적 사이클링(electric cycling) 횟수 증가에 따른 누설 전류 특성 변화를 나타내는 그래프이다.

도 14는 도 12에서 설명한 각 열처리 온도로 처리된 HfZrO 막에 대하여 전기적 사이클링(electric cycling) 횟수 증가에 따른 EOT 대비 DRAM 허용 전압(기준 전압) 특성 변화를 나타내는 그래프이다.

도 15는 본 발명의 일 실시예에 따른 커패시터를 포함하는 DRAM 및 그 제조 방법을 예시적으로 설명하기 위한 단면도이다.

도 16은 본 발명의 실시예에 따라 제조된 DRAM 소자를 적용한 시스템의 전체적인 구성을 예시적으로 나타내는 블록도이다.

### 발명을 실시하기 위한 구체적인 내용

[0028]

이하, 첨부된 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다.

[0029]

이하에서 설명할 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 명확하게 설명하기 위하여 제공되는 것이고, 본 발명의 범위가 하기 실시예에 의해 한정되는 것은 아니며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있다.

[0030]

본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용되는 단수 형태의 용어는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"이라는 용어는 언급한 형상, 단계, 숫자, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 단계, 숫자, 동작, 부재, 요소 및/또는 이들 그룹의 존재 또는 부가를 배제하는 것이 아니다. 또한, 본 명세서에서 사용된 "연결"이라는 용어는 어떤 부재들이 직접적으로 연결된 것을 의미할 뿐만 아니라, 부재들 사이에 다른 부재가 더 개재되어 간접적으로 연결된 것까지 포함하는 개념이다.

[0031]

아울러, 본원 명세서에서 어떤 부재가 다른 부재 "상에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다. 본 명세서에서 사용된 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다. 또한, 본원 명세서에서 사용되는 "약", "실질적으로" 등의 정도의 용어는 고유한 제조 및 물질 허용 오차를 감안하여, 그 수치나 정도의 범주 또는 이에 근접한 의미로 사용되고, 본원의 이해를 돋기 위해 제공된 정확하거나 절대적인 수치가 언급된 개시 내용을 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다.

[0032]

이하 첨부된 도면들을 참조하여 본 발명의 실시예들에 대해 상세히 설명한다. 첨부된 도면에 도시된 영역이나 파트들의 사이즈나 두께는 명세서의 명확성 및 설명의 편의성을 위해 다소 과장되어 있을 수 있다. 상세한 설명 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.

[0033]

도 1은 본 발명의 일 실시예에 따른 DRAM(dynamic random access memory)용 커패시터를 나타내는 단면도이다.

[0034]

도 1을 참조하면, 본 실시예에 따른 DRAM용 커패시터는 제 1 전극(E10), 제 1 전극(E20)과 이격된 제 2 전극(E20) 및 제 1 전극(E10)과 제 2 전극(E20) 사이에 배치된 하프늄 지르코늄 산화막(HfZrO 막)을 구비한 유전체 층(D10)을 포함할 수 있다. 유전체층(D10)은 HfZrO 막으로 구성될 수 있다. 제 1 전극(E10)과 제 2 전극(E20)의 형상은 예시된 평판형에 한정된 것은 아니며, 제 1 전극(E10)과 제 2 전극(E20) 사이에 유전체층(D10)이 배치될 수 있는 여하의 형상, 비제한적 예로서, 3 차원 실린더 구조, 양면 컵 구조 또는 기둥 구조와 같이 어느 일 측의 전극이 타 측의 전극을 덮는 입체적 형상을 가질 수 있다.

[0035]

일 실시예에서, 상기 HfZrO 막은 반강유전성(anti-ferroelectricity)을 갖는 정방정계(tetragonal) 결정상의 제 1 상태와 강유전성(ferroelectricity)을 갖는 사방정계(orthorhombic) 결정상의 제 2 상태 사이의 상전이

영역(phase transition region)에 해당하는 '중간 상태'를 가질 수 있다. 일 실시예에서, 상기 상전이 영역은 상기 제 1 상태에서 상기 제 2 상태로 진행하는 과정 상의 중간 영역이다. 또한, 상기 제 1 상태는 완전한 정방정계 결정상의 다결정질 또는 단결정질 뿐만 아니라 약 90 vol% 이상 또는 약 95 vol% 이상으로 정방정계 결정상이 지배적인(dominant) 상태를 지칭한다. 마찬가지로, 상기 제 2 상태는 전부피에 걸쳐 완전한 사방정계 결정상의 다결정질 또는 단결정질 뿐만 아니라, 전부피에 걸쳐 약 90 vol% 이상 또는 약 95 vol% 이상으로 사방정계 결정상이 지배적인 상태를 지칭한다. 전부피에 걸친 결정상의 점유 비율은 단면이나 표면의 면적 비율이나 X 선을 이용한 결정성 분석을 통해서 산출될 수 있다.

[0036] 본 명세서에서, 상기한 상전이 영역은 MPB(morphotropic phase boundary)라고 지칭될 수 있다. 따라서, 상기 HfZrO 막은 상기 정방정계 결정상과 상기 사방정계 결정상을 모두 포함하며, 상기 HfZrO 막에는 상기 정방정계 결정상 또는 사방정계 결정립과 상기 사방정계 결정상 또는 사방정계 결정립이 안정적으로 공존하면서, 정방정계 결정상(결정립)과 사방정계 결정상(결정립) 중 어느 하나가 지배적인 상태가 아닌 분율을 갖는 상태일 수 있다.

[0037] 상기 커패시터의 동작 전압 범위 내에서 상기 HfZrO 막은 상기 상전이 영역에 해당하는 상기 중간 상태를 유지할 수 있다. 일 실시예에서, 상기 커패시터에 전하를 충전(charging)하기 위한 소정의 동작 전압을 제 1 및 제 2 전극(E10, E20) 사이에 인가한 경우와 상기 커패시터에 실질적으로 동작 전압을 인가하지 않은 경우 모두에서, 상기 HfZrO 막은 정방정계 결정상(결정립)과 사방정계 결정상(결정립)의 분율이 변화는 있더라도 상기 상전이 영역에 해당하는 중간 상태를 유지할 수 있다. 따라서, 본 발명의 실시예에서, 상기 HfZrO 막은 상기 중간 상태를 유지하면서, 상기 커패시터의 충·방전 동작 및 이에 기초한 정보 기록 및 소거 동작이 이루어진다고 할 수 있다.

[0038] 제 1 전극(E10)과 제 2 전극(E20) 사이에 전압이 인가되지 않은, 즉, 미인가된 초기 상태에서, 상기 HfZrO 막은 상기 상전이 영역에 해당하는 제 1 중간 상태를 가질 수 있다. 상기 커패시터에 전하를 충전하기 위해 제 1 전극(E10)과 제 2 전극(E20) 사이에 제 1 동작 전압이 인가된 상태에서, 상기 HfZrO 막은 상기 상전이 영역에 해당하는 제 2 중간 상태를 가질 수 있다. 여기서, 상기 제 2 중간 상태의 사방정계 결정상(결정립)의 함유율은 상기 제 1 중간 상태의 사방정계 결정상(결정립)의 함유율 보다 높을 수 있다. 상기 제 1 중간 상태에서 상기 HfZrO 막은 사방정계 결정상(결정립)을 약 10 vol% 내지 70 vol% 범위 또는 약 15 vol% 내지 60 vol% 범위 만큼 함유할 수 있다. 상기 제 2 중간 상태에서 상기 HfZrO 막의 사방정계 결정상(결정립)의 함유율은 상기 제 1 중간 상태의 함유율보다 높을 수 있다.

[0039] 제 1 전극(E10)과 제 2 전극(E20) 사이에 0 V 보다 큰 제 1 동작 전압이 인가된 후, 제 1 전극(E10)과 제 2 전극(E20) 사이에 0 V의 전압이 인가된 경우, 상기 HfZrO 막은 실질적으로 0에 해당하는 잔류 분극(remnant polarization)을 가질 수 있다. 이는 상기 HfZrO 막이 실질적으로 강유전체와 같은 이력(hysteresis) 특성을 갖지 않음을 의미한다. 상기 HfZrO 막은 상기 중간 상태를 갖기 때문에, 강유전체와 같은 분극 잔류 특성을 갖지 않을 수 있다. 상기 커패시터에 전하를 충전하기 위해 제 1 전극(E10)과 제 2 전극(E20) 사이에 상기 제 1 동작 전압을 인가한 후, 다시 상기 제 1 동작 전압이 제거되는 경우, 또는 제 1 전극(E10)과 제 2 전극(E20) 사이에 0V의 전압이 인가되는 경우, 상기 HfZrO 막은 상기 초기 상태와 동일하거나 실질적으로 동일한 상태를 가질 수 있다.

[0040] 상기 커패시터의 상기 동작 전압 범위는, 예컨대, 약 -3~3 V 정도일 수 있다. 이러한 동작 전압 범위 내에서 상기 HfZrO 막은 상기 상전이 영역에 해당하는 중간 상태를 유지할 수 있다. 상기 커패시터의 상기 동작 전압 범위는 상기 커패시터가 적용된 DRAM의 동작 전압 범위 내이도록 설계되어, 상기 커패시터의 상기 동작 전압 범위는 DRAM의 동작 전압 범위이거나 그 일부일 수 있다.

[0041] 일 실시예에서, 상기 HfZrO 막은  $Hf_xZr_{1-x}O_2$  (여기서,  $0 < x < 1$ )로 표현되는 조성을 가질 수 있다.  $Hf_xZr_{1-x}O_2$  박막은 기본적으로 높은 유전율(물질 자체에 의한 유전율)을 가질 수 있다. 또한,  $Hf_xZr_{1-x}O_2$  박막은 그 결정화 상에 따라 특성이 변화되고 유전율이 변화될 수 있다. 특히, 본 발명의 실시예에 따른 반강유전성을 갖는 정방정계 결정립과 강유전성을 갖는 사방정계 결정립이 공존하는 상전이 영역에서, 상기  $Hf_xZr_{1-x}O_2$  박막은 큰 유전율(k), 나아가 최대 유전율(k)을 가질 수 있다. 본 발명의 실시예에서는 상기 HfZrO 막을 상기 상전이 영역에 해당하는 중간 상태로 만들어주고, 상기 커패시터가 충전된 상태 또는 방전된 상태에서, 또는 DRAM의 정보 기록 소자인 커패시터의 동작시, 데이터의 저장 상태인 "0" 또는 "1"을 할당할 수 있는 2 개의 상태가 모두 중간 상태에 속하도록 함으로써, 상전이 영역에서의 높은 유전율을 유용하게 이용할 수 있다. 따라서, HfZrO 막은 높은

유전율( $k$ )을 가질 수 있고, 얇은 EOT(equivalent oxide thickness)를 구현할 수 있다. 이는 커패시터의 동작 특성 향상 및 DRAM의 특성 향상과 스케일링 다운에 유리하게 이용될 수 있다.

[0042] 상기 HfZrO 막은, 예컨대, 약 50 이상의 유전율( $k$ )을 가질 수 있다. 또한, 상기 HfZrO 막은, 예컨대, 약 0.5 nm 이하 또는 0.4 nm 이하의 EOT(equivalent oxide thickness)를 가질 수 있다. 한편, 상기 HfZrO 막의 물리적 두께는, 예컨대, 약 1~10 nm 정도의 범위를 가질 수 있다. 그러나, 상기한 유전율, EOT 및 물리적 두께의 범위들은 예시적인 것이고, 본 발명의 실시예들은 이에 한정되지 않는다.

[0043] 일 실시예에서, 제 1 및 제 2 전극(E10, E20)은 도전성 금속이나 도전성 금속 화합물 또는 이들의 2 이상의 층이 적층된 적층체와 같은 조합을 포함할 수 있다. 제 1 및 제 2 전극(E10, E20)은 도전성 금속 화합물, 예를 들면, 도전성 질화물이나 도전성 산화물을 포함할 수도 있다. 일 실시예에서, 제 1 및 제 2 전극(E10, E20)은 TiN을 포함하거나 TiN으로 형성될 수 있다. 그러나 이는 예시적인 것에 불과하고, 제 1 및 제 2 전극(E10, E20)의 구성 물질은 다양하게 채용될 수 있다. 커패시터에 사용되는 공지의 전극 물질이 제 1 및 제 2 전극(E10, E20)에 적용될 수 있다. 제 1 및 제 2 전극(E10, E20)이 금속이나 금속성 물질을 포함하는 경우, 본 실시예에 따른 커패시터는 MIM(metal-insulator-metal) 타입의 거동을 갖는 커패시터를 구현할 수 있다.

[0044] 도 2는 본 발명의 일 실시예에 따른 DRAM용 커패시터에 적용된 유전체층(D10)의 미세 구조를 개념적으로 나타내는 단면도이다.

[0045] 도 2를 참조하면, 유전체층(D10)은 HfZrO 막을 포함할 수 있고, 상기 HfZrO 막은 정방정계 결정립(1)과 사방정계 결정립(2)이 공존하는 상전이 영역에 해당하는 중간 상태를 가질 수 있다. 상기 HfZrO 막의 구체적인 특징은 도 1을 참조하여 설명한 것을 참조할 수 있으며, 반복 설명은 생략한다.

[0046] 도 3a 내지 도 3d는 본 발명의 일 실시예에 따른 DRAM용 커패시터의 제조 방법을 나타내는 단면도이다.

[0047] 도 3a를 참조하면, 제 1 전극(E10)을 형성할 수 있다. 제 1 전극(E10)은 하부 전극일 수 있다. 도 3b를 참조하면, 제 1 전극(E10) 상에 HfZrO 막을 갖는 유전체층(D1)을 형성할 수 있다. 여기서, 유전체층(D1)의 HfZrO 막은, 예를 들어, 정방정계 결정상(결정립)이 지배적인 제 1 상태를 가질 수 있다. 이 경우, 상기 HfZrO 막의 전체가 실질적으로 정방정계 결정상(결정립)으로 구성될 수도 있다.

[0048] 도 3c를 참조하면, 유전체층(D1) 상에 제 2 전극(E20)을 형성할 수 있다. 제 2 전극(E20)은 상부 전극일 수 있다. 제 1 전극(E10)과 제 2 전극(E20)은 평판형 커패시터의 전극 구성을 예시하고 있지만, 본 발명의 실시예는 이에 한정되는 것은 아니며, 전술한 입체적 형상을 갖는 전극 구성을 가질 수도 있다.

[0049] 도 3d를 참조하면, 제 1 및 제 2 전극(E10, E20) 사이에 전기적 신호(S1)를 반복 인가하여, 상기 HfZrO 막의 상태를, 반강유전성을 갖는 정방정계 결정상 또는 상기 정방정계 결정상이 지배적인 제 1 상태로부터, 상기 제 1 상태와 강유전성을 갖는 사방정계 결정상 또는 상기 사방정계 결정상이 지배적인 제 2 상태 사이의 상전이 영역에 해당하는 중간 상태로 변화시킬 수 있다. 상기 중간 상태에서 상기 HfZrO 막은 도 2를 참조하여 설명한 것과 같이, 정방정계 결정상(1)과 사방정계 결정상(2)을 모두 포함할 수 있다. 상기 중간 상태로 변화된 HfZrO 막을 갖는 유전체층을 참조번호 D10으로 표시한다. 상기 커패시터의 동작 전압 범위 내에서 상기 HfZrO 막은 상기 상전이 영역에 해당하는 중간 상태를 유지할 수 있다.

[0050] 전기적 신호(S1)는 약 -3~3 MV/cm 정도의 크기를 갖는 전기장 신호일 수 있다. 전기적 신호(S1)는 펄스 전압 신호일 수 있다. 이때, 전기적 신호(S1)는 약 0~1000  $\mu$ s 정도의 유지 시간을 갖는 펄스 전압 신호일 수 있고, 전기적 신호(S1)의 반복 인가시, 상기 펄스 전압 신호들 사이의 간격은 약 0~1000  $\mu$ s 정도일 수 있다. 전기적 신호(S1)의 반복 인가시, 전기적 신호(S1)의 사이클 횟수는, 예를 들어, 약  $10^3$  내지  $10^9$  범위일 수 있다. 이러한 조건들을 만족할 때, 상기 HfZrO 막의 상태를 상기 중간 상태로 변화시키는데 유리할 수 있다. 그러나, 전술한 전기적 신호(S1)의 구체적인 조건들은 예시적인 것이고, 본원의 실시예는 이에 한정되지 않는다. 상기 전기적 신호(S1)의 반복 인가는 '전기적 사이클링(electric cycling)' 방식이라고 지칭될 수 있다. 전기적 신호(S1)의 극성은 제한이 없으며, 실제 커패시터의 완성 후 동작을 위한 칩 내 메모리 드라이버 회로, 칩 내 또는 칩 외부의 연산 장치 내 드라이버 회로 또는 이들 장치의 외부에 연결되는 별도의 셋업 장치를 이용하여 제조된 커패시터 구조에 인가될 수 있다.

[0051] 일 실시예에서, 제 1 및 제 2 전극(E10, E20) 사이에 전기적 신호(S1)를 반복 인가하는 경우, 상기 HfZrO 막의 결정립 내부와 결정립 계면 그리고 상기 HfZrO 막과 제 1 전극(E10) 사이의 계면, 상기 HfZrO 막과 제 2 전극(E20) 사이의 계면에 존재하는 산소 공공(oxygen vacancy)이 전기장을 따라 상하 방향으로 반복적으로 이동할

수 있다. 이러한 산소 공공(oxygen vacancy)의 이동에 의해서 상기 HfZrO 막 내에 스트레스(stress) 및 스트레인(strain)이 발생하고, 누적된 스트레인(strain)에 의해 상기 HfZrO 막의 결정립의 상변화가 유도될 수 있다. 여기서, 상기 스트레스(stress)는 인장 응력을 포함할 수 있고, 경우에 따라, 압축 응력을 포함할 수도 있다.

[0052] 전기적 신호(S1)의 반복 인가 횟수가 증가할수록, 즉, 전기적 사이클링(electric cycling)의 횟수가 증가할수록, 상기 HfZrO 막 내에 반강유전성 정방정계 결정립이 강유전성 사방정계 결정립으로 변화되는 양이 증가할 수 있다. 결정화 상이 정방정계에서 사방정계로 변화되는 과정에서 상기 상전이 영역에 도달할 수 있고, 상기 상전이 영역에 의한 유전율 증가 효과가 나타날 수 있다. 만일 상기 전기적 사이클링(electric cycling)의 횟수가 일정 수준을 넘어가면, 상기 HfZrO 막은 사방정계 결정상이 지배적인 상태로 변화되고, 강유전성 특성을 나타내어 본 발명의 실시예에 따른 상유전체의 거동에서 벗어나며, 심지어 유전율은 다시 감소할 수 있다. 본 발명의 실시예에서는 상기 HfZrO 막이 상기 상전이 영역에 해당하는 중간 상태를 갖도록 함으로써, 상유전체 거동과 실질적으로 가장 높은 유전율을 확보할 수 있다.

[0053] 이와 같이, 본 발명의 실시예에서는 반강유전성을 갖는 HfZrO 막에 전기적 사이클링(electric cycling) 과정을 통해서 HfZrO 막 내부에 스트레인(strain)을 유발하여 일부 결정립을 강유전성을 갖는 사방정계로 변화시킴으로써, 두 결정화 상(정방정계 및 사방정계)이 공존하는 상전이 영역을 유도하고, 이를 통해 유전율(k)을 증가시키고 EOT를 감소시킬 수 있다. 이러한 본 발명의 실시예에 따른 방식은 일반적인 강유전성 박막에 전기적 신호를 인가하여 유전율은 감소시키면서 강유전성은 강화하는 기준의 웨이크-업(wake-up) 방식과는 원리 및 메커니즘에서 구별된다. 또한, 본 발명의 실시예에서는, 상기 HfZrO 막 내에 사방정계 결정상이 존재하더라도 잔류 분극이 "0"가 되는 상태가 상기 중간 상태에 해당하는 점에 그 특징이 있다.

[0054] 또한, 본 발명의 실시예에 따른 방식은 전기적 신호(S1)를 반복 인가하는 방식이기 때문에, 제어가 매우 용이하고, 열 에너지의 공급에 의한 상변화가 아니므로 다른 소자부에 영향을 주지 않아야 하는 열적 부담이 없는 이점이 있다. 특히, 커패시터를 포함하는 DRAM 소자의 물리적 구성을 모두 제조한 후에, 후속 공정(최후 공정)으로서 커패시터에 전기적 신호(S1)를 반복 인가하여 HfZrO 막의 상태를 상전이 영역에 해당하는 중간 상태로 변화시킬 수 있다. 이에 의하면, 전기적 신호(S1)의 크기 및 반복 횟수를 제어함으로써, HfZrO 막의 상태를 정밀하게/용이하게 변화시킬 수 있고, 상기 중간 상태(준안정 상태)를 유지하도록 만들 수 있다.

[0055] 또한, 본 발명의 실시예에 따른 방식은 열 에너지의 공급, 예를 들면, 열처리(어닐링)에 의한 상변화를 유도하는 것이 아니고, 전기장에 의한 응력과 변형을 통해 상변화를 유도하는 것이어서, 상기 HfZrO 막 내부의 결정립들의 크기를 증가시키거나 실질적으로 변화시키지 않기 때문에, 결정립 크기 증가 및 결정립 계면 성장에 의한 누설 전류 증가 문제가 방지될 수 있다. HfZrO 막의 상태를 상전이 영역에 해당하는 중간 상태로 변화시키는데 있어서, 상기 전기적 사이클링 방식이 아닌 상기 열처리 방식을 이용하는 경우, 상기 HfZrO 막의 상태를 상기 중간 상태로 변화/유지시키는 것이 실질적으로 불가능할 뿐 아니라, 전술한 것과 같이 상기 HfZrO 막의 결정립 성장에 따라 결정립의 크기가 증가되고 결정립 계면이 성장하기 때문에, 누설 전류가 증가하는 문제가 발생한다. 결론적으로, 본 발명의 실시예에서는 전기적 사이클링 방식을 사용하므로, 박막 내 결함의 전기장 인가에 의한 미세 응력을 이용하여 상변화를 유도함으로써, HfZrO 막의 결정립들의 크기가 증가되거나 계면이 성장하지 않을 수 있고, 누설 전류 증가 문제를 방지할 수 있다.

[0056] 상기 커패시터의 상기 동작 전압 범위는, 예컨대, 약 -3~3 V 정도일 수 있다. 이러한 동작 전압 범위 내에서 상기 HfZrO 막(도 3d의 D10에 포함된 HfZrO 막)은 상기 상전이 영역에 해당하는 중간 상태를 유지할 수 있다. 상기 커패시터의 상기 동작 전압 범위는 상기 커패시터가 적용된 DRAM의 동작 전압 범위 내에 존재할 수 있다. 따라서, 상기 커패시터의 상기 동작 전압 범위는 DRAM의 동작 전압 범위이거나 그 일부라고 할 수 있다.

[0057] 상기 HfZrO 막은  $Hf_xZr_{1-x}O_2$  (여기서,  $0 < x < 1$ )로 표현되는 조성을 가질 수 있다. 상기 HfZrO 막의 상태를 상기 중간 상태로 변화시키는 단계 후, 상기 HfZrO 막은, 예컨대, 약 50 이상의 유전율(k)을 가질 수 있다. 또한, 상기 HfZrO 막은, 예컨대, 약 0.5 nm 이하 또는 0.4 이하의 EOT를 가질 수 있다. 한편, 상기 HfZrO 막의 물리적 두께는, 예컨대, 약 1~10 nm 정도의 범위를 가질 수 있다. 그러나, 상기한 유전율, EOT 및 물리적 두께의 범위들은 예시적인 것이고, 본원의 실시예는 이에 한정되지 않는다.

[0058] 본 발명의 실시예에 따르면, 전기적 사이클링 방식을 이용해서 비교적 높은 전압으로 HfZrO 막의 상태를 상기 상전이 영역에 해당하는 중간 상태로 변화시킴으로서 커패시터의 제조를 완성하고, 이후에는 비교적 낮은 동작 전압을 이용해서 커패시터를 작동시킬 수 있다. 커패시터의 작동 과정에서, HfZrO 막은 상기 중간 상태를 유지할 수 있다.

[0059] 도 4는 반강유전성을 갖는 HfZrO 막의 상태를 두 가지 방식으로 변화시키는 과정을 나타내는 평면도이다.

[0060] 도 4를 참조하면, 도면(A)에서와 같이, 반강유전성을 갖는 HfZrO 막은 정방정계 결정립(1)으로 구성될 수 있다. 만약, 고온의 열처리 방식으로 상기 반강유전성을 갖는 HfZrO 막의 상태를 변화시키는 경우, 도면(B)에서와 같이, 강유전성을 갖는 HfZrO 막이 형성될 수 있다. 상기 강유전성을 갖는 HfZrO 막은 사방정계 결정립(2)으로 구성될 수 있다. 이때, 고온의 열처리에 의해 결정립(2)의 사이즈가 증가될 수 있다. 반면, 본 발명의 실시예에서와 같이, 전기적 사이클링(electric cycling) 방식으로 상기 반강유전성을 갖는 HfZrO 막의 상태를 변화시키는 경우, 도면(C)에 도시된 바와 같이, HfZrO 막은 정방정계 결정립(1)과 사방정계 결정립(2)이 공존하는 상전이 영역에 해당하는 중간 상태를 가질 수 있다. 상기 전기적 사이클링 방식을 사용할 경우, 결정립(1, 2)의 사이즈는 변화(증가)되지 않을 수 있다.

[0061] 도 5는 HfZrO 막( $Hf_xZr_{1-x}O_2$  막)의 갑스 자유 에너지(Gibbs free energy)에 따른 결정화 상의 변화 추이를 나타내는 그래프이다.

[0062] 도 5를 참조하면, m-phase는 단사정계(monoclinic)상을 의미하고, t-phase는 정방정계(tetragonal)상을 의미하고, o-phase는 사방정계(orthorhombic)상을 의미한다. 본 발명의 실시예에서는 t-phase에서 o-phase로 넘어가는 상전이 영역에 해당하는 중간 상태(중간 단계)를 이용할 수 있다. 일정 온도의 열처리 이후 전기적 사이클링(electric cycling) 방식을 이용해서, HfZrO 막( $Hf_xZr_{1-x}O_2$  막)이 상기 중간 상태를 갖도록 만들 수 있다. 또한, 상기 HfZrO 막( $Hf_xZr_{1-x}O_2$  막)을 포함하는 커패시터 및 이를 적용한 DRAM의 동작 과정에서도, 상기 HfZrO 막( $Hf_xZr_{1-x}O_2$  막)이 상기 중간 상태를 유지하도록 할 수 있다.

[0063] 도 6은 DRAM 회로 상에서 커패시터에 전기적 사이클링(electric cycling) 신호를 인가하는 방식을 설명하기 위한 회로도이다.

[0064] 도 6을 참조하면, 복수의 워드라인(WL1, WL2)과 이와 교차하는 복수의 비트라인(BL1, BL2)이 배치될 수 있고, 이들 사이의 교차점에 메모리 셀(M1)이 구비될 수 있다. 메모리 셀(M1)에 스위칭 소자(T1) 및 이에 연결된 커패시터(C1)가 구비될 수 있다. 커패시터(C1)는 도 1 등을 참조하여 설명한 본 발명의 실시예에 따른 커패시터 구조를 가질 수 있다. 그러나, 여기서 도시한 DRAM 회로는 예시적인 것이고, 이는 다양하게 변형될 수 있다. 워드라인(WL1, WL2)의 개수 및 비트라인(BL1, BL2)의 개수도 늘어날 수 있다.

[0065] 일 실시예에서, 복수의 워드라인(WL1, WL2)을 모두 턴-온(turn-on)시키고, 복수의 비트라인(BL1, BL2)을 통해서 복수의 커패시터(C1)에 전기적 사이클링(electric cycling) 신호를 인가할 수 있다. 이를 통해서, 커패시터(C1)의 HfZrO 막의 상태를 상전이 영역에 해당하는 중간 상태로 변화시킬 수 있다. 여기서는, 복수의 워드라인(WL1, WL2)을 모두 턴-온(turn-on)시키고, 복수의 비트라인(BL1, BL2) 전체에 전기적 사이클링(electric cycling) 신호를 인가하는 경우를 설명하였지만, 경우에 따라서는, 복수의 메모리 셀(M1) 중에서 제 1 군의 메모리 셀(M1)에 포함된 제 1 군의 커패시터(C1)에 대한 전기적 사이클링 신호 인가 공정을 먼저 수행하고, 제 2 군의 메모리 셀(M1)에 포함된 제 2 군의 커패시터(C1)에 대한 전기적 사이클링 신호 인가 공정을 나중에 수행하는 순차적 방식이 적용될 수도 있다.

[0066] 도 7은 본 발명의 실시예에 따른 커패시터의 HfZrO 막에 대한 전기적 사이클링(electric cycling) 신호 인가 횟수에 따른 HfZrO 막의 P-E(polarization-electric field) 특성 변화를 나타내는 그래프이다. 도 7은 상기 HfZrO 막이  $Hf_{0.25}Zr_{0.75}O_2$  박막인 경우에 대한 것이다.

[0067] 도 7을 참조하면, HfZrO 막에 대한 전기적 사이클링(electric cycling) 신호 인가 횟수가 증가함에 따라, HfZrO 막의 P-E 특성이 변화되는 것을 확인할 수 있다. 전기적 사이클링(electric cycling)의 횟수가 증가할수록, 상기 HfZrO 막 내에 반강유전성을 나타내는 정방정계 결정립이 강유전성을 나타내는 사방정계 결정립으로 변화되는 양이 증가할 수 있다. 결정화 상이 정방정계에서 사방정계로 변화되는 과정에서 상기 상전이 영역에 도달할 수 있고, 상기 상전이 영역에 의한 유전율 증가 효과가 나타날 수 있다.

[0068] 만일 상기 전기적 사이클링(electric cycling)의 횟수가 일정 수준을 넘어가면, 상기 HfZrO 막은 사방정계 결정화 상이 지배적인 상태로 변화되고, 강유전성 특성을 나타내며, 유전율은 다시 감소할 수 있다. 본 발명의 실시예에서는 상기 HfZrO 막이 상기 상전이 영역에 해당하는 중간 상태를 갖도록 함으로써, 실질적으로 가장 높은 유전율을 확보할 수 있다.

[0069] 도 8은 본 발명의 실시예에 따른 커패시터의 HfZrO 막에 대한 전기적 사이클링(electric cycling) 신호 인가 횟

수에 따른  $\text{HfZrO}$  막의 유전율( $k$ ) 변화를 나타내는 그래프이다. 도 8의 그래프는  $\text{HfZrO}$  막의 두께가, 비제한적으로 예시적인 6 nm, 8 nm, 10 nm 인 경우의 결과를 포함한다. 도 8은 상기  $\text{HfZrO}$  막이  $\text{Hf}_{0.25}\text{Zr}_{0.75}\text{O}_2$  박막인 경우에 대한 것이다.

[0070] 도 8을 참조하면, 소정 범위 내에서 전기적 사이클링(electric cycling)의 횟수가 증가함에 따라,  $\text{HfZrO}$  막의 유전율( $k$ )이 증가하는 것을 확인할 수 있다. 또한, 소정의 범위 내에서  $\text{HfZrO}$  막의 두께와 상관 없이, 유전율( $k$ )이 증가하는 경향성이 나타나는 것을 알 수 있다.

[0071] 도 9는 본 발명의 실시예에 따른 커패시터의  $\text{HfZrO}$  막에 대한 전기적 사이클링(electric cycling) 신호 인가 횟수에 따른  $\text{HfZrO}$  막의 EOT 변화를 나타내는 그래프이다. 도 9의 그래프는  $\text{HfZrO}$  막의 두께가, 비제한적으로 예시적인 6 nm, 8 nm, 10 nm 인 경우의 결과를 포함한다. 도 9는 상기  $\text{HfZrO}$  막이  $\text{Hf}_{0.25}\text{Zr}_{0.75}\text{O}_2$  박막인 경우에 대한 것이다.

[0072] 도 9를 참조하면, 소정 범위 내에서 전기적 사이클링(electric cycling)의 횟수가 증가함에 따라,  $\text{HfZrO}$  막의 EOT가 감소하는 것을 확인할 수 있다. 또한, 소정의 범위 내에서  $\text{HfZrO}$  막의 두께와 상관 없이, EOT가 감소하는 경향성이 나타나는 것을 알 수 있다.

[0073] 도 10은 본 발명의 실시예에 따른 커패시터의  $\text{HfZrO}$  막에 대한 전기적 사이클링(electric cycling) 및 열처리 온도에 따른  $\text{HfZrO}$  막의 포화분극과 잔류분극의 차이(즉, 2Ps-2Pr) 변화를 나타내는 그래프이다. 여기서, 상기 열처리 온도는 500°C, 600°C, 700°C 및 800°C 였다. 도 10은 상기  $\text{HfZrO}$  막이  $\text{Hf}_{0.25}\text{Zr}_{0.75}\text{O}_2$  박막인 경우에 대한 것이다. 박막의 결정립이 단사정계(monoclinic)일 경우 포화분극과 잔류분극이 모두 낮아 2Ps-2Pr 값이 낮고, 정방정계(tetragonal)의 경우 포화분극이 단사정계보다 증가하여 2Ps-2Pr 값도 증가하며, 정방정계와 사방정계(orthorhombic)의 상전이 영역의 경우 포화분극이 크게 증가하여 2Ps-2Pr 값도 가장 크고, 사방정계는 잔류분극이 포화분극과 비슷한 값까지 오르므로 다시 2Ps-2Pr 값이 0에 가까워진다.

[0074] 도 10을 참조하면,  $\text{HfZrO}$  막에 대한 열처리 온도 별로 전기적 사이클링(electric cycling) 횟수 증가에 따른 결정성 변화를 확인할 수 있다. 열처리 온도가 800°C로 높은 경우, 2Ps-2Pr 값이 급격하게 감소함을 통해 전기적 사이클링(electric cycling) 횟수 증가에 따른 상전이 영역에서 사방정계로의 결정성 변화가 상대적으로 매우 크게 나타날 수 있다.

[0075] 도 11은 도 8 내지 도 10의 결과를 하나의 그래프로 통합한 그래프이다. 세로축이  $K$  value(유전율 값)에 해당하는 그래프 부부은 도 8의 결과에 대응될 수 있고, 세로축이 EOT에 해당하는 그래프 부부은 도 9의 결과에 대응될 수 있으며, 세로축이 2Ps-2Pr에 해당하는 그래프 부부은 도 10의 결과에 대응될 수 있다.

[0076] 도 12는  $\text{HfZrO}$  막에 대한 열처리 온도에 따른 상기  $\text{HfZrO}$  막의 누설 전류 특성 변화를 나타내는 전압-전류밀도(voltage-current density) 그래프이다. 상기 열처리 온도는 500°C, 600°C, 700°C 및 800°C 였다. 도 12는 상기  $\text{HfZrO}$  막이  $\text{Hf}_{0.25}\text{Zr}_{0.75}\text{O}_2$  박막인 경우에 대한 것이다.

[0077] 도 12를 참조하면, 열처리 온도가 증가함에 따라, 상기  $\text{HfZrO}$  막의 누설 전류가 상당히 증가하는 것을 확인할 수 있다. 열처리 온도가 증가함에 따라 상기  $\text{HfZrO}$  막의 결정립 사이즈가 증가하고 결정입계가 성장하기 때문에, 상기  $\text{HfZrO}$  막의 누설 전류(터널링 전류)가 크게 증가할 수 있다.

[0078] 도 13은 도 12에서 설명한 각 열처리 온도로 처리된  $\text{HfZrO}$  막에 대하여 전기적 사이클링(electric cycling) 횟수 증가에 따른 누설 전류 특성 변화를 나타내는 그래프이다. 이때, 전류밀도를 측정하기 위한 전압의 세기는 0.6 V 였다. 도 13은 상기  $\text{HfZrO}$  막이  $\text{Hf}_{0.25}\text{Zr}_{0.75}\text{O}_2$  박막인 경우에 대한 것이다.

[0079] 도 13을 참조하면, 각 열처리 온도로 처리된  $\text{HfZrO}$  막에 대해서 전기적 사이클링(electric cycling) 횟수를 소정 범위 내에서 증가시키더라도,  $\text{HfZrO}$  막의 누설 전류는 거의 증가하지 않거나 약간만 증가하는 것을 확인할 수 있다. 각 열처리 온도에서 전기적 사이클링(electric cycling)에 따른 누설 전류 특성의 열화는 거의 발생하지 않을 수 있다.

[0080] 도 14는 도 12에서 설명한 각 열처리 온도로 처리된  $\text{HfZrO}$  막에 대하여 전기적 사이클링(electric cycling) 횟수 증가에 따른 EOT 대비 DRAM 허용 전압(기준 전압) 특성 변화를 나타내는 그래프이다. 도 14는 상기  $\text{HfZrO}$  막이  $\text{Hf}_{0.25}\text{Zr}_{0.75}\text{O}_2$  박막인 경우에 대한 것이다.

[0081] 도 14를 참조하면, 각 열처리 온도로 처리된  $\text{HfZrO}$  막에 대해서 전기적 사이클링(electric cycling) 횟수를 소

정 범위 내에서 증가시키더라도, 대체로 EOT만 감소할 뿐, DRAM 허용 전압(기준 전압) 특성은 거의 변화되지 않고 유지되는 것을 확인할 수 있다.

[0082] 도 15는 본 발명의 일 실시예에 따른 커패시터를 포함하는 DRAM 및 그 제조 방법을 예시적으로 설명하기 위한 단면도이다.

[0083] 도 15를 참조하면, 기판(SUB10)에 복수의 리세스 영역(R10)이 형성될 수 있다. 복수의 리세스 영역(R10)은 기판(SUB10)의 상면으로부터 리세스된 영역일 수 있다. 기판(SUB10)에는 절연성 영역(N10)이 구비될 수 있고, 또한, 웰 영역(well region)(W10)이 구비될 수 있다. 절연성 영역(N10)은 웰 영역(W10)을 정의하도록 구비될 수 있다. 웰 영역(W10)은 액티브 영역이라고 할 수 있다. 웰 영역(W10)은 소정의 불순물로 도핑된 반도체 영역일 수 있다. 예를 들어, 웰 영역(W10)은 p형 불순물로 도핑된 영역일 수 있고, 이 경우, 웰 영역(W10)에 형성되는 소스/드레인 영역(S11/S12/D15)은 n형 불순물로 도핑된 영역일 수 있다. 또는, 웰 영역(W10)은 n형 불순물로 도핑된 영역일 수 있고, 이 경우, 웰 영역(W10)에 형성되는 소스/드레인 영역(S11/S12/D15)은 p형 불순물로 도핑된 영역일 수 있다. 웰 영역(W10)은, 예컨대, Si을 포함할 수 있다. 절연성 영역(N10)은, 예컨대, SiO<sub>2</sub>를 포함하거나, 그 밖에 다른 절연 물질을 포함할 수도 있다. 절연성 영역(N10)은 소자 분리를 위한 STI(shallow trench insulator) 구조일 수 있으며, 기판(SUB10)은 비제한적 예로서, 실리콘, 실리콘/저머늄의 IV족 기판, 또는 III-V족 또는 II-VI족 화합물 기판일 수 있으며, 바디(body) 효과를 억제하기 위한 SOI(silicon-on-insulator)와 같은 적층 구조를 갖는 반도체 기판일 수도 있다.

[0084] 복수의 리세스 영역(R10)은, 예컨대, 상호 이격된 제 1 리세스 영역(R11) 및 제 2 리세스 영역(R12)을 포함할 수 있다. 제 1 리세스 영역(R11) 및 제 2 리세스 영역(R12)은 웰 영역(W10)으로 삽입되도록 구비될 수 있다. 복수의 리세스 영역(R10)의 내부 표면에 게이트 절연층(GN10)이 형성될 수 있고, 복수의 리세스 영역(R10) 각각의 내부에서 게이트 절연층(GN10) 상에 게이트(G10)가 형성될 수 있다. 게이트(G10)는 리세스 영역(R10)의 하부 영역을 채우도록 구비될 수 있다. 게이트(G10)는 소정의 도전 물질로 형성될 수 있다. 게이트(G10)는 리세스 게이트 전극이라고 할 수 있다. 제 1 리세스 영역(R11) 내에 배치된 게이트(G10)는 제 1 게이트(G11)라 할 수 있고, 제 2 리세스 영역(R12) 내에 배치된 게이트(G10)는 제 2 게이트(G12)라 할 수 있다.

[0085] 복수의 리세스 영역(R10) 각각의 내부에서 게이트(G10) 상에 절연성 캡핑층(NC10)이 형성될 수 있다. 절연성 캡핑층(NC10)은 리세스 영역(R10)의 상부 영역에 구비될 수 있다. 복수의 리세스 영역(R10) 사이 및 양측의 기판(SUB10) 영역 내에 소스 영역(S11, S12) 및 드레인 영역(D15)이 형성될 수 있다. 제 1 리세스 영역(R11)과 이와 인접한 절연성 영역(N10) 사이의 기판(SUB10) 내에 구비된 소스 영역(S11)은 '제 1 소스 영역'이라 할 수 있고, 제 2 리세스 영역(R12)과 이와 인접한 절연성 영역(N10) 사이의 기판(SUB10) 내에 구비된 소스 영역(S12)은 '제 2 소스 영역'이라 할 수 있다. 제 1 리세스 영역(R11)과 제 2 리세스 영역(R12) 사이의 기판(SUB10) 내에는 드레인 영역(D15)이 구비될 수 있다. 소스 영역(S11, S12) 및 드레인 영역(D15)은 불순물로 도핑된 영역, 즉, 불순물 영역(도핑 영역)일 수 있다. 소스 영역(S11, S12) 및 드레인 영역(D15)은 웰 영역(W10)의 불순물과 반대 타입의 불순물로 도핑된 영역일 수 있다. 소스 영역(S11, S12) 및 드레인 영역(D15)은 웰 영역(W10)의 상층부 내에 형성되었다고 할 수 있다.

[0086] 기판(SUB10)에 형성된 복수의 게이트(G10)와 소스/드레인 영역(S11/S12/D15) 등은 '스위칭 소자부'를 구성하거나 '스위칭 소자부'를 포함한다고 할 수 있다. 여기서, 복수의 게이트(G10)는 워드라인의 일부이거나, 워드라인과 전기적으로 연결될 수 있다.

[0087] 제 1 소스 영역(S11)에 전기적으로 연결된 제 1 커패시터(C11), 제 2 소스 영역(S12)에 전기적으로 연결된 제 2 커패시터(C12) 및 드레인 영역(D15)에 전기적으로 연결된 비트라인(BL10)이 형성될 수 있다. 편의상, 커패시터(C11, C12) 및 비트라인(BL10)은 단순하게 도시하였다. 커패시터(C11, C12)는 본 발명의 실시예에 따른 커패시터의 구성을 가질 수 있다. 또한, 커패시터(C11, C12)는 실린더(cylinder) 형상이나 컵(cup) 형상 등 다양한 형상 및 구조를 가질 수 있다.

[0088] 도 15에서는 게이트(G10)를 리세스 영역(R10)에 형성한 경우를 도시하고 설명하였지만, 이는 예시적인 것이고, 게이트(G10)는 일반적인 비리세스 구조를 가질 수도 있다. 그 밖에도 도 15의 DRAM 소자의 구성은 다양하게 변화될 수 있다.

[0089] 도 16은 본 발명의 실시예에 따라 제조된 DRAM 소자를 적용한 시스템(1000)의 전체적인 구성을 예시적으로 나타내는 블록도이다.

[0090] 도 16을 참조하면, 시스템(1000)은 제어기(1010), 입/출력 장치(1020), 메모리 소자(1030) 및 인터페이스

(1040)를 포함할 수 있다. 상기 시스템(1000)은 모바일 시스템 또는 정보를 전송하거나 전송받는 시스템일 수 있다. 일부 실시예에서, 상기 모바일 시스템은 PDA(personal digital assistant), 휴대용 컴퓨터(portable computer), 웹 태블릿(web tablet), 무선 폰(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card) 등일 수 있다. 제어기(1010)는 시스템(1000)에서의 실행 프로그램을 제어하기 위한 것으로, 마이크로프로세서(microprocessor), 디지털 신호 처리기(digital signal processor), 마이크로콘트롤러(microcontroller) 또는 이와 유사한 장치로 이루어질 수 있다. 입/출력 장치(1020)는 시스템(1000)의 데이터를 입력 또는 출력하는데 이용될 수 있다. 시스템(1000)은 입/출력 장치(1020)를 이용하여 외부 장치, 예컨대 개인용 컴퓨터 또는 네트워크에 연결되고, 외부 장치와 서로 데이터를 교환할 수 있다. 입/출력 장치(1020)는, 예를 들면, 키패드(keypad), 키보드(keyboard), 또는 표시장치(display)일 수 있다.

[0091] 메모리 소자(1030)는 제어기(1010)의 동작을 위한 코드 및/또는 데이터를 저장하거나, 제어기(1010)에서 처리된 데이터를 저장할 수 있다. 메모리 소자(1030)는 본 발명의 실시예들에 따라 제조된 DRAM의 구성을 포함할 수 있다.

[0092] 인터페이스(1040)는 상기 시스템(1000)과 외부의 다른 장치 사이의 데이터 전송 통로일 수 있다. 제어기(1010), 입/출력 장치(1020), 메모리 소자(1030) 및 인터페이스(1040)는 버스(1050)를 통해 서로 통신할 수 있다. 상기 시스템(1000)은 모바일 폰(mobile phone), MP3 플레이어, 네비게이션 (navigation), 휴대용 멀티미디어 재생기 (portable multimedia player, PMP), 고상 디스크(solid state disk; SSD) 또는 가전 제품(household appliances) 등에 이용될 수 있다. 그러나, 도 16에 도시된 시스템(1000)의 구성은 예시적인 것에 불과하고, 경우에 따라, 변경될 수 있다.

[0093] 이상에서 설명한 본 발명의 실시예들에 따르면, 높은 유전율을 갖고 얇은 EOT를 실현할 수 있으며 누설 전류 문제를 억제(또는 최소화)할 수 있는 유전체층을 포함하는 DRAM용 커패시터를 구현할 수 있다. 또한, 본 발명의 실시예들에 따르면, 전기적 신호 인가를 이용해서 특성 열화 등의 문제 없이, 상기한 DRAM용 커패시터를 용이하게 제조할 수 있다. 이러한 실시예들에 따른 커패시터를 적용하면, 작은 메모리 셀 사이즈를 가지면서도 우수한 동작 특성을 갖는 DRAM 소자를 구현할 수 있다.

[0094] 본 명세서에서는 본 발명의 바람직한 실시예에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 발명의 이해를 돋기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다. 해당 기술 분야에서 통상의 지식을 가진 자라면, 도 1 내지 도 16을 참조하여 설명한 실시예에 따른 DRAM 용 커패시터와 이를 포함하는 DRAM 및 이들의 제조 방법이, 본 발명의 기술적 사상이 벗어나지 않는 범위 내에서, 다양하게 치환, 변경 및 변형될 수 있음을 알 수 있을 것이다. 때문에 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특히 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

## 부호의 설명

[0095] \* 도면의 주요 부분에 대한 부호설명 \*

1 : 정방정계 결정립 2 : 사방정계 결정립

BL1, BL2, BL10 : 비트라인 C1, C11, C12 : 커패시터

D1, D10 : 유전체층 D15 : 드레인 영역

E10 : 제 1 전극 E20 : 제 2 전극

G10 : 게이트 GN10 : 게이트 절연층

N10 : 절연성 영역 NC10 : 절연성 캡핑층

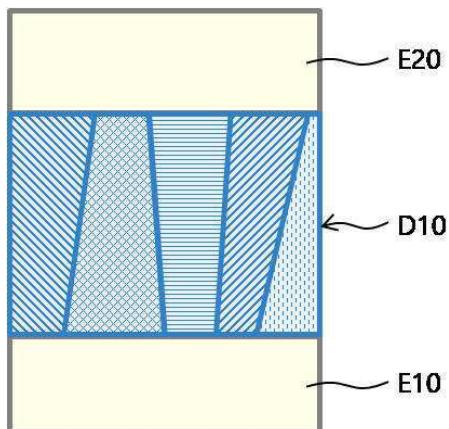
R10 : 리세스 영역 SUB10 : 기판

T1 : 스위칭 소자 W10 : 웰 영역

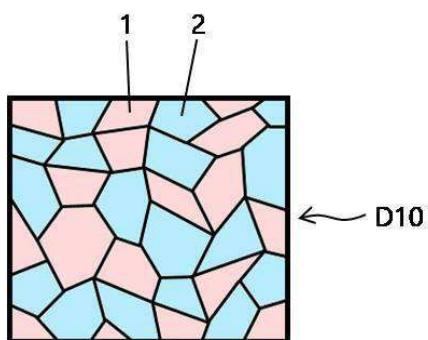
WL1, WL2 : 워드라인

도면

도면1



도면2



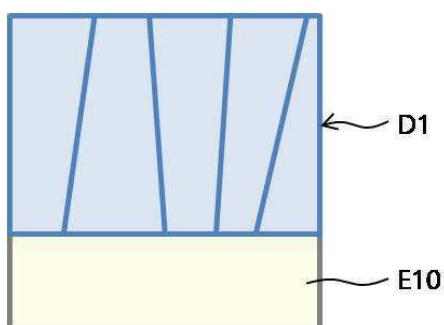
**Tetragonal**

**Orthorhombic**

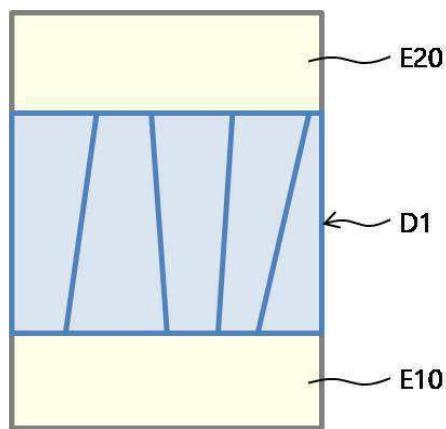
도면3a



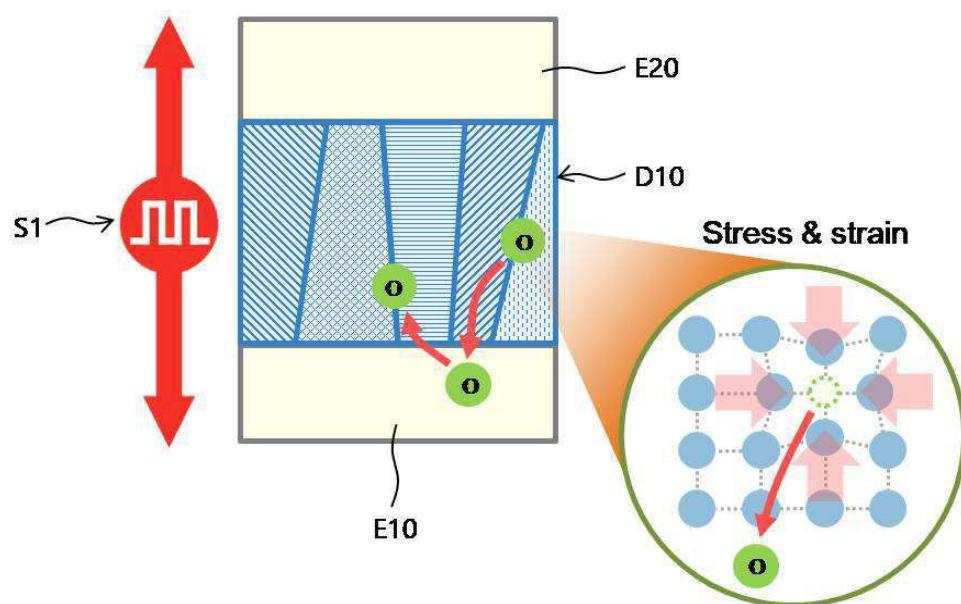
도면3b



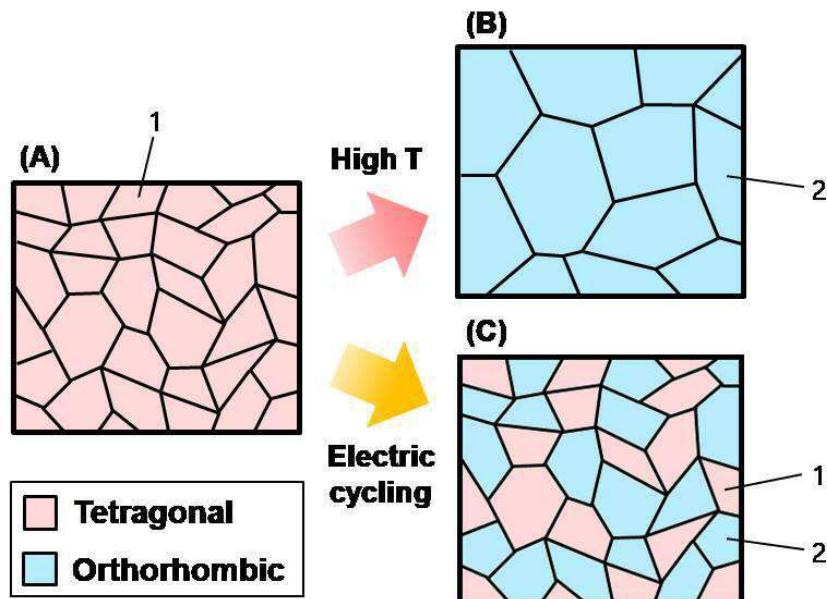
도면3c



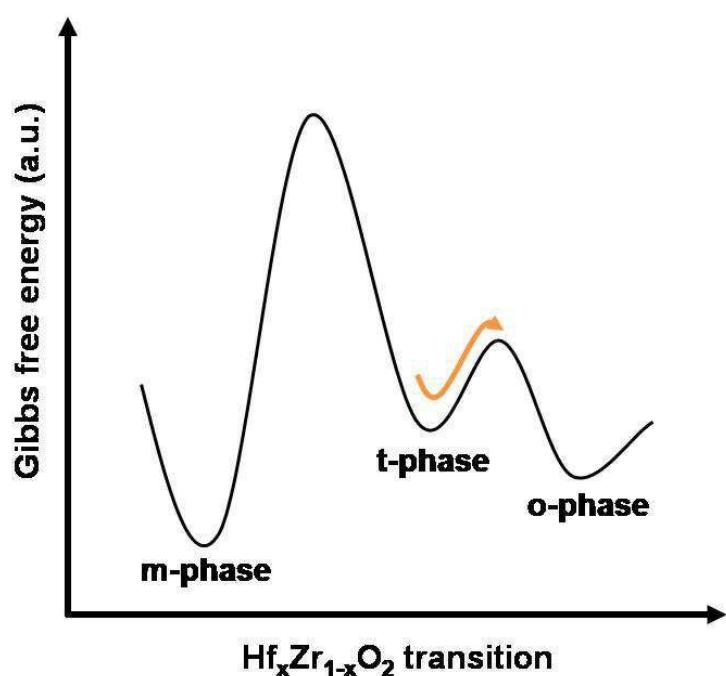
도면3d



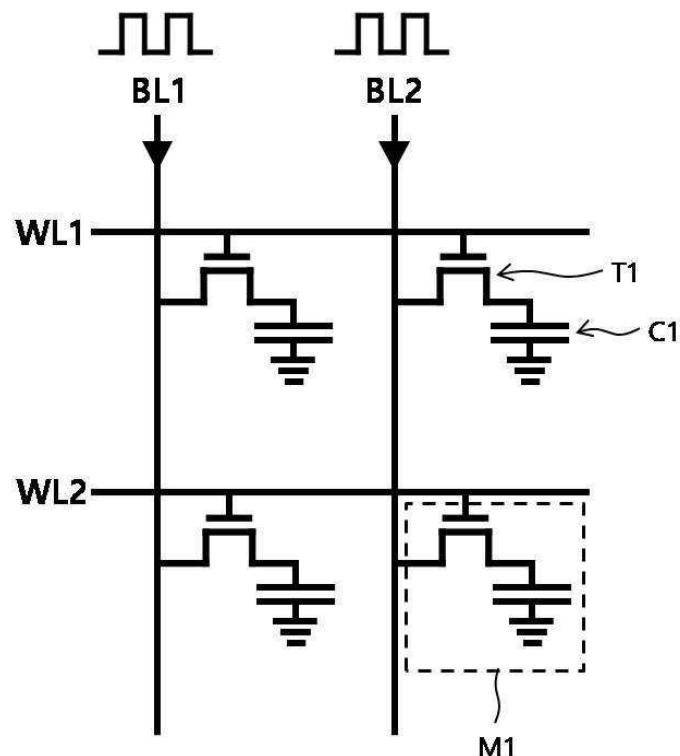
도면4



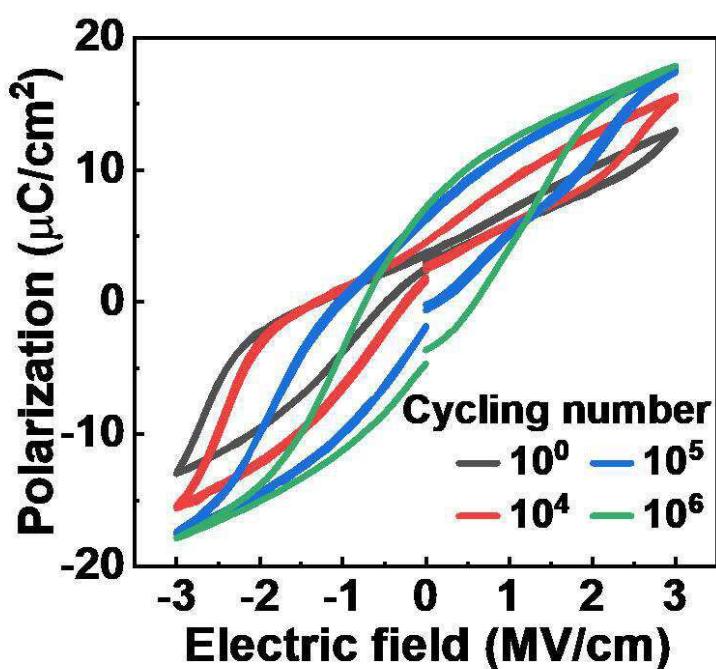
도면5



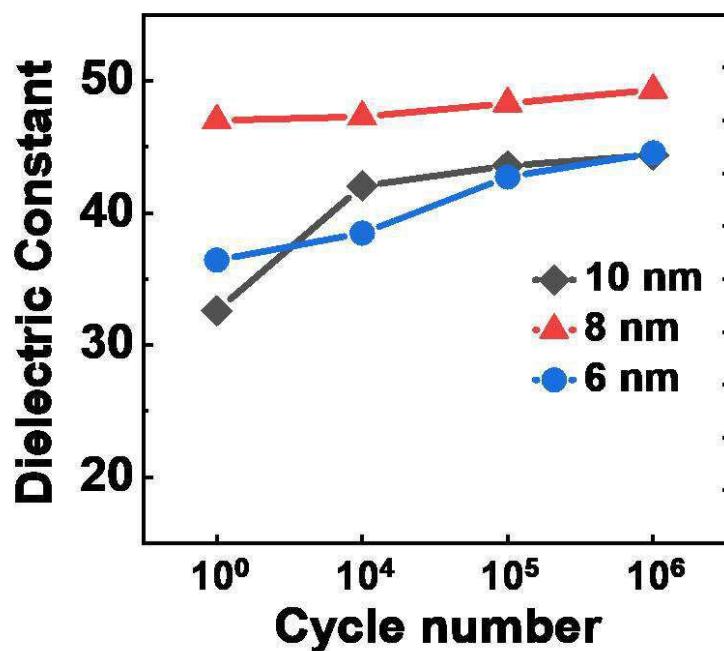
도면6



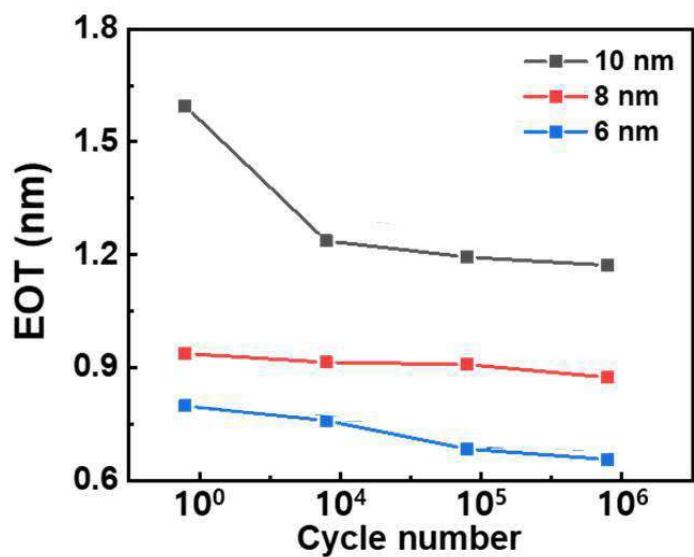
도면7



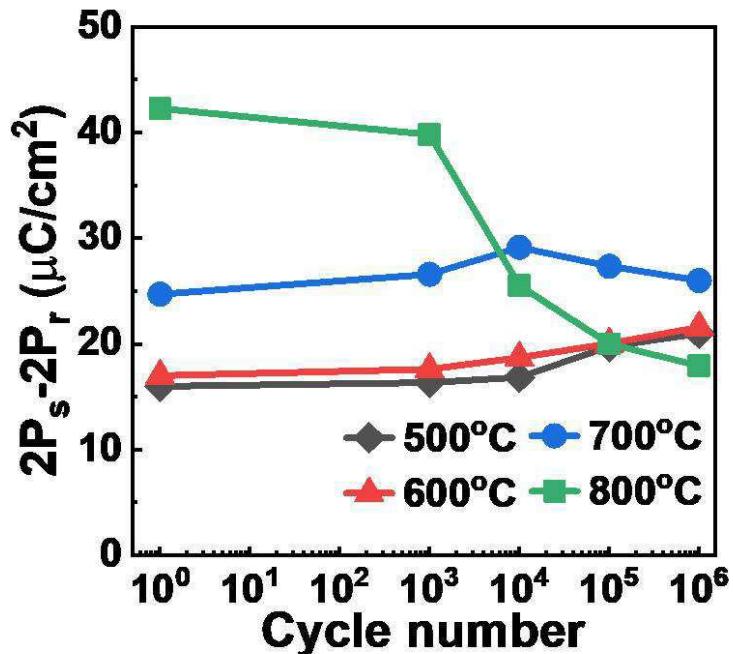
도면8



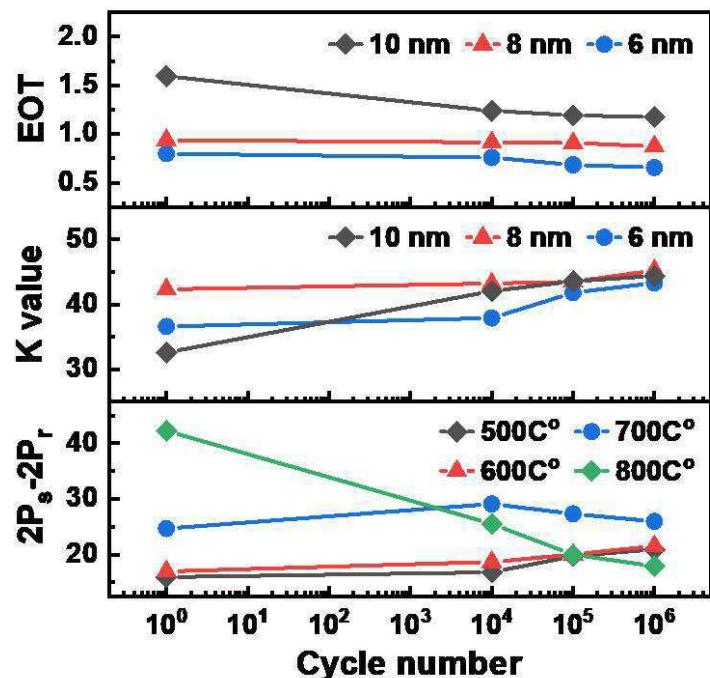
도면9



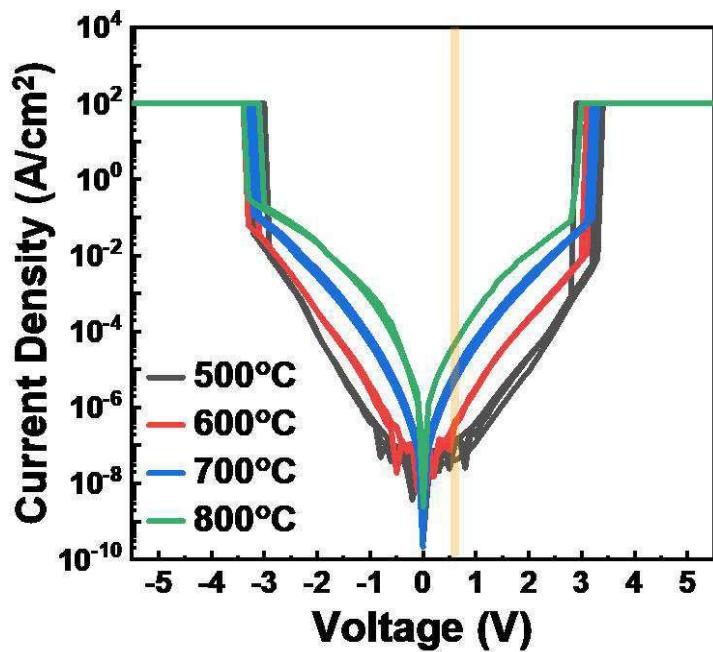
도면10



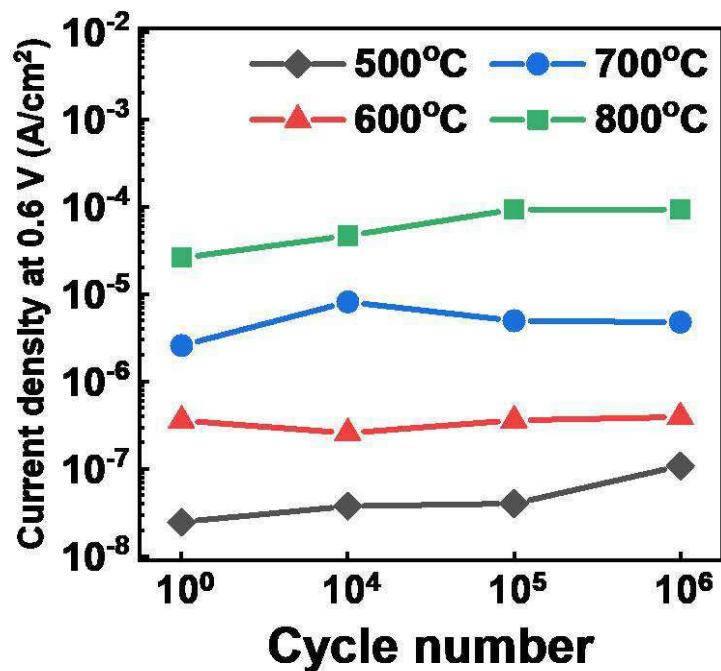
도면11



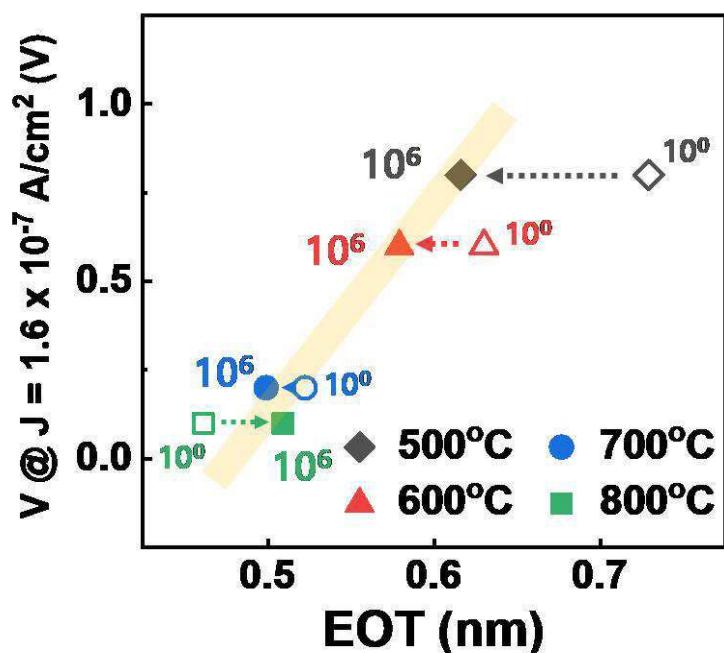
도면12



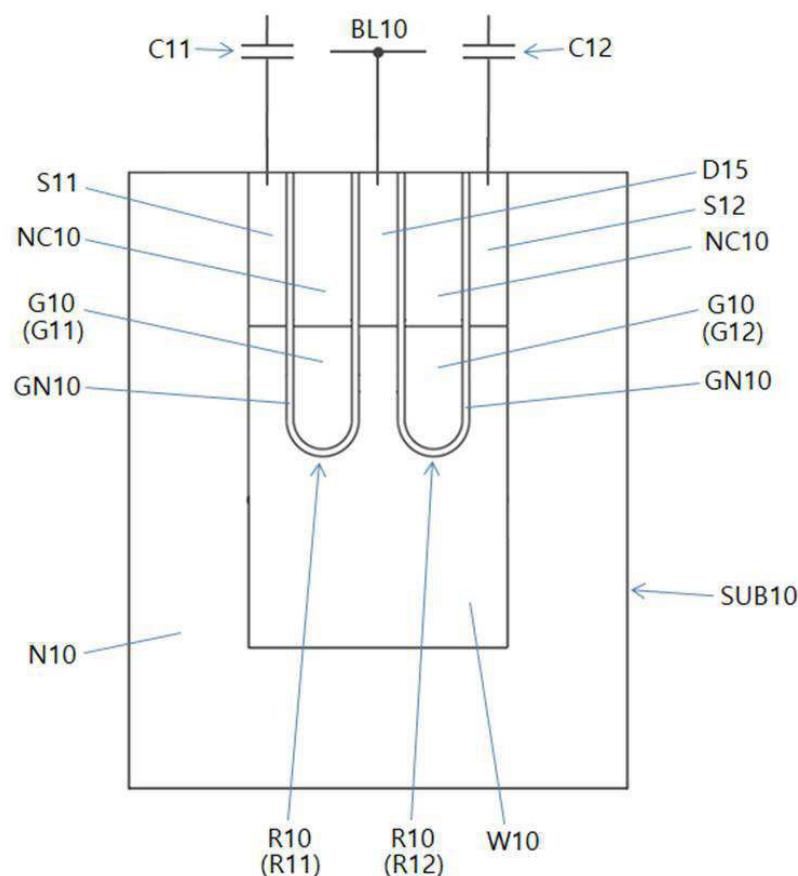
도면13



도면14



도면15



도면16

1000

