

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4352365号
(P4352365)

(45) 発行日 平成21年10月28日(2009.10.28)

(24) 登録日 平成21年8月7日(2009.8.7)

(51) Int.Cl.

F I

H O 1 L 23/12 (2006.01)

H O 1 L 23/12 5 O 1 W

請求項の数 9 (全 8 頁)

(21) 出願番号	特願2001-218921 (P2001-218921)	(73) 特許権者	500587067
(22) 出願日	平成13年7月19日(2001.7.19)		アギア システムズ インコーポレーテッド
(65) 公開番号	特開2002-93949 (P2002-93949A)		アメリカ合衆国、18109 ペンシルヴァニア、アレントアウン、アメリカン パークウェイ エヌイー 1110
(43) 公開日	平成14年3月29日(2002.3.29)		
審査請求日	平成15年8月25日(2003.8.25)	(74) 代理人	100064447
(31) 優先権主張番号	09/620939		弁理士 岡部 正夫
(32) 優先日	平成12年7月21日(2000.7.21)	(74) 代理人	100085176
(33) 優先権主張国	米国 (US)		弁理士 加藤 伸晃
前置審査		(74) 代理人	100096943
			弁理士 臼井 伸一
		(74) 代理人	100101498
			弁理士 越智 隆夫
			最終頁に続く

(54) 【発明の名称】 集積回路パッケージの製造方法および集積回路パッケージ

(57) 【特許請求の範囲】

【請求項 1】

集積回路パッケージであって、

第一の誘電層と、

互いに絶縁された第一の領域および第二の領域を有し、前記第一の誘電層上に配置された第一の導電層と、

前記第一導電層の上に配置され開放された空洞を有する第二の誘電層であって、前記第一と第二の領域が前記空洞内に露出されるような第二の誘電層と、

前記第二の誘電層の上に位置していて、第一の導電性ワイヤを介して前記第一の導電層の露出された第一の領域に接続されるとともに、第二の導電性ワイヤを介して前記第一の導電層の露出された第二の領域に接続されている集積回路チップとを含む基板を備える集積回路パッケージ。

【請求項 2】

請求項 1 記載の集積回路パッケージにおいて、前記第一の導電層が連続領域を含み、前記集積回路チップが複数のボンド・パッドを含み、前記連続領域が前記ボンド・パッドの一つより多くと接続している集積回路パッケージ。

【請求項 3】

請求項 2 記載の集積回路パッケージにおいて、前記連続領域が、接地電位を有するアース面および電源電位を有する電力面のうち的一方である集積回路パッケージ。

【請求項 4】

10

20

請求項 1 記載の集積回路パッケージにおいて、前記第一の導電層の露出部分が、接地電位を有するアース面と電源電位を有する電力面の一方を含む集積回路パッケージ。

【請求項 5】

請求項 4 記載の集積回路パッケージにおいて、前記第一の導電層の露出部分が、信号ライン用の少なくとも一つの接続部を含む集積回路パッケージ。

【請求項 6】

請求項 1 記載の集積回路パッケージにおいて、さらに、前記第二の誘電層上に形成された第二の導電層を備える集積回路パッケージ。

【請求項 7】

集積回路パッケージであって、

第一の誘電層と、

前記第一の誘電層上に配置され、かつ互いに絶縁された第一の領域および第二の領域を有する第一の導電層と、前記第一導電層の上に形成されていて、前記第一と第二の領域が空洞内で露出され、それぞれが第一と第二の導電性ワイヤを介して集積回路チップに接続されている空洞を有する第二の誘電層と、

前記第二の誘電層の上に位置する第二の導電層であって、その上方に、前記集積回路チップが配置される領域を有する第二の導電層とを含む基板を備える集積回路パッケージ。

【請求項 8】

請求項 7 記載の集積回路パッケージにおいて、前記第一の導電層の前記露出部分が、接地電位を有するアース面および電源電位を有する電力面のうち的一方を形成する集積回路パッケージ。

【請求項 9】

請求項 8 記載の集積回路パッケージにおいて、前記第一の導電層の露出形成された部分が、さらに、信号ライン用の接続部を形成する集積回路パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、概して、集積回路に関し、特に集積回路用パッケージおよびこれらのパッケージの製造方法に関する。

【0002】

【従来の技術】

ボール・グリッド・アレイ (BGA) 集積回路パッケージ (以後、BGA パッケージと呼ぶ) は、集積回路チップを装着するために広く使用されている。何故なら、上記 BGA パッケージは、他のパッケージ技術と比較した場合、いくつかの利点を持っているからである。BGA パッケージを使用すれば、狭い表面積内に複数のピン構造体を装着することができる。さらに、BGA パッケージは、衝撃による損傷を受けにくい。何故なら、BGA パッケージの外側のターミナルは、短くずんぐりしているからである。さらに、BGA パッケージは、電気的性能を優れたものにするボール・トレースを半田付けするための比較的短いボンド・パッドを持つ。

【0003】

図 8 は、代表的な BGA パッケージである。BGA パッケージは、二重側面構造または多重層構造にすることができる基板 1 と、接着剤 2 により基板 1 の上面上に装着されている集積回路チップ 3 とを含む。金属ワイヤ 4 が、集積回路の上面上に形成されている複数のボンド・パッド 3a と、基板 1 上に形成されているボンド・パッド 7 とを電気的に相互に接続している。同様に、集積回路チップ 3 および金属ワイヤ 4 を封入するために、基板 1 の上面上に形成されている成形部分 5 も設置されている。半田ボール 6 は、基板 1 の下面に取り付けられる。ボンド・パッド 7 は、基板 1 内に形成されているメッキ貫通孔 8 により半田ボール 6 に接続している。

【0004】

BGA パッケージを製造するために、集積回路チップ 3 は、ダイ・ボンディング・プロセ

10

20

30

40

50

スにより接着剤 2 で基板 1 の上面の中央部に取り付けられる。その後のワイヤ・ボンディング・プロセス中に、集積回路 3 の上面上に形成されたボンド・パッド 3 a、および基板 1 上に形成されたボンド・パッド 7 が、金属ワイヤ 4 により相互接続される。成形プロセスを使用することにより、集積回路 3、金属ワイヤ 4 および基板 1 の上面の一部がエポキシにより封入され、成形部分 5 を形成する。半田ボール取付けプロセス中に、半田ボール 6 は、基板 1 の下面に取り付けられる。

【 0 0 0 5 】

【発明が解決しようとする課題】

この B G A パッケージは利点も持っているが欠点もある。例えば、電力リングとアース・リングとの間に複数の層の金属化構造体と、各内部面からなる基板 1 内に多数の貫通孔が形成される。その結果、電気的性能が低下する。何故なら、内部電力面とアース面を通る電流用の導電路が少なくなるからである。従って、この問題を軽減する B G A パッケージの開発が望まれている。

【 0 0 0 6 】

【課題を解決するための手段】

集積回路パッケージの基板は、基板内の下方に位置する導電層を露出している空洞を持ち、そのため、集積回路とその下に位置する導電体の層との間に接続部を形成することができる。そのため、導電性層間のメッキ貫通孔はそれほど重要でなくなる。その結果、内部電力面とアース面内の導電路を必ずしもメッキ貫通孔により形成する必要がなくなり、従来技術の場合に発生した電気的性能低下を避けたり、幾分緩和したりすることができる。さらに、本発明を使用すれば、もっと多くの信号電流を追加することもできるし、および/または集積回路の大きさを小さくすることもできる。複数のボンディング階層の集積回路パッケージの場合には、ワイヤ間の距離が長くなり、そのため、ワイヤ・ボンディング・プロセス、およびその後の封入プロセスを容易に行うことができる。

【 0 0 0 7 】

図に示すように、集積回路パッケージの基板は、第一の誘電層の上に形成された導電層、および上記第一の導電層の上に形成された第二の誘電層を含む。第二の誘電層は、第一の導電層の一部を露出している空洞を含む。また、第一の導電層の露出部分に接続している第二の誘電層の上に位置する集積回路が設置されている。

【 0 0 0 8 】

上記一般的な説明および下記の詳細な説明は、両方とも例示としてのものであって、本発明を制限するものではないことを理解されたい。

【 0 0 0 9 】

【発明の実施の形態】

添付の図面を参照しながら、以下の詳細な説明を読めば、本発明を最もよく理解することができるだろう。半導体業界の慣例により、図面の種々の部材は正確に縮尺されていないことを強調しておきたい。それどころか、図面を見やすくするために、種々の部材の寸法は、任意に拡大または縮小してある。

【 0 0 1 0 】

図面について説明するが、図面全体を通して、類似の素子には、類似の参照番号がつけてある。図 1 は、本発明の例示としての実施形態による集積回路パッケージを製造するためのプロセスを示すフローチャートである。図 2 - 図 6 を参照しながら、図 1 のプロセスについて説明する。

【 0 0 1 1 】

ステップ 1 0 0 において、多重層基板 1 0 (図 2) が供給される。多重層基板 1 0 の製造プロセスは周知である。基板は、絶縁層 2 0、2 2、2 4 および導電層 3 0、3 2、3 4、3 6 を含む。導電層 3 0、3 2、3 4、3 6 は、標準的な技術によりパターン形成することができる。これらの層は、多重層基板 1 0 の頂部 1 2 と底部 1 4 とを相互接続するためにパターン形成される。導電層 3 0、3 2、3 4、3 6 は、銅のような金属、または他の適当な導電性材料で作ることができる。

【 0 0 1 2 】

ステップ 1 1 0 において、4 0 および 4 2 (図 3) のような貫通孔が、標準的プロセスにより多重層基板 1 0 内に形成される。例えば、貫通孔は、多重層基板 1 0 を機械的又は、レーザにより穴開けすることにより形成することができる。図には二つの貫通孔 4 0 および 4 2 しか示していないが、多重層基板 1 0 には多数の貫通孔を形成することができる。

【 0 0 1 3 】

次に、ステップ 1 1 2 において、貫通孔 4 0 および 4 2 および外側の導電層にメッキが行われる。外側の導電層は、導電層 3 2 および 3 6 を含む。メッキ・プロセスは、貫通孔を含む露出した表面上でのシード層の形成と、その後での無電解メッキ・フラッシュおよび電解メッキを含む。メッキ材料としては、例えば、銅を使用することができる。ステップ 1 1 4 において、導電層 3 2 および 3 6 が、周知のプロセスによりパターン形成される。その後で、ステップ 1 1 6 においては、半田マスク 4 6 が導電層 3 2 の上に置かれ、導電層 3 2 および絶縁層 2 2 の一部を露出するためにパターン形成が行われる。

【 0 0 1 4 】

次に、ステップ 1 2 0 において、導電層 3 0 を露出するために、絶縁層 2 2 内に空洞 5 0 (図 5) が形成される。空洞 5 0 は、ルーティング、レーザ・ミリング、プラズマ・エッチング、または他の空洞形成技術により形成することができる。導電層 3 0 を露出することにより、集積回路から多重層基板 1 0 の少なくとも二つの異なるボンディング階層へのワイヤ・ボンドを直接形成することができる。

【 0 0 1 5 】

導電層 3 0 の一つまたはそれ以上の露出部分は、電力面を形成することができる。この場合、集積回路の複数のボンド・パッドを、露出面と相互に接続することができる。電力面の代わりに、導電層 3 0 の露出部分はアース面を形成することができる。このようにして、電力またはアースに接続するための複数の貫通孔の数を少なくすることもできるし、または全面的に使用しないですますこともできる。露出した導電層 3 0 の一部は、また、アース面、電力面または信号ライン用の接続部のうちの一つまたはそれ以上を含む領域の組合せを含むことができる。

【 0 0 1 6 】

ステップ 1 3 0 において、導電性ワイヤをボンドすることができる材料を、導電層 3 0 および 3 2 の露出した導電領域上に形成することができる。導電性材料は、ニッケル上に形成された金を含むことができる。この場合、ニッケルは、導電層 3 0 および 3 2 の露出部分上にメッキされ、金はニッケル上にメッキされる。

【 0 0 1 7 】

ステップ 1 4 0 において、デバイスが完成する (図 6) 。このステップは、接着剤 7 0 による多重層基板 1 0 への集積回路チップ 7 5 の接続を含む。ワイヤ・ボンド 8 0 は、集積回路上のボンド・パッド (図示せず) と、多重層基板 1 0 上の接続領域、および / またはボンド・パッド 3 0 a 、 3 0 b 、 3 2 a 、 3 2 b との間に形成される。接続領域は、ワイヤを直接導電層 3 0 および 3 2 に接続することができる、ボンド・パッドのような領域である。さらに、集積回路チップおよびワイヤ・ボンドの上にエポキシを上から成形し、半田ボール 6 5 が、従来技術により (導電層 3 6 から形成された) 接続パッド 6 0 に接続される。

【 0 0 1 8 】

例示の実施形態の場合には、集積回路チップ 7 5 は、マスク 4 6 のセグメント上に形成される (図 6 および図 7) 。図では、アース面に接続しているワイヤ・ボンドは一つであるが、集積回路 7 5 とアース面 3 2 a とを相互接続するために、複数のワイヤ・ボンドを使用することができる。その結果、集積回路 7 5 をアースするために、多重層基板 1 0 内に複数の貫通孔を形成する必要はなくなる。

【 0 0 1 9 】

さらに、導電層 3 0 のセグメント 3 0 a は、電力面を形成し、集積回路チップ 7 5 に電氣的に接続することができる。図には、電力面 3 0 a に接続しているワイヤ・ボンドは一

10

20

30

40

50

つしかないが、集積回路チップ75と電力面30aとを相互接続するために、複数のワイヤ・ボンドを使用することができる。その結果、集積回路チップ75を電力面30aに相互接続するために、多重層基板10内に複数の貫通孔を形成する必要がなくなる。別の方法としては、セグメント30bは電力面を形成することができる。電力面、アース面、または導電層の他のセグメントを、集積回路の一つ、二つ、三つまたはそれ以上の側面に沿って連続領域として形成することができるし、電力面、アース面または導電層のその他のセグメントを集積回路を囲むように配置することもできる。

【0020】

例示としての実施形態を参照しながら本発明を説明してきた。上記の例示としての実施形態は、四つの導電層を含むが、本発明は、三つまたはそれ以上の導電層、およびこれらの導電層を分離するための関連絶縁層を含む基板に適用することができる。さらに、空洞を、基板内に一つまたはそれ以上の導電層を露出している基板の二つ以上の誘電層内に形成することができる。さらに、信号ライン用の接続部、電力またはアース、またはその組合せを基板の空洞内に設けることができる。従って、添付の特許請求の範囲は、当業者であれば、本発明の真の精神および範囲から逸脱することなしに実行することができる他の変更および実施形態を含むものと解釈されたい。

10

【0021】

【発明の効果】

本発明によれば、集積回路チップと一緒に使用するためのBGAパッケージのような集積回路パッケージが提供される。

20

【図面の簡単な説明】

【図1】ボール・グリッド・アレイ・パッケージを製造するための、本発明の例示としてのプロセスのフローチャートである。

【図2】図1のプロセスによる連続製造段階中のボール・グリッド・アレイ基板の略図である。

【図3】図1のプロセスによる連続製造段階中のボール・グリッド・アレイ基板の略図である。

【図4】図1のプロセスによる連続製造段階中のボール・グリッド・アレイ基板の略図である。

【図5】図1のプロセスによる連続製造段階中のボール・グリッド・アレイ基板の略図である。

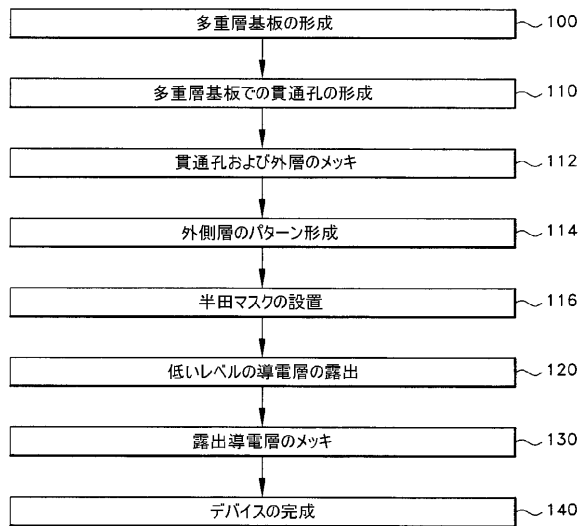
30

【図6】図1のプロセスによる連続製造段階中のボール・グリッド・アレイ基板の略図である。

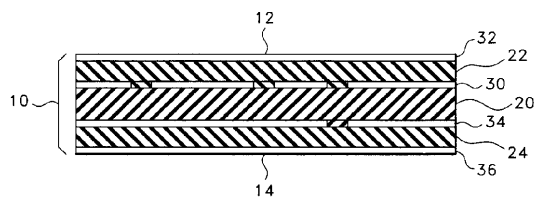
【図7】図5のボール・グリッド・アレイ基板の平面図である。

【図8】従来のボール・グリッド・アレイ・パッケージの略図である。

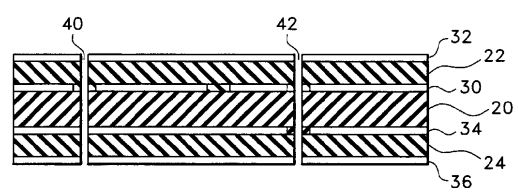
【図 1】



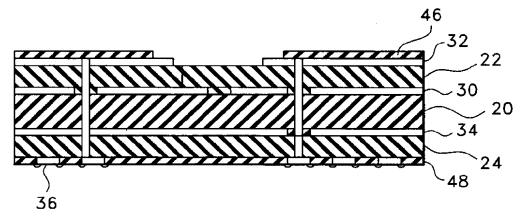
【図 2】



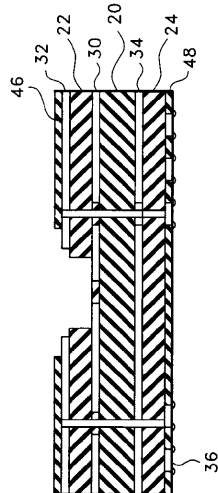
【図 3】



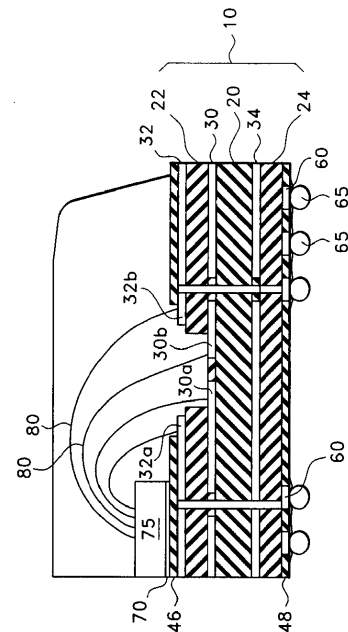
【図 4】



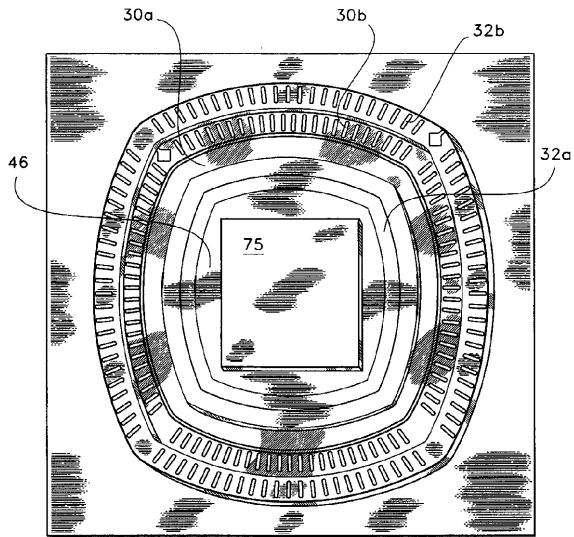
【図 5】



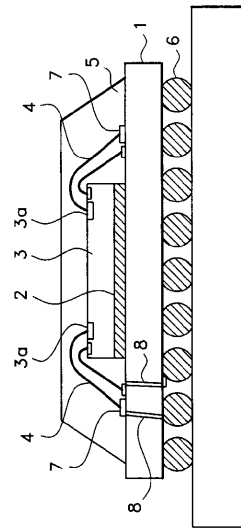
【図 6】



【図 7】



【図 8】



フロントページの続き

(74)代理人 100104352

弁理士 朝日 伸光

(72)発明者 チャールズ コーン

アメリカ合衆国 07470 ニュージャージー, ウエイン, イートン コート 8

(72)発明者 ドナルド アール ホーク, ジュニア

アメリカ合衆国 19406 ペンシルヴァニア, キング オブ プルッシア, デーブ ホロー
ロード 125

審査官 板谷 一弘

(56)参考文献 特開平11-204688(JP, A)

特開平04-286148(JP, A)

特開平11-054689(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12