



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0028048

(43) 공개일자 2016년03월11일

(51) 국제특허분류(Int. Cl.)

H03L 7/08 (2006.01) H03K 7/08 (2006.01)

(21) 출원번호 10-2014-0116263

(22) 출원일자 2014년09월02일

심사청구일자 2014년09월02일

(71) 출원인

인하대학교 산학협력단

인천광역시 남구 인화로 100, 인하대학교 (용현동)

(72) 발명자

양은호

제주 서귀포시 안덕면 화순로87번길 16-3

강진구

서울특별시 서초구 잠원로12길 5, 335동 1003호(잠원동, 신반포아파트)

(74) 대리인

양성보

전체 청구항 수 : 총 6 항

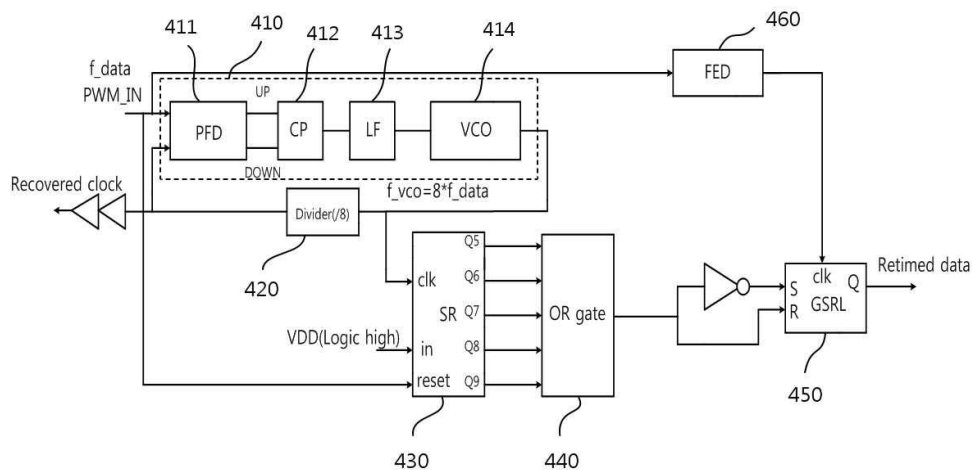
(54) 발명의 명칭 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 회로 및 방법

(57) 요약

데이터비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 회로 및 방법이 개시된다. 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 회로에 있어서, 위상 주파수 감지기(Phase-frequency detector; PFD), 충전 펌프(Charge

(뒷면에 계속)

대표도 - 도4



pump; CP), 루프 필터(Loop filter; LF), 및 전압 제어 발진기(Voltage controlled oscillator; VCO)가 순차적으로 연결되어 구성되는 위상 고정 루프(Phase-locked loop; PLL); 상기 위상 고정 루프에 연결되는 D 플립플롭(Flip Flop)으로 구성되는 디바이더(Divider); 상기 전압 제어 발진기의 출력 클럭(Clock)을 클럭(Clock, clk) 단자로 입력하고, in 단자에는 VDD(Logic high)를 인가하며, 리셋(reset) 단자에는 펄스-폭 변조(Pulse-width modulation; PWM) 데이터를 인가하는 시프트 레지스터(Shift Register; SR); 상기 시프트 레지스터의 출력 파형을 통과시키는 OR 게이트; 및 상기 OR 게이트 뒤에 배치되어 입력 신호로 사용될 셋(Set)과 리셋(Reset) 신호를 형성하는 게이트 SR 래치(Gated SR-Latch; GSRL)를 포함할 수 있다.

명세서

청구범위

청구항 1

데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 회로에 있어서,

위상 주파수 감지기(Phase-frequency detector; PFD), 충전 펌프(Charge pump; CP), 루프 필터(Loop filter; LF), 및 전압 제어 발진기(Voltage controlled oscillator; VCO)가 순차적으로 연결되어 구성되는 위상 고정 루프(Phase-locked loop; PLL);

상기 위상 고정 루프에 연결되는 D 플립플롭(Flip Flop)으로 구성되는 디바이더(Divider);

상기 전압 제어 발진기의 출력 클럭(Clock)을 클럭(Clock, clk) 단자로 입력하고, in 단자에는 VDD(Logic high)를 인가하며, 리셋(reset) 단자에는 펄스-폭 변조(Pulse-width modulation; PWM) 데이터를 인가하는 시프트 레지스터(Shift Register; SR);

상기 시프트 레지스터의 출력 파형을 통과시키는 OR 게이트; 및

상기 OR 게이트 뒤에 배치되어 입력 신호로 사용될 셋(Set)과 리셋(Reset) 신호를 형성하는 게이트 SR 래치(Gated SR-Latch; GSRL)

를 포함하는 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 회로.

청구항 2

제1항에 있어서,

입력되는 상기 펄스-폭 변조(Pulse-width modulation; PWM) 데이터의 하강 에지(falling edge)를 검출하여 상기 게이트 SR 래치의 클럭 신호(CLOCK, clk)를 입력하는 하강 에지 감지기(Falling Edge Detector; FED)

를 더 포함하는 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 회로.

청구항 3

제1항에 있어서,

상기 시프트 레지스터는

상기 전압 제어 발진기의 출력 클럭은 잠금 상태(Lock condition)가 되면 데이터 속도(Data rate)보다 8배 빠른 주파수를 가질 수 있어, 상기 8배 빠른 주파수를 갖는 상기 출력 클럭을 상기 시프트 레지스터의 클럭으로 입력 받는 것

을 특징으로 하는 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 회로.

청구항 4

제1항에 있어서,

상기 디바이더는

TSPC(True Single Phase Clock) D 플립플롭으로 구성되는 8분주 디바이더인 것

을 특징으로 하는 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 회로.

청구항 5

제2항에 있어서,

상기 게이트 SR 래치는

상기 OR 게이트를 통과한 신호가 R(Reset) 단자에 입력되고, 상기 OR 게이트를 통과한 신호가 인버터를 통과하여 반전된 신호가 S(Set) 단자에 입력되어, 상기 S(Set) 단자, 상기 R(Reset) 단자, 및 상기 게이트 SR 래치의 클럭(CLOCK, clk) 신호에 의해서 상기 펄스-폭 변조 입력 데이터가 복원되는 것

을 특징으로 하는 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 회로.

청구항 6

데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 방법에 있어서,

위상 주파수 감지기(Phase-frequency detector; PFD), 충전 펌프(Charge pump; CP), 루프 필터(Loop filter; LF), 및 전압 제어 발진기(Voltage controlled oscillator; VCO)를 순차적으로 연결하여 위상 고정 루프(Phase-locked loop; PLL)를 형성하는 단계;

상기 위상 고정 루프에 TSPC(True Single Phase Clock) D 플립플롭(Flip Flop)으로 구성되는 8분주 디바이더(Divider)를 연결하는 단계;

상기 전압 제어 발진기의 출력 클럭(Clock)을 시프트 레지스터(Shift Register; SR)의 클럭(Clock, clk)으로 입력하고, 상기 시프트 레지스터의 in 단자에는 VDD(Logic high)를 인가하며, 리셋(reset) 단자에는 펄스-폭 변조(Pulse-width modulation; PWM) 데이터를 인가하는 단계;

상기 시프트 레지스터의 출력 파형을 OR 게이트를 통과시키는 단계; 및

상기 OR 게이트를 통과한 신호를 상기 게이트 SR 래치의 R(Reset) 단자에 입력하고, 상기 OR 게이트를 통과한 신호가 인버터를 통과하여 반전된 신호를 S(Set) 단자에 입력하며, 클럭(CLOCK, clk) 단자에 하강 에지 감지기(Falling Edge Detector; FED)의 출력 신호(falling edge)를 인가하는 단계

를 포함하는 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 방법.

발명의 설명

기술 분야

[0001]

본 발명은 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 회로 및 방법에 관한 것이다. 더욱 상세하게는, 지터(Jitter) 성분에 의해 발생할 수 있는 출력 데이터(Output Data) 비트 오류(Bit Error Rate)를 줄이는 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 회로 및 방법에 관한 것이다.

배경 기술

[0002]

최근, 각종 모바일 장치(Mobile Device)들은 소형화를 뛰어 넘어 착용 가능한(Wearable) 장치로까지 발전해가고 있다. 이러한 시대적 흐름에 맞게 모바일 장치(Mobile Device) 설계자들은 저전력(Low power), 저면적(Small size)을 가지는 칩을 설계해야 한다. 따라서, 송신하는 데이터 비트(Data bit) 값에 따라 펄스 신호(signal pulse)의 폭(width)을 다르게 하여 송신할 경우, 클럭(Clock)을 전송하는데 필요한 별도의 채널(Channel)을 사용하지 않고 하나의 채널(Channel)을 통하여 데이터(Data)와 클럭(Clock) 정보를 전송할 수 있게 되고, 수신기(Receiver)에서는 종래의(conventional) 위상 고정 루프(Phase-locked loop; PLL)를 이용하여 손쉽게 데이터(Data)와 클럭(Clock) 정보를 복원할 수 있게 된다.

[0003]

도 1은 종래의 PWM 방식의 CDR 회로의 블록 다이어그램을 나타낸 도면이다.

[0004] 도 1을 참조하면, PWM 방식의 CDR 회로의 블록 다이어그램을 나타낸 것으로, 위상 고정 루프(Phase-locked loop; PLL)는 위상 주파수 감지기(Phase-frequency detector; PFD)(101), 충전 펌프(Charge pump; CP)(102), 루프 필터(Loop filter; LF)(103), 그리고 전압 제어 발진기(Voltage controlled oscillator; VCO)(104)를 포함할 수 있다.

[0005] 이러한, 종래의 위상 고정 루프(Phase-locked loop; PLL)를 이용하여 펄스-폭 변조(Pulse-width modulation; PWM) 형태의 데이터(Data)로부터 클럭(Clock)을 복원하고 단순히 D Flip-Flop을 이용하여 데이터(Data)를 복원할 경우에, 클럭-데이터 복원 회로(Clock and Data Recovery; CDR)는 복원된 클럭(Clock)의 지터(Jitter)를 0.16UI 이하가 되도록 유지해야 데이터(Data) 정보를 오류(error)없이 복원할 수 있다.

[0006] 도 2는 종래의 PWM 데이터의 타이밍 다이어그램을 나타낸 도면이다.

[0007] 도 2를 참조하면, 종래의 펄스-폭 변조(Pulse-width modulation; PWM) 방식을 사용하는 클럭-데이터 복원 회로(Clock and Data Recovery, CDR)의 경우에, 복원된 클럭(Clock)의 상승 에지(rising edge)는 오류(Error)없이 데이터(Data)를 복원하기 위해서 0.16UI 만큼의 복원 여유(Decoding margin)을 갖는다. 이러한 복원 여유를 증가시켜, 지터(Jitter) 성분에 의해 발생할 수 있는 출력 데이터(Output Data) 비트 오류(Bit Error Rate)를 줄이는 방안이 요구된다.

발명의 내용

해결하려는 과제

[0008] 본 발명이 이루고자 하는 기술적 과제는 클럭-데이터 복원 회로(Clock and Data Recovery, CDR)가 가지는 단점을 개선하여 지터(Jitter) 성분에 의해 발생할 수 있는 출력 데이터(Output Data) 비트 오류(Bit Error Rate)를 줄이는 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 회로 및 방법을 제공하는데 있다.

[0009] 또한, 본 발명이 이루고자 하는 기술적 과제는 조절 가능한 대역폭(adaptive bandwidth) 위상 고정 루프(Phase-locked loop; PLL) 설계를 적용하여, 보다 넓은 범위의(wide-range) 데이터 속도(Data rate)를 커버할 수 있는 MIPI M-PHY 응용을 위한 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 회로 및 방법을 제공하는데 있다.

과제의 해결 수단

[0010] 일 측면을 따르면, 본 발명에서 제안하는 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 회로에 있어서, 위상 주파수 감지기(Phase-frequency detector; PFD), 충전 펌프(Charge pump; CP), 루프 필터(Loop filter; LF), 및 전압 제어 발진기(Voltage controlled oscillator; VCO)가 순차적으로 연결되어 구성되는 위상 고정 루프(Phase-locked loop; PLL); 상기 위상 고정 루프에 연결되는 D 플립플롭(Flip Flop)으로 구성되는 디바이더(Divider); 상기 전압 제어 발진기의 출력 클럭(Clock)을 클럭(Clock, clk) 단자로 입력하고, in 단자에는 VDD(Logic high)를 인가하며, 리셋(reset) 단자에는 펄스-폭 변조(Pulse-width modulation; PWM) 데이터를 인가하는 시프트 레지스터(Shift Register; SR); 상기 시프트 레지스터의 출력 파형을 통과시키는 OR 게이트; 및 상기 OR 게이트 뒤에 배치되어 입력 신호로 사용될 셋(Set)과 리셋(Reset) 신호를 형성하는 게이트 SR 래치(Gated SR-Latch; GSRL)를 포함한다.

[0011] 다른 측면을 따르면, 입력되는 상기 펄스-폭 변조(Pulse-width modulation; PWM) 데이터의 하강 에지(falling edge)를 검출하여 상기 게이트 SR 래치의 클럭 신호(CLOCK, clk)를 입력하는 하강 에지 감지기(Falling Edge Detector; FED)를 더 포함할 수 있다.

[0012] 또 다른 측면을 따르면, 상기 시프트 레지스터는 상기 전압 제어 발진기의 출력 클럭은 잠금 상태(Lock condition)가 되면 데이터 속도(Data rate)보다 8배 빠른 주파수를 가질 수 있어, 상기 8배 빠른 주파수를 갖는 상기 출력 클럭을 상기 시프트 레지스터의 클럭으로 입력 받을 수 있다.

[0013] 또 다른 측면을 따르면, 상기 디바이더는 TSPC(True Single Phase Clock) D 플립플롭으로 구성되는 8분주 디바이더일 수 있다.

[0014] 또 다른 측면을 따르면, 상기 게이트 SR 래치는 상기 OR 게이트를 통과한 신호가 R(Reset) 단자에 입력되고, 상

기 OR 게이트를 통과한 신호가 인버터를 통과하여 반전된 신호가 S(Set) 단자에 입력되어, 상기 S(Set) 단자, 상기 R(Reset) 단자, 및 상기 게이트 SR 래치의 클럭(CLOCK, clk) 신호에 의해서 상기 펄스-폭 변조 입력 데이터가 복원될 수 있다.

[0015]

또 다른 측면을 따르면, 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 방법에 있어서, 위상 주파수 감지기(Phase-frequency detector; PFD), 충전 펌프(Charge pump; CP), 루프 필터(Loop filter; LF), 및 전압 제어 발진기(Voltage controlled oscillator; VCO)가 순차적으로 연결되어 위상 고정 루프(Phase-locked loop; PLL)를 형성하는 단계; 상기 위상 고정 루프에 TSPC(True Single Phase Clock) D 플립플롭(Flip Flop)으로 구성되는 8분주 디바이더(Divider)가 연결되는 단계; 상기 전압 제어 발진기의 출력 클럭(Clock)을 시프트 레지스터(Shift Register; SR)의 클럭(Clock, clk)으로 입력하고, 상기 시프트 레지스터의 in 단자에는 VDD(Logic high)를 인가하며, 리셋(reset) 단자에는 펄스-폭 변조(Pulse-width modulation; PWM) 데이터를 인가하는 단계; 상기 시프트 레지스터의 출력 파형을 OR 게이트를 통과시키는 단계; 및 상기 OR 게이트를 통과한 신호가 상기 게이트 SR 래치의 R(Reset) 단자에 입력되고, 상기 OR 게이트를 통과한 신호가 인버터를 통과하여 반전된 신호가 S(Set) 단자에 입력되며, 클럭(CLOCK, clk) 단자에는 하강 에지 감지기(Falling Edge Detector; FED)의 출력 신호(falling edge)를 인가하는 단계를 포함한다.

발명의 효과

[0016]

본 발명의 실시예들에 따르면 클럭-데이터 복원 회로(Clock and Data Recovery, CDR)가 가지는 단점을 개선하여 지터(Jitter) 성분에 의해 발생할 수 있는 출력 데이터(Output Data) 비트 오류(Bit Error Rate)를 줄이는 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 회로 및 방법을 제공할 수 있다.

[0017]

또한, 본 발명의 실시예들에 따르면 조절 가능한 대역폭(adaptive bandwidth) 위상 고정 루프(Phase-locked loop; PLL) 설계를 적용하여, 보다 넓은 범위의(wide-range) 데이터 속도(Data rate)를 커버할 수 있는 MIPI M-PHY 응용을 위한 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 회로 및 방법을 제공할 수 있다.

도면의 간단한 설명

[0018]

도 1은 종래의 PWM 방식의 CDR 회로의 블록 다이어그램을 나타낸 도면이다.

도 2는 종래의 PWM 데이터의 타이밍 다이어그램을 나타낸 도면이다.

도 3은 본 발명의 일 실시예에 따른 MIPI M-PHY 고정 비를 나타내는 도면이다.

도 4는 본 발명의 일 실시예에 따른 CDR 회로의 핵심 블록 다이어그램을 나타내는 도면이다.

도 5는 본 발명의 일 실시예에 따른 시프트 레지스터를 나타내는 도면이다.

도 6은 본 발명의 일 실시예에 따른 시프트 레지스터의 시뮬레이션을 나타내는 도면이다.

도 7은 본 발명의 일 실시예에 따른 하강 에지 감지기의 블록 다이어그램과 타이밍 다이어그램을 나타내는 도면이다.

도 8은 본 발명의 일 실시예에 따른 게이트 SR 래치의 블록 다이어그램과 함수표를 나타내는 도면이다.

도 9는 본 발명의 일 실시예에 따른 클럭-데이터 복원 방법을 나타내는 순서도이다.

도 10은 본 발명의 일 실시예에 따른 복원된 데이터의 타이밍 다이어그램을 나타내는 도면이다.

도 11은 본 발명의 일 실시예에 따른 클럭-데이터 복원 회로와 종래의 CDR 회로의 타이밍 다이어그램을 비교하는 도면이다.

도 12는 본 발명의 일 실시예에 따른 복원된 데이터와 복원된 클럭의 타이밍 다이어그램을 나타내는 도면이다.

도 13은 본 발명의 일 실시예에 따른 복원된 데이터와 복원된 클럭의 아이(Eye) 다이어그램을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0020] 도 3은 본 발명의 일 실시예에 따른 MIPI M-PHY 고정 비를 나타내는 도면이다.
- [0021] 도 3을 참조하면, MIPI M-PHY 고정 비 형식에서 PWM 데이터 비트(bit) 0과 PWM 데이터 비트(bit) 1을 비교할 수 있다. 아래에서는, MIPI M-PHY 응용을 위한 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 회로에 대해 구체적으로 설명하기로 한다.
- [0022] 도 4는 본 발명의 일 실시예에 따른 CDR 회로의 핵심 블록 다이어그램을 나타내는 도면이다.
- [0023] 도 4를 참조하면, 데이터 비트 오류 허용오차(Data Bit Error Rate Tolerance)를 증가시킨 레퍼런스 클럭이 필요 없는 데이터 복원(Reference-Less Clock and Data Recovery) 회로를 나타낼 수 있다.
- [0024] 이러한, MIPI M-PHY 응용을 위한 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 회로는 기존의 일반적인 위상 고정 루프(Phase-locked loop; PLL)(410) 구조에서 디바이더(Divider)(/8)(420), 시프트 레지스터(Shift Register; SR)(430), OR 게이트(440), 게이트 SR 래치(Gated SR-Latch; GSRL)(460), 그리고 하강 에지 감지기(Falling Edge Detector; FED)(460)를 추가하여 구성할 수 있다.
- [0025] 위상 고정 루프(Phase-locked loop; PLL)(410)는 위상 주파수 감지기(Phase-frequency detector; PFD)(411), 충전 펌프(Charge pump; CP)(412), 루프 필터(Loop filter; LF)(413), 그리고 전압 제어 발진기(Voltage controlled oscillator; VCO)(414)를 포함할 수 있다.
- [0026] 우선, 위상 고정 루프(Phase-locked loop; PLL)(410) 구조에 TSPC(True Single Phase Clock) D Flip Flop으로 구성된 8분주 디바이더(Divider)(/8)(420) 회로를 추가할 수 있다.
- [0027] 그리고, 잠금 상태(Lock condition)가 되면 전압 제어 발진기(Voltage controlled oscillator; VCO)(414)의 출력 클럭(Clock)은 데이터 속도(Data rate)보다 8배 빠른 주파수를 가질 수 있다. 이러한, 8배 빠른 주파수를 갖는 전압 제어 발진기(Voltage controlled oscillator; VCO)(414)의 출력 클럭(Clock)을 시프트 레지스터(Shift Register; SR)(430)의 클럭(Clock)으로 입력할 수 있다. 또한, 시프트 레지스터(Shift Register; SR)(430)의 in 단자(port)에는 VDD(Logic high)를 인가하고, 리셋 단자(reset port)에는 펄스-폭 변조(Pulse-width modulation; PWM) 데이터(Data)를 인가해 줄 수 있다.
- [0028] 그리고, 시프트 레지스터(Shift Register; SR)(430)에서 출력 파형을 OR 게이트(440)를 통과시킬 수 있다. 이때, Q1부터 Q9의 출력 파형 중 Q5부터 Q9의 출력 파형만 OR 게이트를 통과시키도록 할 수도 있다.
- [0029] 이후, OR 게이트(440) 뒤에 오는 게이트 SR 래치(Gated SR-Latch; GSRL)(450)의 입력 신호로 사용될 셋(Set)과 리셋(Reset) 신호를 만들 수 있다.
- [0030] 또한, 게이트 SR 래치(Gated SR-Latch; GSRL)(450)에 사용될 클럭(Clock, clk) 신호는 하강 에지 감지기(Falling Edge Detector; FED)(460)를 이용하여, 입력되는 펄스-폭 변조(Pulse-width modulation; PWM) 데이터(Data)의 하강 에지(falling edge)를 검출한 신호가 될 수 있다.
- [0031] 다시 말하면, OR 게이트(440)를 통과한 신호는 게이트 SR 래치(Gated SR-Latch; GSRL)(450)의 R(Reset) 단자(port)에, 반전시킨 인버터(inverted) 신호는 S(Set) 단자(port)에, clk 단자(port)에는 하강 에지 감지기(Falling Edge Detector; FED)(460)의 출력 신호(falling edge)를 인가해 줄 수 있다.
- [0032] 따라서, S(Set), R(Reset), 및 clk(falling edge) 신호에 의해서 펄스-폭 변조(Pulse-width modulation; PWM) 입력 데이터(Data)가 복원(Retimed)될 수 있다.
- [0033] 도 5는 본 발명의 일 실시예에 따른 시프트 레지스터를 나타내는 도면이다.
- [0034] 시프트 레지스터(Shift Register; SR)는 도 5와 같이 구성될 수 있다. 입력되는 펄스-폭 변조(Pulse-width

modulation; PWM) 데이터 비트(Data bit)의 종류에 따라 로우(low)인 구간의 길이가 다르게 될 수 있다. (즉, 0: 2UI/3, 1: 1UI/3)

[0035] 이러한, 로우(low) 구간의 차이에 의해서 시프트 레지스터(Shift Register; SR)의 in 단자(port)로 입력된 로직 하이(Logic high) 데이터(Data)가 최대로 시프트(shift) 될 수 있는 양은 입력되는 펄스-폭 변조(Pulse-width modulation; PWM) 데이터 비트(Data bit) 0 또는 1에 따라 달라질 수 있다.

[0036] 도 6은 본 발명의 일 실시예에 따른 시프트 레지스터의 시뮬레이션을 나타내는 도면이다.

[0037] 도 6을 참조하면, 시뮬레이션 파형에서 볼 수 있듯이 데이터 비트(Data bit)가 1의 경우에는 최대 Q2까지 1의 정보가 나타나며, Q3부터는 0의 값을 갖는다.

[0038] 반면, 데이터(Data) 비트(bit)가 0인 경우에는 Q1부터 Q9까지 전부 1의 값을 갖는다. 이러한 원리를 이용하여, 현재 입력되는 펄스-폭 변조(Pulse-width modulation; PWM) 데이터(Data)가 0인지 1인지 우선적으로 판단할 수 있다.

[0039] 도 7은 본 발명의 일 실시예에 따른 하강 에지 감지기의 블록 다이어그램과 타이밍 다이어그램을 나타내는 도면이다.

[0040] 이렇게 판단된 데이터(Data) 정보를 복원되는 클럭(Clock)에 맞게 복원시켜야 하는데, 만약 입력 데이터 비트(Data bit)가 0인 경우에는, 8배 빠른 주파수를 가지는 전압 제어 발진기(Voltage controlled oscillator; VCO)의 출력 클럭(Clock)의 지터(jitter) 또는 입력 데이터(Data)의 지터(Jitter) 의해 Q3 혹은 Q4까지 로직 하이(Logic high) 정보가 시프트(shift) 될 수 있음을 감안하여, 여유를 주어 Q5부터 Q9까지의 정보만을 이용할 수 있다. 다시 말하면, 시프트 레지스터(Shift Register; SR)에서 Q5부터 Q9의 출력 파형을 OR 게이트를 통과시킬 수 있다. 이후, OR 게이트 뒤에 오는 게이트 SR 래치(Gated SR-Latch; GSRL)의 입력 신호로 사용될 셋(Set)/리셋(Reset) 신호를 만들 수 있다.

[0041] 또한, 게이트 SR 래치(Gated SR-Latch; GSRL)에 사용될 클럭(Clock, clk) 신호는 하강 에지 감지기(Falling Edge Detector; FED)를 이용하여, 입력되는 펄스-폭 변조(Pulse-width modulation; PWM) 데이터(Data)의 하강 에지(falling edge)를 검출한 신호가 될 수 있다.

[0042] 도 8은 본 발명의 일 실시예에 따른 게이트 SR 래치의 블록 다이어그램과 함수표를 나타내는 도면이다.

[0043] 도 8에 도시된 바와 같은, 게이트 SR 래치를 이용하여 클럭-데이터 복원 회로를 구성할 수 있다.

[0044] 즉, OR 게이트를 통과한 신호는 게이트 SR 래치(Gated SR-Latch)의 R(Reset) 단자(port)에, 반전시킨 인버터(inverted) 신호는 S(Set) 단자(port)에, clk 단자(port)에는 하강 에지 감지기(Falling Edge Detector; FED)의 출력 신호(falling edge)를 인가해 줄 수 있다.

[0045] 결국, S(Set), R(Reset), 및 clk(falling edge) 신호에 의해서 펄스-폭 변조(Pulse-width modulation; PWM) 입력 데이터(Data)가 복원(Retimed)될 수 있다.

[0046] 도 9는 본 발명의 일 실시예에 따른 클럭-데이터 복원 방법을 나타내는 순서도이다.

[0047] 도 9를 참조하면, 도 3 내지 도 8에서 설명한 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 회로를 이용하여, 데이터 비트 오류 허용오차를 개선한 펄스-폭 변조 방식의 외부 레퍼런스 클럭이 필요 없는 클럭-데이터 복원 방법을 설명할 수 있다.

[0048] 단계(910)에서, 위상 주파수 감지기(Phase-frequency detector; PFD), 충전 펌프(Charge pump; CP), 루프 필터(Loop filter; LF), 및 전압 제어 발진기(Voltage controlled oscillator; VCO)가 순차적으로 연결되어 위상 고정 루프(Phase-locked loop; PLL)를 형성할 수 있다.

[0049] 단계(920)에서, 상기 위상 고정 루프에 TSPC(True Single Phase Clock) D 플립플롭(Flip Flop)으로 구성되는 8분주 디바이더(Divider)가 연결될 수 있다.

- [0050] 단계(930)에서, 상기 전압 제어 발진기의 출력 클럭(Clock)을 시프트 레지스터(Shift Register; SR)의 클럭(Clock, clk)으로 입력되고, 상기 시프트 레지스터의 in 단자에는 VDD(Logic high)가 인가되며, 리셋(reset) 단자에는 펄스-폭 변조(Pulse-width modulation; PWM) 데이터가 인가될 수 있다.
- [0051] 단계(940)에서, 상기 시프트 레지스터의 출력 파형을 OR 게이트를 통과시킬 수 있다.
- [0052] 단계(950)에서, 상기 OR 게이트를 통과한 신호가 상기 게이트 SR 래치의 R(Reset) 단자에 입력되고, 상기 OR 게이트를 통과한 신호가 인버터를 통과하여 반전된 신호가 S(Set) 단자에 입력되며, 클럭(CLOCK, clk) 단자에는 하강 에지 감지기(Falling Edge Detector; FED)의 출력 신호(falling edge)가 인가될 수 있다.
- [0053] 이에 따라, 게이트 SR 래치의 S(Set) 단자, R(Reset) 단자, 및 클럭(CLOCK, clk) 신호에 의해서 펄스-폭 변조 입력 데이터가 복원될 수 있다.
- [0054] 도 10은 본 발명의 일 실시예에 따른 복원된 데이터의 타이밍 다이어그램을 나타내는 도면이다.
- [0055] 도 11은 본 발명의 일 실시예에 따른 클럭-데이터 복원 회로와 종래의 CDR 회로의 타이밍 다이어그램을 비교하는 도면이다.
- [0056] 도 10 및 도 11에 도시된 바와 같이, 하강 에지(falling edge)가 펄스-폭 변조(Pulse-width modulation; PWM) 입력 데이터(Data)를 복원(Retimed)하는데 있어, 기존의 펄스-폭 변조(Pulse-width modulation; PWM) 방식(scheme)을 사용하는 클럭-데이터 복원 회로(Clock and Data Recovery, CDR)가 가지는 0.16UI 만큼의 지터(Jitter) 여유 보다 2배 넘게 큰 0.36UI 정도의 좌, 우 복원 여유(Decoding margin)가 생길 수 있다. 그러므로, 지터(Jitter) 성분에 의해 발생할 수 있는 출력 데이터 비트 오류(bit error rate)를 줄일 수 있게 된다. (Improved Data Bit Error Rate Tolerance)
- [0057] 도 12는 본 발명의 일 실시예에 따른 복원된 데이터와 복원된 클럭의 타이밍 다이어그램을 나타내는 도면이다.
- [0058] 도 13은 본 발명의 일 실시예에 따른 복원된 데이터와 복원된 클럭의 아이(Eye) 다이어그램을 나타내는 도면이다.
- [0059] 도 12 및 도 13에 도시된 바와 같이, 이상에서 설명한 본 발명에 따르면, 기존의 펄스-폭 변조(Pulse-width modulation; PWM) 방식(scheme)을 사용하는 클럭-데이터 복원 회로(Clock and Data Recovery, CDR)가 가지는 단점을 개선하여 지터(Jitter) 성분에 의해 발생할 수 있는 출력 데이터(Output Data) 비트 오류(Bit Error Rate)를 줄일 수 있다. 즉, 향상된 데이터 비트 오류 허용오차(Improved Data Bit Error Rate Tolerance)를 얻을 수 있다.
- [0060] 또한, 제안된 회로 대부분 정적(static) CMOS 회로 형태로 구성될 수 있다. 따라서, rail to rail swing을 하기 때문에 잡음 여유(Noise margin)가 좋으며, 상승 시간(rising time)과 하강 시간(falling time)이 비슷하다는 장점이 있다. 그리고, 정적 전력소비가 없다는 장점이 있다. (No static power consumption) 이와 같이, 신호가 full swing하고 상승 시간(rising time)과 하강 시간(falling time)이 비슷할수록 device noise 성분을 감소시키는 효과가 있다.
- [0061] 그리고, 본 발명에 조절 가능한 대역폭(adaptive bandwidth) 위상 고정 루프(Phase-locked loop; PLL) 설계를 적용할 경우에는, 보다 넓은 범위의(wide-range) 데이터 속도(Data rate)를 커버할 수 있는 시스템을 설계할 수 있다.
- [0062] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 컨트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상

의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소 (processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 컨트롤러를 포함할 수 있다. 또한, 병렬 프로세서 (parallel processor)와 같은, 다른 처리 구성 (processing configuration)도 가능하다.

[0063]

소프트웨어는 컴퓨터 프로그램 (computer program), 코드 (code), 명령 (instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로 (collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소 (component), 물리적 장치, 가상 장치 (virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파 (signal wave)에 영구적으로, 또는 일시적으로 구체화 (embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0064]

실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체 (magnetic media), CD-ROM, DVD와 같은 광기록 매체 (optical media), 플롭티컬 디스크 (floptical disk)와 같은 자기-광 매체 (magneto-optical media), 및 롬 (ROM), 램 (RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0065]

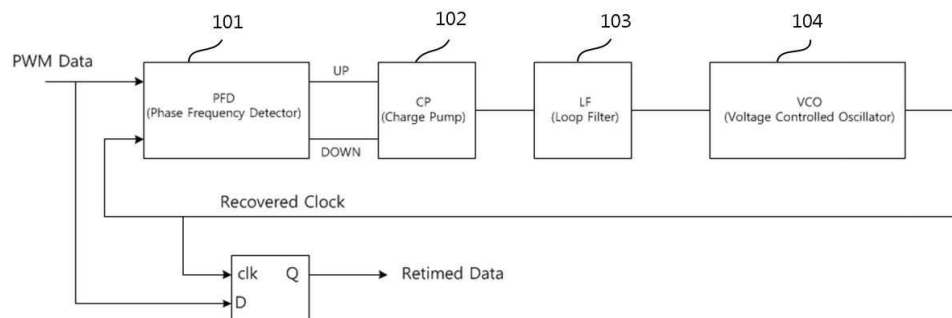
이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0066]

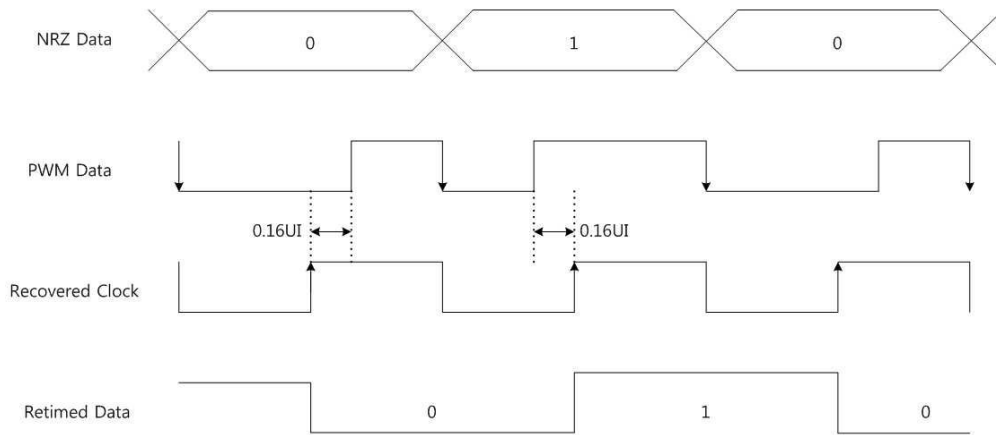
그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

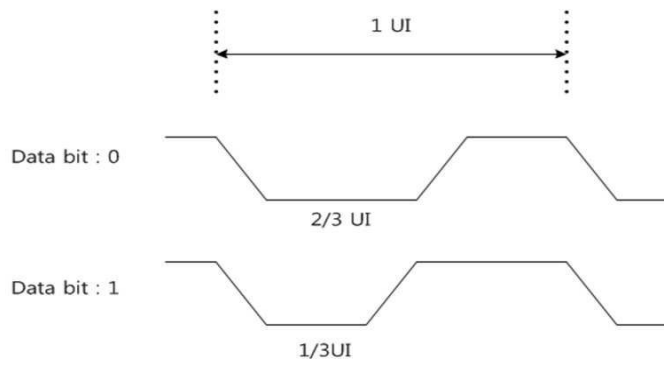
도면1



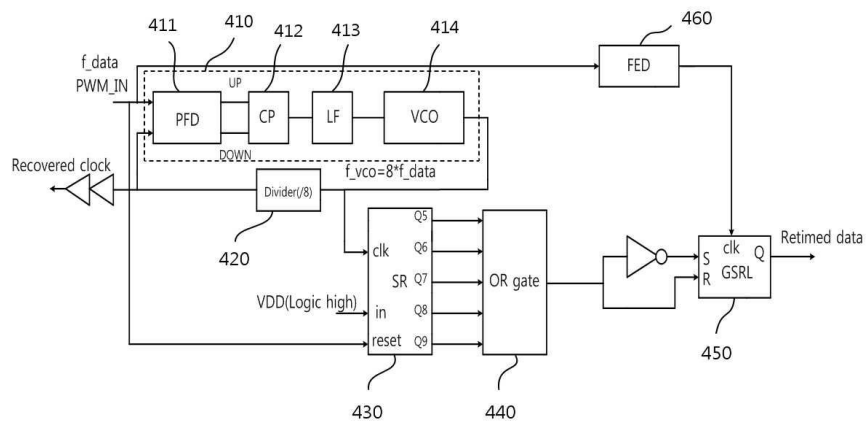
도면2



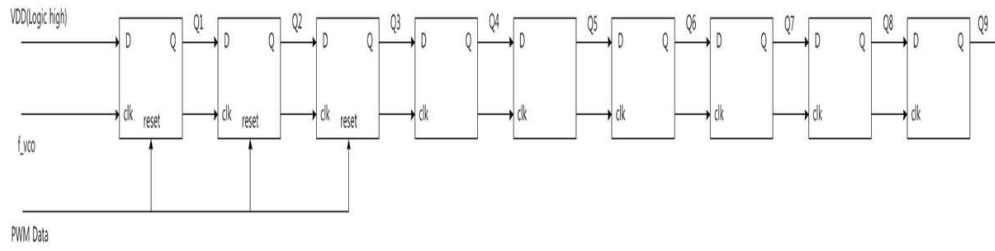
도면3



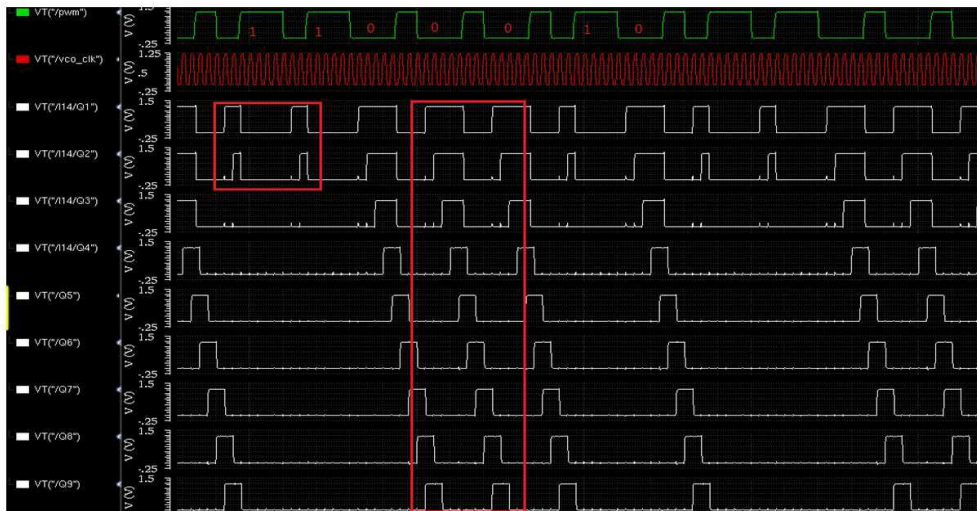
도면4



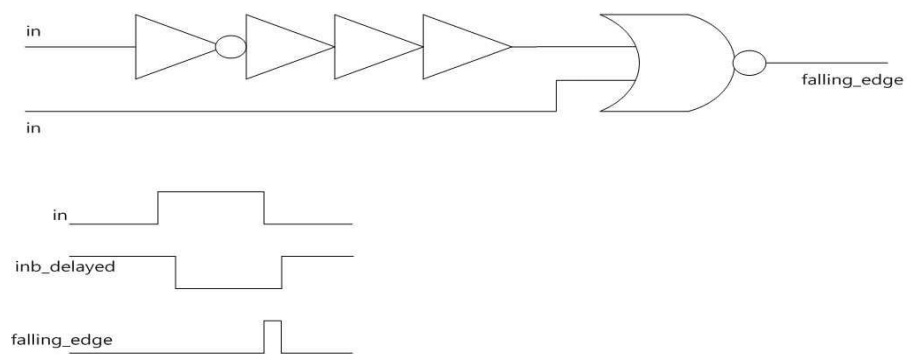
도면5



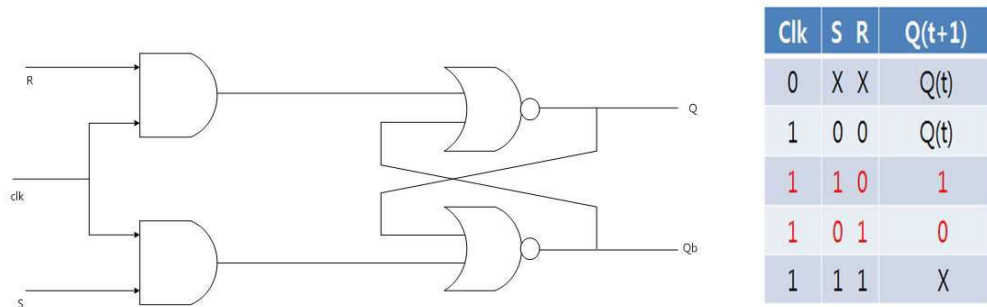
도면6



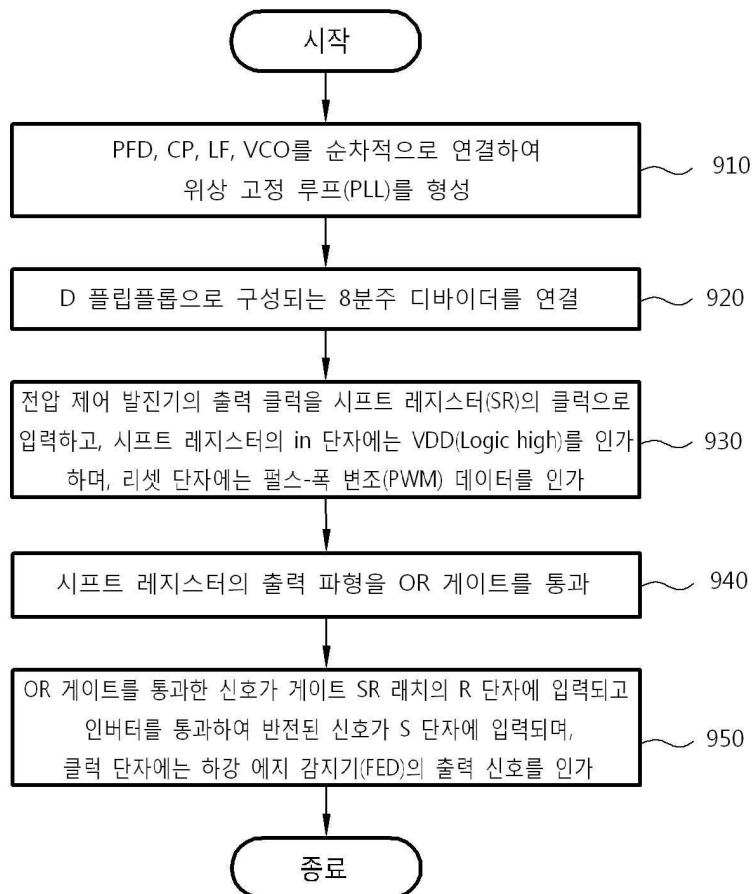
도면7



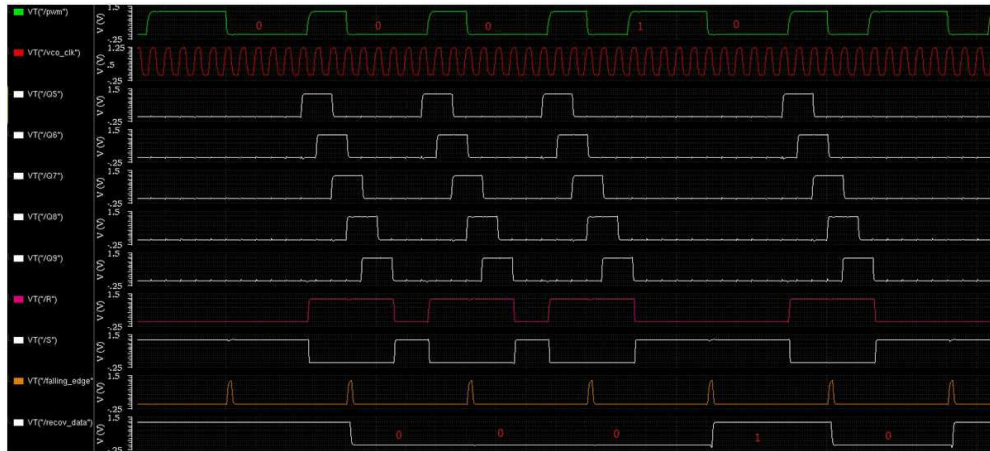
도면8



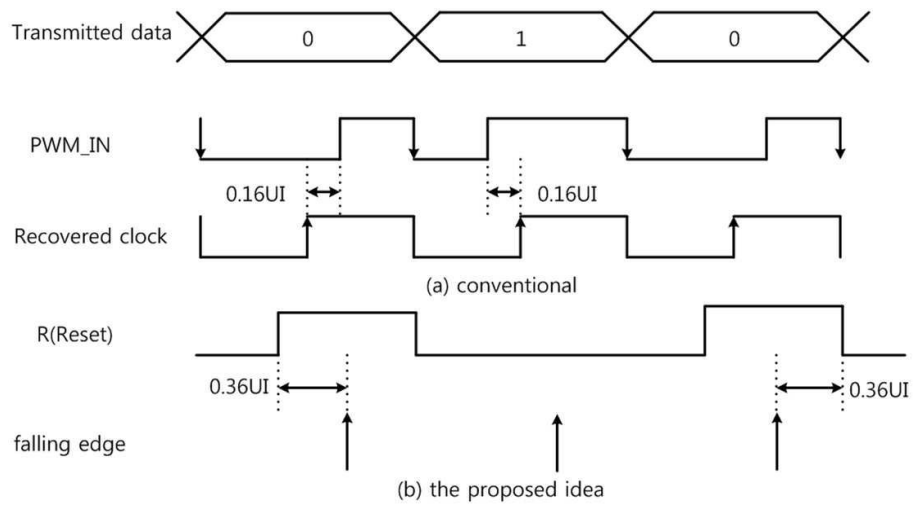
도면9



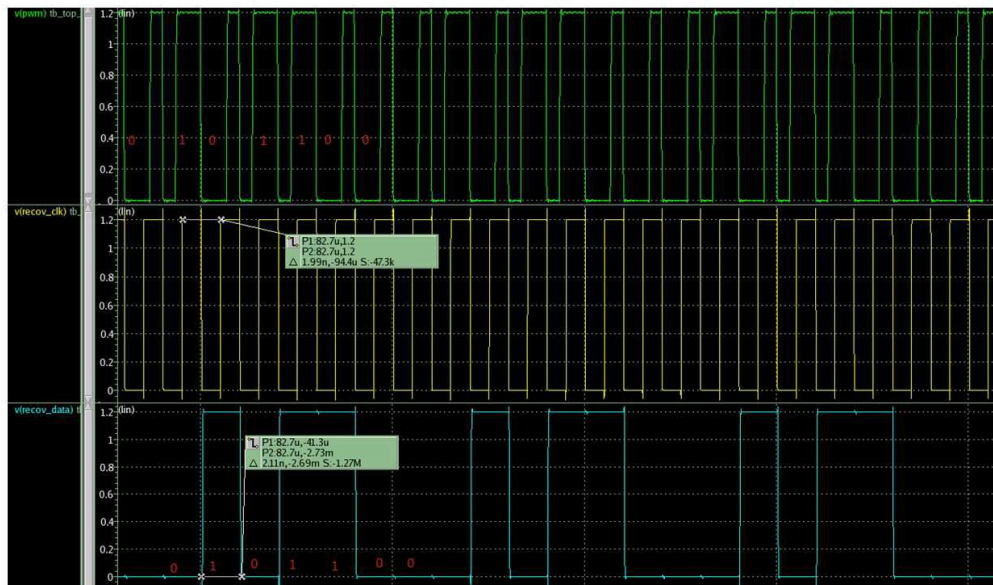
도면10



도면11



도면12



도면13

