



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0049925
(43) 공개일자 2023년04월14일

(51) 국제특허분류(Int. Cl.)
H01L 23/00 (2006.01) H01L 23/544 (2006.01)
(52) CPC특허분류
H01L 24/741 (2013.01)
H01L 23/544 (2013.01)
(21) 출원번호 10-2021-0133029
(22) 출원일자 2021년10월07일
심사청구일자 2021년10월07일

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대 학교)
(72) 발명자
최리노
서울특별시 마포구 월드컵북로 502-37 상암월드컵 파크11단지 1102동 305호
이정환
인천광역시 남동구 구월로 192 힐스테이트롯데캐슬골드1단지아파트 1310동 1502호
김민규
서울특별시 양천구 목동서로 400 목동신시가지아파트10단지 1030동 402호
(74) 대리인
이은철, 이수찬

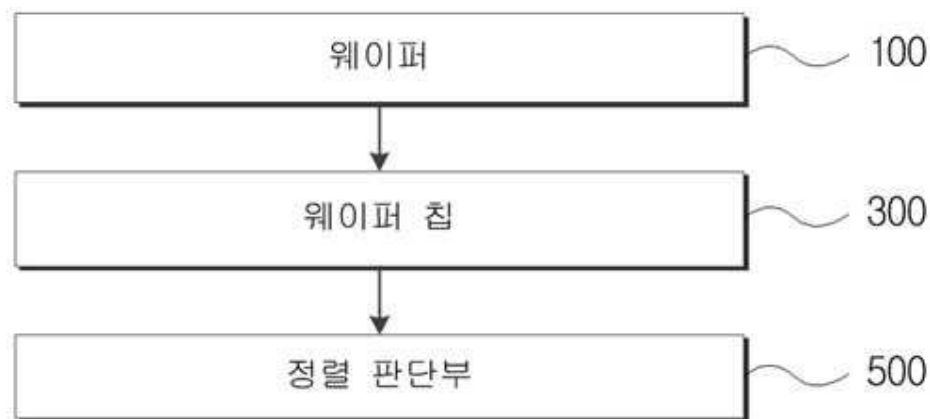
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 패턴된 반사패드를 이용한 반도체 소자의 집합을 위한 미세 정렬 시스템 및 방법

(57) 요약

본 발명은 패턴된 반사패드를 이용한 반도체 소자의 집합을 위한 미세 정렬 시스템 및 방법에 관한 것으로, 웨이퍼가 복수의 제1반사패드로 제1정렬패턴이 형성된 복수의 제2반사패드를 구비하고, 웨이퍼 칩이 제2정렬패턴이 형성된 복수의 제3반사패드를 구비하며, 정렬 판단부가 제1반사패드, 제2반사패드, 및 제3반사패드 중 광원이 마지막으로 도달한 반사패드로부터 반사된 광을 제3반사패드가 형성된 위치별로 측정하여 측정된 각각의 광정보로 웨이퍼 칩의 수평이동 상태, 틀어짐 상태, 및 회전 상태 중 하나를 판단하는 구성으로 웨이퍼와 웨이퍼 칩 간의 정렬 오차를 최소화함에 따라 접촉 저항을 감소시킬 수 있고, 소자 형성에 필요한 면적을 확보 가능하여 생산성을 향상시키며, 정렬을 위한 추가 공정이 불필요하여 비용 및 시간을 절감할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 24/80 (2013.01)

H01L 2223/54426 (2013.01)

H01L 2224/75001 (2013.01)

H01L 2224/8013 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711127983
과제번호	2020M3F3A2A01082147
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	신소자원천기술개발
연구과제명	저온 공정 기반 실리콘계 M3D 고결정질 상부 소자층 형성 기술개발
기 여 율	1/2
과제수행기관명	한국과학기술연구원
연구기간	2021.01.01 ~ 2021.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1345358468
과제번호	2022R1A6C101B762
부처명	교육부
과제관리(전문)기관명	한국기초과학지원연구원
연구사업명	이공학학술연구기반구축(R&D)
연구과제명	핵심연구지원센터조성지원과제(3D나노융합소자연구센터)
기 여 율	1/2
과제수행기관명	인하대학교 산학협력단
연구기간	2022.06.01 ~ 2023.02.28

명세서

청구범위

청구항 1

복수의 제1반사패드와 제1정렬패턴이 형성된 복수의 제2반사패드를 구비하는 웨이퍼;

제2정렬패턴이 형성된 복수의 제3반사패드를 구비하는 웨이퍼 칩; 및

상기 제1반사패드, 제2반사패드, 및 제3반사패드 중 광원이 마지막으로 도달한 반사패드로부터 반사된 광을 상기 제3반사패드가 형성된 위치별로 측정하여 측정된 각각의 광정보로 상기 웨이퍼 칩의 수평이동 상태, 틀어짐 상태, 및 회전 상태 중 하나를 판단하는 정렬 판단부를 포함하는 패턴된 반사패드를 이용한 반도체 소자의 접합을 위한 미세 정렬 시스템.

청구항 2

제1항에 있어서,

상기 제1반사패드 및 제2반사패드는 제3반사패드와 대향하되, 상기 제3반사패드의 양측으로 각각 배치되는 것을 특징으로 하는 패턴된 반사패드를 이용한 반도체 소자의 접합을 위한 미세 정렬 시스템.

청구항 3

제1항에 있어서,

상기 광원은 상기 제1반사패드, 제3반사패드, 및 제2반사패드를 순방향 및 역방향 중 어느 한 방향에 대하여 순차적으로 도달하도록 조사되는 것을 특징으로 하는 패턴된 반사패드를 이용한 반도체 소자의 접합을 위한 미세 정렬 시스템.

청구항 4

제1항에 있어서,

상기 제1반사패드, 제2반사패드, 및 제3반사패드는 금속물질로 형성되는 것을 특징으로 하는 패턴된 반사패드를 이용한 반도체 소자의 접합을 위한 미세 정렬 시스템.

청구항 5

제1항에 있어서,

상기 정렬 판단부는 상기 제1정렬패턴을 기준으로 제2정렬패턴의 위치 변화에 따라 상기 웨이퍼 칩의 정렬 상태를 판단하는 것을 특징으로 하는 패턴된 반사패드를 이용한 반도체 소자의 접합을 위한 미세 정렬 시스템.

청구항 6

제1항에 있어서,

상기 정렬 판단부는 상기 각 위치의 광정보에서 제2정렬패턴의 위치가 제1정렬패턴보다 서로 다른 대각선 방향으로 상승 및 하강 중 어느 하나이면 상기 웨이퍼 칩을 수평이동 상태로 판단하는 것을 특징으로 하는 패턴된 반사패드를 이용한 반도체 소자의 접합을 위한 미세 정렬 시스템.

청구항 7

제1항에 있어서,

상기 정렬 판단부는 상기 각 위치의 광정보에서 제2정렬패턴의 위치가 제1정렬패턴보다 상승 및 하강 중 어느 하나이면 상기 웨이퍼 칩을 회전 상태로 판단하는 것을 특징으로 하는 패턴된 반사패드를 이용한 반도체 소자의 접합을 위한 미세 정렬 시스템.

청구항 8

제1항에 있어서,

상기 정렬 판단부는 상기 각 위치의 광정보에서 제2정렬패턴의 위치가 제1정렬패턴보다 상승 및 하강 중 어느 하나이되, 적어도 두 위치의 광정보에 대한 제2정렬패턴의 상승 및 하강과 나머지 위치의 광정보에 대한 제2정렬패턴의 상승 및 하강이 서로 반대이면 상기 웨이퍼 칩을 틀어짐 상태로 판단하는 것을 특징으로 패턴된 반사패드를 이용한 반도체 소자의 접합을 위한 미세 정렬 시스템.

청구항 9

제1항에 있어서,

상기 정렬 판단부로부터 판단된 정렬 상태에 따라 상기 웨이퍼 칩을 정렬하는 미세 정렬부를 더 포함하는 패턴된 반사패드를 이용한 반도체 소자의 접합을 위한 미세 정렬 시스템.

청구항 10

제1항에 있어서,

상기 정렬된 웨이퍼 및 웨이퍼 칩을 본딩하는 칩 본딩부를 더 포함하는 패턴된 반사패드를 이용한 반도체 소자의 접합을 위한 미세 정렬 시스템.

청구항 11

복수의 제1반사패드와 제1정렬패턴이 형성된 복수의 제2반사패드를 구비하는 웨이퍼 및 제2정렬패턴이 형성된 복수의 제3반사패드를 구비하는 웨이퍼 칩이 서로 대향하도록 구비하여 상기 제3반사패드 양측으로 제1반사패드와 제2반사패드가 각각 배치되는 배치 단계;

상기 제3반사패드가 형성된 각 위치에서 상기 제1반사패드, 제3반사패드, 및 제2반사패드를 순차적으로 도달하도록 광원이 각각 조사되는 광원 조사 단계;

상기 위치별 마지막 반사패드로부터 반사된 광을 측정하여 각 위치에 따른 광정보가 생성되는 광 측정 단계;

상기 생성된 각각의 광정보에서 제1정렬패턴을 기준으로 제2정렬패턴의 위치 변화에 따라 상기 웨이퍼 칩의 수평이동 상태, 틀어짐 상태, 및 회전 상태 중 하나가 판단되는 정렬 판단 단계;

상기 판단된 정렬 상태에 따라 상기 웨이퍼 칩이 정렬되는 미세 정렬 단계; 및

상기 정렬된 웨이퍼 및 웨이퍼 칩이 본딩되는 칩 본딩 단계를 포함하는 패턴된 반사패드를 이용한 반도체 소자의 접합을 위한 미세 정렬 방법.

발명의 설명

기술 분야

- [0001] 본 발명은 패터닝 반사패드를 이용한 반도체 소자의 집합을 위한 미세 정렬 시스템 및 방법에 관한 것으로, 반사패드로부터 반사된 광원을 이용하여 웨이퍼와 웨이퍼 칩의 미세 정렬을 위한 기술에 관한 것이다.

배경 기술

- [0003] 실리콘 기반의 MOSFET(Metal-Oxide-Semiconductor Field-Effect-Transistors) 반도체 소자의 스케일은 무어의 법칙(Moore's law)을 따르며 개발이 진행되어 왔으며, 무어의 법칙을 지속시키기 위해 소자의 집적 밀도를 높이는 방법으로 모놀리틱 3D 인테그레이션(Monolithic 3D Integration)과 스루 실리콘 비아(Through Silicon via) 공정 기법이 사용되었다.
- [0004] 하지만 집적화가 진행됨에 따라 소자의 집적도는 물리적 한계에 도달하였고 앞서 상술한 공정 기법은 각각의 공정 온도 및 적은 인풋과 아웃풋(Input/output; IO)으로 인한 한계점으로 이종 집합 기술(Heterogeneous integration; HI) 공정 기법이 적용되었다.
- [0005] 하이브리드 본딩(Hybrid bonding) 기술을 이용해 다이일렉트릭-투-다이일렉트릭 본딩(Dielectric-to-Dielectric bond)과 구리-투-구리 본딩(Cu-to-Cu Bond)를 저온에서 형성해주어 향상된 IO와 좋은 전기적 성능 및 열화 없이 구현 가능하다.
- [0006] 하이브리드 본딩 공정은 실리콘 웨이퍼 칩을 투과할 수 있는 적외선 광원을 이용하여 웨이퍼 칩을 정렬한다.
- [0007] 적외선 레이저(Interfered Ray laser)를 이용한 기존의 정렬 방식은 실리콘 웨이퍼를 겹쳐 놓은 상태에서 미리 형성해 놓은 얼라인 키에 적외선 레이저를 조사하여 웨이퍼를 정렬하는 방식이다.
- [0008] 그러나, 적외선 레이저를 이용한 웨이퍼 정렬 방식은 1 마이크로 미터(μm)이하의 해상도에서 정밀한 웨이퍼 정렬을 수행할 수 없는 문제가 있으며, 정렬을 수행하더라도 미세 정렬의 오차로 인해 발생하는 미스 얼라인(Mis-alignment)로 접합된 단자의 접촉저항(Contact resistance)이 높아지는 문제가 있다.
- [0009] 또한, 적외선 레이저는 실리콘 이외의 물질로 제작된 웨이퍼에서는 사용이 불가능하여 다양한 웨이퍼 공정에 대한 광범위 호환성이 현저히 감소하는 문제가 있다.
- [0010] 따라서, 이를 해결하기 위한 웨이퍼 및 웨이퍼 칩의 미세 정렬을 위한 기술의 개발이 시급하다.

선행기술문헌

특허문헌

- [0012] (특허문헌 0001) 대한민국 등록특허 제10-1573274호(2015.12.01)

발명의 내용

해결하려는 과제

- [0013] 본 발명은, 정렬패턴이 형성된 반사패드로부터 반사된 광원 정보로 정렬패턴의 형태에 따라 웨이퍼 및 웨이퍼 칩을 미세 정렬할 수 있는 패터닝 반사패드를 이용한 반도체 소자의 집합을 위한 미세 정렬 시스템 및 방법을 제공할 수 있다.

과제의 해결 수단

- [0015] 본 발명의 일 측면에 따른 패터닝 반사패드를 이용한 반도체 소자의 집합을 위한 미세 정렬 시스템은 복수의 제1반사패드와 제1정렬패턴이 형성된 복수의 제2반사패드를 구비하는 웨이퍼; 제2정렬패턴이 형성된 복수의 제3반사패드를 구비하는 웨이퍼 칩; 및 상기 제1반사패드, 제2반사패드, 및 제3반사패드 중 광원이 마지막으로 도달한 반사패드로부터 반사된 광을 상기 제3반사패드가 형성된 위치별로 측정하여 측정된 각각의 광정보로 상기 웨

이퍼 칩의 수평이동 상태, 틀어짐 상태, 및 회전 상태 중 하나를 판단하는 정렬 판단부를 포함할 수 있다.

- [0016] 바람직하게는, 상기 제1반사패드 및 제2반사패드는 제3반사패드와 대향하되, 상기 제3반사패드의 양측으로 각각 배치될 수 있다.
- [0017] 바람직하게는, 상기 광원은 상기 제1반사패드, 제3반사패드, 및 제2반사패드를 순방향 및 역방향 중 어느 한 방향에 대하여 순차적으로 도달하도록 조사될 수 있다.
- [0018] 바람직하게는, 상기 제1반사패드, 제2반사패드, 및 제3반사패드는 금속물질로 형성될 수 있다.
- [0019] 바람직하게는, 상기 정렬 판단부는 상기 제1정렬패턴을 기준으로 제2정렬패턴의 위치 변화에 따라 상기 웨이퍼 칩의 정렬 상태를 판단할 수 있다.
- [0020] 바람직하게는, 상기 정렬 판단부는 상기 각 위치의 광정보에서 제2정렬패턴의 위치가 제1정렬패턴보다 서로 다른 대각선 방향으로 상승 및 하강 중 어느 하나이면 상기 웨이퍼 칩을 수평이동 상태로 판단할 수 있다.
- [0021] 바람직하게는, 상기 정렬 판단부는 상기 각 위치의 광정보에서 제2정렬패턴의 위치가 제1정렬패턴보다 상승 및 하강 중 어느 하나이면 상기 웨이퍼 칩을 회전 상태로 판단할 수 있다.
- [0022] 바람직하게는, 상기 정렬 판단부는 상기 각 위치의 광정보에서 제2정렬패턴의 위치가 제1정렬패턴보다 상승 및 하강 중 어느 하나이되, 적어도 두 위치의 광정보에 대한 제2정렬패턴의 상승 및 하강과 나머지 위치의 광정보에 대한 제2정렬패턴의 상승 및 하강이 서로 반대이면 상기 웨이퍼 칩을 틀어짐 상태로 판단할 수 있다.
- [0023] 바람직하게는, 상기 정렬 판단부로부터 판단된 정렬 상태에 따라 상기 웨이퍼 칩을 정렬하는 미세 정렬부를 더 포함할 수 있다.
- [0024] 바람직하게는, 상기 정렬된 웨이퍼 및 웨이퍼 칩을 본딩하는 칩 본딩부를 더 포함할 수 있다.
- [0025] 본 발명의 다른 측면에 따른 패턴된 반사패드를 이용한 반도체 소자의 접합을 위한 미세 정렬 방법은 복수의 제1반사패드와 제1정렬패턴이 형성된 복수의 제2반사패드를 구비하는 웨이퍼 및 제2정렬패턴이 형성된 복수의 제3반사패드를 구비하는 웨이퍼 칩이 서로 대향하도록 구비하여 상기 제3반사패드 양측으로 제1반사패드와 제2반사패드가 각각 배치되는 배치 단계; 상기 제3반사패드가 형성된 각 위치에서 상기 제1반사패드, 제3반사패드, 및 제2반사패드를 순차적으로 도달하도록 광원이 각각 조사되는 광원 조사 단계; 상기 위치별 마지막 반사패드로부터 반사된 광을 측정하여 각 위치에 따른 광정보가 생성되는 광 측정 단계; 상기 생성된 각각의 광정보에서 제1정렬패턴을 기준으로 제2정렬패턴의 위치 변화에 따라 상기 웨이퍼 칩의 수평이동 상태, 틀어짐 상태, 및 회전 상태 중 하나가 판단되는 정렬 판단 단계; 상기 판단된 정렬 상태에 따라 상기 웨이퍼 칩이 정렬되는 미세 정렬 단계; 및 상기 정렬된 웨이퍼 및 웨이퍼 칩이 본딩되는 칩 본딩 단계를 포함할 수 있다.

발명의 효과

- [0027] 본 발명에 따르면, 웨이퍼와 웨이퍼 칩 간의 정렬 오차를 최소화함에 따라 접촉 저항을 감소시킬 수 있고, 소자 형성에 필요한 면적을 확보 가능하여 생산성을 향상시키며, 정렬을 위한 추가 공정이 불필요하여 비용 및 시간을 절감할 수 있다.

도면의 간단한 설명

- [0029] 도 1은 일 실시예에 따른 미세 정렬 시스템의 구성도이다.
- 도 2는 일 실시예에 따른 반사패드를 나타낸 모식도이다.
- 도 3은 일 실시예에 따른 광원의 입사방법을 나타낸 모식도이다.
- 도 4는 일 실시예에 따른 웨이퍼와 웨이퍼 칩에 형성된 반사패드를 나타낸 모식도이다.
- 도 5는 일 실시예에 따른 광원의 조사 방향을 나타낸 모식도이다.
- 도 6은 일 실시예에 따른 웨이퍼 칩의 정렬 상태를 나타낸 모식도이다.
- 도 7은 일 실시예에 따른 정렬패턴을 나타낸 모식도이다.

도 8은 일 실시예에 따른 웨이퍼와 웨이퍼 칩이 정렬된 상태를 나타낸 도이다.

도 9는 일 실시예에 따른 웨이퍼 칩의 회전 상태를 나타낸 도이다.

도 10은 일 실시예에 따른 웨이퍼 칩의 틀어짐 상태를 나타낸 도이다.

도 11은 일 실시예에 따른 웨이퍼 칩의 수평이동 상태를 나타낸 도이다.

도 12는 일 실시예에 따른 웨이퍼 칩의 회전 상태 및 수평이동 상태를 나타낸 도이다.

도 13은 일 실시예에 따른 웨이퍼 칩의 회전 상태 및 틀어짐 상태를 나타낸 도이다.

도 14는 일 실시예에 따른 웨이퍼 칩의 틀어짐 상태 및 수평이동 상태를 나타낸 도이다.

도 15는 일 실시예에 따른 웨이퍼 칩의 회전 상태, 틀어짐 상태, 및 수평이동 상태를 나타낸 도이다.

도 16은 일 실시예에 따른 미세 정렬 방법을 나타낸 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 이하에서는 본 발명에 따른 패턴된 반사패드를 이용한 반도체 소자의 접합을 위한 미세 정렬 시스템 및 방법을 첨부된 도면들을 참조하여 상세하게 설명한다. 이러한 과정에서 도면에 도시된 선들의 두께나 구성요소의 크기 등은 설명의 명료성과 편의상 과장되게 도시되어 있을 수 있다. 또한, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 운용자의 의도 또는 관례에 따라 달라질 수 있다. 그러므로, 이러한 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0031] 본 발명의 목적 및 효과는 하기의 설명에 의해서 자연스럽게 이해되거나 보다 분명해질 수 있으며, 하기의 기재만으로 본 발명의 목적 및 효과가 제한되는 것은 아니다. 또한, 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이, 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하기로 한다.
- [0032] 도 1은 일 실시예에 따른 미세 정렬 시스템의 구성도이다.
- [0033] 도 1에서 나타난 바와 같이, 일 실시예에 따른 미세 정렬 시스템은 웨이퍼(100), 웨이퍼 칩(300), 및 정렬 판단부(500)를 포함할 수 있다.
- [0034] 웨이퍼(100)는 복수의 제1반사패드(10)와 제1정렬패턴(21)이 형성된 복수의 제2반사패드(20)를 구비할 수 있다.
- [0035] 웨이퍼 칩(300)은 제2정렬패턴(31)이 형성된 복수의 제3반사패드(30)를 구비할 수 있다.
- [0036] 정렬 판단부(500)는 상기 제1반사패드(10), 제2반사패드(20), 및 제3반사패드(30) 중 광원이 마지막으로 도달한 반사패드로부터 반사된 광을 상기 제3반사패드(30)가 형성된 위치별로 측정하여 측정된 각각의 광정보로 상기 웨이퍼 칩(300)의 수평이동 상태, 틀어짐 상태, 및 회전 상태 중 하나를 판단할 수 있다.
- [0037] 여기서, 상기 제1반사패드, 제2반사패드, 및 제3반사패드는 금속물질로 이루어질 수 있다. 이때, 반사패드 및 정렬패턴은 공정 중 미리 설계된 마스크를 통해 형성할 수 있다.
- [0038] 정렬 판단부(500)는 상기 제1정렬패턴(21)을 기준으로 제2정렬패턴(31)의 위치 변화에 따라 웨이퍼 칩(300)의 정렬 상태를 판단할 수 있다.
- [0039] 또한, 정렬 판단부(500)는 상기 각 위치의 광정보에서 제2정렬패턴(31)의 위치가 제1정렬패턴(21)보다 서로 다른 대각선 방향으로 상승 및 하강 중 어느 하나이면 상기 웨이퍼 칩(300)을 수평이동 상태로 판단할 수 있다.
- [0040] 또한, 정렬 판단부(500)는 상기 각 위치의 광정보에서 제2정렬패턴(31)의 위치가 제1정렬패턴(21)보다 상승 및 하강 중 어느 하나이면 상기 웨이퍼 칩(300)을 회전 상태로 판단할 수 있다.
- [0041] 또한, 정렬 판단부(500)는 상기 각 위치의 광정보에서 제2정렬패턴(31)의 위치가 제1정렬패턴(21)보다 상승 및 하강 중 어느 하나이되, 적어도 두 위치의 광정보에 대한 제2정렬패턴(31)의 상승 및 하강과 나머지 위치의 광정보에 대한 제2정렬패턴(31)의 상승 및 하강이 서로 반대이면 상기 웨이퍼 칩(300)을 틀어짐 상태로 판단할 수 있다.
- [0042] 여기서, 상기 제1반사패드 및 제2반사패드는 제3반사패드와 대향하되, 상기 제3반사패드의 양측으로 각각 배치될 수 있다.

- [0043] 상기 광원은 상기 제1반사패드, 제3반사패드, 및 제2반사패드를 순방향 및 역방향 중 어느 한 방향에 대하여 순차적으로 도달하도록 조사될 수 있다.
- [0044] 여기서, 정렬 판단부(500)로부터 판단된 정렬 상태에 따라 상기 웨이퍼 칩(300)을 정렬하는 미세 정렬부를 더 포함할 수 있고, 정렬된 웨이퍼(100) 및 웨이퍼 칩(300)을 본딩하는 칩 본딩부를 더 포함할 수 있다.
- [0045] 도 2는 일 실시예에 따른 반사패드를 나타낸 모식도이다.
- [0046] 도 2에서 나타낸 바와 같이, 일 실시예에 따른 반사패드는 제1반사패드(10), 제2반사패드(20), 및 제3반사패드(30)로 구성될 수 있다. 제1반사패드(10)는 무패턴이고, 제2반사패드(20)는 제1정렬패턴(21)이 형성되며, 제3반사패드(30)는 제2정렬패턴(31)이 형성될 수 있다. 반사패드들은 광원을 반사하되, 제1정렬패턴(21)과 제2정렬패턴(31)으로 인해 반사패드로부터 반사되는 광정보가 달라질 수 있다.
- [0047] 여기서, 제1정렬패턴(21)과 제2정렬패턴(31)은 정렬을 위한 패턴이 서로 다른 형태로 구비될 수 있으나, 반드시 서로 다른 형태의 패턴으로 형성되는 것은 아니며, 같은 패턴으로 형성될 수 있다. 제1정렬패턴(21)과 제2정렬패턴(31)의 형태는 한정하지 아니한다.
- [0048] 도 3은 일 실시예에 따른 광원의 입사방법을 나타낸 모식도이다.
- [0049] 도 3에서 나타낸 바와 같이, 일 실시예에 따른 광원의 입사 방법은 제1반사패드(10) 및 제2반사패드(20) 중 어느 하나에 광원이 조사되어 웨이퍼(100)의 제1반사패드(10), 웨이퍼 칩(300)의 제3반사패드(30), 및 웨이퍼(100)의 제2반사패드(20)를 순서로 광원이 조사되거나 제2반사패드(20), 제3반사패드(30), 및 제1반사패드(10) 순서로 광원이 조사될 수 있다.
- [0050] 즉, 웨이퍼(100)의 반사패드에 형성된 제1정렬패턴(21)은 웨이퍼 칩(300)의 정렬 상태를 판단하는 기준이 되며, 기준이 되는 패턴 방향으로 광원이 처음 도달하거나 마지막으로 도달할 수 있다.
- [0051] 여기서, 일 실시예에 따른 반도체 소자의 접합을 위한 정렬 시스템은 광원을 조사하는 광원 조사부 및 조사된 광원을 측정하는 광원 측정부를 포함할 수 있다.
- [0052] 도 4는 일 실시예에 따른 웨이퍼와 웨이퍼 칩에 형성된 반사패드를 나타낸 모식도이다.
- [0053] 도 4에서 나타낸 바와 같이, 웨이퍼(100)와 웨이퍼 칩(300)에 형성된 반사패드에서 제1반사패드(10)와 제2반사패드(20)는 웨이퍼(100)에 형성될 수 있고, 제3반사패드(30)는 웨이퍼 칩(300)에 형성될 수 있으며, 각각의 제1반사패드(10), 제2반사패드(20), 및 제3반사패드(30)는 복수개 구비될 수 있다. 여기서, 제1반사패드(10)와 제2반사패드(20)는 웨이퍼 칩(300)이 정렬할 위치에서 외측으로 형성될 수 있으며, 제3반사패드(30)는 웨이퍼 칩(300)의 각 꼭지점 부분에 형성될 수 있다.
- [0054] 즉, 일 실시예에 따른 제1반사패드(10) 및 제2반사패드(20)는 웨이퍼 칩(300)의 정렬위치 외측에 각각 형성되고, 제3반사패드(30)는 상기 웨이퍼 칩(300)의 각 꼭지점 부분에 형성되어 상기 웨이퍼 칩(300)이 정렬위치에서 제3반사패드(30) 양측으로 제1반사패드(10)와 제2반사패드(20)가 각각 대향배치될 수 있다.
- [0055] 이때, 일 실시예에 따른 제3반사패드는 웨이퍼 칩의 각 꼭지점에 형성될 수 있으나, 제3반사패드가 반드시 상술한 웨이퍼 칩의 각 꼭지점 부분에 한정하여 형성되는 것은 아니다. 단, 일 실시예에 따른 정렬 시스템을 설명하기 위해 웨이퍼 칩의 각 꼭지점 부분에 형성된 제3반사패드로 설명하도록 한다.
- [0056] 도 5는 일 실시예에 따른 광원의 조사 방향을 나타낸 모식도이다.
- [0057] 도 5에서 나타낸 바와 같이, 일 실시예에 따른 광원의 조사 방향은 웨이퍼(100)와 웨이퍼 칩(300)이 대향되어 광원이 제1반사패드(10) 및 제2반사패드(20) 중 어느 하나에 조사되어 제1반사패드(10), 제3반사패드(30), 및 제2반사패드(20) 순서로 조사되거나 제2반사패드(20), 제3반사패드(30), 및 제1반사패드(10) 순서로 조사될 수 있고, 광원은 웨이퍼 칩(300)의 제3반사패드(30)가 형성된 위치별로 조사될 수 있다.
- [0058] 더욱 상세하게는, 웨이퍼 칩(300)의 각 꼭지점에 구비된 제3반사패드(30)에서 광원을 제1반사패드(10), 제3반사패드(30), 및 제2반사패드(20) 방향 또는 제2반사패드(20), 제3반사패드(30), 및 제1반사패드(10) 방향으로 조사하여 웨이퍼 칩(300)의 중심을 기준으로 하여 웨이퍼 칩(300)과 각 꼭지점을 잇는 선에 직교하는 방향으로 조사될 수 있다. 여기서, 각 꼭지점에서 조사되는 광원의 조사 방향은 서로 다를 수 있다.
- [0059] 이때, 일 실시예에 따른 수평이동 상태, 회전 상태, 틀어짐 상태를 이해하기 쉽게 설명하기 위해 각 방향에 대하여 제1방향 광정보(40), 제2방향 광정보(50), 제3방향 광정보(60), 제4방향 광정보(70)로 나타낼 수 있다.

- [0060] 도 6은 일 실시예에 따른 웨이퍼 칩(300)의 정렬 상태를 나타낸 모식도이다.
- [0061] 도 6에서 나타낸 바와 같이, 일 실시예에 따른 웨이퍼 칩(300)의 정렬 상태는 수평이동 상태, 회전 상태, 및 틀어짐 상태가 있으며, 정렬 판단부(500)에서 제1정렬패턴(21)과 제2정렬패턴(31)으로 웨이퍼 칩(300)의 정렬 상태를 판단할 수 있다.
- [0062] 도 7은 일 실시예에 따른 정렬패턴을 나타낸 모식도이다.
- [0063] 도 7에서 나타낸 바와 같이, 일 실시예에 따른 정렬패턴은 제1정렬패턴(21)과 제2정렬패턴(31)이 서로 다르게 설정될 수 있다.
- [0064] 도 8 내지 도 15는 광원이 각 위치에서 제1반사패드(10), 제2반사패드(20), 및 제3반사패드(30)를 거쳐 측정된 각각의 광정보로 제1정렬패턴(21)과 제2정렬패턴(31)의 변화정도에 따른 웨이퍼 칩(300)의 정렬 상태를 나타내는 도이다.
- [0065] 도 8은 일 실시예에 따른 웨이퍼(100)와 웨이퍼 칩(300)이 정렬된 상태를 나타낸 도이다.
- [0066] 도 8에서 나타낸 바와 같이, 일 실시예에 따른 웨이퍼(100)와 웨이퍼 칩(300)의 정렬 상태는 각 위치의 광정보에서 제1정렬패턴(21)과 제2정렬패턴(31)이 나란한 배열형태를 보일 수 있다. 서로 상반된 제1정렬패턴(21)과 제2정렬패턴(31)이 각 위치의 광정보에서 위치변동이 나타나지 아니한 상태로 볼 수 있다.
- [0067] 도 9는 일 실시예에 따른 웨이퍼 칩의 회전 상태를 나타낸 도이다.
- [0068] 도 9에서 나타낸 바와 같이, 일 실시예에 따른 웨이퍼 칩(300)의 회전 상태는 각 위치의 광정보에서 제1정렬패턴(21)을 기준으로 제2정렬패턴(31)이 상승 및 하강 중 어느 하나일 수 있다.
- [0069] 즉, 회전 상태는 제2정렬패턴(31)이 제1방향 광정보(40), 제2방향 광정보(50), 제3방향 광정보(60), 및 제4방향 광정보(70) 각각에서 동일한 상승 또는 하강의 이동변화가 나타날 수 있다.
- [0070] 도 10은 일 실시예에 따른 웨이퍼 칩(300)의 틀어짐 상태를 나타낸 도이다.
- [0071] 도 10에서 나타낸 바와 같이, 일 실시예에 따른 웨이퍼 칩(300)의 틀어짐 상태는 각 위치의 광정보에서 제2정렬패턴(31)의 위치가 제1정렬패턴(21)보다 상승 및 하강 중 어느 하나이되, 적어도 두 위치의 광정보에 대한 제2정렬패턴(31)의 상승 및 하강과 나머지 위치의 광정보에 대한 제2정렬패턴(31)의 상승 및 하강이 서로 반대일 수 있다.
- [0072] 즉, 틀어짐 상태는 제2정렬패턴(31)이 제1방향 광정보(40)와 제2방향 광정보(50)에서 상승이면 제3방향 광정보(60)와 제4방향 광정보(70)에서 하강일 수 있고, 제2정렬패턴(31)이 제1방향 광정보(40)와 제2방향 광정보(50)에서 하강이면 제3방향 광정보(60)와 제4방향 광정보(70)에서 상승의 이동 변화가 나타날 수 있다.
- [0073] 도 11은 일 실시예에 따른 웨이퍼 칩의 수평이동 상태를 나타낸 도이다.
- [0074] 도 11에서 나타낸 바와 같이, 일 실시예에 따른 웨이퍼 칩(300)의 수평이동 상태는 각 위치의 광정보에서 제2정렬패턴(31)의 위치가 제1정렬패턴(21)보다 서로 다른 대각선 방향으로 상승 및 하강 중 어느 하나일 수 있다.
- [0075] 즉, 수평이동 상태는 제2정렬패턴(31)이 제1방향 광정보(40), 제2방향 광정보(50), 제3방향 광정보(60), 및 제4방향 광정보(70) 각각에서 서로 다른 대각선 방향으로 상승 또는 하강의 이동 변화가 나타날 수 있다. 여기서, 서로 다른 대각선 방향은 각각의 제2정렬패턴(31)이 제1방향 광정보(40)에서 좌측 대각선 방향으로 하강이고, 제2방향 광정보(50)에서 우측 대각선 방향으로 하강이며, 제3방향 광정보(60)에서 좌측 대각선 방향으로 상승이고, 제4방향 광정보(70)에서 우측 대각선 방향으로 상승일 수 있다.
- [0076] 도 12 내지 도 15는 웨이퍼 칩(300)의 수평이동 상태, 회전 상태, 틀어짐 상태 중 적어도 두 상태가 동시에 발생한 것을 나타낸 도이다. 적어도 두 상태가 동시에 발생하는 경우 회전 상태, 수평이동 상태, 틀어짐 상태에 대하여 제1방향 광정보(40), 제2방향 광정보(50), 제3방향 광정보(60), 및 제4방향 광정보(70) 각각에서 제2정렬패턴(31)의 변화정도가 각각 다르게 나타날 수 있다.
- [0077] 도 12는 일 실시예에 따른 웨이퍼 칩의 회전 상태 및 수평이동 상태를 나타낸 도이다.
- [0078] 도 12에서 나타낸 바와 같이, 일 실시예에 따른 웨이퍼 칩(300)의 회전 상태 및 수평이동 상태는 앞서 상술한 회전 상태와 수평이동 상태에 대한 제2정렬패턴(31)의 특징이 모두 나타날 수 있으며, 이에 따라 각각의 광정보에서 제2정렬패턴(31)의 위치변화는 회전으로 인한 상승 또는 하강, 수평이동으로 인한 대각선 방향의 상승 또

는 하강이 반영되어 나타날 수 있다.

- [0079] 더욱 상세하게는, 제1방향 광정보(40)의 제2정렬패턴(31)은 회전으로 인한 상승과 수평이동으로 인한 좌측 대각선 하강이 반영된 형태의 광정보가 나타날 수 있고, 제2방향 광정보(50)의 제2정렬패턴(31)은 회전으로 인한 상승과 수평이동으로 인한 우측 대각선 하강이 반영된 형태의 광정보가 나타날 수 있으며, 제3방향 광정보(60)의 제2정렬패턴(31)은 회전으로 인한 상승과 수평이동으로 인한 좌측 대각선 상승이 반영된 형태의 광정보가 나타날 수 있으며, 제4방향 광정보(70)의 제2정렬패턴(31)은 회전으로 인한 상승과 수평이동으로 인한 우측 대각선 상승이 반영된 형태의 광정보가 나타날 수 있다.
- [0080] 도 13은 일 실시예에 따른 웨이퍼 칩의 회전 상태 및 틀어짐 상태를 나타낸 도이다.
- [0081] 도 13에서 나타낸 바와 같이, 일 실시예에 따른 웨이퍼 칩(300)의 회전 상태 및 틀어짐 상태는 앞서 상술한 회전 상태와 틀어짐 상태에 대한 제2정렬패턴(31)의 특징이 모두 나타날 수 있으며, 이에 따라 각각의 광정보에서 제2정렬패턴(31)의 위치변화는 회전으로 인한 상승 또는 하강과, 틀어짐으로 인한 상승 또는 하강이 반영되어 나타날 수 있다.
- [0082] 더욱 상세하게는, 제1방향 광정보(40)의 제2정렬패턴(31)은 회전으로 인한 상승과 틀어짐으로 인한 하강이 반영된 형태의 광정보가 나타날 수 있고, 제2방향 광정보(50)의 제2정렬패턴(31)은 회전으로 인한 상승과 틀어짐으로 인한 하강이 반영된 형태의 광정보가 나타날 수 있으며, 제3방향 광정보(60)의 제2정렬패턴(31)은 회전으로 인한 상승과 틀어짐으로 인한 상승이 반영된 형태의 광정보가 나타날 수 있으며, 제4방향 광정보(70)의 제2정렬패턴(31)은 회전으로 인한 상승과 틀어짐으로 인한 상승이 반영된 형태의 광정보가 나타날 수 있다.
- [0083] 도 14는 일 실시예에 따른 웨이퍼 칩(300)의 틀어짐 상태 및 수평이동 상태를 나타낸 도이다.
- [0084] 도 14에서 나타낸 바와 같이, 일 실시예에 따른 웨이퍼 칩(300)의 틀어짐 상태 및 수평이동 상태는 앞서 상술한 틀어짐 상태와 수평이동 상태에 대한 제2정렬패턴(31)의 특징이 모두 나타날 수 있으며, 이에 따라 각각의 광정보에서 제2정렬패턴(31)의 위치변화는 틀어짐으로 인한 상승 또는 하강과, 수평이동으로 인한 대각선 방향의 상승 또는 하강이 반영되어 나타날 수 있다.
- [0085] 더욱 상세하게는, 제1방향 광정보(40)의 제2정렬패턴(31)은 틀어짐으로 인한 하강과 수평이동으로 인한 좌측 대각선 하강이 반영된 형태의 광정보가 나타날 수 있고, 제2방향 광정보(50)의 제2정렬패턴(31)은 틀어짐으로 인한 하강과 수평이동으로 인한 우측 대각선 하강이 반영된 형태의 광정보가 나타날 수 있으며, 제3방향 광정보(60)의 제2정렬패턴(31)은 틀어짐으로 인한 상승과 수평이동으로 인한 좌측 대각선 상승이 반영된 형태의 광정보가 나타날 수 있으며, 제4방향 광정보(70)의 제2정렬패턴(31)은 틀어짐으로 인한 상승과 수평이동으로 인한 우측 대각선 상승이 반영된 형태의 광정보가 나타날 수 있다.
- [0086] 도 15는 일 실시예에 따른 웨이퍼 칩의 회전 상태, 틀어짐 상태, 및 수평이동 상태를 나타낸 도이다.
- [0087] 도 15에서 나타낸 바와 같이, 일 실시예에 따른 웨이퍼 칩(300)의 회전 상태, 틀어짐 상태, 및 수평이동 상태는 앞서 상술한 회전 상태, 틀어짐 상태, 및 수평이동 상태에 대한 제2정렬패턴(31)의 특징이 모두 나타날 수 있으며, 이에 따라 각각의 광정보에서 제2정렬패턴(31)의 위치변화는 회전으로 인한 상승 또는 하강과, 틀어짐으로 인한 상승 또는 하강과, 수평이동으로 인한 대각선 방향의 상승 또는 하강이 반영되어 나타날 수 있다.
- [0088] 더욱 상세하게는, 제1방향 광정보(40)의 제2정렬패턴(31)은 회전으로 인한 상승, 틀어짐으로 인한 하강, 및 수평이동으로 인한 좌측 대각선 하강이 반영된 형태의 광정보가 나타날 수 있고, 제2방향 광정보(50)의 제2정렬패턴(31)은 회전으로 인한 상승, 틀어짐으로 인한 하강, 및 수평이동으로 인한 우측 대각선 하강이 반영된 형태의 광정보가 나타날 수 있으며, 제3방향 광정보(60)의 제2정렬패턴(31)은 회전으로 인한 상승, 틀어짐으로 인한 상승, 및 수평이동으로 인한 좌측 대각선 상승이 반영된 형태의 광정보가 나타날 수 있고, 제4방향 광정보(70)의 제2정렬패턴(31)은 회전으로 인한 상승, 틀어짐으로 인한 상승, 및 수평이동으로 인한 우측 대각선 상승이 반영된 형태의 광정보가 나타날 수 있다.
- [0089] 도 12 내지 15는 일 실시예에 한하여 한 방향 또는 한 쪽 측면으로 회전, 수평이동, 및 틀어진 상태에 대하여 설명한 것으로, 반드시 상술한 내용에 한정되는 것은 아니다. 또한, 회전 상태, 수평이동 상태, 틀어짐 상태 중 적어도 두 상태 이상이 동시에 발생하는 경우에는 두 상태의 특징이 모두 반영되었을 지라도 하나의 정렬 상태를 판단함으로써 다양한 경우의 수로 인해 발생하는 광정보 형태가 각 정렬 상태의 판단 기준에 따라 판단될 수 있음을 인지하여야 한다.

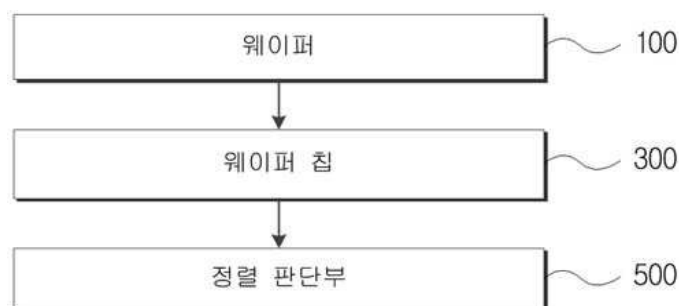
- [0090] 도 16은 일 실시예에 따른 미세 정렬 방법을 나타낸 순서도이다.
- [0091] 도 16에서 나타낸 바와 같이, 일 실시예에 따른 미세 정렬 방법은 배치 단계(S100), 광원 조사 단계(S200), 광 측정 단계(S300), 정렬 판단 단계(S400), 미세 정렬 단계(S500), 및 칩 본딩 단계(S600)를 포함할 수 있다.
- [0092] 배치 단계(S100)는 복수의 제1반사패드(10)와 제1정렬패턴(21)이 형성된 복수의 제2반사패드(20)를 구비하는 웨이퍼(100) 및 제2정렬패턴(31)이 형성된 복수의 제3반사패드(30)를 구비하는 웨이퍼 칩(300)을 서로 대향하도록 구비하여 상기 각각의 제3반사패드(30) 양측으로 제1반사패드(10)와 제2반사패드(20)가 각각 배치될 수 있다.
- [0093] 광원 조사 단계(S200)는 상기 제3반사패드가 형성된 각 위치에서 상기 제1반사패드(10), 제3반사패드(30), 및 제2반사패드(20)를 순차적으로 도달하도록 광원을 각각 조사할 수 있다.
- [0094] 광 측정 단계(S300)는 상기 위치별 마지막 반사패드로부터 반사된 광을 측정하여 각 위치에 따른 광정보가 생성될 수 있다.
- [0095] 정렬 판단 단계(S400)는 상기 생성된 각각의 광정보에서 제1정렬패턴(21)을 기준으로 제2정렬패턴(31)의 위치 변화에 따라 상기 웨이퍼 칩(300)의 수평이동 상태, 틀어짐 상태, 및 회전 상태 중 하나가 판단될 수 있다.
- [0096] 미세 정렬 단계(S500)는 상기 판단된 정렬 상태에 따라 상기 웨이퍼 칩(300)이 정렬될 수 있다.
- [0097] 칩 본딩 단계(S600)는 상기 정렬된 웨이퍼(100) 및 웨이퍼 칩(300)이 본딩될 수 있다.
- [0098] 이상에서 대표적인 실시예를 통하여 본 발명을 상세하게 설명하였으나, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 상술한 실시예에 대하여 본 발명의 범주에서 벗어나지 않는 한도 내에서 다양한 변형이 가능함을 이해할 것이다. 그러므로 본 발명의 권리 범위는 설명한 실시예에 국한되어 정해져서는 안 되며, 후술하는 특허청구범위뿐만 아니라 특허청구범위와 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태에 의하여 정해져야 한다.

부호의 설명

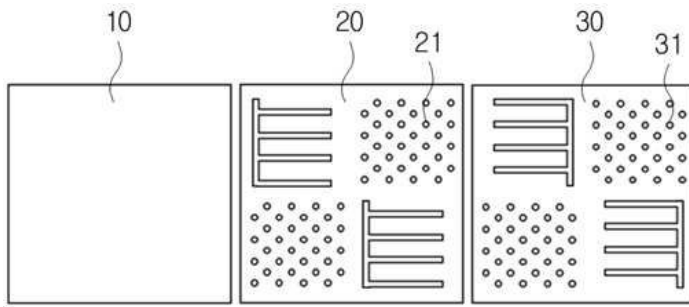
- [0100] 100: 웨이퍼 300: 웨이퍼 칩
- 500: 정렬 판단부
- 10: 제1반사패드 20: 제2반사패드
- 30: 제3반사패드
- 21: 제1정렬패턴 31: 제2정렬패턴
- 40: 제1방향 광정보 50: 제2방향 광정보
- 60: 제3방향 광정보 70: 제4방향 광정보

도면

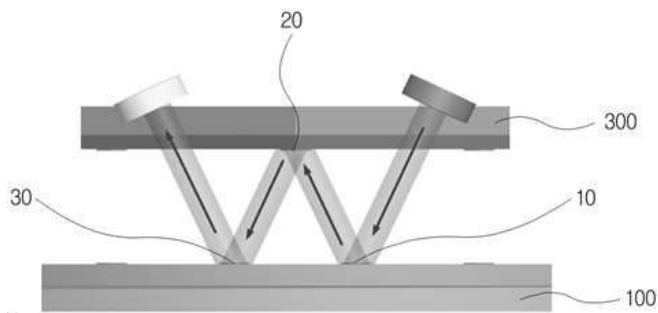
도면1



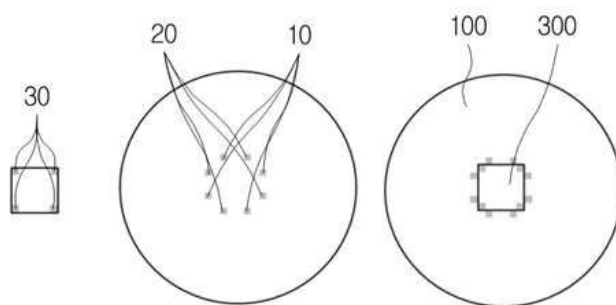
도면2



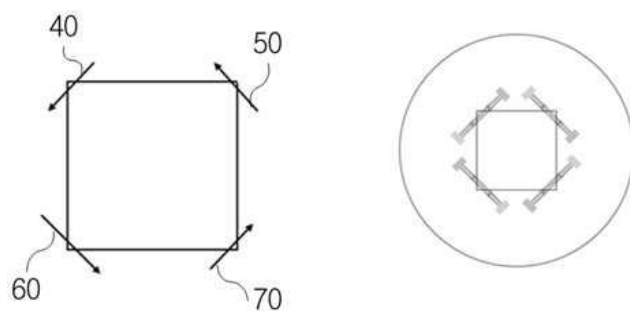
도면3



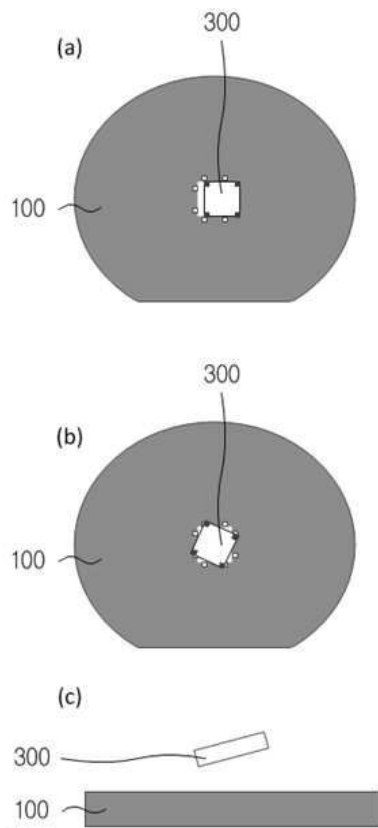
도면4



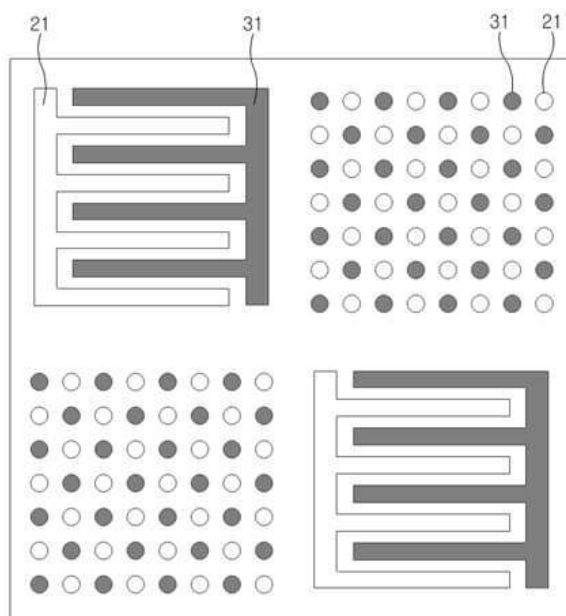
도면5



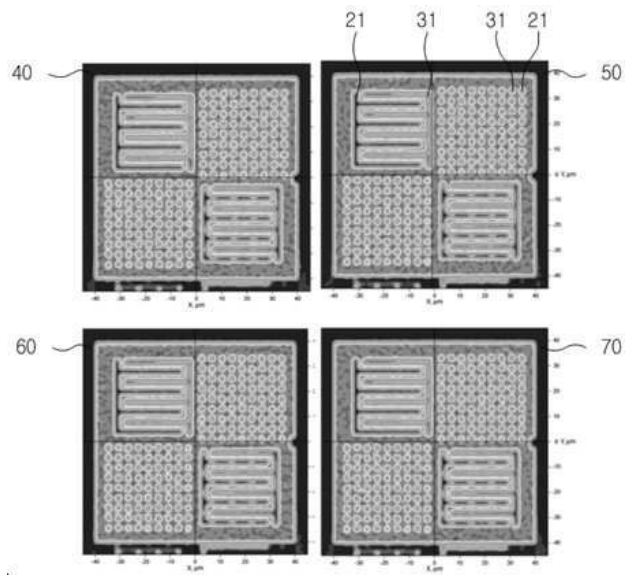
도면6



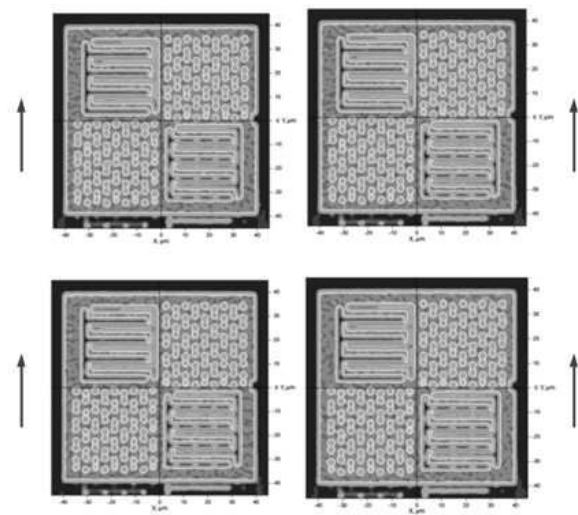
도면7



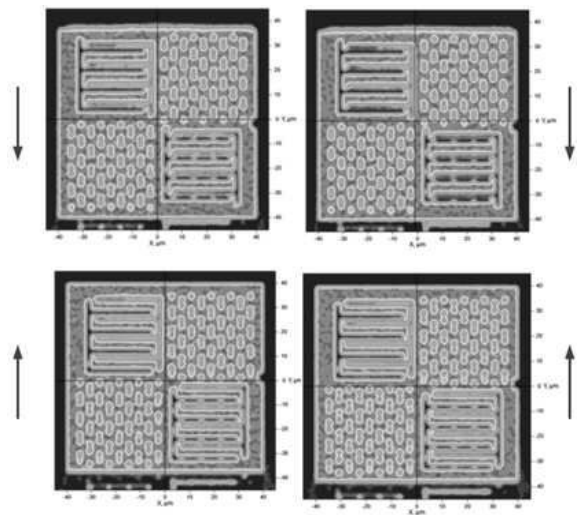
도면8



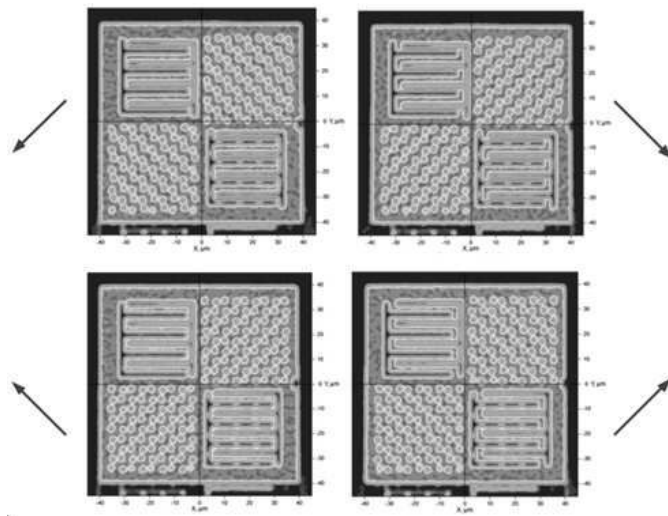
도면9



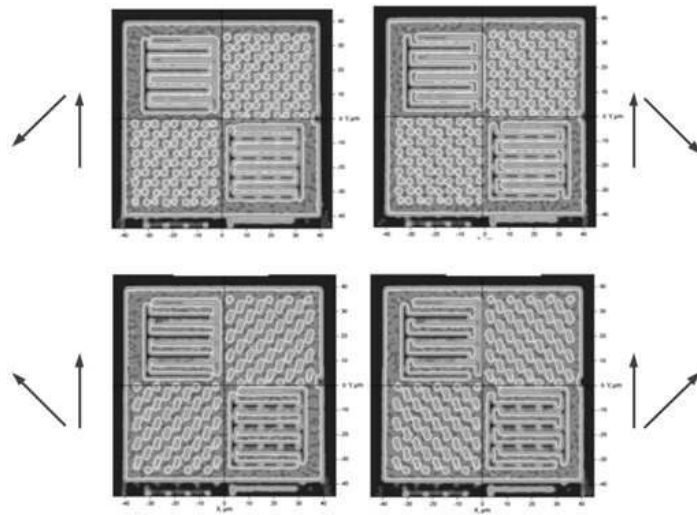
도면10



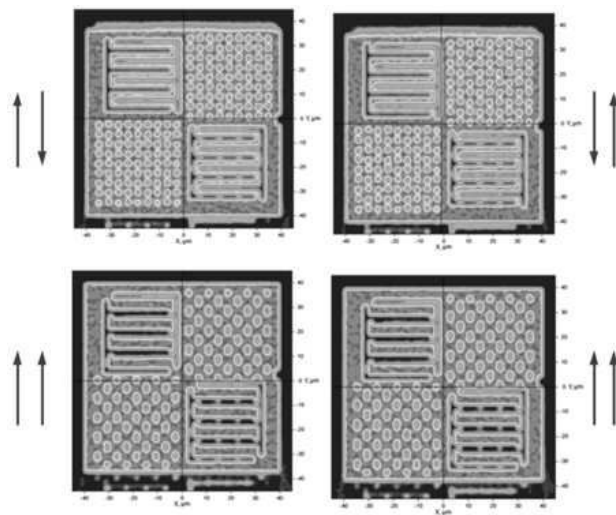
도면11



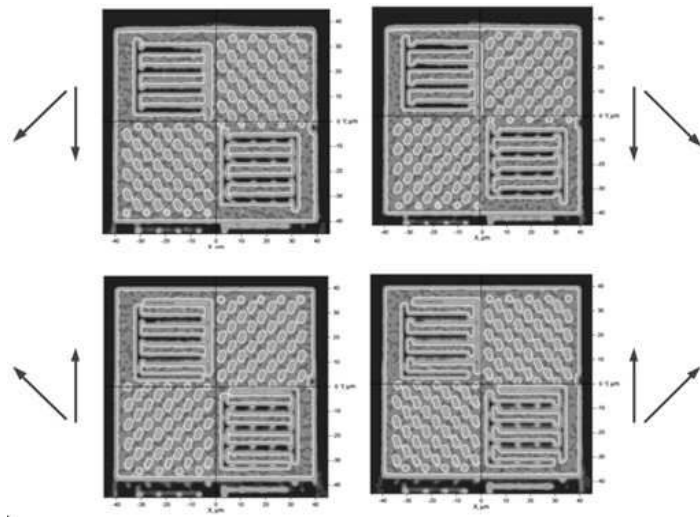
도면12



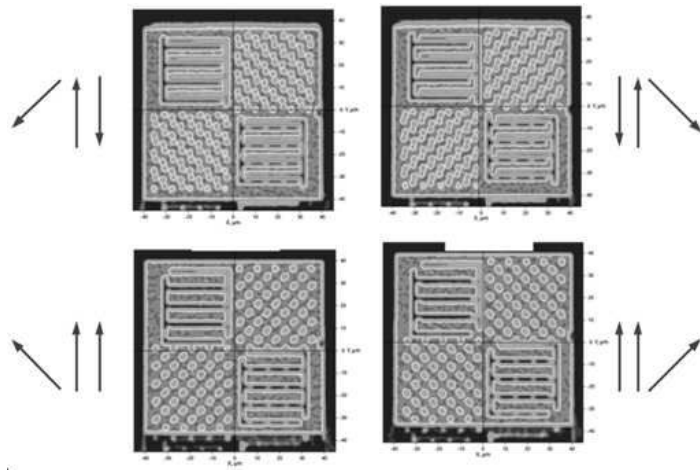
도면13



도면14



도면15



도면16

