(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0031641
(43) 공개일자 2019년03월27일

(51) 국제특허분류(Int. Cl.)
H01L 23/62 (2006.01) *H01L 23/525* (2006.01)
(52) CPC특허분류
H01L 23/62 (2013.01)
H01L 23/5256 (2013.01)
(21) 출원번호 10-2017-0119313
(22) 출원일자 2017년09월18일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
세종대학교산학협력단
서울특별시 광진구 능동로 209 (군자동, 세종대학교)
(72) 발명자
김덕기
서울특별시 노원구 노원로 62, 309동 703호(공릉동, 효성 화운트빌)
김홍균
서울특별시 동대문구 무학로26길 30, 104동 1704호(용두동, 신동아아파트)
(뒷면에 계속)
(74) 대리인
이철희

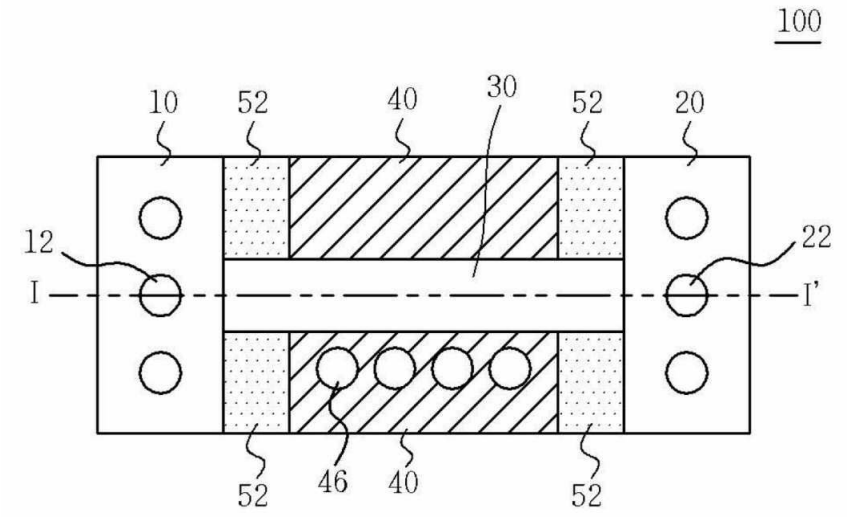
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **반도체 장치의 이-퓨즈**

(57) 요 약

본 발명은 반도체 장치의 이-퓨즈를 개시한다. 상기 이-퓨즈는, 제1 및 제2 전극을 상호 연결하는 게이트 메탈; 상기 게이트 메탈의 하부에 형성되어 상기 게이트 메탈과 커패시터를 형성하는 반도체층; 및 상기 게이트 메탈의 하부 및 상기 반도체층의 양측에 형성되는 제1 산화물층;을 포함한다.

대 표 도 - 도1



(72) 발명자

김재홍

경기도 성남시 중원구 여수울로29번길 14-13, 401호 (여수동)

남서우

경기도 성남시 분당구 정자일로 100, C동 3002호(정자동, 미켈란쉐르빌)

명 세 서

청구범위

청구항 1

제1 및 제2 전극을 상호 연결하는 게이트 메탈;

상기 게이트 메탈의 하부에 형성되어 상기 게이트 메탈과 커패시터를 형성하는 반도체층; 및

상기 게이트 메탈의 하부 및 상기 반도체층의 양측에 형성되는 제1 산화물층;을 포함하는 반도체 장치의 이-퓨즈.

청구항 2

제 1 항에 있어서,

상기 게이트 메탈의 하단에 형성되고, 상기 게이트 메탈의 하단에 대응하는 위치의 상기 반도체층과 상기 제1 산화물층의 상단에 접하는 게이트 산화물층;을 더 포함하는 반도체 장치의 이-퓨즈.

청구항 3

제 1 항에 있어서,

상기 게이트 메탈의 상부에 형성되는 실리콘 질화물층; 및

상기 실리콘 질화물층, 상기 반도체층 및 상기 제1 산화물층 상부에 형성되는 제2 산화물층;을 더 포함하는 반도체 장치의 이-퓨즈.

청구항 4

제 1 항에 있어서,

이-퓨즈의 프로그램 시, 상기 제1 및 제2 전극 중 어느 하나에 프로그램 전압이 인가되고, 상기 반도체층에 접지전압이 인가되는 반도체 장치의 이-퓨즈.

청구항 5

제 1 항에 있어서,

상기 게이트 메탈은, 상기 제1 전극에서 연장되는 제1 게이트 메탈; 및 상기 제1 게이트 메탈과 접하도록 상기 제2 전극에서 연장되는 제2 게이트 메탈;을 포함하고,

상기 제1 및 제2 게이트 메탈은 동일 메탈로 형성되는 반도체 장치의 이-퓨즈.

청구항 6

제 5 항에 있어서,

상기 제1 게이트 메탈의 하부에 상기 반도체층이 형성되고, 상기 제1 게이트 메탈과 상기 반도체층은 엔-타입의 커패시터를 형성하는 반도체 장치의 이-퓨즈.

청구항 7

제 6 항에 있어서,

상기 제2 게이트 메탈의 하부에 상기 제1 산화물층이 형성되는 반도체 장치의 이-퓨즈.

청구항 8

제 5 항에 있어서,

상기 제2 게이트 메탈의 하부에 상기 반도체층이 형성되고, 상기 제2 게이트 메탈과 상기 반도체층은 파-타입의 커패시터를 형성하는 반도체 장치의 이-퓨즈.

청구항 9

제 8 항에 있어서,

상기 제1 게이트 메탈의 하부에 상기 제1 산화물층이 형성되는 반도체 장치의 이-퓨즈.

청구항 10

제1 및 제2 전극을 상호 연결하는 게이트 메탈;

상기 게이트 메탈의 하부에 형성되어 상기 게이트 메탈과 커패시터를 형성하는 반도체층; 및

상기 게이트 메탈의 하부 및 상기 반도체층의 양측에 형성되는 제1 산화물층;을 포함하고,

상기 게이트 메탈은, 상기 제1 전극에서 연장되는 제1 게이트 메탈과 상기 제1 게이트 메탈과 접하도록 상기 제2 전극에서 연장되는 제2 게이트 메탈을 포함하며,

상기 제1 및 제2 게이트 메탈은, 서로 다른 메탈로 형성되는 반도체 장치의 이-퓨즈.

청구항 11

제 10 항에 있어서,

상기 게이트 메탈의 하단에 형성되고, 상기 게이트 메탈의 하단에 대응하는 위치의 상기 반도체층과 상기 제1 산화물층의 상단에 접하는 게이트 산화물층;을 더 포함하는 반도체 장치의 이-퓨즈.

청구항 12

제 10 항에 있어서,

상기 게이트 메탈의 상부에 형성되는 실리콘 질화물층; 및

상기 실리콘 질화물층, 상기 반도체층 및 상기 제1 산화물층 상부에 형성되는 제2 산화물층;을 더 포함하는 반도체 장치의 이-퓨즈.

청구항 13

제 10 항에 있어서,

상기 제1 게이트 메탈과 상기 반도체층의 절반은 엔-타입의 커패시터를 형성하고,

상기 제2 게이트 메탈과 상기 반도체층의 나머지 절반은 피-타입의 커패시터를 형성하는 반도체 장치의 이-퓨즈.

청구항 14

제 13 항에 있어서,

상기 반도체층에는 상기 엔-타입의 커패시터와 상기 피-타입의 커패시터에 대응하는 엔-타입 채널과 피-타입 채널이 형성되는 반도체 장치의 이-퓨즈.

청구항 15

제 10 항에 있어서,

이-퓨즈의 프로그램 시, 상기 제1 및 제2 전극 중 어느 하나에 프로그램 전압이 인가되고, 상기 반도체층에 접지전압이 인가되는 반도체 장치의 이-퓨즈.

청구항 16

제 10 항에 있어서,

상기 게이트 메탈과 상기 반도체층은 엔-타입 또는 피-타입의 커패시터를 형성하는 반도체 장치의 이-퓨즈.

청구항 17

제 10 항에 있어서,

상기 제1 게이트 메탈의 하부에 상기 반도체층이 형성되고, 상기 제1 게이트 메탈과 상기 반도체층은 엔-타입의 커패시터를 형성하는 반도체 장치의 이-퓨즈.

청구항 18

제 17 항에 있어서,

상기 제2 게이트 메탈의 하부에 상기 제1 산화물층이 형성되는 반도체 장치의 이-퓨즈.

청구항 19

제 10 항에 있어서,

상기 제2 게이트 메탈의 하부에 상기 반도체층이 형성되고, 상기 제2 게이트 메탈과 상기 반도체층은 피-타입의 커패시터를 형성하는 반도체 장치의 이-퓨즈.

청구항 20

제 19 항에 있어서,

상기 제1 게이트 메탈의 하부에 상기 제1 산화물층이 형성되는 반도체 장치의 이-퓨즈.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 장치에 관한 것으로, 더 상세하게는 반도체 장치의 이-퓨즈에 관한 것이다.

배 경 기 술

[0002] 일반적으로, 반도체 장치의 퓨즈는 반도체 기술 분야에서 다양한 목적을 구현하기 위해 사용된다. 예를 들면, 퓨즈는 불량 메모리 셀을 리던던시 메모리 셀로 대체하는 리페어 공정에서 사용될 수 있으며, 전압을 튜닝하는 정전압 발생회로에서 사용되거나 다양한 모드 선택과 테스트를 위한 제어 회로 등에서 사용될 수 있다.

[0003] 이러한 퓨즈는 단선 방법에 따라, 레이저 퓨즈와 이-퓨즈로 구분될 수 있으며, 이 중 이-퓨즈는 전류를 이용하여 선택적으로 단선시키는 방법이다. 한편, 퓨즈 기술에 대한 요구사항 중 하나가 면적을 줄이는 것인데, 퓨즈가 차지하는 면적 중 선택 소자가 대부분의 면적을 차지하기 때문에 퓨즈의 면적을 줄이기 위해 프로그램 전류를 낮추고자 하는 기술이 요구되고 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 특허문헌 1: 대한민국 등록번호 KR 10-1605749(2016.03.17)

(특허문헌 0002) 특허문헌 2: 대한민국 공개번호 KR 2014-0117907(2014.10.08)

(특허문헌 0003) 특허문헌 3: 대한민국 공개번호 KR 2016-0068212(2016.06.15)

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 기술적 과제는 낮은 프로그램 전류로 블로워(blow)가 가능하여 성능이 향상되고 면적을 줄일 수 있는 반도체 장치의 이-퓨즈를 제공하는데 있다.

과제의 해결 수단

[0006] 본 발명의 실시예에 따른 반도체 장치의 이-퓨즈는, 제1 및 제2 전극을 상호 연결하는 게이트 메탈; 상기 게이트 메탈의 하부에 형성되어 상기 게이트 메탈과 커패시터를 형성하는 반도체층; 및 상기 게이트 메탈의 하부 및 반도체층의 양측에 형성되는 제1 산화물층;을 포함한다.

[0007] 본 발명의 실시예에 따른 반도체 장치의 이-퓨즈는, 제1 및 제2 전극을 상호 연결하는 게이트 메탈; 상기 게이트 메탈의 하부에 형성되어 상기 게이트 메탈과 커패시터를 형성하는 반도체층; 및 상기 게이트 메탈의 하부 및 상기 반도체층의 양측에 형성되는 산화물층;을 포함하고, 상기 게이트 메탈은, 상기 제1 전극에서 연장되는 제1 게이트 메탈과 상기 제1 게이트 메탈과 접하도록 상기 제2 전극에서 연장되는 제2 게이트 메탈을 포함하며, 상기 제1 및 제2 게이트 메탈은 서로 다른 메탈로 형성된다.

발명의 효과

[0008] 본 발명의 실시예에 따르면, 상대적으로 낮은 프로그램 전류를 가하여 커패시턴스 특성을 변화시킬 수 있다.

[0009] 또한, 낮은 프로그램 전류로 블로워시킬 수 있으므로 이-퓨즈 비트당 면적을 감소시킬 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 제1 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다.

도 2는 도 1의 I-I'를 따라 절단한 단면도이다.

도 3은 이-퓨즈의 프로그램 시 커패시턴스의 변화를 설명하기 위한 도면이다.

도 4는 프로그램 전후에 따른 커패시턴스의 변화를 도시한 그래프이다.

도 5 및 도 6은 이-퓨즈의 프로그램에 따른 누설 전류를 설명하기 위한 도면이다.

도 7은 본 발명의 제2 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다.

도 8은 도 7의 I-I'를 따라 절단한 단면도이다.

도 9는 본 발명의 제3 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다.

도 10은 도 9의 I-I'를 따라 절단한 단면도이다.

도 11은 본 발명의 제4 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다.

도 12는 도 11의 I-I'를 따라 절단한 단면도이다.

도 13은 본 발명의 제5 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다.

도 14는 도 13의 I-I'를 따라 절단한 단면도이다.

도 15는 본 발명의 제6 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다.

도 16은 도 15의 I-I'를 따라 절단한 단면도이다.

도 17은 본 발명의 제7 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다.

도 18는 도 17의 I-I'를 따라 절단한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 첨부한 도면들을 참고하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 상세히 설명하기로 한다. 각 도면에 제시된 참조부호들 중 동일한 참조부호는 동일한 부재를 나타낸다.

[0012] 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0013] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니며, 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0014] 본 실시예에서, 엔-타입 메탈은 NMOS(n-type metal oxide semiconductor) 트랜지스터에 사용되는 메탈로 정의될 수 있으며, 피-타입 메탈은 PMOS(p-type metal oxide semiconductor) 트랜지스터에 사용되는 메탈로 정의될 수 있다.

[0015] 도 1은 본 발명의 제1 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다.

[0016] 도 1을 참고하면, 반도체 장치의 이-퓨즈(100)는 제1 및 제2 전극(10, 20), 게이트 메탈(30), 반도체층(40) 및 제1 산화물층(52)을 포함한다.

[0017] 제1 전극(10)은 캐소드(Cathode)로 지칭될 수 있고, 제2 전극(20)은 애노드(Anode)로 지칭될 수 있으며, 제1 및 제2 전극(10, 20)의 상부에는 프로그램을 위한 전압을 인가하기 위한 컨택(12, 22)이 형성될 수 있다. 여기서, 프로그램은 제1 및 제2 전극(10, 20) 중 어느 하나에 프로그램 전압을 인가하고 반도체층(40)에 접지전압을 인가하는 과정을 포함한다.

[0018] 게이트 메탈(30)은 제1 및 제2 전극(10, 20) 사이에서 제1 및 제2 전극(20, 20)을 전기적으로 연결하는 구조를 가지며, 전기적으로 프로그램이 가능한 물질로 형성된다. 일례로, 게이트 메탈(30)은 NMOS 또는 PMOS에 사용되는 엔-타입의 메탈 또는 피-타입의 메탈로 형성될 수 있으며, Al과 같은 금속성 물질로 형성되거나 TiN, Ti, Al, AlTiO의 층들로 형성될 수 있다. 여기서, 게이트 메탈(30)은 제1 전극(10) 및 제2 전극(20)과 일체형으로 형성될 수 있다.

[0019] 반도체층(40)은 게이트 메탈(30)의 하부에 형성된다. 여기서, 반도체층(40)과 게이트 메탈(30)은 엔-타입 또는 피-타입의 커패시터를 형성한다. 반도체층(40)과 게이트 메탈(30)이 엔-타입으로 형성된 경우 제2 전극(20)에는 프로그램 전압이 인가되고 반도체층(40)에 접지전압이 인가될 수 있으며, 반도체층(40)과 게이트 메탈(30)이 피-타입으로 형성된 경우 제1 전극(10)에 프로그램 전압이 인가되고 반도체층(40)에 접지전압이 인가될 수 있다. 반도체층(40)의 상부에는 접지전압을 인가하기 위한 적어도 하나 이상의 컨택(46)이 형성된다.

[0020] 그리고, 제1 산화물층(52)은 반도체층(40)의 양측으로부터 제1 및 제2 전극(10, 20)의 하부까지 형성된다. 제1 산화물층(52)은 반도체층(40)과 동일 레벨에 형성될 수 있다.

[0021] 이와 같이 반도체 장치의 이-퓨즈(100)는 프로그램 전압을 인가하기 위한 제1 및 제2 전극(10, 20), 제1 및 제2 전극(10, 20)을 전기적으로 연결하는 게이트 메탈(30), 게이트 메탈(30)의 하부에 형성되어 게이트 메탈(30)과 커패시터를 형성하는 반도체층(40), 및 반도체층(40)의 양측으로부터 제1 및 제2 전극(10, 20)의 하부까지 형성되는 제1 산화물층(52)을 포함한다.

[0022] 상기와 같이 구성된 반도체 장치의 이-퓨즈(100)는, 프로그램 전압이 제1 및 제2 전극(10, 20) 중 어느 하나에 인가되면 게이트 메탈(30)에 저항 열(resistive heating)이 유도될 수 있다. 저항 열은 게이트 메탈(30) 내에서 불균일한 온도 분포를 가질 수 있다. 게이트 메탈(30) 내에서 불균일한 온도 분포는 게이트 메탈(30)의 중심 부분에서 온도가 가장 높을 수 있다. 불균일한 온도 분포는 게이트 메탈(30) 내에서 원자들의 열적 이동을 유도시킬 수 있다. 열적 이동은 원자들이 게이트 메탈(30)의 중심 부분에서 애노드 방향으로 이동하는 열적 이동과 게이트 메탈(30) 중심 부분에서 캐소드 방향으로 이동하는 열적 이동을 포함할 수 있다. 이로 인해 게이트 메탈(30)과 게이트 산화물층(60, 도 2)이 반응하거나 게이트 산화물층(60)의 유전율 특성이 변하여 게이트 산화물층(60)에 브레이크 다운이 발생할 수 있다.

[0023] 또한, 반도체 장치의 이-퓨즈(100)는, 프로그램 전압에 의해 게이트 메탈(30)에 전자적-이동(electro-migration), 열적 이동(thermos-migration) 및 멜팅(melting) 현상이 유도될 수 있다. 이로 인해 게이트 메탈(30)이 블로워될 수 있다. 게이트 메탈(30)에 유도되는 전자적 이동에 의한 구동력은 게이트 메탈(30)의 단면적을 변화시킴으로써 변화될 수 있다. 도 1에 도시된 게이트 메탈(30)은 제1 및 제2 전극(10, 20) 사이에서 동일한 단면적을 가지고 일 방향으로 연장되는 것을 도시하고 있으나, 설명의 편의성을 위한 것일 뿐, 이에 제한되는 것은 아니다. 게이트 메탈(30)은 제1 및 제2 전극(10, 20)의 위치에 대응하여 굽은 부분을 포함할 수 있으며 단면적을 다르게 형성할 수 있다.

[0024] 이와 같이 게이트 메탈(30)에 프로그램 전류가 흐르면 게이트 메탈(30)에 전자적-이동, 열적 이동 및 멜팅(melting) 현상이 유도되고, 전자적-이동, 열적 이동, 및 멜팅(melting) 현상에 의한 구동력은 게이트 메탈(3

0)을 블로워시킨다. 게이트 메탈(30)이 블로워되면 커패시턴스의 값은 프로그램 전후 대비 크게 변화한다. 메탈 라인만 이용하는 경우 대비 많은 변화로 인해 높은 온/오프 비가 가능하여 이-퓨즈 성능을 향상시킬 수 있고, 낮은 전류에서 프로그램이 가능하여 이-퓨즈 비트당 면적을 감소시킬 수 있다.

[0025] 한편, 도 1의 평면도에는 본 실시예의 구조에 대한 이해를 돕고자 도 2에 도시된 실리콘 질화물층(70) 및 제2 산화물층(54)을 도시하지 않았으나, 도 2에 도시한 바와 같이 게이트 메탈(30) 및 제1 및 제2 전극(10, 20)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70), 반도체층(40) 및 제1 산화물층(52) 상부에 제2 산화물층(54)이 형성될 수 있다.

[0026] 도 2는 도 1의 I-I'를 따라 절단한 단면도이다.

[0027] 도 2를 참고하면, 반도체 장치의 이-퓨즈(100)는 반도체층(40), 반도체층(40)의 양측으로부터 제1 및 제2 전극(10, 20)의 하부까지 형성되는 제1 산화물층(52), 및 반도체층(40)과 제1 산화물층(52)의 상부에 형성되고 제1 및 제2 전극(10, 20)을 연결하는 게이트 메탈(30)을 포함한다. 그리고, 게이트 메탈(30)의 하단과 게이트 메탈(30)의 하단에 대응하는 반도체층(40)과 제1 산화물층(52)의 상단 사이에 형성되는 게이트 산화물층(60)을 더 포함한다. 게이트 산화물층(60)은 프로그램 시 높은 온도로 인해 게이트 메탈(30)과 반응하거나 유전율 특성이 변화될 수 있다. 일례로, 게이트 산화물층(60)은 HfO_2로 형성될 수 있다.

[0028] 그리고, 게이트 메탈(30)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70)의 상부에 제2 산화물층(54)이 형성된다. 일례로, 실리콘 질화물층은 SiN 또는 SiCN으로 형성될 수 있다.

[0029] 도 3은 이-퓨즈의 프로그램 시 커패시턴스의 변화를 설명하기 위한 도면이다. 도 4는 프로그램 전후에 따른 커패시턴스의 변화를 도시한 그래프이다. 일례로, 도 3 및 도 4는 게이트 메탈(30) 및 반도체층(40)이 엔-모스 타입의 커패시터로 형성된 것을 예시한 것으로, 제2 전극(20)에 프로그램 전압이 인가되고 반도체층(40)에 접지전압이 인가된다.

[0030] 도 3 및 도 4를 참고하면, 반도체 장치의 이-퓨즈(100)는 프로그램 전압이 제2 전극(20)에 인가되면 게이트 메탈(30)에 전자적-이동, 열적 이동 및 멜팅(melting) 현상이 유도된다. 이로 인해 게이트 메탈(30)과 게이트 산화물층(60)이 반응하거나 게이트 산화물층(60)의 유전율 특성이 변하여 게이트 메탈(30)에 보이드(void)가 발생할 수 있다.

[0031] 이-퓨즈(100)의 프로그램 시 전류밀도가 상대적으로 높은 상태로 퓨징이 진행되는 경우 게이트 메탈이 멜팅(melting)이 되어 보이드가 게이트 메탈(30)의 센터에 형성되고, 전류밀도가 상대적으로 낮은 상태로 퓨징이 진행되는 경우 전자적 이동(electro-migration)과 열적 이동(thermo-migration)이 진행 되어 보이드가 제2 전극(20)에 가까운 부분에 형성된다.

[0032] 이때, 커패시턴스의 값은 아래의 현상이 모두 작용하여 프로그램 전후 큰 차이를 보이게 된다.

[0033] 먼저, 열에 의해서 게이트 산화물층(60)의 특성이 변하거나 게이트 산화물층(60)과 게이트 메탈(30)이 반응을 할 경우 유전 상수(dielectric constant)가 변해 캐패시턴스의 값이 변한다.

[0034] 또한, 게이트 메탈(30)이 끊어지면 게이트 메탈(30)의 면적이 줄어들어 캐패시턴스의 값이 작아지고, 열에 의해 게이트 산화물층(60)의 두께가 변화여 캐패시턴스의 값이 변화된다.

[0035] 또한, 게이트 메탈(30)의 프로그램 시 과도한 전류에 의해서 게이트 산화물층(60)이 브레이크 다운되면 캐패시턴스의 값이 0에 가까워진다.

[0036] 이와 같이 이-퓨즈(100)는 프로그램 여부에 따라서 커패시터의 유전율 상수, 면적, 거리 등의 변화로 커패시턴스의 값이 변화게 된다.

[0037] 도 5 및 도 6은 이-퓨즈의 프로그램에 따른 누설 전류를 설명하기 위한 도면이다.

[0038] 도 5 및 도 6을 참고하면, 반도체 장치의 이-퓨즈(100)는 프로그램 전압이 제2 전극(20)에 인가되고 접지전압이 반도체층(40)에 인가되면 전자적-이동, 열적 이동 및 멜팅(melting) 현상이 게이트 메탈(30)에 유도된다. 이로 인해 게이트 메탈(30)과 게이트 산화물층(60)이 반응하거나 게이트 산화물층(60)의 유전율 특성이 변하여 게이트 산화물층(60)이 브레이크 다운될 수 있다.

[0039] 이때, 제2 전극(20)과 반도체층(40) 사이의 커패시터 누설 전류는 게이트 산화물층(60)의 브레이크 다운에 의해 증가된다. 이와 같이 이-퓨즈(100)는 프로그램 여부에 따라서 게이트 메탈(30)과 게이트 산화물층(60)의 특성

변화 및 게이트 산화물층(60)의 브레이크 다운으로 누설 전류가 증가하게 된다.

[0040] 도 7은 본 발명의 제2 실시예에 따른 반도체 장치의 이-퓨즈(100)를 설명하기 위한 평면도이다. 도 8은 도 7의 I-I'를 따라 절단한 단면도이다. 여기서, 도 7의 평면도에는 본 실시예의 구조에 대한 이해를 돕고자 도 8에 도시된 실리콘 질화물층(70) 및 제2 산화물층(54)을 도시하지 않았으나, 도 8에 도시한 바와 같이 게이트 메탈(30) 및 제1 및 제2 전극(10, 20)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70), 반도체층(40) 및 제1 산화물층(52) 상부에 제2 산화물층(54)이 형성될 수 있다.

[0041] 도 7 및 도 8을 참고하면, 반도체 장치의 이-퓨즈(100)는 제1 및 제2 전극(10, 20), 게이트 메탈(30), 반도체층(40), 및 제1 산화물층(52)을 포함한다.

[0042] 제1 및 제2 전극(10, 20)을 연결하는 게이트 메탈(30)은 제1 전극(10)에서 제2 전극(20) 방향으로 연장되는 제1 게이트 메탈(32)과 제2 전극(20)에서 제1 전극(10) 방향으로 연장되는 제2 게이트 메탈(34)을 포함한다. 제1 및 제2 게이트 메탈(32, 34)은 동일 메탈로 형성될 수 있으며, 제1 전극(10) 및 제2 전극(20)과 일체형으로 형성될 수 있다. 제1 및 제2 게이트 메탈(32, 34)은 적어도 하나 이상의 금속성 물질들로 형성될 수 있다.

[0043] 반도체층(40)은 제1 게이트 메탈(32)의 하부에 형성된다. 여기서, 반도체층(40)과 제1 게이트 메탈(32)은 엔-타입의 커패시터를 형성한다. 이-퓨즈(100)의 프로그램 시 제2 전극(20)에는 프로그램 전압이 인가되고 반도체층(40)에는 접지전압이 인가될 수 있다. 반도체층(40)의 상부에는 접지전압을 인가하기 위한 적어도 하나 이상의 컨택(46)이 형성된다.

[0044] 그리고, 제1 산화물층(52)은 제2 게이트 메탈(34)의 하부에 형성되며, 반도체층(40)의 양측으로부터 제1 및 제2 전극(10, 20)의 하부까지 형성된다. 제1 산화물층(52)은 반도체층(40)과 동일 레벨에 형성될 수 있다.

[0045] 이러한 이-퓨즈(100)는 프로그램 전압이 제2 전극(20)에 인가되면 프로그램 전류에 의해 전자적-이동, 열적 이동 및 멜팅(melting) 현상이 게이트 메탈(30)에 유도되어 게이트 메탈(30) 및 게이트 산화물층(60)의 유전율 특성 변화에 따른 캐패시턴스 또는 누설 전류의 변화를 이용한다.

[0046] 도 9는 본 발명의 제3 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다. 도 10은 도 9의 I-I'를 따라 절단한 단면도이다. 여기서, 도 9의 평면도에는 본 실시예의 구조에 대한 이해를 돕고자 도 10에 도시된 실리콘 질화물층(70) 및 제2 산화물층(54)을 도시하지 않았으나, 도 10에 도시한 바와 같이 게이트 메탈(30) 및 제1 및 제2 전극(10, 20)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70), 반도체층(40) 및 제1 산화물층(52) 상부에 제2 산화물층(54)이 형성될 수 있다.

[0047] 도 9 및 도 10을 참고하면, 반도체 장치의 이-퓨즈(100)는 제1 및 제2 전극(10, 20), 게이트 메탈(30), 반도체층(40), 및 제1 산화물층(52)을 포함한다.

[0048] 제1 및 제2 전극(10, 20)을 연결하는 게이트 메탈(30)은 제1 전극(10)에서 제2 전극(20) 방향으로 연장되는 제1 게이트 메탈(32)과 제2 전극(20)에서 제1 전극(10) 방향으로 연장되는 제2 게이트 메탈(34)을 포함한다. 제1 및 제2 게이트 메탈(32, 34)은 동일 메탈로 형성될 수 있으며, 제1 전극(10) 및 제2 전극(20)과 일체형으로 형성될 수 있다. 제1 및 제2 게이트 메탈(32, 34)은 적어도 하나 이상의 금속성 물질들로 형성될 수 있다.

[0049] 반도체층(40)은 제2 게이트 메탈(34)의 하부에 형성된다. 여기서, 반도체층(40)과 제2 게이트 메탈(34)은 피-타입의 커패시터를 형성한다. 이-퓨즈(100)의 프로그램 시 제1 전극(10)에는 프로그램 전압이 인가되고 반도체층(40)에는 접지전압이 인가될 수 있다. 반도체층(40)의 상부에는 접지전압을 인가하기 위한 적어도 하나 이상의 컨택(46)이 형성된다.

[0050] 그리고, 제1 산화물층(52)은 제1 게이트 메탈(32)의 하부에 형성되며, 반도체층(40)의 양측으로부터 제1 및 제2 전극(10, 20)의 하부까지 형성된다. 제1 산화물층(52)은 반도체층(40)과 동일 레벨에 형성될 수 있다.

[0051] 이러한 이-퓨즈(100)는 프로그램 전압이 제1 전극(10)에 인가되면 프로그램 전류에 의해 전자적-이동, 열적 이동 및 멜팅(melting) 현상이 게이트 메탈(30)에 유도되어 게이트 메탈(30) 및 게이트 산화물층(60)의 유전율 특성 변화에 따른 캐패시턴스 또는 누설 전류의 변화를 이용한다.

[0052] 도 11은 본 발명의 제4 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다. 도 12는 도 11의 I-I'를 따라 절단한 단면도이다. 여기서, 도 11의 평면도에는 본 실시예의 구조에 대한 이해를 돕고자 도 12에 도시된 실리콘 질화물층(70) 및 제2 산화물층(54)을 도시하지 않았으나, 도 12에 도시한 바와 같이 게이트 메탈(30) 및 제1 및 제2 전극(10, 20)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70), 반

도체층(40) 및 제1 산화물층(52) 상부에 제2 산화물층(54)이 형성될 수 있다.

[0053] 도 11 및 도 12를 참고하면, 반도체 장치의 이-퓨즈(100)는 제1 및 제2 전극(10, 20), 게이트 메탈(30), 반도체층(40) 및 제1 산화물층(52)을 포함한다.

[0054] 제1 전극(10)은 캐소드로 지칭될 수 있고, 제2 전극(20)은 애노드로 지칭될 수 있으며, 제1 및 제2 전극(10, 20)의 상부에는 프로그램 전압을 인가하기 위한 컨택(12, 22)이 형성될 수 있다. 여기서, 프로그램은 제1 및 제2 전극(10, 20) 중 어느 하나에 프로그램 전압을 인가하고 반도체층(40)에 접지전압을 인가하는 과정을 포함한다.

[0055] 게이트 메탈(30)은 제1 및 제2 전극(10, 20)을 전기적으로 연결하며, 제1 전극(10)에서 제2 전극(20) 방향으로 연장되는 제1 게이트 메탈(32)과 제2 전극(20)에서 제1 전극(10) 방향으로 제2 게이트 메탈(34)을 포함한다. 제1 및 제2 게이트 메탈(32, 34)은 서로 다른 메탈로 형성되거나 서로 다른 적어도 하나 이상의 금속성 물질들로 형성될 수 있다. 일례로, 제1 게이트 메탈(32) Al와 같은 금속성 물질로 형성될 수 있으며, 제2 게이트 메탈(34)은 TiN, Ti, Al, AlTiO의 층들로 형성될 수 있다. 또는 제1 및 제2 게이트 메탈(32, 34)은 각각 서로 다른 비중의 TiN, Ti, Al, AlTiO의 층들로 형성될 수 있다. 여기서, 제1 게이트 메탈(32)은 제1 전극(10)과 일체형으로 형성될 수 있으며 제2 게이트 메탈(34)은 제2 전극(20)과 일체형으로 형성될 수 있다. 제1 및 제2 게이트 메탈(32, 34)은 서로 오버랩이 될수 있다.

[0056] 반도체층(40)은 게이트 메탈(30)의 하부에 형성된다. 여기서, 반도체층(40)의 하프는 엔-타입(40a)으로 형성되고 나머지 하프는 피-타입(40b)으로 형성될 수 있다. 즉, 반도체층(40)과 제1 게이트 메탈(32)은 엔-타입의 커패시터를 형성하고, 반도체층(40)과 제2 게이트 메탈(34)은 피-타입의 커패시터를 형성한다. 반도체층(40)에는 엔-타입 채널(n-CH)과 피-타입 채널(p-CH)이 형성될 수 있으며, 반도체층(40)의 상부에는 프로그램 시 접지전압을 인가하기 위한 적어도 하나 이상의 컨택(46)이 형성될 수 있다.

[0057] 그리고, 제1 산화물층(52)은 반도체층(40)의 양측으로부터 제1 및 제2 전극(10, 20)의 하부까지 형성된다. 제1 산화물층(52)은 반도체층(40)과 동일 레벨에 형성될 수 있다.

[0058] 게이트 산화물층(60)은 게이트 메탈(30)의 하단과 게이트 메탈(30)의 하단에 대응하는 반도체층(40)과 제1 산화물층(52)의 상단 사이에 형성될 수 있다. 게이트 산화물층(60)은 프로그램 시 높은 온도로 인해 게이트 메탈(30)과 반응하거나 유전율 특성이 변화될 수 있다. 일례로, 게이트 산화물층(60)은 HfO_2로 형성될 수 있다.

[0059] 그리고, 게이트 메탈(30)의 상부에 실리콘 질화물층(70)이 형성되고, 실리콘 질화물층(70)의 상부에 제2 산화물층(54)이 형성된다. 일례로, 실리콘 질화물층은 SiN 또는 SiCN으로 형성될 수 있다.

[0060] 이와 같이 반도체 장치의 이-퓨즈(100)는 프로그램 전압을 인가하기 위한 제1 및 제2 전극(10, 20), 제1 및 제2 전극(10, 20)을 전기적으로 연결하는 서로 다른 메탈로 형성된 제1 및 제2 게이트 메탈(32, 34), 제1 및 제2 게이트 메탈(32, 34)의 하부에 형성되는 반도체층(40), 및 반도체층(40)의 양 측으로부터 제1 및 제2 전극(10, 20)의 하부까지 형성되는 제1 산화물층(52)을 포함한다.

[0061] 상기와 같이 구성된 반도체 장치의 이-퓨즈(100)는, 프로그램 전압이 제1 및 제2 전극(10, 20) 중 어느 하나에 인가되면 프로그램 전류에 의해 전자적-이동, 열적 이동 및 멜팅(melting) 현상이 게이트 메탈(30)에 유도된다. 이로 인해 게이트 메탈(30) 및 게이트 산화물층(60)의 유전율 특성 변화에 따른 캐패시턴스 또는 누설 전류가 변화한다.

[0062] 도 13은 본 발명의 제5 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다. 도 14는 도 13의 I-I'를 따라 절단한 단면도이다. 여기서, 도 13의 평면도에는 본 실시예의 구조에 대한 이해를 돕고자 도 14에 도시된 실리콘 질화물층(70) 및 제2 산화물층(54)을 도시하지 않았으나, 도 14에 도시한 바와 같이 게이트 메탈(30) 및 제1 및 제2 전극(10, 20)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70), 반도체층(40) 및 제1 산화물층(52) 상부에 제2 산화물층(54)이 형성될 수 있다.

[0063] 도 13 및 도 14를 참고하면, 반도체 장치의 이-퓨즈(100)는 제1 및 제2 전극(10, 20), 제1 및 제2 전극(10, 20)을 연결하는 서로 다른 메탈로 형성된 제1 및 제2 게이트 메탈(32, 34), 제1 및 제2 게이트 메탈(32, 34)의 하단에 형성되는 반도체층(40), 및 반도체층(40)의 양측으로부터 제1 및 제2 전극(10, 20)의 하단까지 형성되는 제1 산화물층(52)을 포함한다. 여기서, 제1 및 제2 게이트 메탈(32, 34) 및 반도체층(40)은 엔-타입 또는 피-타입의 커패시터 구조로 형성될 수 있다.

[0064] 상기와 같이 구성된 반도체 장치의 이-퓨즈(100)는, 프로그램 여부에 따라서 커패시터의 유전율 상수, 면적, 거리 등의 변화로 커패시턴스의 값이 변화고, 게이트 메탈(30)과 게이트 산화물층(60)의 특성 변화 및 게이트 산화물층(60)의 브레이크 다운으로 누설 전류가 증가하게 된다.

[0065] 도 15는 본 발명의 제6 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다. 도 16은 도 15의 I-I'를 따라 절단한 단면도이다. 여기서, 도 15의 평면도에는 본 실시예의 구조에 대한 이해를 돕고자 도 16에 도시된 실리콘 질화물층(70) 및 제2 산화물층(54)을 도시하지 않았으나, 도 16에 도시한 바와 같이 게이트 메탈(30) 및 제1 및 제2 전극(10, 20)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70), 반도체층(40) 및 제1 산화물층(52) 상부에 제2 산화물층(54)이 형성될 수 있다.

[0066] 도 15 및 도 16를 참고하면, 반도체 장치의 이-퓨즈(100) 제1 및 제2 전극(10, 20)을 연결하는 서로 다른 메탈로 형성된 제1 및 제2 게이트 메탈(32, 34), 제1 게이트 메탈(32)의 하단에 형성되어 제1 게이트 메탈(32)과 커패시터를 형성하는 반도체층(40), 및 제1 및 제2 전극(10, 20)의 하단과 제2 게이트 메탈(34)의 하단 및 반도체층(40)의 양측에 형성되는 제1 산화물층(52)을 포함한다.

[0067] 여기서, 제1 게이트 메탈(32) 및 반도체층(40)은 엔-타입의 커패시터 구조로 형성될 수 있으며, 프로그램 시 제2 전극(20)에 프로그램 전압이 인가되고 반도체층(40)에 접지전압이 인가될 수 있다.

[0068] 이러한 이-퓨즈(100)는 프로그램 전압이 제2 전극(20)에 인가되고 접지전압이 반도체층(40)에 인가되면 프로그램 전류에 의해 게이트 메탈(30)에 전자적-이동 열적 이동 및 멜팅(melting) 현상이 유도되고 이로 인해 게이트 메탈(30) 및 게이트 산화물층(60)의 유전율 특성 변화에 따른 캐패시턴스 또는 누설 전류가 변화한다.

[0069] 도 17은 본 발명의 제7 실시예에 따른 반도체 장치의 이-퓨즈를 설명하기 위한 평면도이다. 도 18는 도 17의 I-I'를 따라 절단한 단면도이다. 여기서, 도 17의 평면도에는 본 실시예의 구조에 대한 이해를 돕고자 도 18에 도시된 실리콘 질화물층(70) 및 제2 산화물층(54)을 도시하지 않았으나, 도 18에 도시한 바와 같이 게이트 메탈(30) 및 제1 및 제2 전극(10, 20)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70), 반도체층(40) 및 제1 산화물층(52) 상부에 제2 산화물층(54)이 형성될 수 있다.

[0070] 도 17 및 도 18을 참고하면, 반도체 장치의 이-퓨즈(100)는 제1 및 제2 전극(10, 20)을 연결하는 서로 다른 메탈로 형성된 제1 및 제2 게이트 메탈(32, 34), 제2 게이트 메탈(34)의 하단에 형성되어 상기 제2 게이트 메탈(34)과 커패시터를 형성하는 반도체층(40), 및 제1 및 제2 전극(10, 20)의 하단과 제1 게이트 메탈(32)의 하단 및 반도체층(40)의 양측에 형성되는 제1 산화물층(52)을 포함한다.

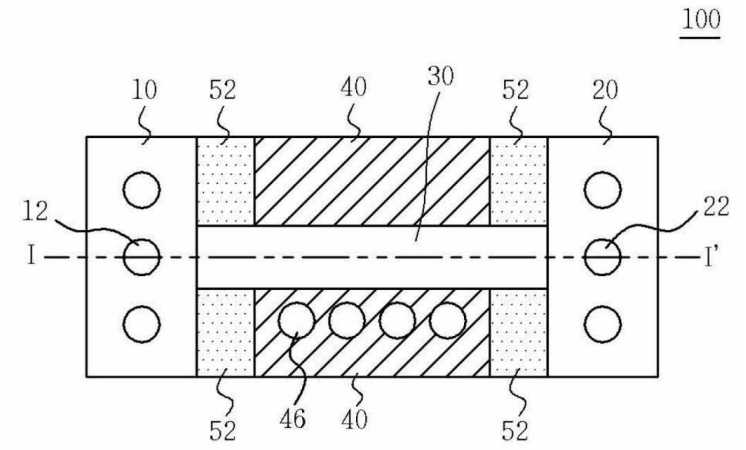
[0071] 여기서, 제2 게이트 메탈(34) 및 반도체층(40)은 피-타입의 커패시터 구조로 형성될 수 있으며, 프로그램 시 제1 전극(10)에 프로그램 전압이 인가되고 반도체층(40)에 접지전압이 인가될 수 있다.

[0072] 이러한 이-퓨즈(100)는 프로그램 전압이 제1 전극(10)에 인가되고 접지전압이 반도체층(40)에 인가되면 프로그램 전류에 의해 게이트 메탈(30)에 전자적-이동, 열적 이동 및 멜팅(melting) 현상이 유도되고 이로 인해 게이트 메탈(30) 및 게이트 산화물층(60)의 유전율 특성 변화에 따른 캐패시턴스 또는 누설 전류가 변화한다.

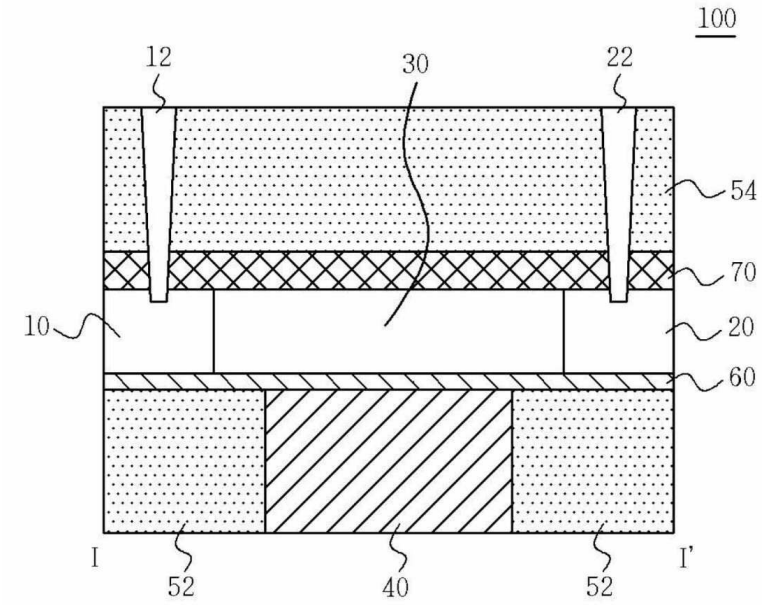
[0073] 본 발명은 도면들에 도시된 실시예들을 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이들로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

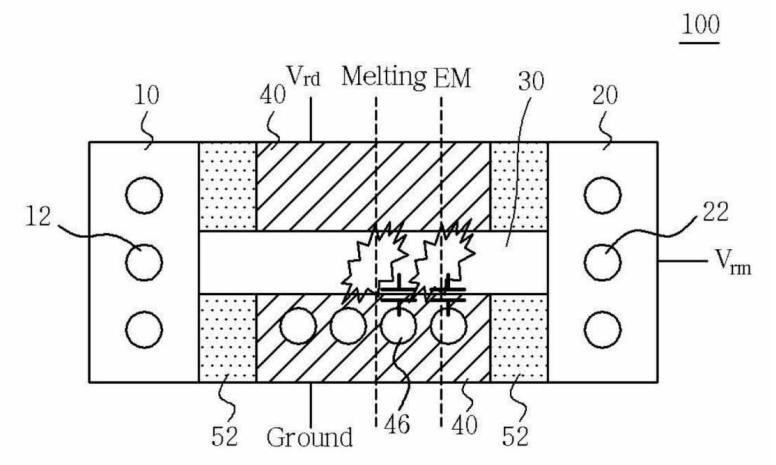
도면1


100
10
52
40
30
52
20
12
22
I
I'
52
46
40
52

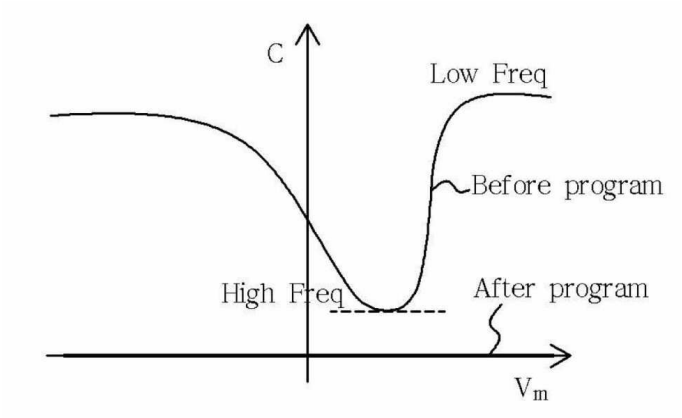
도면2


100
12
30
22
54
70
10
20
60
I
I'
52
40
52

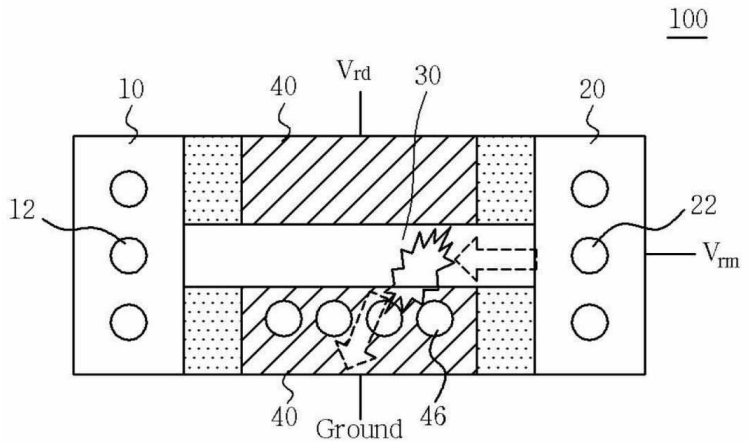
도면3


100
10
40
Vrd
Melting EM
30
20
12
22
Vrm
52
Ground
46
40
52

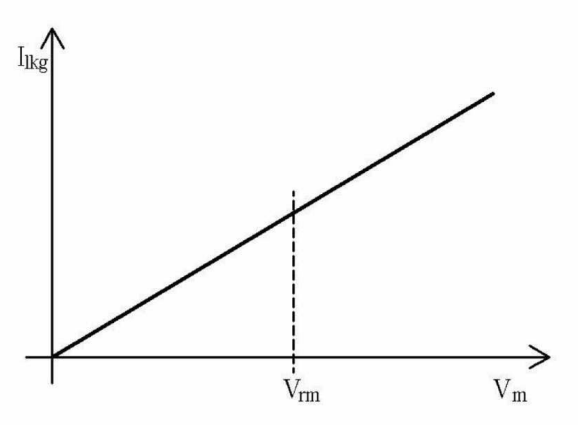
도면4


C
Low Freq
Before program
High Freq
After program
Vm

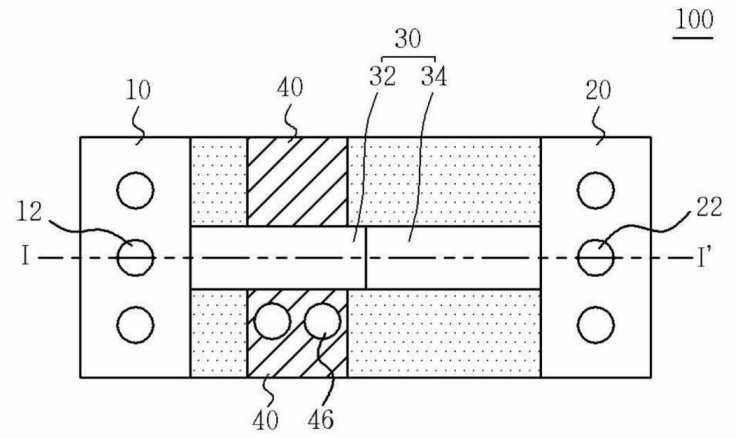
도면5


100
10
40
Vrd
30
20
12
22
Vrm
40
Ground
46

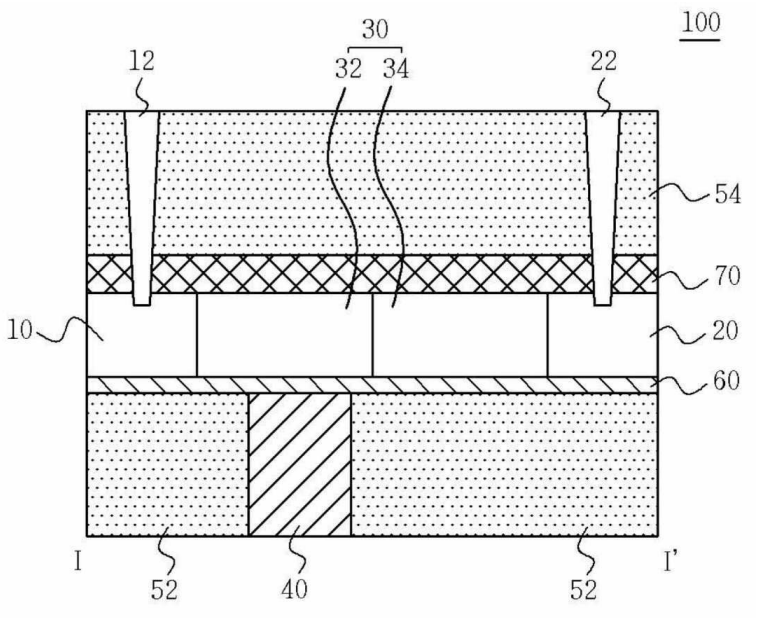
도면6


I_{lkg}
V_{rm}
V_m

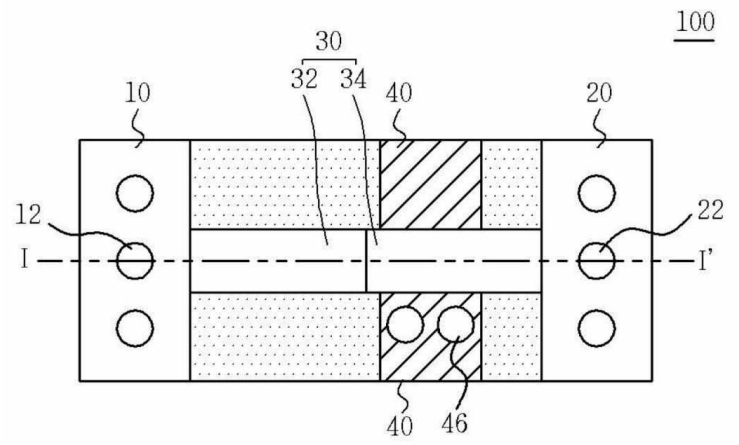
도면7


100
30
32
34
10
40
20
12
22
I
I'
40
46

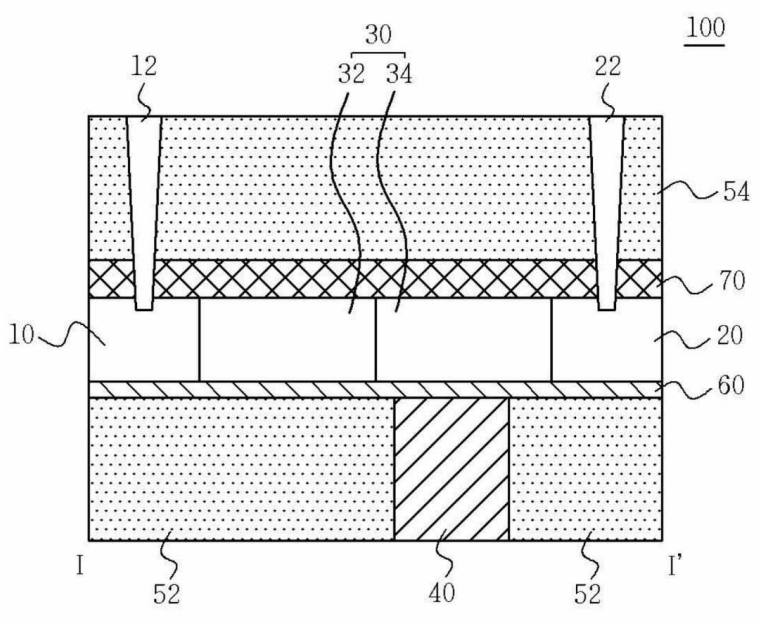
도면8


100
30
32
34
12
22
54
70
10
20
60
I
I'
52
40
52

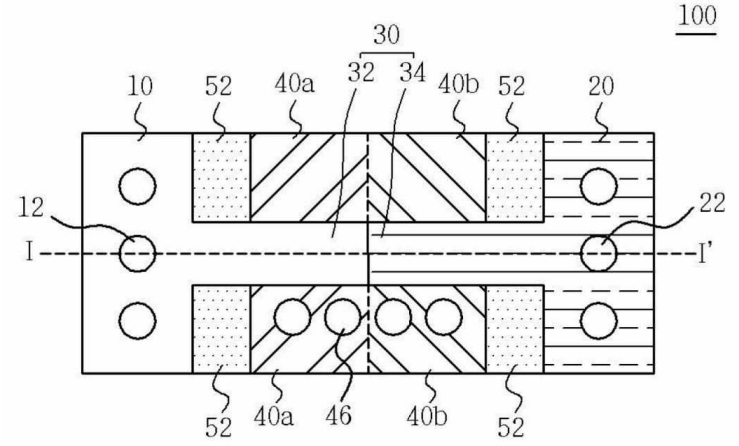
도면9



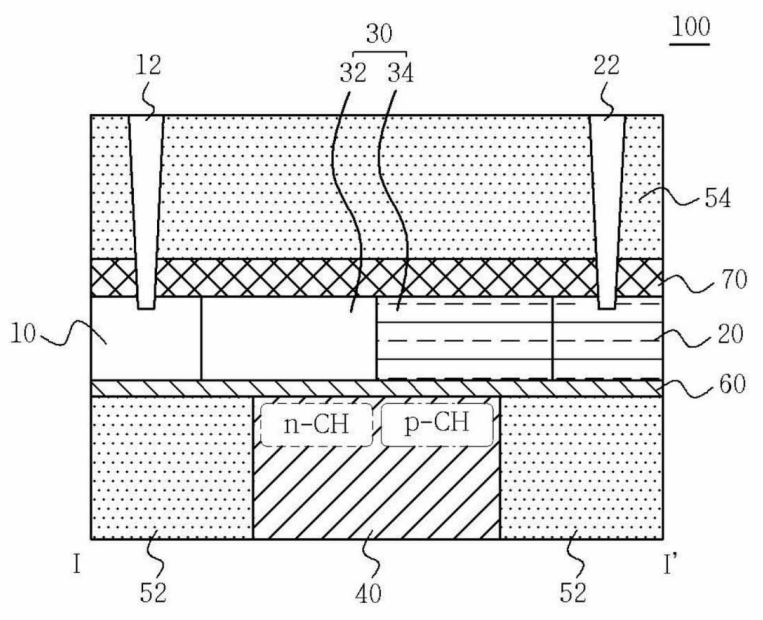
도면10



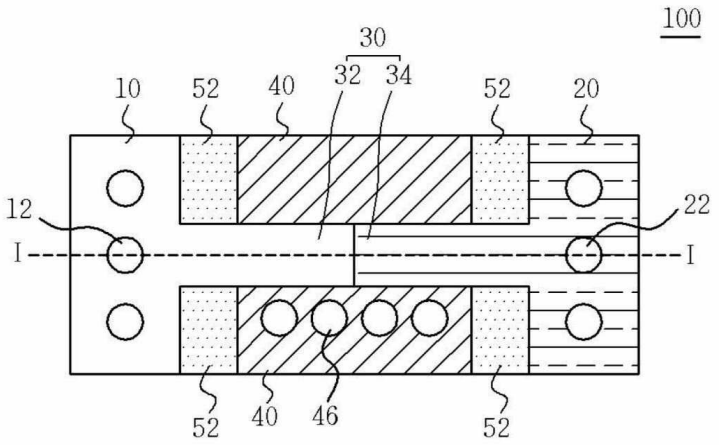
도면11



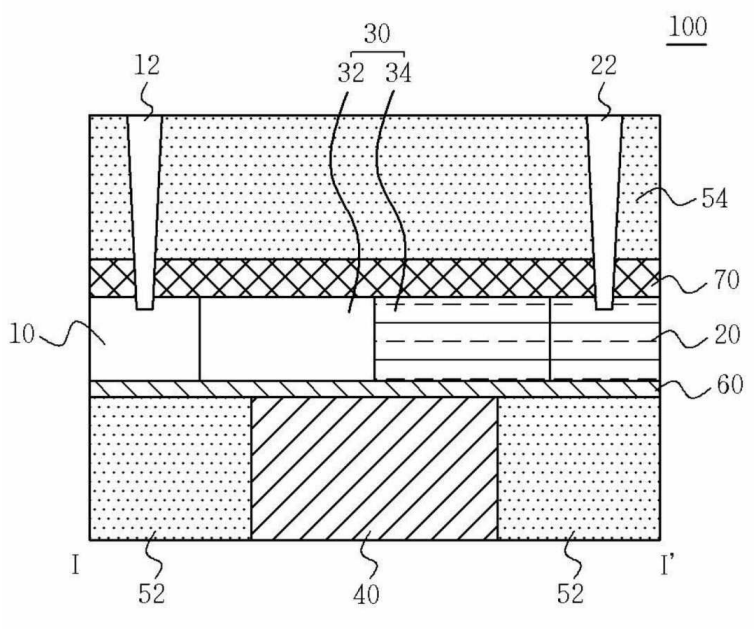
도면12


100
30
12
32
34
22
54
70
10
20
60
n-CH
p-CH
I
I'
52
40
52

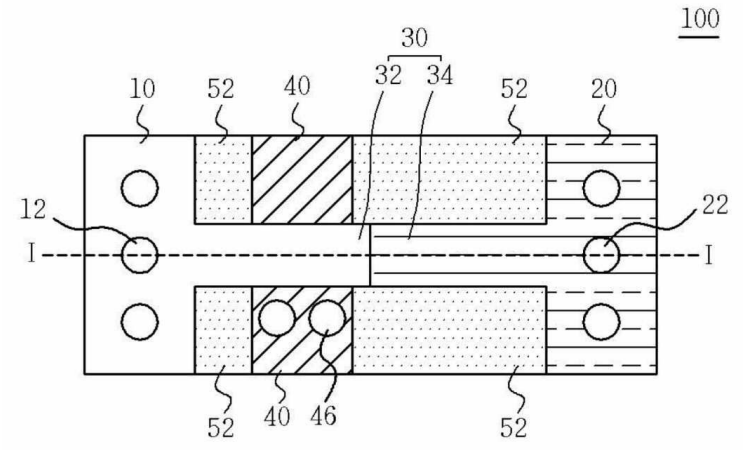
도면13


100
30
10
52
40
32
34
52
20
12
22
I
I
52
40
46
52

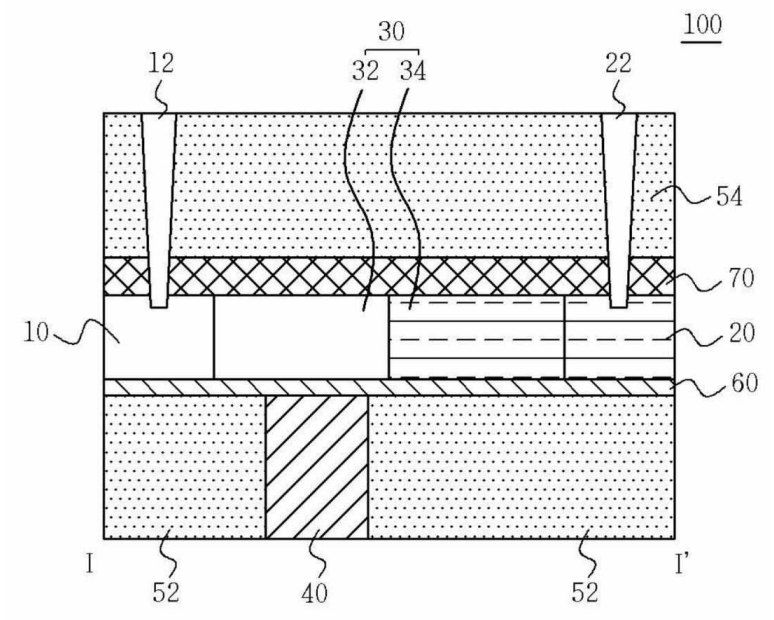
도면14


100
30
32
34
12
22
54
70
10
20
60
I
52
40
52
I'

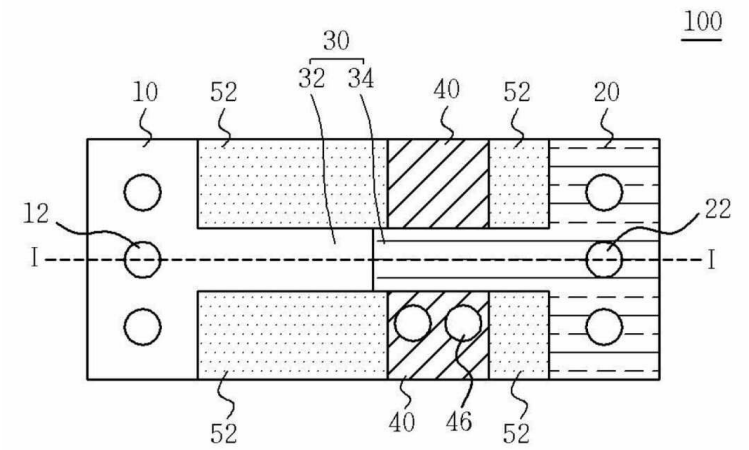
도면15


100
30
32
34
10
52
40
52
20
12
22
I
I
52
40
46
52

도면16


100
30
32
34
12
22
54
70
10
20
60
I
52
40
52
I'

도면17


100
30
32
34
10
52
40
52
20
12
22
I
I
52
40
46
52

도면18

