

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2012-105382
(P2012-105382A)

(43) 公開日 平成24年5月31日 (2012.5.31)

(51) Int.Cl.

F I

テーマコード (参考)

HO2M 7/48 (2007.01)

HO2M 1/00 (2007.01)

HO2M 7/48

HO2M 1/00

Z

F

5H007

5H740

審査請求 未請求 請求項の数 3 O L (全 13 頁)

(21) 出願番号	特願2010-249259 (P2010-249259)	(71) 出願人	000005108
(22) 出願日	平成22年11月8日 (2010.11.8)		株式会社日立製作所
			東京都千代田区丸の内一丁目6番6号
		(74) 代理人	100064414
			弁理士 磯野 道造
		(74) 代理人	100111545
			弁理士 多田 悦夫
		(72) 発明者	馬淵 雄一
			茨城県日立市大みか町五丁目2番1号 株
			式会社日立製作所情報制御システム社内
		(72) 発明者	松竹 貢
			茨城県日立市大みか町五丁目2番1号 株
			式会社日立製作所情報制御システム社内

最終頁に続く

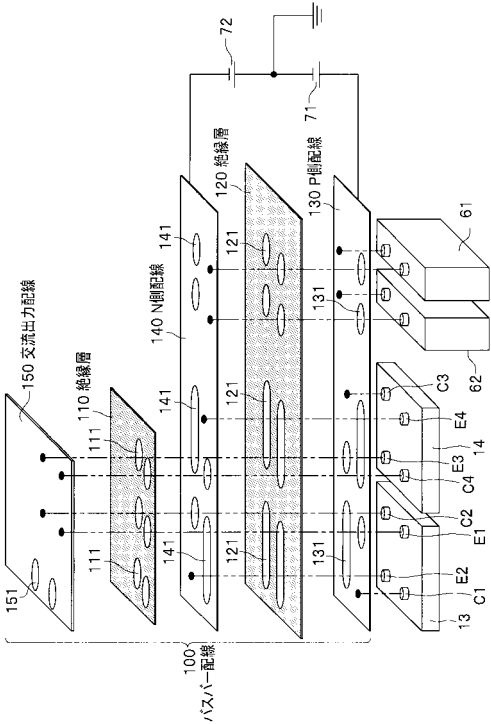
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】インバータ回路のサージ電圧を抑制する半導体装置を提供することを課題とする。

【解決手段】スイッチング素子からなる回路S1，S2が封入されたモジュール13，14が、バスバー配線100により、2つ以上並列に接続された回路構成を有するインバータ回路を備えた半導体装置であって、バスバー配線100は、導体層130，140，150と絶縁層110，120とを交互に重ね合わせた、ラミネート構造を有しており、導体層である直流正極130、直流負極140、交流出力150の各配線が、異なる導体層に形成される。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

スイッチング素子からなる回路が封入されたモジュールが、バスバー配線により、2つ以上並列に接続された回路構成を有するインバータ回路を備えた半導体装置であって、前記バスバー配線は、
導体層と絶縁層とを交互に重ね合わせた、ラミネート構造を有しており、
前記導体層である直流正極、直流負極、交流出力の各配線が、異なる導体層に形成されることを特徴とする半導体装置。

【請求項 2】

前記モジュールは、
前記スイッチング素子からなる回路が2つ以上封入されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記モジュールは、
一端を前記直流正極と接続し、他端を前記交流出力と接続する前記スイッチング素子からなる第 1 の回路と、
一端を前記交流出力と接続し、他端を前記直流負極と接続する前記スイッチング素子からなる第 2 の回路と、を有する
ことを特徴とする請求項 2 に記載の半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、インバータ回路を用いた半導体装置に関するもので、特に半導体装置のバスバー配線の積層構造に関する。

【背景技術】**【0002】**

直流 - 交流の電力変換を行う電力変換装置として、スイッチング素子を有するインバータ回路用いた P W M (Pulse Width Modulation: パルス幅変調) 制御方式の電力変換装置 (半導体装置) が知られている。

【0003】

特許文献 1 には、インバータ回路の主回路配線を、導体層と絶縁層が交互に積層されたラミネート構造とすることで、寄生インダクタンスを低減し、サージ電圧を低減した電力変換装置が記載されている。

【先行技術文献】**【特許文献】****【0004】**

【特許文献 1】 特開 2008 - 245451 号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

しかし、寄生インダクタンスの低減を目的としてインバータ回路の主回路配線をラミネートバスバー構造とした場合でも、バスバーのインダクタンスが十分に低減されない場合があり、インバータ回路のスイッチング時に発生するサージ電圧を十分に抑制できないことがある。

【0006】

そこで、本発明は、インバータ回路のサージ電圧を抑制する半導体装置を提供することを課題とする。

【課題を解決するための手段】**【0007】**

10

20

30

40

50

このような課題を解決するために、本発明に係る半導体装置は、スイッチング素子からなる回路が封入されたモジュールが、バスバー配線により、2つ以上並列に接続された回路構成を有するインバータ回路を備えた半導体装置であって、前記バスバー配線は、導体層と絶縁層とを交互に重ね合わせた、ラミネート構造を有しており、前記導体層である直流正極、直流負極、交流出力の各配線が、異なる導体層に形成されることを特徴とする。

【発明の効果】

【0008】

本発明によれば、バスバー配線の低インダクタンス化を実現し、サージ電圧を抑制することができる半導体装置を提供することができる。

【図面の簡単な説明】

10

【0009】

【図1】本実施形態に係る半導体装置の分解構成図である。

【図2】本実施形態に係る半導体装置の回路図である。

【図3】本実施形態に係る半導体装置の端面図である。

【図4】シミュレーションに用いた本実施形態に係るバスバー配線の寸法図である。

【図5】シミュレーションにより得られた本実施形態に係るバスバー配線の電流分布解析結果である。

【図6】インバータ回路の回路図である。

【図7】比較例に係る半導体装置の分解構成図である。

【図8】比較例に係る半導体装置の回路図である。

20

【図9】比較例に係る半導体装置の端面図である。

【図10】シミュレーションに用いた比較例に係るバスバー配線の寸法図である。

【図11】シミュレーションにより得られた比較例に係るバスバー配線の電流分布解析結果である。

【発明を実施するための形態】

【0010】

以下、本発明を実施するための形態（以下「実施形態」という）について、適宜図面を参照しながら詳細に説明する。なお、各図において、共通する部分には同一の符号を付し重複した説明を省略する。

【0011】

30

<インバータ回路>

まず、図6を用いてPWM制御を行うインバータ回路について説明する。図6は、インバータ回路の回路図である。

インバータ回路は、スイッチング素子1を有するモジュール11と、スイッチング素子2を有するモジュール12と、正電圧が付与されるP側配線3と、負電圧が付与されるN側配線4と、交流電源を出力する交流出力配線5と、平滑コンデンサ6と、直流電源71、72と、を備えている。また、インバータ回路は、交流出力配線5から負荷8に接続されている。

【0012】

P側配線3と、N側配線4との間には、直流電源71、72が接続され、P側配線3に正電圧が、N側配線4に負電圧が付与される。また、P側配線3とN側配線4との間には、平滑コンデンサ6が接続されている。

40

【0013】

P側配線3と交流出力配線5との間には、スイッチング素子1を有するモジュール11が接続されている。

モジュール11は、スイッチング素子1と、リカバリダイオードD1を備えている。

スイッチング素子1は、IGBT（Insulated Gate Bipolar Transistor：絶縁ゲートバイポーラトランジスタ）で構成される半導体スイッチであり、コレクタ端子をP側配線3と、エミッタ端子を交流出力配線5と接続するように設けられている。

リカバリダイオードD1は、スイッチング素子1と並列に設けられ、リカバリダイオー

50

ド D 1 のアノード端子がスイッチング素子 1 のエミッタ端子と接続し、リカバリダイオード D 1 のカソード端子がスイッチング素子 1 のコレクタ端子と接続する。

【 0 0 1 4 】

また、N 側配線 4 と交流出力配線 5 との間には、スイッチング素子 2 を有するモジュール 1 2 が接続されている。

モジュール 1 2 は、スイッチング素子 2 およびリカバリダイオード D 2 を備えている。

スイッチング素子 2 は、I G B T で構成される半導体スイッチであり、コレクタ端子を交流出力配線 5 と、エミッタ端子を N 側配線 4 と接続するように設けられている。

リカバリダイオード D 2 は、スイッチング素子 2 と並列に設けられ、リカバリダイオード D 2 のアノード端子がスイッチング素子 2 のエミッタ端子と接続し、リカバリダイオード D 2 のカソード端子がスイッチング素子 2 のコレクタ端子と接続する。

10

【 0 0 1 5 】

インバータ回路の交流出力配線 5 は、負荷 8 と接続される。P W M 制御によりスイッチング素子 1 , 2 が O N / O F F 動作を交互に行うことにより、直流電源 7 1 , 7 2 の直流電圧が交流電圧に変換され、交流出力配線 5 から負荷 8 に給電される。

【 0 0 1 6 】

< インバータ回路と寄生インダクタンスによるサージ電圧の発生 >

ここで、インバータ回路内の各配線 (P 側配線 3 、 N 側配線 4 、交流出力配線 5) には、インダクタンス (寄生インダクタンス) が存在する。図 6 には、寄生インダクタンスとして、P 側配線 3 の寄生インダクタンス 9 A 、 N 側配線 4 の寄生インダクタンス 9 B 、交流出力配線 5 の寄生インダクタンス 9 C , 9 D が図示されている。

20

スイッチング素子 1 , 2 の O N / O F F 動作時における電流の急激な変化により、寄生インダクタンス 9 A , 9 B , 9 C , 9 D に比例したサージ電圧が発生する。

【 0 0 1 7 】

ここで、サージ電圧の発生原理について説明する。なお、以下の説明において、寄生インダクタンス 9 A のインダクタンスを L_p 、寄生インダクタンス 9 B のインダクタンスを L_n 、寄生インダクタンス 9 C のインダクタンスを L_{ac1} 、寄生インダクタンス 9 D のインダクタンスを L_{ac2} とする。

【 0 0 1 8 】

まず、正極側 (P 側) のモジュール 1 1 のスイッチング素子 1 が O F F から O N に切り替わる時の電流の変化について考える。

30

スイッチング素子 1 が O F F 時、負極側 (N 側) のモジュール 1 2 のスイッチング素子 2 と並列に接続されるリカバリダイオード D 2 には、負荷 8 の電流量と同じ程度の順バイアス方向の電流が流れている。

スイッチング素子 1 が O F F から O N に切り替わると、リカバリダイオード D 2 には逆バイアス方向の電圧が印加されるが、リカバリダイオード D 2 内のキャリアが消失するまでの間、瞬間的に逆バイアス方向の電流が流れる。

このモジュール 1 2 内のリカバリダイオード D 2 を流れる電流を I_{d2} とし、サージ電圧を V_{sp1} とすると、以下の式 (1) で表される。なお、 $L = L_p + L_n + L_{ac1} + L_{ac2}$ である。

40

【 0 0 1 9 】

【 数 1 】

$$V_{SP1} = L \frac{dI_{d2}}{dt} \quad \dots (1)$$

【 0 0 2 0 】

次に、モジュール 1 1 のスイッチング素子 1 が O N から O F F へ切り換わる時の電流の変化について考える。モジュール 1 1 のコレクタ端子 (P 側配線 3 と接続されている端子) を流れる電流を I_{c1} とし、サージ電圧を V_{sp2} とすると、以下の式 (2) で表される。

【 0 0 2 1 】

50

【数 2】

$$V_{SP2} = L \frac{dI_{c1}}{dt} \dots (2)$$

【0022】

モジュール 12 内のスイッチング素子 2 が ON / OFF する際のサージ電圧の発生も、上記モジュール 11 内のスイッチング素子 1 の場合で検討したものと同様に発生するため、説明を省略する。

このサージ電圧が、スイッチング素子 1, 2 の耐圧を超えた場合、素子破壊の原因となる。 10

【0023】

したがって、スイッチング素子 1, 2 の素子破壊を防止するために、インバータ回路のスイッチングで発生するサージ電圧を抑制することが求められている。

サージ電圧を抑制する方法として、以下に示す 3 つの手法が知られている。

【0024】

(1) スwitchング回路 (スイッチング素子およびリカバリダイオード) を内蔵するモジュールに保護回路 (スナバ回路) を付加し、サージ電圧を吸収する。

(2) スwitchング素子の ON / OFF を制御するゲートドライバを制御し、ON から OFF (もしくは OFF から ON) への遷移時間を長くすることで、電流の時間変化 (dI/dt) を小さくする。 20

(3) インバータ回路の寄生インダクタンス L を小さくする。

【0025】

これら、サージ電圧を抑制する方法のうち、(1) の手法は、保護回路 (スナバ回路) の部品を追加するため、インバータ回路のコストが増加する。また (2) の手法は、オンからオフ (またはオフからオン) への遷移時間が長くなるため、スイッチング素子の損失が増加する。

以下に説明する本実施形態に係る半導体装置は、(3) の手法によるものである。

【0026】

< 本実施形態に係る半導体装置 > 30

図 1 は、本実施形態に係る半導体装置の分解構成図である。

本実施形態に係る半導体装置は、インバータ回路の主回路配線であるバスバー配線 100 と、直流電源 71, 72 と、2 つの平滑コンデンサ 61, 62 と、スイッチング素子を有するモジュール 13, 14 を備えている。

【0027】

バスバー配線 100 は、P 側配線 130 と、絶縁層 120 と、N 側配線 140 と、絶縁層 110 と、交流出力配線 150 と、を積層した構造のラミネートバスバー配線である。即ち、バスバー配線 100 は、P 側配線 130、N 側配線 140 および交流出力配線 150 が別々の導体層に配置され、各導体層の間に絶縁層 (絶縁層 110、絶縁層 120) が配置されている。 40

【0028】

P 側配線 130 と N 側配線 140 との間には、直流電源 71, 72 が接続され、P 側配線 130 に正電圧が、N 側配線 140 に負電圧が付与される。また、P 側配線 130 と N 側配線 140 との間には、平滑コンデンサ 61, 62 が接続されている。

【0029】

導体層 (P 側配線 130、N 側配線 140、交流出力配線 150) および絶縁層 (絶縁層 110、絶縁層 120) には、モジュール 13、14 や平滑コンデンサ 61, 62 を接続した際に所定の端子が所定の導体層と導通可能に接続し、他の導体層と接続しないようにするためのホール (111, 121, 131, 141, 151) が形成されている。

ここで、直流電源 71, 72 により、P 側配線 130 と N 側配線 140 との間には、電 50

位差 1 0 0 0 V 以上の直流電源が印加される。このため、絶縁距離を確保するためには、導体層のホール (1 3 1 , 1 4 1 , 1 5 1) は、直径 4 0 mm 以上であることが望ましい。

【 0 0 3 0 】

モジュール 1 3 は、コレクタ端子 C 1 およびエミッタ端子 E 1 を有するスイッチング回路 S 1 (図 2 参照) と、コレクタ端子 C 2 およびエミッタ端子 E 2 を有するスイッチング回路 S 2 (図 2 参照) と、を備えている。なお、スイッチング回路は、スイッチング素子およびリカバリダイオードからなる。

モジュール 1 4 は、コレクタ端子 C 3 およびエミッタ端子 E 3 を有するスイッチング回路 S 3 (図 2 参照) と、コレクタ端子 C 4 およびエミッタ端子 E 4 を有するスイッチング回路 S 4 (図 2 参照) と、を備えている。

なお、スイッチング回路 S 1 ~ S 4 は、I G B T からなるスイッチング素子とリカバリダイオードを組み合わせたものであるとして説明する。もっとも、スイッチング素子は、I G B T に限られるものではなく、M O S - F E T (Metal-Oxide-Semiconductor Field-Effect Transistor)、バイポーラトランジスタ等の半導体スイッチであってもよい。

【 0 0 3 1 】

図 2 は、本実施形態に係る半導体装置の回路図である。

スイッチング回路 S 1 は、コレクタ端子 C 1 が P 側配線 1 3 0 と接続され、エミッタ端子 E 1 が交流出力配線 1 5 0 と接続されている。スイッチング回路 S 2 は、コレクタ端子 C 2 が交流出力配線 1 5 0 と接続され、エミッタ端子 E 2 が N 側配線 1 4 0 と接続されている。スイッチング回路 S 3 は、コレクタ端子 C 3 が P 側配線 1 3 0 と接続され、エミッタ端子 E 3 が交流出力配線 1 5 0 と接続されている。スイッチング回路 S 4 は、コレクタ端子 C 4 が交流出力配線 1 5 0 と接続され、エミッタ端子 E 4 が N 側配線 1 4 0 と接続されている。

【 0 0 3 2 】

モジュール 1 3 は、2 つのスイッチング回路 S 1 , S 2 を有し、スイッチング回路 S 1 が正極側 (P 側配線 1 3 0 と接続される側) のスイッチとして、スイッチング回路 S 2 が負極側 (N 側配線 1 4 0 と接続される側) のスイッチとして機能する。

また、モジュール 1 4 は、2 つのスイッチング回路 S 3 , S 4 を有し、スイッチング回路 S 3 が正極側 (P 側配線 1 3 0 と接続される側) のスイッチとして、スイッチング回路 S 4 が負極側 (N 側配線 1 4 0 と接続される側) のスイッチとして機能する。

このように、P 側配線 1 3 0 および N 側配線 1 4 0 の間に、モジュール 1 3 とモジュール 1 4 とが並列に配置されている。

【 0 0 3 3 】

また、図 1 に示すように、モジュール 1 3 は、スイッチング回路 S 1 のコレクタ端子 C 1 とスイッチング回路 S 2 のコレクタ端子 C 2 とが対角に配置され、スイッチング回路 S 1 のエミッタ端子 E 1 とスイッチング回路 S 2 のエミッタ端子 E 2 とが対角に配置されている。同様に、モジュール 1 4 は、スイッチング回路 S 3 のコレクタ端子 C 3 とスイッチング回路 S 4 のコレクタ端子 C 4 とが対角に配置され、スイッチング回路 S 3 のエミッタ端子 E 3 とスイッチング回路 S 4 のエミッタ端子 E 4 とが対角に配置されている。

【 0 0 3 4 】

これにより、P 側配線 1 3 0 におけるスイッチング回路 S 1 のコレクタ端子 C 1 が接続される位置と、スイッチング回路 S 3 のコレクタ端子 C 3 が接続される位置とが互い違いとなるように形成されている。

同様に、N 側配線 1 4 0 におけるスイッチング回路 S 2 のエミッタ端子 E 2 が接続される位置と、スイッチング回路 S 4 のエミッタ端子 E 4 が接続される位置とが、互い違いとなるように形成されている。

【 0 0 3 5 】

< 比較例に係る半導体装置 >

ここで、図 7 および図 8 に示す比較例に係る半導体装置について説明する。

10

20

30

40

50

図 7 は、比較例に係る半導体装置の分解構成図である。

比較例に係る半導体装置は、インバータ回路の主回路配線であるバスバー配線 2 0 0 と、直流電源 7 1 , 7 2 と、2 つの平滑コンデンサ 6 1 , 6 2 と、スイッチング素子を有するモジュール 1 5 , 1 6 を備えている。

【 0 0 3 6 】

バスバー配線 2 0 0 は、P 側配線 2 3 0 と、絶縁層 2 2 0 と、N 側配線 2 4 0 および交流出力配線 2 5 0 と、を積層した構造のラミネートバスバー配線である。即ち、バスバー配線 2 0 0 は、2 層の導体層を備え、一方の導体層に P 側配線 2 3 0 が配置され、他方の導体層に N 側配線 2 4 0 および交流出力配線 2 5 0 が配置されている。そして、導体層の間に絶縁層 2 2 0 が配置されている。

10

【 0 0 3 7 】

P 側配線 2 3 0 と N 側配線 2 4 0 との間には、直流電源 7 1 , 7 2 が接続され、P 側配線 2 3 0 に正電圧が、N 側配線 2 4 0 に負電圧が付与される。また、P 側配線 2 3 0 と N 側配線 2 4 0 との間には、平滑コンデンサ 6 1 , 6 2 が接続されている。

【 0 0 3 8 】

導体層 (P 側配線 2 3 0 、 N 側配線 2 4 0 、交流出力配線 2 5 0) および絶縁層 2 2 0 には、モジュール 1 5 、 1 6 や平滑コンデンサ 6 1 , 6 2 を接続した際に所定の端子が所定の導体層と導通可能に接続し、他の導体層と接続しないようにするためのホール (2 2 1 , 2 3 1 , 2 3 2 , 2 3 3 , 2 4 1 , 2 5 1) が形成されている。

ここで、直流電源 7 1 , 7 2 により、P 側配線 2 3 0 と N 側配線 2 4 0 との間には、電位差 1 0 0 0 V 以上の直流電源が印加される。このため、絶縁距離を確保するためには、導体層のホール (2 3 1 , 2 3 2 , 2 3 3 , 2 4 1 , 2 5 1) は、直径 4 0 mm 以上である必要がある。

20

また、同一の導体層に配置される N 側配線 2 4 0 と交流出力配線 2 5 0 とは、絶縁距離を確保するために 2 0 mm 以上離れている必要がある。

【 0 0 3 9 】

モジュール 1 5 は、コレクタ端子 C 5 およびエミッタ端子 E 5 を有するスイッチング回路 S 5 (図 8 参照) と、コレクタ端子 C 6 およびエミッタ端子 E 6 を有するスイッチング回路 S 6 (図 8 参照) と、を備えている。

モジュール 1 6 は、コレクタ端子 C 7 およびエミッタ端子 E 7 を有するスイッチング回路 S 7 (図 8 参照) と、コレクタ端子 C 8 およびエミッタ端子 E 8 を有するスイッチング回路 S 8 (図 8 参照) と、を備えている。

30

【 0 0 4 0 】

図 8 は、比較例に係る半導体装置の回路図である。

スイッチング回路 S 5 は、コレクタ端子 C 5 が P 側配線 2 3 0 と接続され、エミッタ端子 E 5 が交流出力配線 2 5 0 と接続されている。スイッチング回路 S 6 は、コレクタ端子 C 6 が P 側配線 2 3 0 と接続され、エミッタ端子 E 6 が交流出力配線 2 5 0 と接続されている。スイッチング回路 S 7 は、コレクタ端子 C 7 が交流出力配線 2 5 0 と接続され、エミッタ端子 E 7 が N 側配線 2 4 0 と接続されている。スイッチング回路 S 8 は、コレクタ端子 C 8 が交流出力配線 2 5 0 と接続され、エミッタ端子 E 8 が N 側配線 2 4 0 と接続されている。

40

【 0 0 4 1 】

モジュール 1 5 は、2 つのスイッチング回路 S 5 , S 6 を有し、正極側 (P 側配線 2 3 0 と接続される側) のスイッチとして機能する。

また、モジュール 1 6 は、2 つのスイッチング回路 S 7 , S 8 を有し、負極側 (N 側配線 2 4 0 と接続される側) のスイッチとして機能する。

このように、P 側配線 2 3 0 および N 側配線 2 4 0 の間に、モジュール 1 5 とモジュール 1 6 とが直列に配置されている。

【 0 0 4 2 】

また、図 7 に示すように、モジュール 1 5 は、スイッチング回路 S 5 のコレクタ端子 C

50

5 とスイッチング回路 S 6 のコレクタ端子 C 6 とが一行に配置され、スイッチング回路 S 5 のエミッタ端子 E 5 とスイッチング回路 S 6 のエミッタ端子 E 6 とが一行に配置されている。同様に、モジュール 1 6 は、スイッチング回路 S 7 のコレクタ端子 C 7 とスイッチング回路 S 8 のコレクタ端子 C 8 とが一行に配置され、スイッチング回路 S 7 のエミッタ端子 E 7 とスイッチング回路 S 8 のエミッタ端子 E 8 とが一行に配置されている。

【 0 0 4 3 】

このように、比較例に係る半導体装置のバスバー配線 2 0 0 において、モジュール 1 6 の端子 (C 7 、 E 7 、 C 8 、 E 8) は P 側配線 2 3 0 とは接続されない。このため、P 側配線 2 3 0 には、レーストラック形状のホール 2 3 3 が並列して形成されている。

【 0 0 4 4 】

< 本実施形態に係る半導体装置の作用・効果 >

本実施形態に係る半導体装置 (図 1 、 図 2 参照) の作用・効果について、比較例に係る半導体装置 (図 7 、 図 8 参照) と比較しつつ説明する。

図 3 は、本実施形態に係る半導体装置の端面図である。なお、図中の矢印は、電流の経路である。

図 3 に示すように、本実施形態に係るバスバー配線 1 0 0 (図 1 参照) は、スイッチング時に流れる全ての電流経路において、ラミネートされている。これにより、バスバー配線 1 0 0 のインダクタンスを効果的に低減させることができる。

【 0 0 4 5 】

図 9 は、比較例に係る半導体装置に端面図である。なお、図中の矢印は、電流の経路である。

図 9 に示すように、比較例に係るバスバー配線 2 0 0 (図 7 参照) は、第 2 の導電層 (N 側配線 2 4 0 および交流出力配線 2 5 0) が絶縁距離を確保して分断され、第 1 の導電層 (P 側配線 2 3 0) には、ホール 2 3 3 (図 7 参照) が形成されることにより、ラミネート構造とならない領域 3 0 0 が生じる。この結果として、バスバー配線 2 0 0 の寄生インダクタンスが増加する。

【 0 0 4 6 】

次に、本実施形態に係る半導体装置のバスバー配線 1 0 0 について、図 4 (a) に示す形状の第 1 の導電層 (P 側配線 1 3 0) 、図 4 (b) に示す形状の第 2 の導電層 (N 側配線 1 4 0) 、図 4 (c) に示す形状の第 3 の導電層 (交流出力配線 1 5 0) を用いて、インダクタンスのシミュレーション解析を行った。なお、各導電層の厚さを 1 . 6 mm 、材質を Cu とし、導電層間に設置される絶縁層の厚さを 1 . 0 mm とした。

そして、図 5 に、インバータ回路のスイッチング時における電流分布の解析結果を示す。なお、図 5 において、バスバー配線上に記された線は電流の流線を表し、電流量は流線の密度に比例している。

また、比較例に係る半導体装置のバスバー配線 2 0 0 について、図 1 0 (a) に示す形状の第 1 の導電層 (P 側配線 2 3 0) 、図 1 0 (b) に示す形状の第 2 の導電層 (N 側配線 2 4 0 および交流出力配線 2 5 0) を用いて、インダクタンスのシミュレーション解析を行った。なお、図 5 と同様に、各導電層の厚さを 1 . 6 mm 、材質を Cu とし、導電層間に設置される絶縁層の厚さを 1 . 0 mm とした。

そして、図 1 1 にインバータ回路のスイッチング時における電流分布の解析結果を示す。なお、図 1 1 において、図 5 と同様に、バスバー配線上に記された線は電流の流線を表し、電流量は流線の密度に比例している。

【 0 0 4 7 】

図 1 1 に示すように、比較例に係る半導体装置のバスバー配線 2 0 0 は、ラミネート構造とならない領域 3 0 0 、即ち、N 側配線 2 4 0 と交流出力配線 2 5 0 とが絶縁距離 (例えば、2 0 mm 以上) を確保して離れている領域であり、モジュール 1 6 の端子 C 7 , E 7 , C 8 , E 8 が貫く並列するホール 2 3 3 (図 7 参照) の間に形成された電流流路において、電流密度が増加している。

このように、電流密度が増加することにより、バスバー配線 2 0 0 は、インピーダンス

10

20

30

40

50

を十分に低減できない場合があり、インバータ回路のスイッチング時において、発生するサージ電圧を十分に抑制することができない場合がある。

なお、本シミュレーション解析におけるバスバー配線 200 のインダクタンスは 38.7 nH であった。

【0048】

これに対し、図 5 に示すように、本実施形態に係る半導体装置のバスバー配線 100 は、主要な電流流路は全てラミネート構造となっており、電流が部分的に集中することを低減することができる。これにより、バスバー配線 100 のインダクタンスを低減させることができる。

また、バスバー配線 100 は、導体層（P 側配線 130、N 側配線 140、交流出力配線 150）にレーストラック形状のホールが並列に配置（図 7 のホール 233 参照）されないので、電流が部分的に集中することを回避することができる。これにより、バスバー配線 100 のインダクタンスを低減させることができる。

なお、本シミュレーションにおけるバスバー配線 100 のインダクタンスは、25.2 nH であり、比較例に係るバスバー配線 200 のインダクタンス（38.7 nH）と比較して約 35% 低減している。

【0049】

このように、本実施形態に係る半導体装置によれば、バスバー配線 100 のインダクタンスを低減することにより、スイッチング時に発生するサージ電圧を低減させることができる。

また、サージ電圧を低減させることにより、IGBT などのスイッチング素子の素子破壊を防止することができる。また、サージ電圧が低減したことにより、耐圧の低い廉価なスイッチング素子を用いることができるため、半導体装置をより安価とすることができる。

【0050】

なお、本実施形態に係る半導体装置は、上記実施形態の構成に限定されるものではなく、発明の趣旨を逸脱しない範囲内で種々の変更が可能である。

例えば、上記実施形態の構成においては、バスバー 100 に接続されるモジュールは、2 つ（モジュール 13、14）であるものとして説明したが、2 つ以上のモジュールから構成されるものであってもよい。

また、各モジュール（例えば、モジュール 13）内のスイッチング回路は、2 つ（S1、S2）であるものとして説明したが、2 つ以上のスイッチング回路から構成されるものであってもよい。

また、バスバー配線 100 は、モジュール 13、14 が取り付けられる側から P 側配線 130、N 側配線 140、交流出力配線 150 の順番に積層されているものとして説明したが、この順番に限られるものではない。

【符号の説明】

【0051】

1, 2	スイッチング素子
11, 12, 13, 14, 15, 16	モジュール
3, 130, 230	P 側配線（直流正極）
4, 140, 240	N 側配線（直流負極）
5, 150, 250	交流出力配線（交流出力）
6, 61, 62	平滑コンデンサ
71, 72	直流電源
8	負荷
9A, 9B, 9C, 9D	寄生インダクタンス
100, 200	バスバー配線
D1, D2	リカバリダイオード
S1, S2, S3, S4	スイッチング回路

10

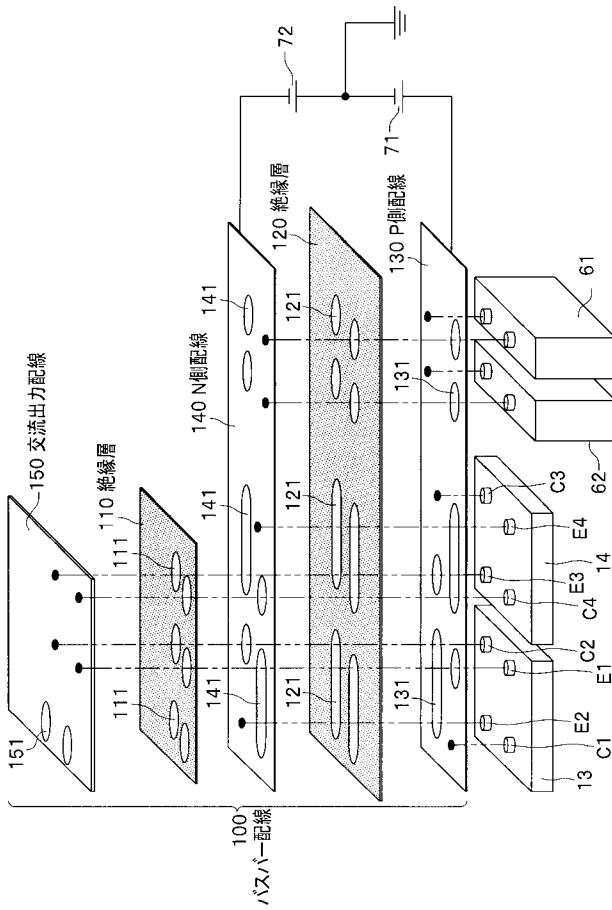
20

30

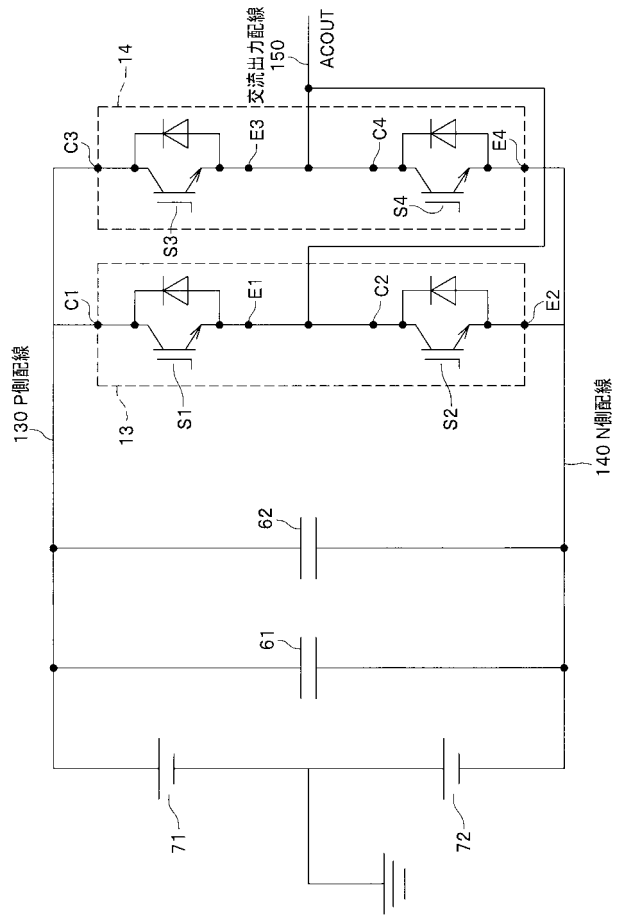
40

50

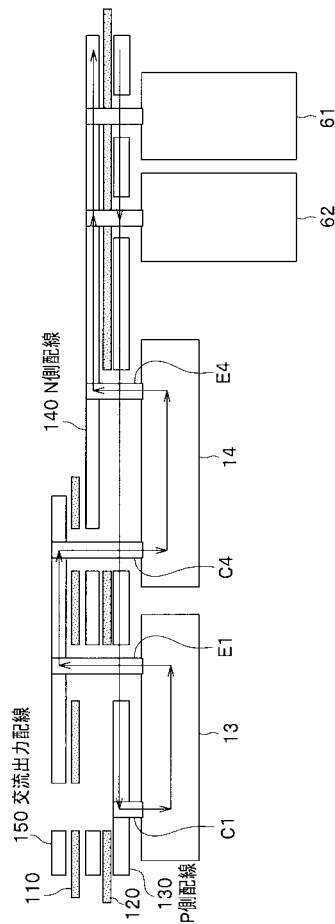
【図 1】



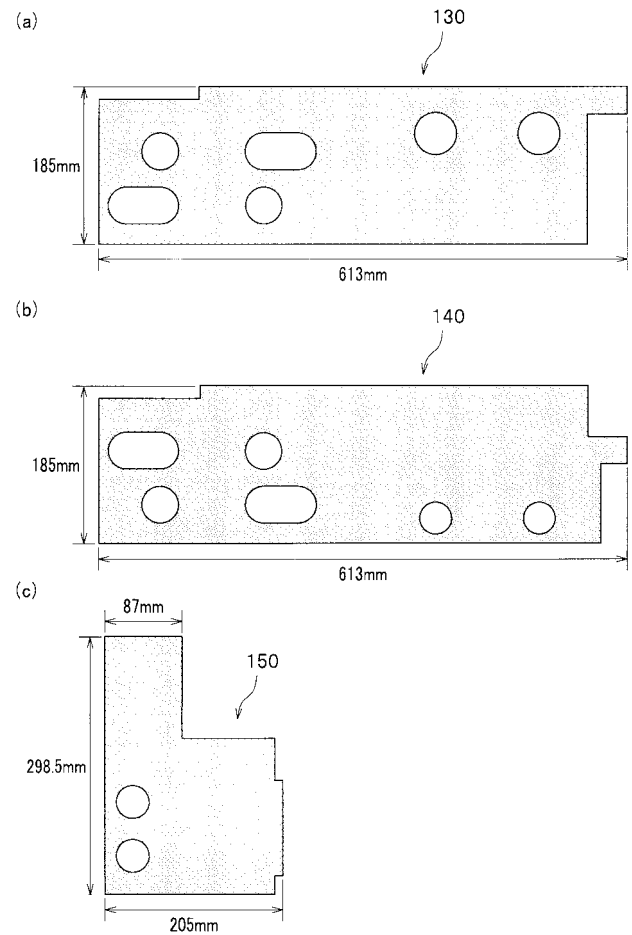
【図 2】



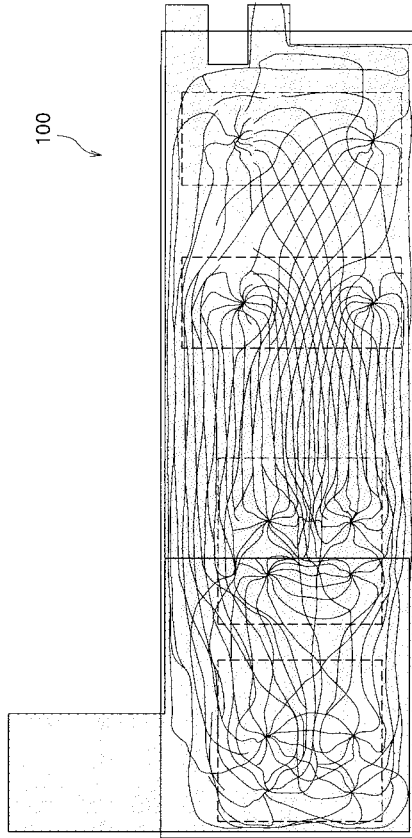
【図 3】



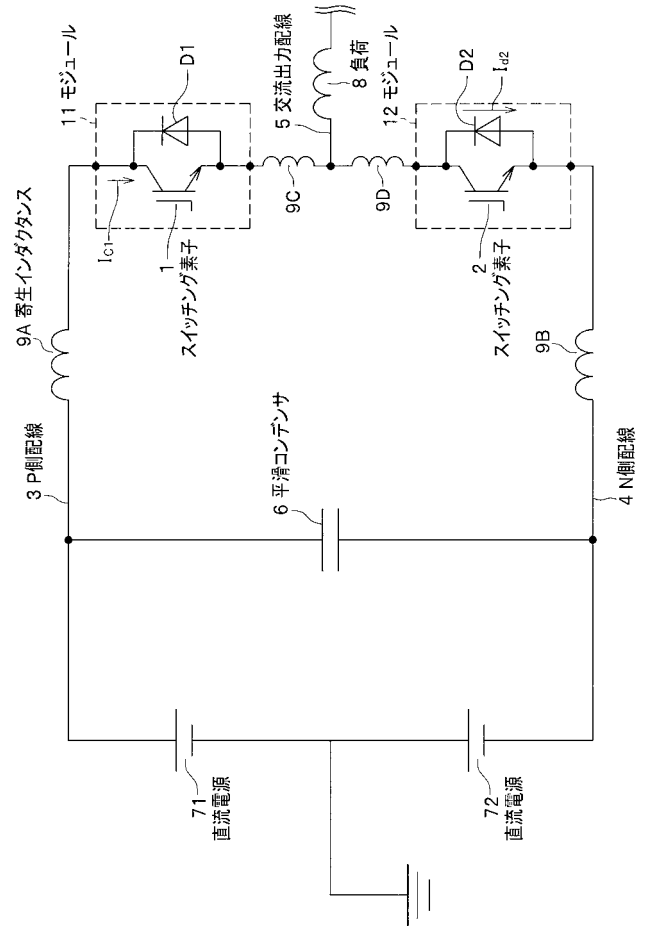
【図 4】



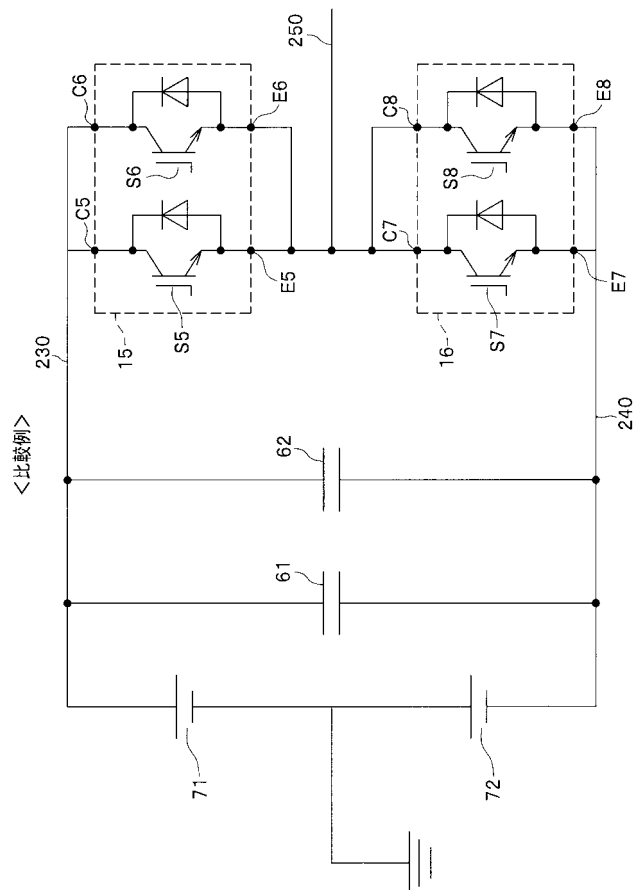
【 図 5 】



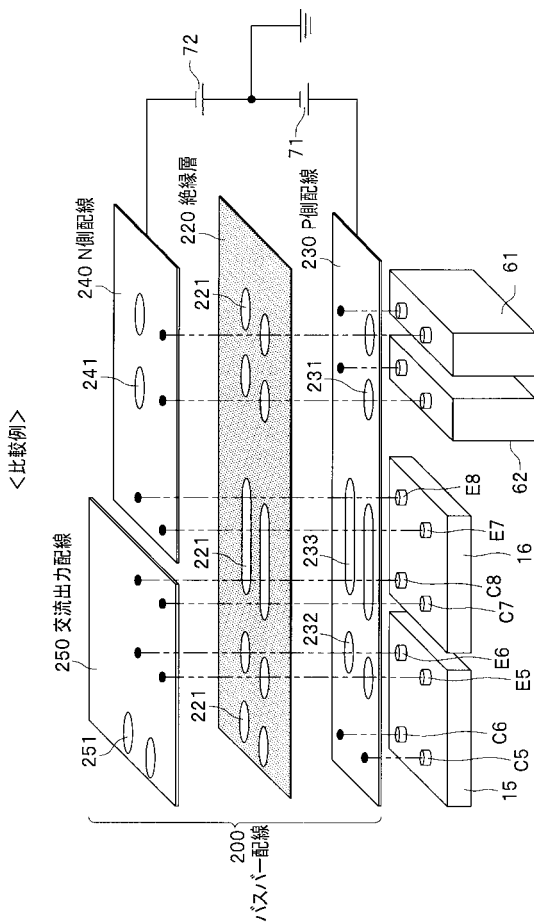
【 図 6 】



【 図 8 】

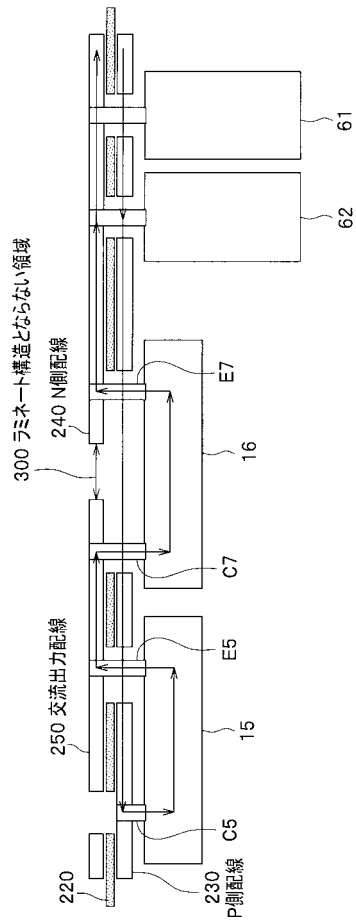


【 図 7 】



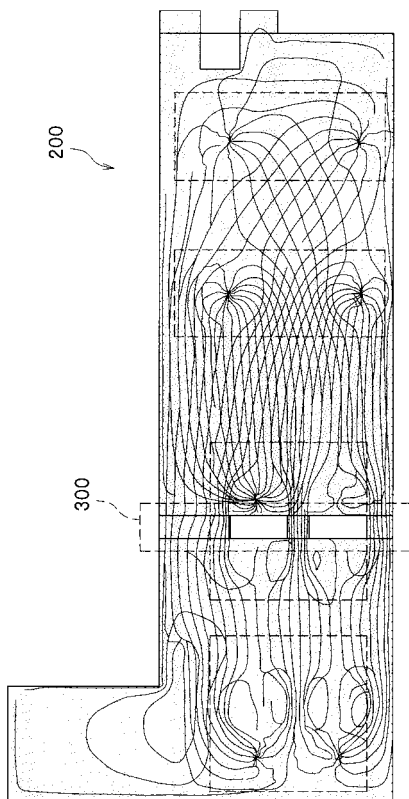
【図 9】

<比較例>



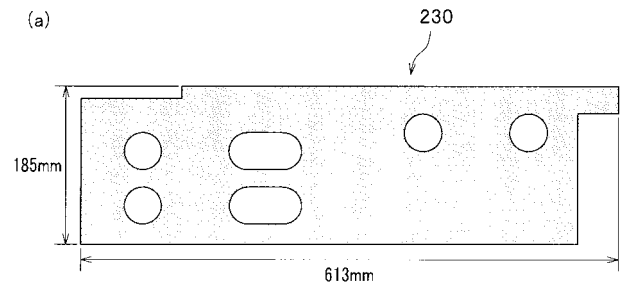
【図 11】

<比較例>

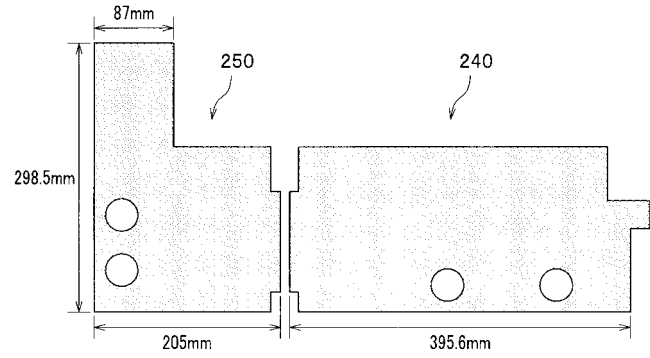


【図 10】

(a)



(b)



フロントページの続き

(72)発明者 酒井 洋満

茨城県日立市大みか町五丁目 2 番 1 号 株式会社日立製作所情報制御システム社内

(72)発明者 目黒 光

茨城県日立市大みか町五丁目 2 番 1 号 株式会社日立製作所情報制御システム社内

F ターム(参考) 5H007 CA01 CB02 CB05 FA01 FA13 HA03 HA04

5H740 BA11 BB05 MM01 MM10 PP02 PP03