

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96109855

※申請日期：96-7-22

※IPC 分類：

G06F1/32

G06F1/28

G06F1/06

一、發明名稱：(中文/英文)

積體電路及使用該積體電路之信號處理裝置

INTEGRATED CIRCUIT AND SIGNAL PROSESSING DEVICE USING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三洋電機股份有限公司

SANYO ELECTRIC CO., LTD.

代表人：(中文/英文)(簽章) 井植敏雅 / IUE, TOSHIMASA

住居所或營業所地址：(中文/英文)

日本國大阪府守口市京阪本通2丁目5番5號

5-5, Keihanhondori, 2-Chome, Moriguchi-City, Osaka, Japan

國籍：(中文/英文) 日本國 / JAPAN

三、發明人：(共 1 人)

姓名：(中文/英文)

清崎健一 / KIYOZAKI, KENICHI

國籍：(中文/英文)

日本國 / JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本國；2006 年 03 月 23 日；特願 2006-080796（主張優先權）

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種積體電路及使用該積體電路之信號處理裝置。

【先前技術】

隨著近年來電子技術的發展，攜帶型音訊(audio)再生機器、行動電話、攜帶型遊樂器、PDA(Personal Digital Assistants；個人數位助理)等以方便攜帶移動之攜帶性為賣點且可執行所希望之應用(application)之信號處理之信號處理裝置已廣為普及。此種信號處理裝置係藉由載裝由二次電池(鎳氫充電電池、鋰離子充電電池等)或一次電池(鹼性乾電池、錳乾電池等)所構成之內部電源而實現攜帶性(請參照例如以下所示之專利文獻 1)。

[專利文獻 1]日本特開 2001-184146 號公報

【發明內容】

[發明欲解決之問題]

然而，若僅以內部電源之電源電壓而長時間執行所希望之應用時，則結果必然會使得內部電源之電力消耗增加。因此，在長時間執行各種形態之應用的觀點上，信號處理裝置必須要有更進一步之低消耗電力化之對策，然以既有的對策而言卻仍嫌不足。

[用以解決問題之手段]

為了解決上述之課題，本發明主要為一種以施加用於供給第 1 電源電壓之外部電源而動作之積體電路，具備：

電源電壓監視部，用以監視由前述外部電源所供給之前述第 1 電源電壓之位準，以判定是否有從前述外部電源供給前述第 1 電源電壓；時脈選擇部，第 1 頻率之第 1 時脈及具有較前述第 1 頻率更低之第 2 頻率之第 2 時脈係供給至其中，且在前述電源電壓監視部判定供給有前述第 1 電源電壓時，選擇前述第 1 時脈，而在判定未供給有前述第 1 電源電壓時，則選擇前述第 2 時脈予以輸出；以及處理器，接受前述時脈選擇部所輸出之前述第 1 時脈或前述第 2 時脈中任一方之供給而動作，以控制前述積體電路之動作。

[發明之功效]

依據本發明，藉由適當控制依據外部電源之供給狀況而供給之電源電壓，即可減低積體電路之電力消耗。

【實施方式】

<信號處理裝置之外部連接>

第 1 圖係用以說明本發明之信號處理裝置之外部連接之圖示。下文中，作為本發明之信號處理裝置之一例，係採用具備有 USB(Universal Serial Bus；通用串列匯流排)介面 101，而將從個人電腦 300 經由 USB 纜線 400 之資料線 401 傳送之壓縮音訊資料進行數位再生之攜帶音訊再生機器 100 作說明。另外，作為本發明之信號處理裝置，亦可以是例如行動電話、攜帶遊樂器、PDA 等。

在此，所謂 USB 係指可藉由共通的 USB 介面將各種形態之信號處理裝置連接至 USB 主機之串列介面規格者。USB 現階段之最新版本為「USB 2.0」，具備有 LS(Low

Speed；低速)、FS(Full Speed；全速)、及 HS(High Speed；高速)等 3 種傳送模式，依據用途，3 種傳送模式可分開使用。此外，USB 係可利用集線器(hub)將最多 127 個 USB 機器作樹狀連接，而且，與可在接入 USB 主機電源之狀態下連接新的 USB 機器之所謂熱插拔(Hot Plug)對應。

首先，將個人電腦 300 假設為具備有 USB 控制器 310 及 USB 介面 320 之情形。此情形中，藉由 USB 纜線 400 將個人電腦 300 之 USB 介面 320 及攜帶音訊再生機器 100 之 USB 介面 101 之間加以連接，而使個人電腦 300 與攜帶音訊再生機器 100 間呈 USB 連接。另外，USB 纜線 400 係由 2 條資料線 401、電源線 402、GND 線 403 所構成，USB 介面 320、101 係分別設有一對資料端子 D+及 D-、電源端子 VBUS、GND 端子。

個人電腦 300 具備將經由電源插頭 361 供給之 AC 電源電壓換為 DC 電源電壓之電源轉接器(adapter)360，同時將司整體控制之 CPU 330、存放各種程式之 ROM 等記憶體 340、存放音樂檔案及動畫檔案等之硬碟 350 連接成可相互通訊。在此，存放於硬碟 350 之音樂檔案係例如為 MPEG-1 Audio Layer3(MP3；MPEG-1 中之第三階層音訊壓縮標準)形式等壓縮音訊資料，而存放於硬碟 350 之動畫檔案係例如為 MPEG-2 形式、MPEG-4 形式等之壓縮電影資料。

茲說明從個人電腦 300 傳送音樂檔案之資料至攜帶音訊再生機器 100 之概要。首先，個人電腦 300 啟動存放於

記憶體 340 之程式，且藉由輪詢(poling)要求等將攜帶音訊再生機器 100 識別為連接於本身之 USB 機器。接著，個人電腦 300 係由硬碟 350 讀取任意的音樂檔案，並傳送至 USB 控制器 310。USB 控制器 310 係將從硬碟 350 所讀取之音樂檔案轉換為封包(packet)形式，並進行根據 USB 規格之通信協定(protocol)處理，該 USB 規格係用以經由 USB 介面 320 乃至 USB 纜線 400 與攜帶音訊再生機器 100 進行差動式半雙重傳送與攜帶者。結果，攜帶音訊再生機器 100 即可從個人電腦 300 讀取音樂檔案。

另一方面，在從個人電腦 300 進行音樂檔案之資料傳送結束時，一般而言，攜帶音訊再生機器 100 係在將 USB 纜線從 USB 介面 101 卸除之後，再執行該音樂檔案之再生處理。然而，在音樂檔案之資料傳送結束時，即使是 USB 纜線 400 仍然連接於 USB 介面 101 之狀態，攜帶音訊再生機器 100 亦可執行音樂檔案之再生處理。

然而，個人電腦 300 係利用 USB 纜線 400 所具有之電源線 402，可將在電源轉接器 360 所產生之 DC 電源電壓(以下稱電源電壓 VBUS)供給至攜帶音訊再生機器 100。換言之，攜帶音訊再生機器 100 可在從個人電腦 300 讀取音樂檔案之同時一併接受電源電壓 VBUS 之供給。

因此，攜帶音訊再生機器 100 係將從個人電腦 300 所供給之電源電壓 VBUS 作為動作電壓，而進行依據與個人電腦 300 之間之 USB 規格之通信協定處理或音樂檔案之再生處理，以抑制內部電源 104 之電力消耗。

＜攜帶音訊再生機器＞

第 2 圖係顯示攜帶音訊再生機器 100 之構成圖。如第 2 圖所示，攜帶音訊再生機器 100 係藉由本發明之「積體電路」之一實施形態之 ASIC(Application Specific Integrated Circuit；特定用途積體電路)200 及其周邊電路所構成。另外，在本實施形態中雖係藉由 ASIC 200 實現「積體電路」，然而另外亦可藉由 FPGA(Field Programmable Gate Array；可程式化閘陣列)或 PLD(Programmable Logic Device；可程式化邏輯裝置)來實現。

以下，在說明攜帶音訊再生機器 100 之構成之際，將 ASIC 200 之周邊電路之構成、及 ASIC 200 之構成分開各別說明。

(ASIC 周邊電路之構成)

USB 介面 101 係為經由包含有電源線 402 之 USB 纜線 400 而連接成可與 USB 主機器 300 通訊之介面。如前所述，USB 纜線 400 係由 2 條資料線 401、電源線 402、及 GND 線 403 所構成，而 USB 介面 101 係設有一對資料端子 D+ 及 D-、電源端子 VBUS、GND 端子。

調節電路 103 係用以產生調節電源電壓 VREG(本發明之「第 1 電源電壓」)，該調節電源電壓 VREG 係將從 USB 介面 101 配線之電源線 102 之電源電壓 VBUS 之位準，調整為由 ASIC 200 進行要求要有高速性之通信協定處理(HS 模式及 FS 模式等)時所需之電壓位準(3.3V 或 1.5V 等)。另

外，從個人電腦 300 所供給之作為 USB 匯流電力之電源電壓係規定在「+4.75V 至 +5.25V」之範圍，在本實施形態中，電源電壓 VBUS 之位準係設為「5V」。此外，調節電源電壓 VREG 之位準係設為「1.5V」。

內部電源 104 係為藉由一個或複數個二次電池(鎳氫充電電池(額定電壓 1.2V)、鋰離子充電電池(額定電壓 3.6V 至 3.7V)等)或是一個或複數個一次電池(鹼性乾電池(額定電壓 1.5V)、錳乾電池(額定電壓 1.5V)等所構成之電源，用以產生其位準較調節電源電壓 VREG 之位準還低之電源電壓 VDD(本發明之第 2 電源電壓)。

在此，本實施形態中，內部電源 104 係為由可充電且額定電壓為最低之二次電池之鎳氫充電電池(額定電壓 1.2V)所構成之情形。此外，為了 ASIC200 之低消耗電力化，電源電壓 VDD 雖以設為盡可能低之位準為佳，惟兼顧 ASIC 200 可正常動作之範圍及 ASIC 200 之半導體製程，係設為額定電壓(1.2V)之 90%左右之「1.1V」。

在根據從後述之電源電壓監視部 270 經由 DET 端子 207 所供給之選擇信號 DET1，判定為從個人電腦 300 供給有電源電壓 VBUS 至攜帶音訊再生機器 100 時，電源電壓選擇部 105 係選擇調節電源電壓 VREG。此外，在根據前述之選擇信號 DET1，判定為從個人電腦 300 未供給有電源電壓 VBUS 至攜帶音訊再生機器 100 時，電源電壓選擇部 105 係選擇電源電壓 VDD。

非揮發性記憶體 106 係為用以將從個人電腦 300 經由

USB 纜線 400 所傳送之音樂檔案予以存放之外部記憶體。非揮發性記憶體 106 係採用例如快閃記憶體 (flash memory)。另外，於本實施形態以外，要存放更大容量之資料時，亦可採用小型硬碟 (未圖示) 以取代非揮發性記憶體 106。

水晶振盪器 107 係用以在 PLL 電路 280 振盪產生作為基準之原時脈 SCK2 之外接振盪元件。另外，在本實施形態以外，亦可從攜帶音訊再生機器 100 之外部接受自激發時脈之供給。

< ASIC 之構成 >

首先，以 ASIC 200 之端子而言，係設有 D+ 端子 201、D- 端子 202、MI 端子 203、OUT 端子 204、XTAL 端子 205、VBUS 端子 206、DET 端子 207、VDD 端子 208。

D+ 端子 201、D- 端子 202 係為分別與 USB 介面 101 之資料端子 D+、D- 連接之輸出入端子。MI 端子 203 係為與非揮發性記憶體 106 連接之輸出入端子。OUT 端子 204 係為用以輸出音樂檔案之再生結果之輸出端子。XTAL 端子 205 係為與水晶振盪器 107 連接之端子。

VBUS 端子 206 係為與從 USB 介面 101 之電源端子配線之電源線 102 連接之輸入端子。DET 端子 207 係為用以將作為電源電壓監視部 270 之判定結果之選擇信號 DET1 予以輸出之輸出端子。VDD 端子 208 係為在電源電壓選擇部 105 所選擇之調節電源電壓 VREG 或電源電壓 VDD 之一方係施加其上之輸入端子。

此外，ASIC 200 係將微電腦 210、USB 控制器 220、記憶體介面電路 230、DSP(Digital Signal Processor；數位信號處理器)240、RAM 250、DA 轉換器 260 分別經由內部匯流排 209 而連接成可相互通信，復具有電源電壓監視部 270、PLL 電路 280、時脈選擇部 290。

微電腦 210 係為用以司 ASIC 200 之整體控制之「處理器(processor)」。亦即，微電腦 210 係總括控制 USB 控制器 220 之通信協定處理、及 DSP 240 之音樂檔案之再生處理等。另外，微電腦 210 係依據從後述之時脈選擇部 290 所供給之遞倍時脈 SCK1 或原時脈 SCK2 而動作。

USB 控制器 220 係用以進行信號處理裝置側之通信協定處理者，具備有：USB 收發器(transceiver)或將封包予以解碼之解碼器，甚至資料緩衝用之 FIFO(First In First Out，先進先出)等，其中該 USB 收發器係用以將從 USB 介面 101 差動輸入於 D+端子 201 及 D-端子 202 而來之資料中繼於 ASIC 200 之內部匯流排 209 者。例如，USB 控制器 220 係依據來自微電腦 210 之指令，經由內部匯流排 209 將從個人電腦 300 所傳送之音樂檔案傳送至記憶體介面電路 230。

記憶體介面電路 230 係用以控制從 ASIC 200 對連接於 MI 端子 203 之非揮發性記憶體 106 讀取寫入資料之電路。例如，記憶體介面電路 230 係用以進行將從 USB 控制器 220 所傳送之音樂檔案寫入於非揮發性記憶體 106 之處理。

DSP 240 係為用以進行音樂檔案之再生之數位信號處理之電路。例如，於音樂檔案之再生之際，依據來自微電腦 210 之指令，使寫入於非揮發性記憶體 106 之音樂檔案由記憶體介面電路 230 讀取，且存放於作為作業用記憶體之 RAM 250。DSP 240 係讀取存放於 RAM 250 之音樂檔案以進行依據其資料形式之解碼處理(例如 MP3 解碼等)。再者，經解碼處理之數位量在經由 DA 轉換器 260 轉換為類比量之後，經由 OUT 端子 204 而輸出至外部。

電源電壓監視部 270 係藉由監視將 USB 纜線 400 連接於 USB 介面 101 時可從個人電腦 300 經由電源線 402 而供給之電源電壓 VBUS 之位準，以判定從個人電腦 300 是否供給有電源電壓 VBUS。

詳而言之，在經由 USB 介面 101 而與電源線 402 電性連接之電源線 102 上預先設置下拉(pull down)電阻 R_d 。而且，於將 USB 纜線 400 連接於 USB 介面 101 而從個人電腦 300 接受電源電壓 VBUS 之供給時，施加於 VBUS 端子 206 之電壓位準係成為「5V」。另一方面，從 USB 介面 101 卸除 USB 纜線 400 時，無法從個人電腦 300 接受電源電壓 VBUS 之供給，因此施加於 VBUS 端子 206 之電壓位準會因為下拉電阻 R_d 而成為「0V」。

因此，電源電壓監視部 270 係具備二值化處理部 271 及判定處理部 272，二值化處理部 271 係藉由比較施加於 VBUS 端子 206 之電壓位準與預先決定之參照位準 V_{th} (例如 2.5V)，而輸出 High 位準或 Low 位準。

判定處理部 272 係藉由測量從二值化處理部 271 所輸出之 High 位準或 Low 位準之期間，於 High 位準持續一定期間 T_h 時，判定從個人電腦 300 供給有電源電壓 VBUS，且於 Low 位準持續一定期間 T_h 時，判定從個人電腦 300 未供給有電源電壓 VBUS。如此，藉由從二值化處理部 271 輸出之 High 位準或 Low 位準直到持續一定期間 T_h 均不作出判定，即可防止例如受到尖峰(spike)狀電源雜訊之影響而造成之錯誤判定結果。

另外，判定處理部 272 之判定結果係使用作為供電源電壓選擇部 105 用以選擇調節電源電壓 VREG 或電源電壓 VDD 之選擇信號 DET1 及供時脈選擇部 290 用以選擇遞倍時脈 SCK1 或原時脈 SCK2 之選擇信號 DET2，該選擇信號 DET1 係。在此，電源電壓選擇部 105 係為 ASIC 200 之周邊電路，因此選擇信號 DET1 會經由 DET 端子 207 輸出至電源電壓選擇部 105。

PLL 電路 280 係用以產生與原時脈 SCK2(本發明之第 2 時脈)同步之遞倍時脈 SCK1(本發明之第 1 時脈)之電路，該原時脈 SCK2 係為從水晶振盪器 107 經由 XTAL 端子 205 所供給者。另外，遞倍時脈 SCK1 之頻率 f_1 (本發明之第 1 頻率)係設為相較於原時脈 SCK2 之頻率 f_2 (本發明之第 2 頻率)為 PLL 電路 280 內之分頻電路(未圖示)之分頻數之倒數倍之頻率。在本實施形態中，遞倍時脈 SCK1 之頻率 f_1 係設為「50MHz」，而原時脈 SCK2 之頻率 f_2 係設為「12MHz」。

時脈選擇部 290 係被供以從 PLL 電路 280 輸出之遞倍時脈 SCK1 及輸入於 PLL 電路 280 之前之原時脈 SCK2。再者，根據從電源電壓監視部 270 所供給之選擇信號 DET2 而判定從個人電腦 300 供給有電源電壓 VBUS 時，時脈選擇部 290 係選擇遞倍時脈 SCK1 而供給至微電腦 210。此外，根據該選擇信號 DET2 而判定從個人電腦 300 未供給有電源電壓 VBUS 時，時脈選擇部 290 係選擇原時脈 SCK2 而供給至微電腦 210。

亦即，從個人電腦 300 有電源電壓 VBUS 供給至攜帶音訊再生機器 100 時，為使不致消耗內部電源 104 之電力，係以選擇較電源電壓 VDD 更高位準之調節電源電壓 VREG，同時選擇調節電源電壓 VREG 為前提，而選擇較原時脈 SCK2 更高頻率之遞倍時脈 SCK1，俾使微電腦 210 之動作不致停止而掛斷(hang-up)。

在此，ASIC 200 之消耗電力係與動作時脈頻率成比例，因此隨著選擇高頻率之遞倍時脈 SCK1，相較於選擇原時脈 SCK2 時，ASIC 200 之消耗電力將會增加。然而，此時，由於將從個人電腦 300 所供給之與電源電壓 VBUS 對應之調節電源電壓 VREG 使用作為動作電壓，因此不需介意內部電源 104 之電力消耗。如此，攜帶音訊再生機器 100 即不需介意內部電源 104 之電力消耗，而可例如使用高頻率之遞倍時脈 SCK1，甚至可將從個人電腦 300 經由 USB 纜線 400 之音樂檔案之資料傳送予以高速處理。

此外，即使是來自個人電腦 300 之音樂檔案之資料傳

送結束之後，USB 纜線 400 亦仍為連接於 USB 介面 101 之狀態時，由於從個人電腦 300 接受電源電壓 VBUS 之供給之狀態仍持續，因此可一面持續抑制內部電源 104 之消耗電力，一面使用調節電源電壓 VREG 及遞倍時脈 SCK1 而執行音樂檔案之再生處理。

另一方面，USB 纜線 400 未連接於 USB 介面 101，從個人電腦 300 未有電源電壓 VBUS 供給至攜帶音訊再生機器 100 時，由於選擇較遞倍時脈 SCK1 更低頻率之原時脈 SCK2，因此相較於選擇遞倍時脈 SCK1 時，ASIC 200 之消耗電力會受到抑制。再者，此時，由於選擇位準較調節電源電壓 VREG 更低且為使 ASIC 200 動作所需之最低限度之電源電壓 VDD，因此 ASIC 200 之消耗電力更為受到抑制。此外，以抑制 ASIC 200 之消耗電力之結果而言，可增加音樂檔案之再生時間。

< ASIC 之動作 >

< 卸除 USB 纜線時之動作 >

使用第 3 圖以說明隨著音樂檔案之資料傳送結束或突發性事故等，而從 USB 纜線 400 連接於 USB 介面 101 之狀況切換成卸除 USB 纜線 400 之狀況時之 ASIC 200 之動作。另外，第 3 圖(a)係顯示施加於 VBUS 端子 206 之電壓位準之波形，第 3 圖(b)係顯示從電源電壓監視部 270 輸出之選擇信號 DET1、2 之波形，第 3 圖(c)係顯示施加於 VDD 端子 208 之電源電壓之波形，第 3 圖(d)係顯示從時脈選擇部 290 供給至微電腦 210 之時脈之波形之圖。

首先，假設為將 USB 纜線 400 連接於 USB 介面 101，且從個人電腦 300 傳送音樂檔案之資料至攜帶音訊再生機器 100 及供給有電源電壓 VBUS 之情形。

因此，施加於 VBUS 端子 206 之電壓位準係為「5V」(請參照第 3 圖(a))，在電源電壓監視部 270 判定從個人電腦 300 供給有電源電壓 VBUS(DET1、DET2 均為 Low 位準)(請參照第 3 圖(b))。結果，在電源電壓選擇部 105，係根據 Low 位準之選擇信號 DET1 而選擇調節電源電壓 VREG(請參照第 3 圖(c))，此外，在時脈選擇部 290，係根據 Low 位準之選擇信號 DET2 而選擇遞倍時脈 SCK1。

在時刻 T1，係從 USB 介面 101 卸除 USB 纜線 400。此時，從時刻 T1 到時刻 T5，施加於 VBUS 端子 206 之電壓位準係根據連接於電源線 102 之下拉電阻 Rd 而逐漸衰減至「0V」(請參照第 3 圖(a))。

接著，在時刻 T2，二值化處理部 271 之輸出，係施加於 VBUS 端子 206 之電壓位準低於參照位準 Vth(請參照第 3 圖(a))。然而，為了防止由於尖峰狀之電源雜訊所導致之誤判定，從判定處理部 272 輸出之選擇信號 DET1、DET2 仍為 Low 位準之狀態(請參照第 3 圖(b))。

接著，在從時刻 T2 經過一定期間 Tth 之時刻 T3，首先，將選擇信號 DET2 較選擇信號 DET1 先由 Low 位準切換為 High 位準(請參照第 3 圖(b))。其理由為二值化處理部 271 之輸出持續 Low 位準，因此判定處理部 272 不會視為因電源雜訊所致之位準變化之故。結果，在時脈選擇部 290

係根據 High 位準之選擇信號 DET2 而選擇原時脈 SCK2(請參照第 3 圖(d))。

接著，在 VBUS 端子 206 之電壓位準完全衰減至「0V」之時刻 T5 之前的時刻 T4，判定處理部 272 係將選擇信號 DET1 從 Low 位準切換至 High 位準。結果，在電源電壓選擇部 105 乃根據 High 位準之選擇信號 DET1 而選擇電源電壓 VDD(請參照第 3 圖(c))。

如此，在電源電壓監視部 270 由判定從個人電腦 300 供給有電源電壓 VBUS，切換為判定從個人電腦 300 未供給有電源電壓 VBUS 時，時脈選擇部 290 係在電源電壓選擇部 105 從調節電源電壓 VREG 之選擇切換為電源電壓 VDD 之選擇之前，先從遞倍時脈 SCK1 之選擇切換為原時脈 SCK2 之選擇。

亦即，遞倍時脈 SCK1 之使用，始終都是以調節電源電壓 VREG 之供給為前提條件。因此，隨著 USB 纜線 400 之卸除，從高頻率之遞倍時脈 SCK1 切換為低頻率之原時脈 SCK2 之後，再從高位準之調節電源電壓 VREG 切換為低位準之電源電壓 VDD。

<連接 USB 纜線時之動作>

使用第 4 圖說明為了進行音樂檔案之資料傳送，而由自 USB 介面 101 卸除 USB 纜線 400 之狀況切換為將 USB 纜線 400 連接於 USB 介面 101 之狀況時之 ASIC 200 之動作。另外，第 4 圖(a)至(d)係顯示與第 3 圖(a)至(d)分別相同波形之圖。

首先，假設為從 USB 介面 101 卸除 USB 纜線 400，而攜帶音訊再生機器 100 未從個人電腦 300 接受電源電壓 VBUS 之供給之情形。

因此，施加於 VBUS 端子 206 之電壓位準係為「0V」(請參照第 4 圖(a))，在電源電壓監視部 270 判定從個人電腦 300 未供給有電源電壓 VBUS(DET1、DET2 均為 High 位準)(請參照第 4 圖(b))。結果，在電源電壓選擇部 105，係根據 High 位準之選擇信號 DET1 而選擇電源電壓 VDD(請參照第 4 圖(c))，而在時脈選擇部 290，係根據 High 位準之選擇信號 DET2 而選擇原時脈 SCK2。

在時刻 T1，係將 USB 纜線 400 連接於 USB 介面 101。此時，從時刻 T1 到時刻 T5，施加於 VBUS 端子 206 之電壓位準係從「0V」逐漸上升至「5V」(請參照第 4 圖(a))。

接著，在時刻 T2，二值化處理部 271 之輸出，係為施加於 VBUS 端子 206 之電壓位準超過參照位準 V_{th} (請參照第 4 圖(a))。然而，為了防止由於尖峰狀之電源雜訊所導致之誤判定，從判定處理部 272 輸出之選擇信號 DET1、DET2 仍為 High 位準之狀態(請參照第 4 圖(b))。

接著，在從時刻 T2 經過一定期間 T_{th} 之時刻 T3，首先，將選擇信號 DET1 較選擇信號 DET2 先由 High 位準切換為 Low 位準(請參照第 4 圖(b))。其理由為二值化處理部 271 之輸出持續在 High 位準，因此判定處理部 272 不會視為因電源雜訊所致之位準變化之故。另外，在時刻 T1 至時刻 T3 之期間中，係藉由調節電路 103 而產生調節電源

電壓 VREG。結果，在電源電壓選擇部 105，係根據 Low 位準之選擇信號 DET1 而選擇調節電源電壓 VREG。

接著，在於 VBUS 端子 206 之電壓位準完全上升至「5V」之時刻 T5 之前的時刻 T4，判定處理部 272 係將選擇信號 DET2 從 High 位準切換至 Low 位準。結果，在時脈選擇部 290，係根據 Low 位準之選擇信號 DET2 而選擇遞倍時脈 SCK1(請參照第 4 圖(d))。

如此，在電源電壓監視部 270 由判定從個人電腦 300 未供給有電源電壓 VBUS 切換為判定從個人電腦 300 供給有電源電壓 VBUS 時，時脈選擇部 290 係在電源電壓選擇部 105 從電源電壓 VDD 之選擇切換為調節電源電壓 VREG 之選擇之後，才從原時脈 SCK2 之選擇切換為遞倍時脈 SCK1 之選擇。

亦即，遞倍時脈 SCK1 之使用，始終都是以調節電源電壓 VREG 之供給為前提條件。因此，隨著連接 USB 纜線 400，從低位準之電源電壓 VDD 切換為高位準之調節電源電壓 VREG 之後，再從低頻率之原時脈 SCK2 切換為高頻率之遞倍時脈 SCK1。

以上雖已詳細說明本發明之實施形態，惟前述之實施形態係為使易於理解本發明者，並非用以將本發明作限定性之解釋者。只要不脫離其旨趣，本發明均可作變更或改良，且亦包含其等效構成。

【圖式簡單說明】

第 1 圖係用以說明本發明信號處理裝置之外部連接之

圖。

第 2 圖係顯示本發明信號處理裝置之構成圖。

第 3 圖(a)至(d)係用以說明本發明之積體電路之動作之主要信號波形圖。

第 4 圖(a)至(d)係用以說明本發明之積體電路之動作之主要信號波形圖。

【主要元件符號說明】

100 攜帶音訊再生機器

101、320 USB 介面

103 調節電路

105 電源電壓選擇部

107 水晶振盪器

201 D+端子

203 MI 端子

205 XTAL 端子

207 DET 端子

209 內部匯流排

220、310 USB 控制器

240 DSP

260 DA 轉換器

271 二值化處理部

280 PLL 電路

300 個人電腦

330 CPU

102、402 電源線

104 內部電源

106 非揮發性記憶體

200 ASIC

202 D-端子

204 OUT 端子

206 VBUS 端子

208 VDD 端子

210 微電腦

230 記憶體介面電路

250 RAM

270 電源電壓監視部

272 判定處理部

290 時脈選擇部

320 USB 介面

340 記憶體

200809485

350	硬碟	360	電源轉接器
361	電源插頭	400	USB 纜線
401	資料線	402	電源線
403	GND 線		

五、中文發明摘要：

本發明之目的在藉由適當控制依據外部電源之供給狀況而供給之電源電壓以降低積體電路之電力消耗。

本發明提供一種以施加用以供給第 1 電源電壓之外部電源而動作之積體電路，具備：電源電壓監視部，用以監視由前述外部電源所供給之前述第 1 電源電壓之位準，以判定是否有從前述外部電源供給前述第 1 電源電壓；時脈選擇部，第 1 頻率之第 1 時脈及具有較前述第 1 頻率更低之第 2 頻率之第 2 時脈係供給至其中，且在前述電源電壓監視部判定供給有前述第 1 電源電壓時，選擇前述第 1 時脈，而在判定未供給有前述第 1 電源電壓時，則選擇前述第 2 時脈予以輸出；以及處理器，接受前述時脈選擇部所輸出之前述第 1 時脈或前述第 2 時脈中任一方之供給而動作，以控制前述積體電路之動作。

六、英文發明摘要：

This invention provides an integrated circuit and a signal processing device using the same capable of reducing the electric power consumption of the integrated circuit by properly controlling the power voltage supplied according to the supply condition of the external power.

The integrated circuit, to which the external power supplying a first power voltage is applied so as to operate, comprises a power voltage monitoring section which monitors the level of the first power voltage supplied from the external power and judges whether the first power voltage is supplied from the external power, a clock selecting section to which a first clock of a first frequency and a second clock having a second frequency lower than the first frequency are supplied, and in the power voltage monitoring section, the first clock is selected while that the first power voltage is supplied is judged, and the second clock is selected while that the first power voltage is not supplied is judged, and a processor which receives any one of the first clock or the second clock outputted from the clock selecting section and operates to control the action of the integrated circuit.

十、申請專利範圍：

1. 一種積體電路，係以施加用以供給第 1 電源電壓之外部電源而動作者，具備：

電源電壓監視部，監視由前述外部電源所供給之前述第 1 電源電壓之位準，以判定是否有從前述外部電源供給前述第 1 電源電壓；

時脈選擇部，第 1 頻率之第 1 時脈及具有較前述第 1 頻率更低之第 2 頻率之第 2 時脈係供給至其中，且在前述電源電壓監視部判定供給有前述第 1 電源電壓時，選擇前述第 1 時脈，而在判定未供給有前述第 1 電源電壓時，則選擇前述第 2 時脈予以輸出；以及

處理器，接受前述時脈選擇部所輸出之前述第 1 時脈或前述第 2 時脈中任一方之供給而動作，以控制前述積體電路之動作。

2. 如申請專利範圍第 1 項之積體電路，其中，該積體電路係以施加前述外部電源、或用以供給位準較前述第 1 電源電壓更低之第 2 電源電壓之內部電源中任一方而動作者，

前述電源電壓監視部係以於判定供給有前述第 1 電源電壓時施加前述第 1 電源電壓，且於判定未供給有前述第 1 電源電壓時施加前述第 2 電源電壓之方式進行控制。

3. 如申請專利範圍第 1 或 2 項之積體電路，其中，前述外部電源係從可用以進行資料通信且供給前述第 1 電源電

壓之介面所供給。

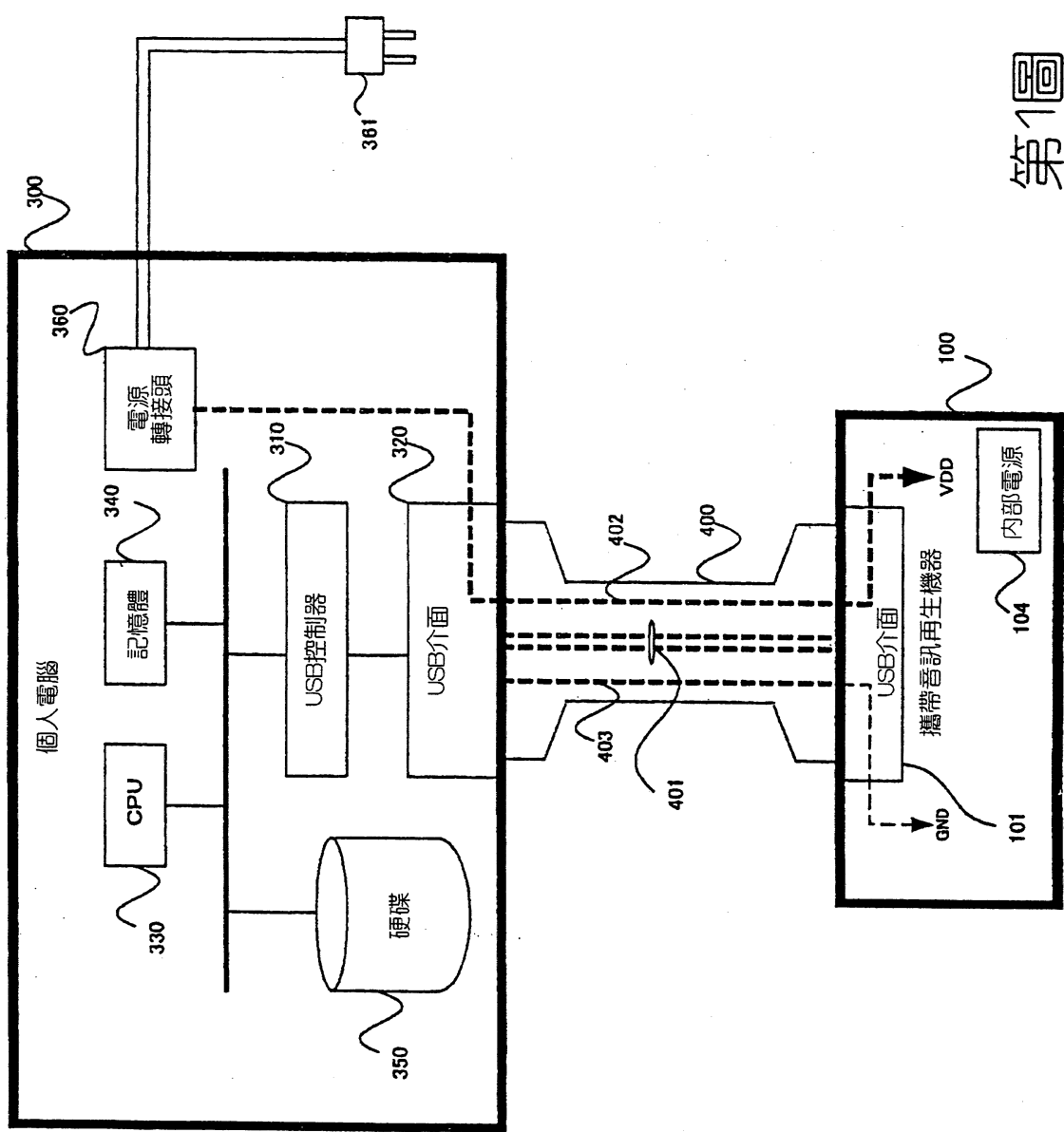
4. 如申請專利範圍第 1 項之積體電路，其中，該積體電路復具備有根據前述第 2 時脈而產生前述第 1 時脈之 PLL 電路。
5. 如申請專利範圍第 2 項之積體電路，其中，前述電源電壓監視部係在前述第 1 電源電壓之供給開始之際，於電源電壓之變化之後切換前述時脈選擇部之選擇，且在前述第 1 電源電壓之供給結束之際，於電源電壓之變化之前先切換前述時脈選擇部之選擇。
6. 如申請專利範圍第 2 或 4 項之積體電路，其中，該積體電路復具備有將數位資料予以解碼處理之數位信號處理電路，而該數位信號處理電路係依據前述電源電壓監視部所選擇控制之前述第 1 電源電壓或前述第 2 電源電壓中任一者而動作。
7. 一種信號處理裝置，係具備申請專利範圍第 6 項之積體電路，該信號處理裝置復具備有電源電壓選擇部，該電源電壓選擇部係連接於前述外部電源及前述內部電源，且依據前述電源電壓監視部之判定結果而將前述第 1 電源電壓或前述第 2 電源電壓中任一者予以輸出，

前述積體電路係根據前述電源電壓選擇部所輸出之前述第 1 電源電壓或前述第 2 電源電壓中任一者而動作。

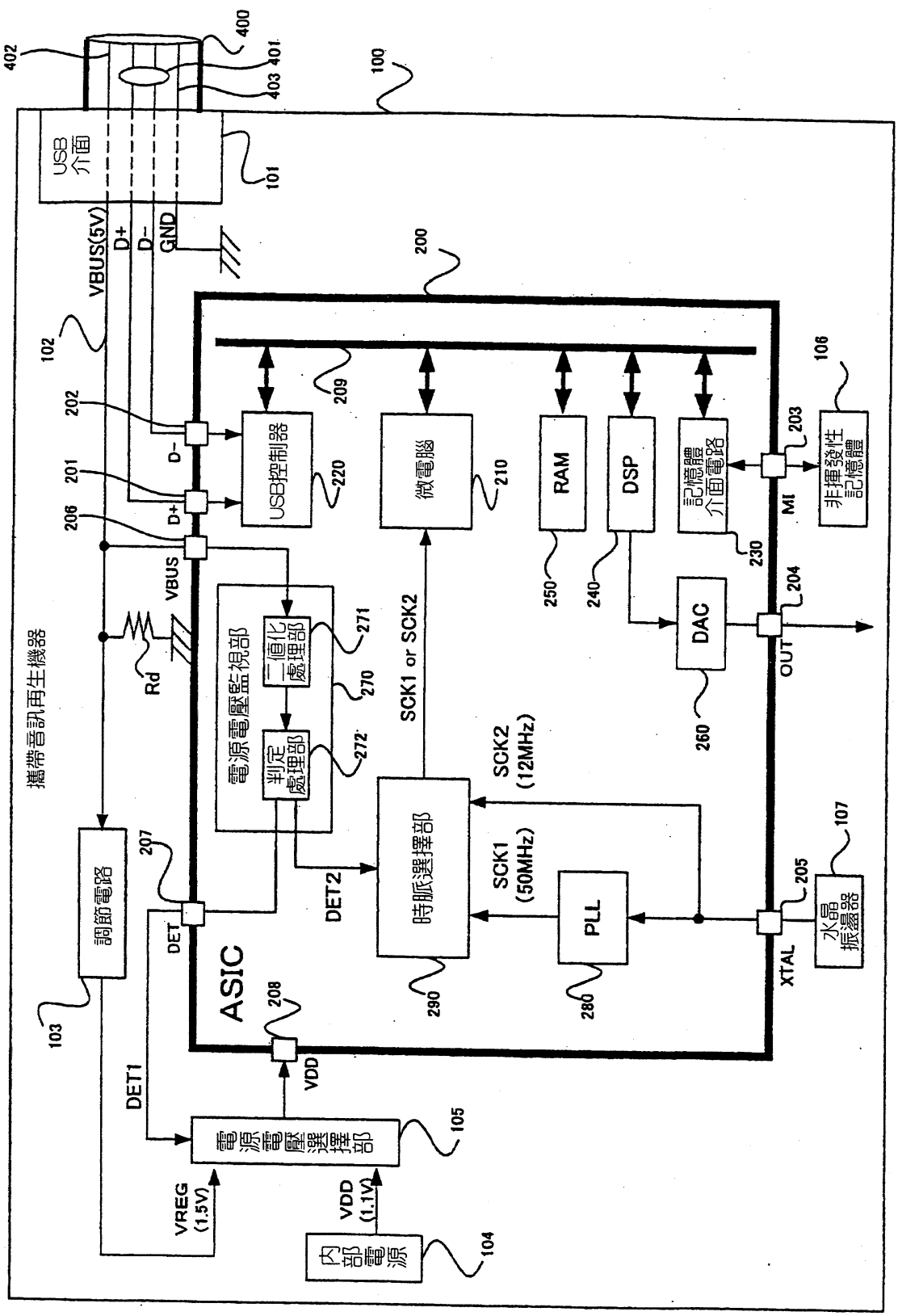
8. 如申請專利範圍第 7 項之信號處理裝置，其中，該信號處理裝置復具備有用以存放前述數位資料之非揮發性

記憶體，

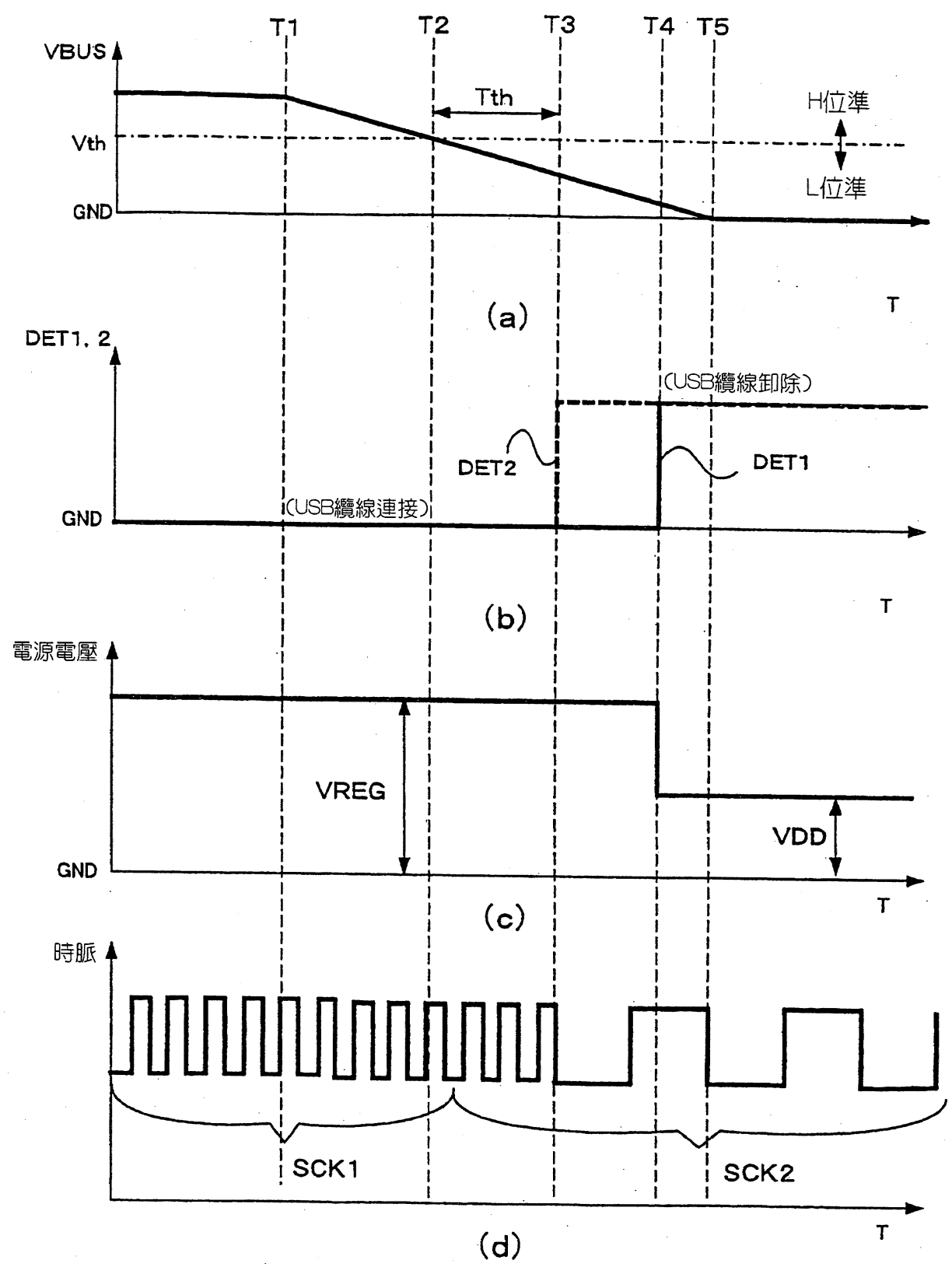
前述數位信號處理電路係讀取存放於前述非揮發性記憶體之前述數位資料以進行解碼處理。



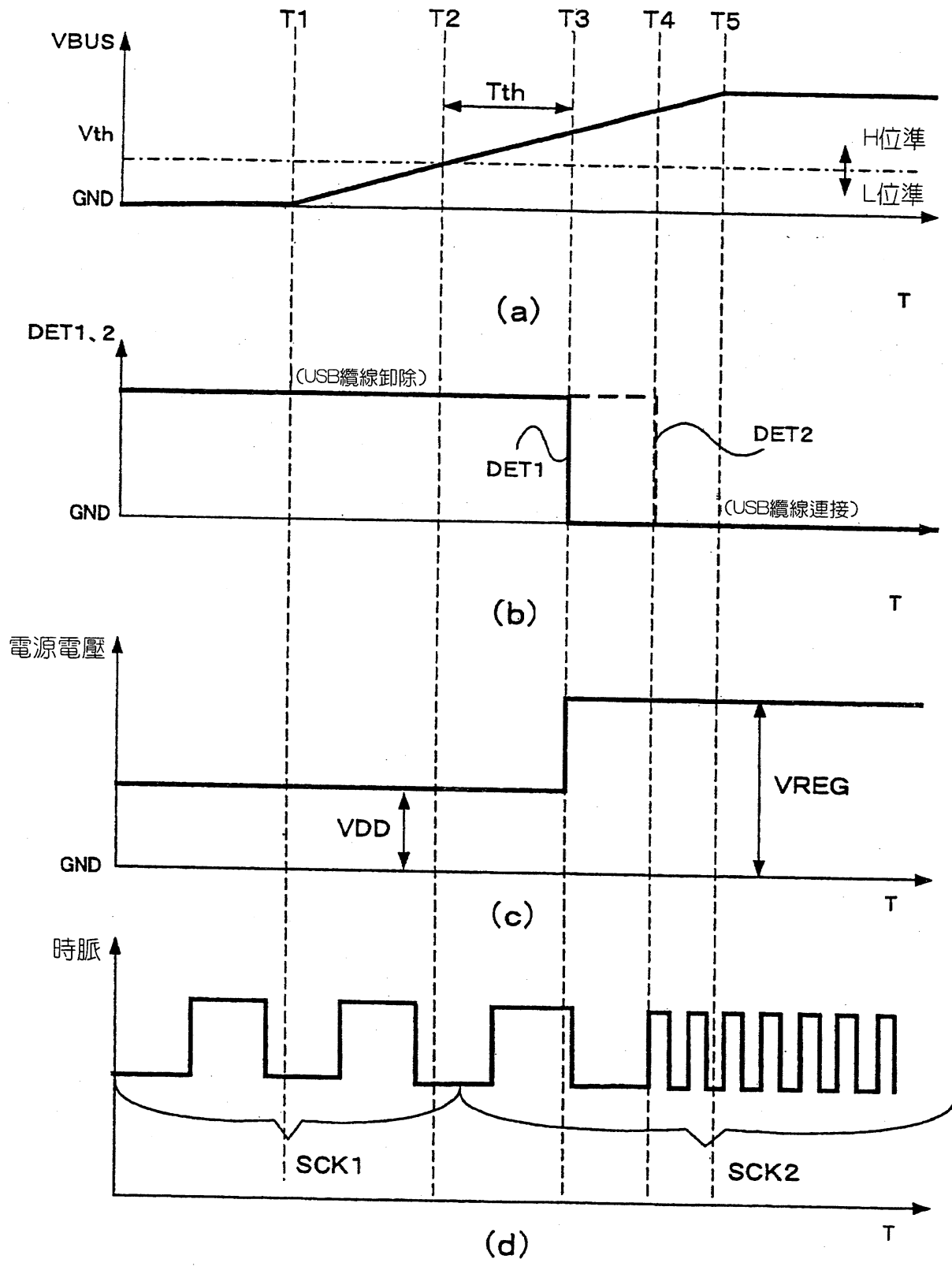
第1圖



第2圖



第3圖



第4圖

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100	攜帶音訊再生機器	101、320	USB 介面
104	內部電源	300	個人電腦
310	USB 控制器	320	USB 介面
330	CPU	340	記憶體
350	硬碟	360	電源轉接器
361	電源插頭	400	USB 纜線
401	資料線	402	電源線
403	GND 線		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無代表化學式