

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月3日(03.10.2024)



(10) 国際公開番号

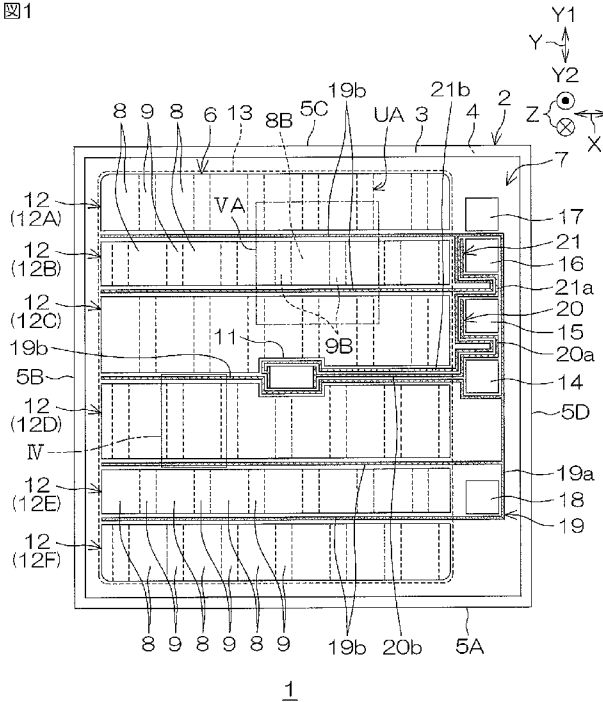
WO 2024/202987 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/739 (2006.01)
- (21) 国際出願番号: PCT/JP2024/008084
- (22) 国際出願日: 2024年3月4日(04.03.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-059174 2023年3月31日(31.03.2023) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 Kyoto (JP).
- (72) 発明者: 村 ▲ 崎 ▼ 耕平 (MURASAKI, Kohei);
〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP).
本堂 英 (HONDO, Suguru); 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 弁理士法人 あい 特許事務所 (AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS); 〒5410059 大阪府大阪市中央区博労町三丁目2番8号 岩田東急ビル8階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

図1



(57) Abstract: This semiconductor device comprises: an IGBT region and a diode region that are formed in a semiconductor layer; and a plurality of gate wires that are formed on a first main surface of the semiconductor layer, wherein one of the IGBT region and the diode region is a reference region and the other is a different region that differs from the reference region, in a predetermined region among active regions that include the IGBT region and the diode region, the reference region facing the different region in a first direction that is perpendicular to an extension direction of a gate



WO 2024/202987 A1

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

trench in a plan view, and, in a predetermined region among the active regions the reference region further facing the different region in a second direction that is parallel to the extension direction of the gate trench in a plan view with a first gate wire that is included in the plurality of gate wires interposed therebetween.

- (57) 要約 : 半導体装置は、半導体層に形成された IGBT 領域およびダイオード領域と、前記半導体層の第 1 主面上に形成された複数のゲート配線とを含み、前記 IGBT 領域および前記ダイオード領域を含むアクティブ領域のうち所定の領域において、前記 IGBT 領域および前記ダイオード領域の一方が基準領域であり、他方が前記基準領域とは異なる異種領域であり、前記基準領域が、平面視において前記ゲートトレンチの延伸方向と垂直な第 1 方向に、前記異種領域と対向しており、前記アクティブ領域のうち所定の領域において、前記基準領域が、平面視において前記ゲートトレンチの前記延伸方向と平行な第 2 方向に、前記異種領域と、前記複数のゲート配線に含まれる第 1 ゲート配線を挟んでさらに対向している。

明 細 書

発明の名称：半導体装置

関連出願

[0001] 本出願は、2023年3月31日に日本国特許庁に提出された特願2023-059174号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

技術分野

[0002] 本開示は、IGBT領域およびダイオード領域を含む半導体装置に関する。

背景技術

[0003] 特許文献1は、半導体装置の一例としてのRC-IGBT (Reverse Conducting - Insulated Gate Bipolar Transistor) を開示している。RC-IGBTは、共通の半導体層に作り込まれたIGBT領域およびダイオード領域を含む。IGBT領域は、IGBTを含む。ダイオード領域は、ダイオードを含む。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2019/230851号公報

発明の概要

発明が解決しようとする課題

[0005] 本開示の一実施形態は、RC-IGBTにおいて、局所的な発熱量の増大を抑制できる半導体装置を提供する。

課題を解決するための手段

[0006] 本開示の一実施形態は、第1主面およびその反対側の第2主面を有する半導体層と、前記半導体層に形成されたIGBT領域であって、ゲートトレンチが形成されたIGBT領域と、前記半導体層に形成されたダイオード領域

と、前記第1主面上に形成された複数のゲート配線とを含む半導体装置を提供する。そして、前記IGBT領域および前記ダイオード領域を含むアクティブ領域のうち所定の領域において、前記IGBT領域および前記ダイオード領域の一方が基準領域であり、他方が前記基準領域とは異なる異種領域である。そして、前記基準領域が、平面視において前記ゲートトレンチの延伸方向と垂直な第1方向に、前記異種領域と対向している。そして、前記アクティブ領域のうち所定の領域において、前記基準領域が、平面視において前記ゲートトレンチの前記延伸方向と平行な第2方向に、前記異種領域と、前記複数のゲート配線に含まれる第1ゲート配線を挟んでさらに対向している、半導体装置を提供する。

発明の効果

[0007] 本開示の一実施形態によれば、RC-IGBTにおいて、局所的な発熱量の増大を抑制できる半導体装置を提供できる。

図面の簡単な説明

[0008] [図1]図1は、本開示の第1実施形態に係る半導体装置の模式的な平面図である。

[図2]図2は、前記半導体装置の第1主面の構造を模式的に示す平面図である。

[図3]図3は、前記半導体装置の第2主面の構造を模式的に示す底面図である。

[図4]図4は、図1の一点鎖線IVで囲まれた部分の拡大図である。

[図5A]図5Aは、図1の一点鎖線VAで囲まれた部分の拡大図である。

[図5B]図5Bは、図5Aの一点鎖線VBで囲まれた部分の拡大図である。

[図6]図6は、図4の一点鎖線VIで囲まれた部分の拡大図である。

[図7]図7は、図6の一点鎖線VIIで囲まれた部分の拡大図である。

[図8]図8は、図6の一点鎖線VIIIで囲まれた部分の拡大図である。

[図9]図9は、図7のIX-IX線に沿う断面図である。

[図10]図10は、図8のX-X線に沿う断面図である。

[図11]図11は、図7のXI-XI線に沿う断面図である。

[図12]図12は、前記半導体装置を含む半導体パッケージの模式的な平面図である。

[図13]図13は、図12の半導体パッケージの実装構造を示す断面図である。

[図14]図14は、コレクタ領域およびカソード領域の態様を変更した変形例に係る半導体装置を説明するための底面図である。

[図15]図15は、図14の変形例に係る半導体装置の断面図であり、図10に対応する図である。

[図16]図16は、本開示の第2実施形態に係る半導体装置の模式的な平面図である。

[図17]図17は、前記半導体装置の第1主面の構造を模式的に示す平面図である。

[図18]図18は、本開示の第3実施形態に係る半導体装置の模式的な平面図である。

[図19]図19は、前記半導体装置の第1主面の構造を模式的に示す平面図である。

[図20]図20は、本開示の第4実施形態に係る半導体装置の模式的な平面図である。

[図21]図21は、前記半導体装置の第1主面の構造を模式的に示す平面図である。

[図22]図22は、前記半導体装置を含む半導体パッケージの模式的な断面図である。

発明を実施するための形態

[0009] 図1は、本開示の第1実施形態に係る半導体装置1の模式的な平面図である。図2は、半導体装置1の第1主面3の構造を模式的に示す平面図である。図3は、半導体装置1の第2主面4の構造を模式的に示す底面図である。図4は、図1の一点鎖線IVで囲まれた部分の拡大図である。図5Aは、図1

の一点鎖線VAで囲まれた部分の拡大図である。図5Bは、図5Aの一点鎖線VBで囲まれた部分の拡大図である。

- [0010] 半導体装置1は、IGBTおよびダイオードを一体的に備えたRC-IGBT (Reverse Conducting - Insulated Gate Bipolar Transistor) を有する電子部品である。
- [0011] 図1～図3を参照して、半導体装置1は、直方体形状の半導体層2を含む。半導体層2は、一方側の第1主面3、他方側の第2主面4、ならびに第1主面3および第2主面4を接続する側面5A, 5B, 5C, 5Dを有している。
- [0012] 第1主面3および第2主面4は、それらの法線方向Zから見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。側面5Aおよび側面5Cは、第1方向Xに沿って延び、第1方向Xに交差する第2方向Yに対向している。側面5Bおよび側面5Dは、第2方向Yに沿って延び、第1方向Xに対向している。第2方向Yは、具体的には、第1方向Xに直交している（垂直である）。第2方向Yは、一方側Y1と、他方側Y2とを含む。一方側Y1は、図1の紙面の上方に一致している。他方側Y2は、図1の紙面の下方に一致している。
- [0013] 半導体層2は、アクティブ領域6および外側領域7を含む。アクティブ領域6は、RC-IGBTが形成された領域である。アクティブ領域6は、平面視において側面5A～5Dから内方領域に間隔を空けて半導体層2の中央部に設定されている。アクティブ領域6は、平面視において側面5A～5Dに平行な四辺を有する四角形状に設定されていてもよい。半導体層2の厚さは、 $50\mu\text{m}$ 以上 $200\mu\text{m}$ 以下であってもよい。
- [0014] 外側領域7は、アクティブ領域6の外側の領域である。外側領域7は、平面視においてアクティブ領域6の周縁に沿って帯状に延びている。外側領域7は、具体的には、平面視においてアクティブ領域6を取り囲む無端状（四角環状）である。
- [0015] アクティブ領域6は、IGBT領域8およびダイオード領域9を含む。図

2および図3では、明瞭化のため、IGBT領域8がハッチングによって示されている。IGBT領域8は、IGBTが形成された領域である。ダイオード領域9は、ダイオードが形成された領域である。

[0016] アクティブ領域6は、具体的には、RC-IGBT配列（領域配列）12を含む。RC-IGBT配列12は、第2方向Yに間隔を空けて複数（この実施形態では6つ）形成されている。RC-IGBT配列12は、一方側（側面5B側）の第1端部および他方側（側面5D側）の第2端部を有している。RC-IGBT配列12は、第1端部から第2端部に向けて第1方向Xに沿って一列に配列されたIGBT領域8、ダイオード領域9、IGBT領域8、ダイオード領域9・・・を繰り返し含むループ配列を有している。RC-IGBT配列12では、複数のIGBT領域8および複数のダイオード領域9が第1方向Xに沿って交互に並んでいる。

[0017] アクティブ領域6には、複数のIGBT領域8が分散配列されている。複数のIGBT領域8は、第1方向Xおよび第2方向Yに沿って間隔を空けて形成されている。複数のIGBT領域8は、平面視において千鳥状に配列されている。複数のIGBT領域8は、具体的には、第2方向Yに沿って延びる長方形状にそれぞれ形成されている。複数のIGBT領域8は、この実施形態では、互いに同じ幅WG（図4参照）を有している。

[0018] また、アクティブ領域6には、複数のダイオード領域9が分散配列されている。複数のダイオード領域9は、具体的には、第1方向XにIGBT領域8と隣り合うようにそれぞれ形成されている。複数のダイオード領域9は、第1方向Xおよび第2方向Yに沿って間隔を空けて形成されている。複数のダイオード領域9は、平面視において千鳥状に配列されている。ダイオード領域9は、具体的には、第2方向Yに沿って延びる長方形状にそれぞれ形成されている。複数のダイオード領域9は、この実施形態では、互いに同じ幅WDを有している。この実施形態では、アクティブ領域6の全域において、複数のIGBT領域8および複数のダイオード領域9がそれぞれ千鳥状に配列されている。

- [0019] 各ダイオード領域9の長さは、この実施形態では、各IGBT領域8の長さよりも短い。そのため、各ダイオード領域9の平面面積が各IGBT領域8の平面面積よりも小さい。平面視において、アクティブ領域6に占めるダイオード領域9の面積比率が、25%以上45%以下である。別の言い方では、平面視において、アクティブ領域6に占めるIGBT領域8の面積比率が、55%以上75%以下である。
- [0020] 複数（たとえば6つ）のRC-IGBT配列12は、第2方向Yの一方側Y1から順に、第1配列12A、第2配列12B、第3配列12C、第4配列12D、第5配列12Eおよび第6配列12Fを含む。第1配列12Aおよび第6配列12Fの列幅（第2方向Yの幅）は、同じである。第2配列12Bおよび第5配列12Eの列幅（第2方向Yの幅）は、同じである。第3配列12Cおよび第4配列12Dの列幅（第2方向Yの幅）は、同じである。
- [0021] 第1配列12A、第3配列12Cおよび第5配列12Eは、互いに同じ配列パターンで配列されている。第2配列12B、第4配列12Dおよび第6配列12Fは、同じ配列パターンで配列されている。第2配列12B、第4配列12Dおよび第6配列12Fは、第1配列12A、第3配列12Cおよび第5配列12Eと、IGBT領域8およびダイオード領域9の第1方向Xの位置が互いにずれている。
- [0022] 第1配列12A、第3配列12Cおよび第5配列12Eの第1方向Xにおける第1端部は、この実施形態では、IGBT領域8によって形成されている。第1配列12A、第3配列12Cおよび第5配列12Eの第1端部が、ダイオード領域9によって形成されていてもよい。第1配列12A、第3配列12Cおよび第5配列12Eの第1方向Xにおける第2端部は、この実施形態では、IGBT領域8によって形成されている。第1配列12A、第3配列12Cおよび第5配列12Eの第2端部が、ダイオード領域9によって形成されていてもよい。
- [0023] 第2配列12B、第4配列12Dおよび第6配列12Fの第1方向Xにおける第1端部は、この実施形態では、IGBT領域8によって形成されてい

る。第2配列12B、第4配列12Dおよび第6配列12Fの第1端部が、ダイオード領域9によって形成されていてもよい。第2配列12B、第4配列12Dおよび第6配列12Fの第1方向Xにおける第2端部は、この実施形態では、ダイオード領域9によって形成されている。第2配列12B、第4配列12Dおよび第6配列12Fの第1方向Xにおける第2端部が、IGBT領域8によって形成されていてもよい。

[0024] 図4を参照して、各IGBT領域8の幅WGは、 $10\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下であってもよい。幅WGは、 $100\mu\text{m}$ 以上であってもよい。幅WGは、 $200\mu\text{m}$ 以上であることが好ましい。

[0025] 各ダイオード領域9の幅WDは、各IGBT領域8の幅WG以下であってもよい。幅WDは、ダイオード領域9の第1方向Xの幅である。各ダイオード領域9の幅WDは、各IGBT領域8の幅WG未満であることが好ましい。

[0026] 図1および図2を参照して、アクティブ領域6は、温度センサが形成されたセンサ領域11をさらに含む。センサ領域11は、第2方向Yに互いに隣り合う2つのRC-IGBT配列12の間の領域に形成されている。センサ領域11は、この実施形態では、アクティブ領域6の中心部に形成されている。

[0027] 半導体装置1は、エミッタ端子電極13（図1の破線部参照）をさらに含む。エミッタ端子電極13は、アクティブ領域6において半導体層2の第1主面3の上に形成されている。エミッタ端子電極13は、アクティブ領域6（IGBT領域8）にエミッタ信号を伝達する。エミッタ信号は、基準電位またはグランド電位であってもよい。

[0028] 図1を参照して、半導体装置1は、外側領域7において半導体層2の第1主面3の上に形成された複数（この実施形態では5つ）の端子電極14, 15, 16, 17, 18をさらに含む。複数の端子電極14~18は、側面5Dに沿って間隔を空けて配置されている。複数の端子電極14~18は、平面視において四角形状に形成されている。

[0029] 複数の端子電極 14～18は、この実施形態では、ゲート端子電極 14、第1センス端子電極 15、第2センス端子電極 16、電流検出端子電極 17および開放端子電極 18を含む。ゲート端子電極 14は、アクティブ領域6（IGBT領域8）にゲート信号を伝達する。第1センス端子電極 15および第2センス端子電極 16は、センサ領域 11（温度センサ）を制御する制御信号を伝達する。電流検出端子電極 17は、アクティブ領域6を流れる電流を検出し、外部に取り出すための電極である。開放端子電極 18は、電氣的に浮遊状態になっている。ゲート端子電極 14、第1センス端子電極 15、第2センス端子電極 16、電流検出端子電極 17および開放端子電極 18の配置は任意である。図1の例では、開放端子電極 18、電流検出端子電極 17、ゲート端子電極 14、第1センス端子電極 15および第2センス端子電極 16が、側面5A側から側面5C側に向けてこの順に配置されている。

[0030] 半導体装置 1は、ゲート端子電極 14に電氣的に接続されたゲート配線 19をさらに含む。ゲート配線 19は、ゲートフィンガーとも称される。ゲート配線 19は、外側領域7からアクティブ領域6に向けて延びている。ゲート配線 19は、ゲート端子電極 14に印加されたゲート信号をアクティブ領域6（IGBT領域8）に伝達する。ゲート配線 19は、具体的には、外側領域7に位置する第1領域 19aおよびアクティブ領域6に位置する第2領域 19bを含む。第1領域 19aは、ゲート端子電極 14に電氣的に接続されている。第1領域 19aは、この実施形態では、外側領域7における側面5D側の領域において選択的に引き回されている。

[0031] 第2領域 19bは、アクティブ領域6に複数（この実施形態では5つ）形成されている。複数の第2領域 19bは、第2方向Yに沿って間隔を空けて形成されている。複数の第2領域 19bは、互いに隣り合う2つのRC-IGBT配列 12の間の領域にそれぞれ形成されている。複数の第2領域 19bは、外側領域7において側面5D側の領域から側面5B側の領域に向けてそれぞれ延びている。複数の第2領域 19bは、外側領域7において第1領域 19aに連なっている。複数の第2領域 19bは、互いに隣り合う2つのR

C-I G B T配列12のいずれか一方または双方にゲート信号を伝達する。

[0032] ゲート端子電極14に印加されたゲート信号は、第1領域19aを介して第2領域19bに伝達される。これにより、第2領域19bを介してアクティブ領域6（I G B T領域8）にゲート信号が伝達される。

[0033] 第1センス端子電極15には、第1センス配線20が電氣的に接続されている。第1センス配線20は、外側領域7からセンサ領域11に向けて延びている。第1センス配線20は、温度センサの制御信号を伝達する。第1センス配線20は、具体的には、外側領域7に位置する第1領域20aおよびアクティブ領域6に位置する第2領域20bを含む。第1領域20aは、第1センス端子電極15に電氣的に接続されている。第2領域20bは、センサ領域11において温度センサに電氣的に接続されている。第2領域20bは、外側領域7において第1領域20aに連なっている。第1センス端子電極15に印加された電気信号は、第1領域20aを介して第2領域20bに伝達される。これにより、第2領域20bを介して温度センサに電気信号が伝達される。

[0034] 第2センス端子電極16には、第2センス配線21が電氣的に接続されている。第2センス配線21は、外側領域7からセンサ領域11に向けて延びている。第2センス配線21は、温度センサの制御信号を伝達する。第2センス配線21は、具体的には、外側領域7に位置する第1領域21aおよびアクティブ領域6に位置する第2領域21bを含む。第1領域21aは、第2センス端子電極16に電氣的に接続されている。第2領域21bは、センサ領域11において温度センサに電氣的に接続されている。第2領域21bは、外側領域7において第1領域21aに連なっている。第2センス端子電極16に印加された電気信号は、第1領域21aを介して第2領域21bに伝達される。これにより、第2領域21bを介して温度センサに電気信号が伝達される。

[0035] 互いに隣り合う複数のR C-I G B T配列12の間の領域においてセンサ領域11が形成された領域には、ゲート配線19、第1センス配線20および

第2センス配線21が形成されている。ゲート配線19、第1センス配線20および第2センス配線21は、互いに隣り合う2つのRC-IGBT配列12の間の領域において並走している。

[0036] 図1および図5Aを参照して、アクティブ領域6に含まれる個々のIGBT領域8に着目して説明する。たとえば、第2配列12Bに含まれる、他方側（側面5D側）から3番目のIGBT領域8Bを例に挙げる。

[0037] IGBT領域8Bは、第1方向X（紙面横方向）の両側において、2つのダイオード領域9Bに隣り合っている。IGBT領域8Bは、第2方向Y（紙面縦方向）の両側において、2つのダイオード領域9A、9Cにさらに隣り合っている。一方、IGBT領域8Bは、第1方向Xおよび第2方向Yのいずれにも交差する2つの斜め方向両側において、IGBT領域8Bから独立した2つのIGBT領域8Aおよび2つのIGBT領域8Cに隣り合っている。これにより、アクティブ領域6の全体に及ぶIGBT領域8およびダイオード領域9の千鳥状パターンの単位配列UAが構成されている。単位配列UAにおいて、中心に配置されたIGBT領域8Bが、基準領域としての基準IGBT領域である。単位配列UAにおいて、IGBT領域8Bから見て第1方向X（紙面横方向）および第2方向Y（紙面縦方向）のそれぞれ両側の4つのダイオード領域9A、9Cが、異種領域としての異種ダイオード領域である。また、単位配列UAにおいて、IGBT領域8Bから見て第1方向Xおよび第2方向Yのいずれにも交差する2つの斜め方向両側においてIGBT領域8Bに隣り合い、かつIGBT領域8Bから独立した4つのIGBT領域8A、8Cが、同種領域としての同種IGBT領域である。

[0038] 具体的には、IGBT領域8Bは、同じRC-IGBT配列（第2配列12B）に含まれる2つのダイオード領域9Bのそれぞれと第1方向Xに隣り合っている。別の言い方では、IGBT領域8Bは、第1方向Xの両側の2つのダイオード領域9Bのそれぞれと、境界領域72（図10を併せて参照）を挟んで第1方向Xに対向している。

[0039] IGBT領域8Bは、第2方向Yの一方側Y1に隣り合うRC-IGBT配

列（第1配列12A）に含まれる1つのダイオード領域9Aと、ゲート配線19の第2領域19bの一つまたは複数（図5Aの例では1つ。以下、「第1ゲート配線19bA」（図5A参照）という場合がある。）を挟んで第2方向Yに対向している。IGBT領域8Bは、ダイオード領域9Aに対し第1方向Xの両側の2つのIGBT領域8Aのそれぞれと、第1ゲート配線19bAを挟んで第2方向Yに対向している。IGBT領域8Aは、IGBT領域8Bから独立したIGBT領域である。

[0040] 図5Aおよび図5Bを参照して、IGBT領域8Bは、一方側（側面5B側）のIGBT領域8Aと第1対向幅（対向幅）W1に対向している。IGBT領域8Bは、他方側（側面5D側）のIGBT領域8Aと第2対向幅（対向幅）W2に対向している。第1対向幅W1および第2対向幅W2を合わせた幅は、IGBT領域8の幅WGよりも狭い。図5Aおよび図5Bの例では、第1対向幅W1は、第2対向幅W2と同じである。第1対向幅W1が、第2対向幅W2より広くてもよい。第1対向幅W1が、第2対向幅W2より狭くてもよい。

[0041] 図5Bを参照して、IGBT領域8（IGBT領域8B）の幅WGに対する第1対向幅W1の比 $W1/WG$ は、0.001以上0.5未満であってもよい。 $W1/WG$ は、0.001以上0.01以下、0.01以上0.05以下、0.05以上0.1以下、0.1以上0.15以下、0.15以上0.2以下、0.2以上0.25以下、0.25以上0.3以下、0.3以上0.35以下、0.35以上0.4以下、0.4以上0.45以下、または0.45以上0.5未満であってもよい。

[0042] 第1対向幅W1は、0.1 μm 以上500 μm 未満であってもよい。第1対向幅W1は、0.1 μm 以上50 μm 以下、50 μm 以上100 μm 以下、100 μm 以上150 μm 以下、150 μm 以上200 μm 以下、200 μm 以上250 μm 以下、250 μm 以上300 μm 以下、300 μm 以上350 μm 以下、350 μm 以上400 μm 以下、400 μm 以上450 μm 以下、450 μm 以上500 μm 未満であってもよい。

- [0043] 第1対向幅 $W1$ は、第2方向 Y に対向するIGBT領域8とダイオード領域9との間の第1間隔 $W5$ より広くてもよい。第1対向幅 $W1$ は、第1間隔 $W5$ と同じでもよい。第1対向幅 $W1$ は、第1間隔 $W5$ より狭くてもよい。
- [0044] 第1対向幅 $W1$ は、第2方向 Y に対向する2つのIGBT領域8の間の第2間隔 $W4$ より広くてもよい。第1対向幅 $W1$ は、第2間隔 $W4$ と同じでもよい。第1対向幅 $W1$ は、第2間隔 $W4$ より狭くてもよい。
- [0045] 第1対向幅 $W1$ は、ゲート配線19の第2領域19bの線幅 $W3$ より広くてもよい。第1対向幅 $W1$ は、第2領域19bの線幅 $W3$ と同じでもよい。第1対向幅 $W1$ は、第2領域19bの線幅 $W3$ より狭くてもよい。
- [0046] IGBT領域8 (IGBT領域8B) の幅 WG に対する第2対向幅 $W2$ の比 $W2/WG$ は、 0.001 以上 0.5 未満であってもよい。 $W2/WG$ は、 0.001 以上 0.01 以下、 0.01 以上 0.05 以下、 0.05 以上 0.1 以下、 0.1 以上 0.15 以下、 0.15 以上 0.2 以下、 0.2 以上 0.25 以下、 0.25 以上 0.3 以下、 0.3 以上 0.35 以下、 0.35 以上 0.4 以下、 0.4 以上 0.45 以下、または 0.45 以上 0.5 未満であってもよい。
- [0047] 第2対向幅 $W2$ は、 $0.1\mu\text{m}$ 以上 $500\mu\text{m}$ 以下であってもよい。第2対向幅 $W2$ は、 $0.1\mu\text{m}$ 以上 $50\mu\text{m}$ 以下、 $50\mu\text{m}$ 以上 $100\mu\text{m}$ 以下、 $100\mu\text{m}$ 以上 $150\mu\text{m}$ 以下、 $150\mu\text{m}$ 以上 $200\mu\text{m}$ 以下、 $200\mu\text{m}$ 以上 $250\mu\text{m}$ 以下、 $250\mu\text{m}$ 以上 $300\mu\text{m}$ 以下、 $300\mu\text{m}$ 以上 $350\mu\text{m}$ 以下、 $350\mu\text{m}$ 以上 $400\mu\text{m}$ 以下、 $400\mu\text{m}$ 以上 $450\mu\text{m}$ 以下、 $450\mu\text{m}$ 以上 $500\mu\text{m}$ 未満であってもよい。
- [0048] 第2対向幅 $W2$ は、第2方向 Y に対向するIGBT領域8とダイオード領域9との間の第1間隔 $W5$ より広くてもよい。第2対向幅 $W2$ は、第1間隔 $W5$ と同じでもよい。第2対向幅 $W2$ は、第1間隔 $W5$ より狭くてもよい。
- [0049] 第2対向幅 $W2$ は、第2方向 Y に対向する2つのIGBT領域8の間の第2間隔 $W4$ より広くてもよい。第2対向幅 $W2$ は、第2間隔 $W4$ と同じでもよい。第2対向幅 $W2$ は、第2間隔 $W4$ より狭くてもよい。

- [0050] 第2対向幅 W_2 は、ゲート配線19の第2領域19bの線幅 W_3 より広くてもよい。第2対向幅 W_2 は、第2領域19bの線幅 W_3 と同じでもよい。第2対向幅 W_2 は、第2領域19bの線幅 W_3 より狭くてもよい。
- [0051] 図1および図5Aを参照して、IGBT領域8Bは、第2方向Yの他方側Y2に隣り合うRC-IGBT配列12（第3配列12C）に含まれる1つのダイオード領域9Cと、ゲート配線19の第2領域19bの一つまたは複数（図5Aの例では1つ。以下、「第2ゲート配線19bB」（図5A参照）という場合がある。）を挟んで第2方向Yに対向している。IGBT領域8Bは、ダイオード領域9Bの第1方向Xの両側の2つのIGBT領域8Cのそれぞれと、第2ゲート配線19bBを挟んで第2方向Yに対向している。第2ゲート配線19bBは、第1ゲート配線19bAと平行に延びる別のゲート配線である。1つのRC-IGBT配列12（第3配列12C）に含まれるIGBT領域8およびダイオード領域9は、第1ゲート配線19bAと第2ゲート配線19bBとによって、第2方向Yに挟まれている。IGBT領域8Cは、IGBT領域8Bから独立したIGBT領域である。
- [0052] IGBT領域8Bは、ダイオード領域9Cに対し一方側（側面5B側）のIGBT領域8Cと第1対向幅 W_1 に対向している。IGBT領域8Bは、ダイオード領域9Cに対し他方側（側面5D側）のIGBT領域8Cと第2対向幅 W_2 に対向している。
- [0053] 基準IGBT領域であるIGBT領域8Bが、同種IGBT領域であるIGBT領域8A、8Cと第2方向Yに対向する部分の幅の合計（第1幅対向 W_1 + 第2対向幅 W_2 ）は狭い。単位配列UAにおいて、IGBT領域8に電流が流れる場合に、単位配列UAにおいて発熱量が局所的に増大しない。単位配列UAにおいて、ダイオード領域9に電流が流れる場合に、単位配列UAにおいて発熱量が局所的に増大しない。
- [0054] 図5Aおよび図5Bを参照して、複数のRC-IGBT配列12に含まれるIGBT領域8およびダイオード領域9の配列について、次のことが言える。すなわち、各配列12A~12Fに含まれる複数のIGBT領域8は、そ

の配列 1 2 A ~ 1 2 F に第 2 方向 Y に隣り合う RC-IGBT 配列（配列 1 2 A ~ 1 2 F）に含まれる複数のダイオード領域 9 のそれぞれと、第 2 方向 Y に対向している。また、各配列 1 2 A ~ 1 2 F に含まれる複数のダイオード領域 9 は、その配列 1 2 A ~ 1 2 F に第 2 方向 Y に隣り合う RC-IGBT 配列（配列 1 2 A ~ 1 2 F）に含まれる複数の IGBT 領域 8 のそれぞれと、第 2 方向 Y に対向している。

[0055] 第 2 方向 Y に対向する IGBT 領域 8 およびダイオード領域 9 において、IGBT 領域 8 の第 1 方向 X の中心と、ダイオード領域 9 の第 1 方向 X の中心とが、第 1 方向 X に関して揃っている。別の言い方では、複数の IGBT 領域 8 および複数のダイオード領域 9 が第 2 方向 Y に沿って交互に並んでいる。

[0056] また、各配列 1 2 A ~ 1 2 F に含まれる 1 つの IGBT 領域 8 は、その配列 1 2 A ~ 1 2 F に第 2 方向 Y に隣り合う RC-IGBT 配列（配列 1 2 A ~ 1 2 F）に含まれる 2 つの IGBT 領域 8 と、第 2 方向 Y にさらに対向している。1 つの IGBT 領域 8 が 2 つの IGBT 領域 8 と第 2 方向 Y に対向する部分の幅の合計（第 1 対向幅 W_1 + 第 2 対向幅 W_2 ）は、IGBT 領域 8 の幅 W_G よりも狭い。別の言い方では、アクティブ領域 6 において、第 2 方向 Y に連続する IGBT 領域 8 が第 2 方向 Y に対向する部分の幅の合計（第 1 幅対向 W_1 + 第 2 対向幅 W_2 ）は狭い。

[0057] 各配列 1 2 A ~ 1 2 F に含まれる 1 つのダイオード領域 9 は、その配列 1 2 A ~ 1 2 F に第 2 方向 Y に隣り合う RC-IGBT 配列（配列 1 2 A ~ 1 2 F）に含まれるダイオード領域 9 と、第 2 方向 Y に対向していない。したがって、ダイオード領域 9 は、第 2 方向 Y には連続しない。

[0058] 図 3 を参照して、半導体装置 1 は、半導体層 2 の第 2 主面 4 の上に形成されたコレクタ端子電極 3 2（図 3 の破線部参照）をさらに含む。コレクタ端子電極 3 2 は、具体的には、IGBT 領域 8（次に述べるコレクタ領域 3 4）およびダイオード領域 9（次に述べるカソード領域 6 1）に電氣的に接続されている。

- [0059] コレクタ端子電極32は、第2主面4との間でオーミック接触を形成している。コレクタ端子電極32は、IGBT領域8およびダイオード領域9に、コレクタ信号を伝達する。コレクタ端子電極32は、Ti層、Ni層、Au層、Ag層およびAl層のうちの少なくとも一つを含んでいてもよい。コレクタ端子電極32は、Ti層、Ni層、Au層、Ag層またはAl層を含む単層構造を有していてもよい。コレクタ端子電極32は、Ti層、Ni層、Au層、Ag層およびAl層のうちの少なくとも二つを任意の態様で積層させた積層構造を有していてもよい。
- [0060] 各IGBT領域8は、半導体層2の第2主面4の表層部に形成されたp型（第2導電型）のコレクタ領域34を含む。コレクタ領域34は、第2主面4から露出している。コレクタ領域34のp型不純物濃度は、 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。コレクタ領域34は、コレクタ端子電極32との間でオーミック接触を形成している。この実施形態では、コレクタ領域34は、第2主面4の表層部においてIGBT領域8の全域に形成されている。
- [0061] 各ダイオード領域9は、半導体層2の第2主面4の表層部に形成されたn⁺型のカソード領域61を含む。カソード領域61のn型不純物濃度は、次に述べるドリフト領域30（図9等参照）のn型不純物濃度よりも大きい。カソード領域61は、第2主面4から露出している。カソード領域61のn型不純物濃度は、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。カソード領域61は、コレクタ端子電極32との間でオーミック接触を形成している。この実施形態では、カソード領域61は、第2主面4の表層部においてIGBT領域8の全域に形成されている。
- [0062] 図6は、図4の一点鎖線VIで囲まれた部分の拡大図である。図7は、図6の一点鎖線VIIで囲まれた部分の拡大図である。図8は、図6の一点鎖線VIIIで囲まれた部分の拡大図である。図9は、図7のIX-IX線に沿う断面図である。図10は、図8のX-X線に沿う断面図である。図11は、図7のXI-XI線に沿う断面図である。

- [0063] 図9～図11を参照して、半導体装置1は、半導体層2の内部に形成されたn型のドリフト領域30をさらに含む。ドリフト領域30は、具体的には、第1方向Xおよび第2方向Yにおいて半導体層2の全域に形成されている。ドリフト領域30は、法線方向Z（半導体層2の厚さ方向）において、半導体層2の第1主面3の表層部に形成されている。ドリフト領域30のn型（第1導電型）不純物濃度は、 $1.0 \times 10^{13} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以下であってもよい。
- [0064] 半導体層2は、この実施形態では、n型の半導体基板31を含む単層構造を有している。半導体基板31は、FZ(Floating Zone)法を経て形成されたシリコン製のFZ基板であってもよい。ドリフト領域30は、半導体基板31によって形成されている。
- [0065] 半導体装置1は、半導体層2の第2主面4の表層部に形成されたn型のバッファ層33を含む。バッファ層33は、第2主面4の表層部の全域に形成されていてもよい。バッファ層33のn型不純物濃度は、ドリフト領域30のn型不純物濃度よりも高い。バッファ層33のn型不純物濃度は、 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下であってもよい。バッファ層33の厚さは、 $0.5 \mu\text{m}$ 以上 $30 \mu\text{m}$ 以下であってもよい。
- [0066] 各IGBT領域8は、半導体層2の第2主面4の表層部に形成されたp型（第2導電型）のコレクタ領域34を含む。コレクタ領域34は、第2主面4から露出している。コレクタ領域34は、第2主面4の表層部においてIGBT領域8の全域に形成されていてもよい。コレクタ領域34のp型不純物濃度は、 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。コレクタ領域34は、コレクタ端子電極32との間でオーミック接触を形成している。
- [0067] 図6～図11を参照して、各IGBT領域8は、半導体層2の第1主面3に形成されたFET構造35を複数含む。FET構造35は、具体的には、第1主面3に形成されたトレンチゲート構造36を含む。トレンチゲート構造36は、IGBT領域8において第1方向Xに沿って間隔を空けて複数形

成されている。第1方向Xに互いに隣り合う2つのトレンチゲート構造36の間の距離は、1 μ m以上8 μ m以下であってもよい。図6～図8では、トレンチゲート構造36がハッチングによって示されている。

[0068] 複数のトレンチゲート構造36は、平面視において第2方向Yに沿って延びる帯状に形成されている。複数のトレンチゲート構造36は、全体としてストライプ状に形成されている。複数のトレンチゲート構造36は、第2方向Yの一方側の一端部および第2方向Yの他方側の他端部をそれぞれ有している。

[0069] 図4および図5Bを参照して、トレンチゲート構造36は、第1外側トレンチゲート構造37および第2外側トレンチゲート構造38を含む。第1外側トレンチゲート構造37は、第1方向Xに沿って延び、複数のトレンチゲート構造36の一端部を接続している。第2外側トレンチゲート構造38は、第1方向Xに沿って延び、複数のトレンチゲート構造36の他端部を接続している。

[0070] 第1外側トレンチゲート構造37および第2外側トレンチゲート構造38は、延びる方向が異なる点を除いて、トレンチゲート構造36と同一の構造を有している。以下では、トレンチゲート構造36の構造について説明し、第1外側トレンチゲート構造37の構造および第2外側トレンチゲート構造38の構造についての説明は省略する。

[0071] 図9～図11を参照して、各トレンチゲート構造36は、ゲートトレンチ39、ゲート絶縁層40およびゲート導電層41を含む。ゲートトレンチ39は、第1主面3に形成されている。ゲートトレンチ39は、側壁および底壁を含む。ゲートトレンチ39の側壁は、第1主面3に対して垂直に形成されていてもよい。

[0072] ゲートトレンチ39の側壁は、第1主面3から底壁に向かって下り傾斜していてもよい。ゲートトレンチ39は、開口側の開口面積が底面積よりも大きいテーパ形状に形成されていてもよい。ゲートトレンチ39の底壁は、第1主面3に対して平行に形成されていてもよい。ゲートトレンチ39の底壁

は、第2主面4に向かう湾曲状に形成されていてもよい。ゲートトレンチ39は、底壁エッジ部を含む。底壁エッジ部は、ゲートトレンチ39の側壁および底壁を接続している。底壁エッジ部は、第2主面4に向かう湾曲状に形成されていてもよい。

[0073] ゲートトレンチ39の深さD1は、 $2\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。ゲートトレンチ39の深さD1は、ゲートトレンチ39の底壁の最深部の深さ位置と第1主面3との距離と定義されてもよい。ゲートトレンチ39の幅は、 $0.5\mu\text{m}$ 以上 $3\mu\text{m}$ 以下であってもよい。ゲートトレンチ39の幅は、ゲートトレンチ39の第1方向Xの幅である。

[0074] ゲート絶縁層40は、ゲートトレンチ39の内壁に沿って膜状に形成されている。ゲート絶縁層40は、ゲートトレンチ39内においてリセス空間を区画している。ゲート絶縁層40は、この実施形態では、シリコン酸化膜を含む。ゲート絶縁層40は、シリコン酸化膜に代えてまたはシリコン酸化膜に加えて、窒化シリコン膜を含んでいてもよい。

[0075] ゲート導電層41は、ゲート絶縁層40を挟んでゲートトレンチ39に埋め込まれている。ゲート導電層41は、具体的には、ゲートトレンチ39においてゲート絶縁層40によって区画されたリセス空間に埋め込まれている。ゲート導電層41は、ゲート信号によって制御される。ゲート導電層41は、導電性ポリシリコンを含んでいてもよい。

[0076] ゲート導電層41は、断面視において法線方向Zに沿って延びる壁状に形成されている。ゲート導電層41は、ゲートトレンチ39の開口側に位置する上端部を有している。ゲート導電層41の上端部は、第1主面3に対してゲートトレンチ39の底壁側に位置している。

[0077] ゲート導電層41の上端部には、ゲートトレンチ39の底壁に向かって窪んだ窪みが形成されている。ゲート導電層41の上端部の窪みは、ゲートトレンチ39の底壁に向かう先細り形状に形成されている。ゲート導電層41の上端部は、ゲート導電層41の内側に括れた括れ部を有している。

[0078] 図9および図10を参照して、FET構造35は、半導体層2の第1主面

3の表層部に形成されたp型のボディ領域45を含む。ボディ領域45のp型不純物濃度は、 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。ボディ領域45は、トレンチゲート構造36の両側にそれぞれ形成されている。ボディ領域45は、平面視においてトレンチゲート構造36に沿って延びる帯状に形成されている。ボディ領域45は、ゲートトレンチ39の側壁から露出している。ボディ領域45の底部は、法線方向Zに関して、第1主面3およびゲートトレンチ39の底壁の間の領域に形成されている。

[0079] FET構造35は、ボディ領域45の表層部に形成されたn⁺型のエミッタ領域46を含む。エミッタ領域46のn型不純物濃度は、ドリフト領域30のn型不純物濃度よりも大きい。エミッタ領域46のn型不純物濃度は、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。

[0080] FET構造35は、この実施形態では、トレンチゲート構造36の両側に形成された複数のエミッタ領域46を含む。エミッタ領域46は、平面視においてトレンチゲート構造36に沿って延びる帯状に形成されている。エミッタ領域46は、第1主面3およびゲートトレンチ39の側壁から露出している。エミッタ領域46の底部は、法線方向Zに関して、ゲート導電層41の上端部およびボディ領域45の底部の間の領域に形成されている。

[0081] FET構造35は、この実施形態では、半導体層2においてボディ領域45に対して第2主面4側の領域に形成されたn⁺型のキャリアストレージ領域47を含む。キャリアストレージ領域47のn型不純物濃度は、ドリフト領域30のn型不純物濃度よりも大きい。キャリアストレージ領域47のn型不純物濃度は、 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下であってもよい。

[0082] FET構造35は、この実施形態では、トレンチゲート構造36の両側に形成された複数のキャリアストレージ領域47を含む。キャリアストレージ領域47は、平面視においてトレンチゲート構造36に沿って延びる帯状に形成されている。キャリアストレージ領域47は、ゲートトレンチ39の側

壁から露出している。キャリアストレージ領域47の底部は、法線方向Zに関して、ボディ領域45の底部およびゲートトレンチ39の底壁の間の領域に形成されている。

[0083] キャリアストレージ領域47は、半導体層2に供給されたキャリア（正孔）がボディ領域45に引き戻される（排出される）のを抑制する。これにより、半導体層2においてFET構造35の直下の領域に正孔が蓄積される。その結果、オン抵抗の低減およびオン電圧の低減が図られる。

[0084] FET構造35は、半導体層2の第1主面3に形成されたコンタクトトレンチ48を含む。FET構造35は、この実施形態では、トレンチゲート構造36の両側に形成された複数のコンタクトトレンチ48を含む。コンタクトトレンチ48は、エミッタ領域46を露出させている。コンタクトトレンチ48は、この実施形態では、エミッタ領域46を貫通している。

[0085] コンタクトトレンチ48は、トレンチゲート構造36から第1方向Xに間隔を空けて形成されている。コンタクトトレンチ48は、平面視においてトレンチゲート構造36に沿って帯状に延びている。第2方向Yに関して、コンタクトトレンチ48の長さは、トレンチゲート構造36の長さ以下である。コンタクトトレンチ48の長さは、具体的には、トレンチゲート構造36の長さ未満である。

[0086] FET構造35は、ボディ領域45においてコンタクトトレンチ48の底壁に沿う領域に形成されたp⁺型のコンタクト領域49を含む。コンタクト領域49のp型不純物濃度は、ボディ領域45のp型不純物濃度よりも大きい。コンタクト領域49のp型不純物濃度は、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。

[0087] コンタクト領域49は、コンタクトトレンチ48の底壁から露出している。コンタクト領域49は、平面視においてコンタクトトレンチ48に沿って帯状に延びている。コンタクト領域49の底部は、法線方向Zに関して、コンタクトトレンチ48の底壁およびボディ領域45の底部の間の領域に形成されている。

- [0088] このように、FET構造35では、ゲート導電層41が、ゲート絶縁層40を挟んでボディ領域45およびエミッタ領域46に対向している。この実施形態では、ゲート導電層41は、ゲート絶縁層40を挟んでキャリアストレージ領域47にも対向している。IGBTのチャンネルは、ボディ領域45においてエミッタ領域46およびドリフト領域30（キャリアストレージ領域47）の間の領域に形成される。チャンネルのオン・オフは、ゲート信号によって制御される。
- [0089] 各IGBT領域8は、半導体層2の第1主面3に形成されたエミッタトレンチ構造73をさらに含む。各IGBT領域8は、具体的には、FET構造35の両側に形成された複数のエミッタトレンチ構造73を含む。エミッタトレンチ構造73は、第1主面3の表層部においてFET構造35に隣り合う領域に形成されている。エミッタトレンチ構造73は、平面視において第2方向Yに沿って延びる帯状に形成されている。複数のエミッタトレンチ構造73は、全体としてストライプ状に形成されている。エミッタトレンチ構造73は、トレンチゲート構造36と平行な帯状であってもよい。
- [0090] 図6および図7を参照して、各IGBT領域8では、第1方向Xに沿って間隔を空けて、トレンチゲート構造36およびエミッタトレンチ構造73が交互に配列されている。トレンチゲート構造36およびエミッタトレンチ構造73は、等しい間隔を空けて交互に配列されていてもよい。第1方向Xに互いに隣り合う2つのトレンチゲート構造36およびエミッタトレンチ構造73の間の距離（第1ピッチP1（図7参照））は、たとえば、 $1.0\mu\text{m}$ 以上 $3.5\mu\text{m}$ 以下であってもよい。
- [0091] 図9および図10を参照して、エミッタトレンチ構造73は、エミッタトレンチ74、エミッタ絶縁層75およびエミッタ電位電極層76を含む。エミッタトレンチ74は、半導体層2の第1主面3に形成されている。エミッタトレンチ74は、側壁および底壁を含む。エミッタトレンチ74の側壁は、第1主面3に対して垂直に形成されていてもよい。
- [0092] エミッタトレンチ74の側壁は、第1主面3から底壁に向かって下り傾斜

していてもよい。エミッタトレンチ74は、開口側の開口面積が底面積よりも大きいテーパ形状に形成されていてもよい。エミッタトレンチ74においてFET構造35に面する側壁（外側側壁）からは、エミッタ領域46、ボディ領域45およびキャリアストレージ領域47が露出している。エミッタトレンチ74の底壁は、第1主面3に対して平行に形成されていてもよい。エミッタトレンチ74の底壁は、第2主面4に向かう湾曲状に形成されていてもよい。エミッタトレンチ74は、底壁エッジ部を含む。底壁エッジ部は、エミッタトレンチ74の側壁および底壁を接続している。底壁エッジ部は、半導体層2の第2主面4に向かう湾曲状に形成されていてもよい。

[0093] エミッタトレンチ74の深さD3は、 $2\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。エミッタトレンチ74の深さD3は、ゲートトレンチ39の深さD1と等しくてもよい。エミッタトレンチ74の幅は、 $0.5\mu\text{m}$ 以上 $3\mu\text{m}$ 以下であってもよい。エミッタトレンチ74の幅は、エミッタトレンチ74の第1方向Xの幅である。エミッタトレンチ74の幅は、ゲートトレンチ39の幅と等しくてもよい。

[0094] エミッタ絶縁層75は、エミッタトレンチ74の内壁に沿って膜状に形成されている。エミッタ絶縁層75は、エミッタトレンチ74内においてリセス空間を区画している。エミッタ絶縁層75は、この実施形態では、シリコン酸化膜を含む。エミッタ絶縁層75は、シリコン酸化膜に代えてまたはシリコン酸化膜に加えて、窒化シリコン膜を含んでいてもよい。

[0095] エミッタ電位電極層76は、エミッタ絶縁層75を挟んでエミッタトレンチ74に埋め込まれている。エミッタ電位電極層76は、具体的には、エミッタトレンチ74においてエミッタ絶縁層75によって区画されたリセス空間に埋め込まれている。エミッタ電位電極層76は、導電性ポリシリコンを含んでいてもよい。エミッタ電位電極層76は、エミッタ信号によって制御される。

[0096] エミッタ電位電極層76は、断面視において法線方向Zに沿って延びる壁状に形成されている。エミッタ電位電極層76は、エミッタトレンチ74の

開口側に位置する上端部を有している。エミッタ電位電極層 7 6 の上端部は、第 1 主面 3 に対してエミッタトレンチ 7 4 の底壁側に位置している。

[0097] エミッタ電位電極層 7 6 の上端部には、エミッタトレンチ 7 4 の底壁に向かって窪んだ窪みが形成されている。エミッタ電位電極層 7 6 の上端部の窪みは、エミッタトレンチ 7 4 の底壁に向かう先細り形状に形成されている。エミッタ電位電極層 7 6 の上端部は、エミッタ電位電極層 7 6 の内側に括れた括れ部を有している。

[0098] 図 6 および図 8 を参照して、各ダイオード領域 9 は、ダイオードセル領域 6 9 を区画するセル分離構造 6 3 を含む。図 6 および図 8 では、セル分離構造 6 3 がハッチングによって示されている。各ダイオード領域 9 は、具体的には、複数のダイオードセル領域 6 9 をそれぞれ区画する複数のセル分離構造 6 3 を含む。

[0099] 複数のセル分離構造 6 3 は、互いに隣り合う複数のダイオードセル領域 6 9 の間の領域にそれぞれ形成されている。複数のセル分離構造 6 3 は、具体的には、平面視においてダイオードセル領域 6 9 を取り囲む環状（この実施形態では四角環状）にそれぞれ形成されている。一方のダイオードセル領域 6 9 を区画するセル分離構造 6 3 および他方のダイオードセル領域 6 9 を区画するセル分離構造 6 3 は、互いに隣り合う複数のダイオードセル領域 6 9 の間の領域において一体的に形成されている。

[0100] 複数のセル分離構造 6 3 は、第 1 方向 X においては、等しい間隔を空けて配列されていてもよい。複数のセル分離構造 6 3 は、ストライプ状に形成されている。第 1 方向 X に互いに隣り合う 2 つのセル分離構造 6 3 の間の距離（第 2 ピッチ P 2（図 8 参照））は、たとえば、 $1.0 \mu\text{m}$ 以上 $10.0 \mu\text{m}$ 以下であってもよい。第 2 ピッチ P 2 は、第 1 ピッチ P 1（図 7 参照）と同じであってもよい。

[0101] 複数のセル分離構造 6 3 によって区画されたダイオードセル領域 6 9 は、この実施形態では、平面視において第 1 方向 X に沿って間隔を空けて複数形成されている。複数のダイオードセル領域 6 9 は、平面視において第 2 方向

Yに沿って延びる帯状にそれぞれ形成されている。複数のダイオードセル領域69は、全体としてストライプ状に形成されている。第2方向Yに関して、ダイオードセル領域69の長さは、トレンチゲート構造36の長さ以下であってもよい。ダイオードセル領域69の長さは、トレンチゲート構造36の長さ未満であってもよい。

[0102] 図10を参照して、セル分離構造63は、セル分離トレンチ64、セル分離絶縁層65およびセル分離電極層66を含む。セル分離トレンチ64は、第1主面3に形成されている。セル分離トレンチ64は、側壁および底壁を含む。セル分離トレンチ64の側壁は、第1主面3に対して垂直に形成されていてもよい。

[0103] セル分離トレンチ64の側壁は、第1主面3から底壁に向かって下り傾斜していてもよい。セル分離トレンチ64は、開口側の開口面積が底面積よりも大きいテーパ形状に形成されていてもよい。セル分離トレンチ64の底壁は、第1主面3に対して平行に形成されていてもよい。セル分離トレンチ64の底壁は、第2主面4に向かう湾曲状に形成されていてもよい。セル分離トレンチ64は、底壁エッジ部を含む。底壁エッジ部は、セル分離トレンチ64の側壁および底壁を接続している。底壁エッジ部は、第2主面4に向かう湾曲状に形成されていてもよい。

[0104] セル分離トレンチ64の深さD2は、 $2\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。セル分離トレンチ64の深さD2は、セル分離トレンチ64の底壁の最深部の深さ位置と第1主面3との距離と定義されてもよい。セル分離トレンチ64の深さD2は、ゲートトレンチ39の深さD1（図9等参照）と等しくてもよい。セル分離トレンチ64の幅は、 $0.5\mu\text{m}$ 以上 $3\mu\text{m}$ 以下であってもよい。セル分離トレンチ64の幅は、セル分離トレンチ64の第1方向Xの幅である。セル分離トレンチ64の幅は、ゲートトレンチ39の幅と等しくてもよい。

[0105] セル分離絶縁層65は、セル分離トレンチ64の内壁に沿って膜状に形成されている。セル分離絶縁層65は、セル分離トレンチ64内においてリセ

ス空間を区画している。セル分離絶縁層 65 は、この実施形態では、シリコン酸化膜を含む。セル分離絶縁層 65 は、シリコン酸化膜に代えてまたはシリコン酸化膜に加えて、窒化シリコン膜を含んでいてもよい。

[0106] セル分離電極層 66 は、セル分離絶縁層 65 を挟んでセル分離トレンチ 64 に埋め込まれている。セル分離電極層 66 は、具体的には、セル分離トレンチ 64 においてセル分離絶縁層 65 によって区画されたりセス空間に埋め込まれている。セル分離電極層 66 は、エミッタ信号によって制御される。セル分離電極層 66 は、導電性ポリシリコンを含んでいてもよい。

[0107] セル分離電極層 66 は、断面視において法線方向 Z に沿って延びる壁状に形成されている。セル分離電極層 66 は、セル分離トレンチ 64 の開口側に位置する上端部を有している。セル分離電極層 66 の上端部は、第 1 主面 3 に対してセル分離トレンチ 64 の底壁側に位置している。

[0108] セル分離電極層 66 の上端部は、第 1 主面 3 側に向かって先細り形状に形成されている。セル分離電極層 66 の上端部には、セル分離トレンチ 64 の底壁に向かって窪んだ窪みが形成されている。セル分離電極層 66 の窪みは、セル分離トレンチ 64 の底壁に向かう先細り形状に形成されている。

[0109] 各ダイオード領域 9 は、半導体層 2 の第 1 主面 3 の表層部に形成された p 型のアノード領域 62 を含む。アノード領域 62 の p 型不純物濃度は、ボディ領域 45 の p 型不純物濃度以下であってもよい。アノード領域 62 の p 型不純物濃度は、ボディ領域 45 の p 型不純物濃度未満であることが好ましい。アノード領域 62 の p 型不純物濃度は、 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{18} \text{ cm}^{-3}$ 未満であってもよい。

[0110] アノード領域 62 は、各ダイオードセル領域 69 に形成されている。したがって、複数のアノード領域 62 が、第 1 方向 X においては、等しい間隔を空けて配列されており、全体としてストライプ状に形成されている。アノード領域 62 は、半導体層 2 との間で p n 接合部 68 を形成する。これにより、アノード領域 62 をアノードとし、半導体層 2 (カソード領域 61) をカソードとする p n 接合ダイオード D が形成されている。p n 接合ダイオード

Dがオフ状態からオン状態に切り換わると、pn接合ダイオードDに順方向電流が流れる。これにより、ダイオード領域9において電流が流れる。

[0111] この実施形態において、コレクタ領域34とカソード領域61との第1方向Xの境界は、平面視で、IGBT領域8およびダイオード領域9の間の境界領域72に揃っている。

[0112] セル分離トレンチ64内には、セル分離トレンチ64の側壁、セル分離電極層66の上端部およびセル分離絶縁層65の上端部によってリセス67が区画されている。セル分離トレンチ64の幅広部は、リセス67によって形成されている。リセス67の側壁（セル分離トレンチ64の側壁）は、アノード領域62を露出させている。

[0113] 前述のように、終端エミッタトレンチ構造73Aのダイオード領域9に近い側の側壁が、IGBT領域8とダイオード領域9との境界領域72を形成している。終端エミッタトレンチ構造73Aと、IGBT領域8に最近接するセル分離構造63との間の領域には、FET構造35と同様に、第1主面3側から順にボディ領域45およびキャリアストレージ領域47が形成されている。一方で、この領域は、エミッタ領域46が形成されておらず、チャンネルを形成する構造でないことから、ダミーFET構造42と称してもよい。ダミーFET構造42は、ダイオード領域9に形成されている。

[0114] 図9～図11を参照して、半導体装置1は、半導体層2の第1主面3の上に形成された層間絶縁層79を含む。層間絶縁層79は、第1主面3に沿って膜状に形成され、第1主面3を選択的に被覆している。層間絶縁層79は、具体的には、IGBT領域8およびダイオード領域9を選択的に被覆している。

[0115] 層間絶縁層79は、酸化シリコンまたは窒化シリコンを含んでいてもよい。層間絶縁層79は、NSG (Non-doped Silicate Glass)、PSG (Phosphor Silicate Glass) およびBPSG (Boron Phosphor Silicate Glass) のうちの少なくとも一種を含んでいてもよい。層間絶縁層79の厚さは、0.1 μm 以上1 μm 以下であってもよい。

- [0116] 層間絶縁層79は、この実施形態では、第1主面3側からこの順に積層された第1絶縁層80、第2絶縁層81および第3絶縁層82を含む積層構造を有している。第1絶縁層80は、酸化シリコン（たとえば熱酸化膜）を含んでいてもよい。第2絶縁層81は、NGS層、PSG層またはBPSG層を含んでいてもよい。第3絶縁層82は、BPSG層、NGS層またはPSG層を含んでいてもよい。第3絶縁層82は、第2絶縁層81とは異なる性質を有する絶縁材料を含んでいてもよい。
- [0117] 第1絶縁層80は、第1主面3の上に膜状に形成されている。第1絶縁層80は、ゲート絶縁層40、領域分離絶縁層55およびセル分離絶縁層65に連なっている。第1絶縁層80の厚さは、500Å以上2000Å以下であってもよい。第2絶縁層81は、第1絶縁層80の上に膜状に形成されている。第2絶縁層81の厚さは、500Å以上4000Å以下であってもよい。第3絶縁層82は、第2絶縁層81の上に膜状に形成されている。第3絶縁層82の厚さは、1000Å以上8000Å以下であってもよい。
- [0118] 図11を参照して、FET構造35のゲート導電層41は、ゲートトレンチ39から第1主面3の上に引き出されたゲート引き出し電極層41aを有している。ゲート引き出し電極層41aは、第1外側トレンチゲート構造37のゲートトレンチ39から第1主面3の上に引き出されている。ゲート引き出し電極層41aは、第2方向Yに沿って引き出されている。
- [0119] ゲート引き出し電極層41aは、具体的には、層間絶縁層79の内部に形成されている。ゲート引き出し電極層41aは、第1絶縁層80の上に引き出され、第1絶縁層80および第2絶縁層81の間の領域に介在している。ゲート引き出し電極層41aは、図示しない領域においてゲート配線19（図1参照）に電氣的に接続される。ゲート端子電極14に印加されたゲート信号は、ゲート配線19およびゲート引き出し電極層41aを介して、ゲート導電層41に伝達される。
- [0120] エミッタトレンチ構造73のエミッタ電位電極層76は、エミッタトレンチ74から第1主面3の上に引き出された引き出し電極層76aを有してい

る。エミッタ電位電極層 76 は、第 2 方向 Y に沿って引き出されている。

[0121] 引き出し電極層 76 a は、具体的には、層間絶縁層 79 の内部に形成されている。引き出し電極層 76 a は、第 1 絶縁層 80 の上に引き出され、第 1 絶縁層 80 および第 2 絶縁層 81 の間の領域に介在している。引き出し電極層 76 a は、エミッタ端子電極 13 に電氣的に接続される。引き出し電極層 76 a に印加されたエミッタ信号は、引き出し電極層 76 a を介して、エミッタ電位電極層 76 に伝達される。

[0122] 図 10 を参照して、層間絶縁層 79 は、エミッタ開口 83 を含む。エミッタ開口 83 は、コンタクトトレンチ 48 を露出させている。エミッタ開口 83 は、コンタクトトレンチ 48 に連通している。コンタクトトレンチ 48 は、この実施形態では、第 1 絶縁層 80 および第 2 絶縁層 81 を貫通して第 1 主面 3 に形成されている。

[0123] エミッタ開口 83 は、第 3 絶縁層 82 を貫通し、コンタクトトレンチ 48 を露出させている。エミッタ開口 83 は、コンタクトトレンチ 48 との間で 1 つの開口を形成している。エミッタ開口 83 の開口エッジ部は、層間絶縁層 79 の内方に向かう湾曲状に形成されている。これにより、エミッタ開口 83 は、コンタクトトレンチ 48 の開口幅よりも大きい開口幅を有している。

[0124] 層間絶縁層 79 は、ダイオード開口 84 を含む。ダイオード開口 84 は、ダイオード領域 9 を露出させている。ダイオード開口 84 は、具体的には、層間絶縁層 79 を貫通し、複数のアノード領域 62 (ダイオードセル領域 69) および複数のセル分離構造 63 を露出させている。

[0125] ダイオード開口 84 の内壁のうち第 2 方向 Y に沿う部分は、アノード領域 62 の上に位置していてもよい。ダイオード開口 84 の内壁のうち第 2 方向 Y に沿う部分は、セル分離構造 63 の上に位置していてもよい。ダイオード開口 84 の内壁のうち第 2 方向 Y に沿う部分は、図 10 の例では、ダミー FET 構造 42 のボディ領域 45 上に位置している。

[0126] 図 11 を参照して、層間絶縁層 79 は、第 1 開口 86 を含む。第 1 開口 8

6は、IGBT領域8において引き出し電極層76aを露出させている。第1開口86は、開口側から底壁側に向かって開口幅が狭まるように形成されている。

[0127] 図9および図10を参照して、半導体装置1は、層間絶縁層79においてIGBT領域8を被覆する部分に埋め込まれたエミッタプラグ電極91を含む。エミッタプラグ電極91は、層間絶縁層79を貫通し、エミッタ領域46およびコンタクト領域49に電氣的に接続されている。エミッタプラグ電極91は、具体的には、コンタクトトレンチ48に埋め込まれている。エミッタプラグ電極91は、コンタクトトレンチ48内において、エミッタ領域46およびコンタクト領域49に電氣的に接続されている。

[0128] エミッタプラグ電極91は、この実施形態では、バリア電極層92および主電極層93を含む積層構造を有している。バリア電極層92は、層間絶縁層79に接するように、コンタクトトレンチ48の内壁に沿って膜状に形成されている。バリア電極層92は、コンタクトトレンチ48内においてリセス空間を区画している。

[0129] バリア電極層92は、チタン層または窒化チタン層を含む単層構造を有していてもよい。バリア電極層92は、チタン層および窒化チタン層を含む積層構造を有していてもよい。この場合、窒化チタン層は、チタン層の上に積層されていてもよい。

[0130] 主電極層93は、バリア電極層92を挟んでコンタクトトレンチ48に埋め込まれている。主電極層93は、具体的には、コンタクトトレンチ48内においてバリア電極層92によって区画されたリセス空間に埋め込まれている。主電極層93は、タングステンを含んでいてもよい。

[0131] 図11を参照して、半導体装置1は、第1開口86に埋め込まれた第1プラグ電極94を含む。第1プラグ電極94は、第1開口86内において引き出し電極層76aに電氣的に接続されている。第1プラグ電極94は、エミッタプラグ電極91に対応した構造を有している。第1プラグ電極94についての説明は、エミッタプラグ電極91の説明が準用されるものとする。第

1 プラグ電極94においてエミッタプラグ電極91に対して述べた構造に対向する構造については、同一の参照符号を付して説明を省略する。

[0132] 図9～図11を参照して、前述のエミッタ端子電極13は、層間絶縁層79の上に形成されている。エミッタ端子電極13は、アルミニウム、銅、アルミニウム-シリコン-銅合金、アルミニウム-シリコン合金、および、アルミニウム-銅合金のうちの少なくとも一種を含んでいてもよい。エミッタ端子電極13は、これらの導電材料のうちのいずれか一種を含む単層構造を有していてもよい。エミッタ端子電極13は、これらの導電材料のうちの少なくとも二種が任意の順序で積層された積層構造を有していてもよい。エミッタ端子電極13の厚さは、 $1.0\mu\text{m}$ 以上 $6.0\mu\text{m}$ 以下であってもよい。

[0133] エミッタ端子電極13は、この実施形態では、第1主面3側からこの順に積層された第1電極層22、第2電極層23および第3電極層24を含む積層構造を有している。第1電極層22は、アルミニウム-シリコン-銅合金(AI-Si-Cu)を含んでいてもよい。第2電極層23は、窒化チタン(TiN)を含んでいてもよい。第2電極層23は、バリア層と称してもよい。第3電極層24は、アルミニウム-銅合金(AI-Cu)を含んでいてもよい。

[0134] エミッタ端子電極13は、層間絶縁層79の上においてエミッタプラグ電極91を介して、エミッタ領域46およびコンタクト領域49に電氣的に接続されている。エミッタ端子電極13は、具体的には、層間絶縁層79の上からエミッタ開口83に入り込んでいる。エミッタ端子電極13は、エミッタ開口83においてエミッタプラグ電極91に電氣的に接続されている。エミッタ端子電極13は、エミッタプラグ電極91を介して、エミッタ領域46およびコンタクト領域49に電氣的に接続されている。

[0135] 図10を参照して、エミッタ端子電極13は、さらに、層間絶縁層79の上からダイオード開口84の内壁を介してダイオード開口84内に入り込んでいる。エミッタ端子電極13は、ダイオード領域9においてアノード端子電極として機能する。

- [0136] エミッタ端子電極 13 は、ダイオード開口 84 の内壁に接している。エミッタ端子電極 13 は、ダイオード開口 84 においてアノード領域 62 に電氣的に接続されている。エミッタ端子電極 13 は、ダイオード開口 84 においてセル分離電極層 66 に電氣的に接続されている。エミッタ端子電極 13 は、この実施形態では、アノード領域 62 およびセル分離電極層 66 に直接的に接続されている。
- [0137] エミッタ端子電極 13 は、具体的には、ダイオード開口 84 内において第 1 主面 3 の上からリセス 67 (セル分離トレンチ 64) に入り込んでいる。エミッタ端子電極 13 は、リセス 67 内においてセル分離電極層 66 に接続されている。また、エミッタ端子電極 13 は、第 1 主面 3 の上およびリセス 67 内においてアノード領域 62 に接続されている。エミッタ端子電極 13 は、アノード領域 62 との間でオーミック接触を形成している。
- [0138] 図 11 を参照して、エミッタ端子電極 13 は、層間絶縁層 79 の上において第 1 プラグ電極 94 に電氣的に接続されている。エミッタ信号は、第 1 プラグ電極 94 を介してエミッタ電位電極層 76 に伝達される。
- [0139] 具体的な図示は省略されるが、導線 (たとえばボンディングワイヤ) がエミッタ端子電極 13 に接続される場合、ニッケル層または金層からなる単層電極、もしくは、ニッケル層および金層を含む積層電極が、エミッタ端子電極 13 の上に形成されていてもよい。積層電極において、金層は、ニッケル層の上に形成されてもよい。
- [0140] 具体的な図示は省略されるが、ゲート端子電極 14、第 1 センス端子電極 15、第 2 センス端子電極 16、電流検出端子電極 17 および開放端子電極 18 は、エミッタ端子電極 13 と同様に、層間絶縁層 79 の上に形成されている。
- [0141] 複数の端子電極 14 ~ 18 は、アルミニウム、銅、アルミニウム-シリコン-銅合金、アルミニウム-シリコン合金、および、アルミニウム-銅合金のうちの少なくとも一種をそれぞれ含んでいてもよい。複数の端子電極 14 ~ 18 は、これらの導電材料のうちのいずれか一種を含む単層構造をそれぞれ有し

ていてもよい。複数の端子電極 14～18は、これらの導電材料のうちの少なくとも二種が任意の順序で積層された積層構造をそれぞれ有していてもよい。複数の端子電極 14～18は、この実施形態では、エミッタ端子電極 13と同一の導電材料を含む。

[0142] 導線（たとえばボンディングワイヤ）が複数の端子電極 14～18にそれぞれ接続される場合、ニッケル層または金層からなる単層電極、もしくは、ニッケル層および金層を含む積層電極が、複数の端子電極 14～18の上にそれぞれ形成されていてもよい。積層電極において、金層は、ニッケル層の上に形成されてもよい。

[0143] 図 12 は、半導体装置 1 を含む半導体パッケージ 101 の模式的な平面図である。図 13 は、図 12 の半導体パッケージ 101 の実装構造を示す断面図である。

[0144] 半導体パッケージ 101 は、半導体装置 1 と、電極 102～107 と、ワイヤ 133～136 と、樹脂パッケージ 108 とを含む。図 12 において、樹脂パッケージ 108 は、二点鎖線で示されている。図 13 に示すように、半導体パッケージ 101 は、実装基板 109 に実装されている。半導体パッケージ 101 は、半導体装置 1 の種類により、電気回路におけるスイッチング機能、整流機能、増幅機能などを果たす電子部品として用いられる。

[0145] 電極 102 は、ダイボンディングパッド（放熱ユニット）110 と、リード 111 とを含む。ダイボンディングパッド 110 およびリード 111 は、たとえば、銅などの導電材料よりなる。

[0146] ダイボンディングパッド 110 は、平板状である。ダイボンディングパッド 110 は、配置面 110A と、裏面 110B とを有する。配置面 110A は法線方向 Z の一方を向く。法線方向 Z の一方は、図 13 の紙面の上側に一致している。裏面 110B は、法線方向 Z の他方を向く。法線方向 Z の他方は、図 13 の紙面の下側に一致している。配置面 110A には、半導体装置 1 が配置されている。ダイボンディングパッド 110 には、配置面 110A から裏面 110B にわたって貫通する孔 112 が形成されている。

- [0147] リード111は、ダイボンディングパッド110から線状に延びる形状である。リード111は挿入実装用のものである。図13に示すように、リード111が孔113に挿入される。これにより、半導体パッケージ101が実装基板109に実装される。リード111を実装基板109に固定するために、孔113にはハンダ114が充填されている。図12に示すように、リード111は、連結部111Aと、端子部112Bとを有している。半導体装置1のコレクタ端子電極32（図3の破線部参照）に接続されるコレクタ端子として機能する。
- [0148] 連結部111Aは、ダイボンディングパッド110につながる。連結部111Aは、ダイボンディングパッド110から、配置面110Aと交差する方向に延びる形状である。端子部112Bは、連結部111Aにつながる。端子部112Bは、樹脂パッケージ108から突出する部位を有する。
- [0149] 電極103は、ワイヤボンディングパッド115と、リード116とを含む。電極104は、ワイヤボンディングパッド117と、リード118とを含む。電極105は、ワイヤボンディングパッド119と、リード120とを含む。電極106は、ワイヤボンディングパッド121と、リード122とを含む。電極107は、ワイヤボンディングパッド123と、リード124とを含む。ワイヤボンディングパッド115、117、119、121、123およびリード116、118、120、122、124は、たとえば銅などの導電性材料よりなる。
- [0150] 図13に示すように、リード116、118、120、122、124は、孔113に挿入される。これにより、半導体パッケージ101が実装基板109に実装される。リード116、118、120、122、124を実装基板109に固定するために、孔113にハンダ114が充填されている。
- [0151] 主に図13を参照して、樹脂パッケージ108は、半導体装置1および電極102～107を覆っている。樹脂パッケージ108は、エポキシ樹脂よりなる。樹脂パッケージ108は、第1面108Aと、第2面108Bとを

有する。第1面108Aは、平坦面108Cとテーパ面108Dとを有する。樹脂パッケージ108の第1面108Aが半導体装置1の第2主面4に接触する。第2面108Bは、複数の平坦面108Eと、複数のテーパ面108Fとを有する。樹脂パッケージ108には、ネジ穴108Hが形成されている。ネジ穴108Hには、樹脂パッケージ108を放熱板129に固定するためのネジ130が挿通される。

[0152] ワイヤ133～136は、たとえば、アルミニウムなどの金属よりなる。ワイヤ133は、半導体装置1のエミッタ端子電極13とワイヤボンディングパッド115とに接合されている。これにより、エミッタ端子電極13とワイヤボンディングパッド115とが電氣的に接続されている。ワイヤ134は、半導体装置1の電流検出端子電極17とワイヤボンディングパッド119とに接合されている。これにより、電流検出端子電極17とワイヤボンディングパッド119とが電氣的に接続されている。ワイヤ135は、半導体装置1の第1センス端子電極15または第2センス端子電極16（図12の例では第1センス端子電極15）とワイヤボンディングパッド121とに接合されている。これにより、第1センス端子電極15または第2センス端子電極16（図12の例では第1センス端子電極15）とワイヤボンディングパッド121とが電氣的に接続されている。ワイヤ136は、半導体装置1のゲート端子電極14とワイヤボンディングパッド123とに接合されている。これにより、ゲート端子電極14とワイヤボンディングパッド123とが電氣的に接続されている。なお、ワイヤボンディングパッド117は、半導体装置1に電氣的に接続されていない。

[0153] 半導体装置1において発生する熱は、ダイボンディングパッド110および放熱板129を介して放熱される。ダイボンディングパッド110の配置面110Aが半導体装置1の第2主面4の全域に接しており、これにより、半導体装置1の第2主面4が均一に冷却される。一方、半導体装置1の第1主面3には、放熱のための部材（放熱ユニット）は接していない。

[0154] 以上により、この実施形態によれば、アクティブ領域6において、複数の

IGBT領域8および複数のダイオード領域9が、平面視においてそれぞれ千鳥状に配列されている。そのため、アクティブ領域6において、第2方向Yに連続するIGBT領域8が第2方向Yに対向する部分の幅の合計（第1対向幅 W_1 + 第2対向幅 W_2 ）は狭い。

[0155] 特許文献1に記載のRC-IGBTの半導体装置では、複数のIGBT領域および複数のダイオード領域が、それぞれ行列状に並んでいる。半導体装置1において、特許文献1と同様に、複数のIGBT領域8および複数のダイオード領域9がそれぞれ第2方向Yに沿って列状に並ぶ場合を考える。

[0156] 複数のIGBT領域8および複数のダイオード領域9がそれぞれ第2方向Yに沿って列状に並んでいると、第2方向Yに連続するIGBT領域8が互いに幅広に対向し、かつ第2方向Yに連続するダイオード領域9が互いに幅広に対向する。IGBTのオン時には、複数のIGBT領域8に同時に電流が流れる。IGBT領域8に電流が流れると、IGBT領域8が発熱する。また、ダイオードのオン時には、複数のダイオード領域9に同時に電流が流れる。ダイオード領域9に電流が流れると、ダイオード領域9が発熱する。

[0157] 複数のIGBT領域8が第2方向Yに沿って列状に並んでいると、IGBT領域8が並んだ領域において発熱量が局所的に大きくなるおそれがある。また、複数のダイオード領域9が第2方向Yに沿って列状に並んでいると、ダイオード領域9が並んだ領域において発熱量が局所的に大きくなるおそれがある。そのため、IGBTのオン時またはダイオードのオン時において、アクティブ領域6が局所的に高温になるおそれがある。

[0158] とくに、アクティブ領域6の中央部は、周囲が、いずれも発熱領域であるIGBT領域8およびダイオード領域9に囲まれている。そのため、アクティブ領域6の中央部は、放熱しにくい領域である。そのため、IGBTのオン時またはダイオードのオン時において、アクティブ領域6の中央部が、とくに高温になるおそれがある。一方で、アクティブ領域6の高温化を抑制するために、IGBT領域8およびダイオード領域9を流れる電流量の低減を図ることも考えられる。しかし、RC-IGBTの電流特性を高く維持するた

めには、IGBT領域8およびダイオード領域9を流れる電流量を多く確保する必要がある。

[0159] 第1実施形態に係る半導体装置1によれば、アクティブ領域6の全域に、IGBT領域8およびダイオード領域9の千鳥状パターン（千鳥状パターンの単位配列UA）が形成されている。そのため、第2方向Yに連続するIGBT領域8が第2方向Yに対向する部分の幅の合計（第1対向幅W1＋第2対向幅W2）が狭い。また、複数のダイオード領域9は第2方向Yに対向していない。

[0160] そのため、IGBTのオン時およびダイオードのオン時において、アクティブ領域6において発熱量が局所的に増大することを抑制できる。これにより、IGBT領域8を流れる電流量およびダイオード領域9を流れる電流量を低く抑えることなく、アクティブ領域6における温度上昇を抑制できる。とくに、アクティブ領域6の中央部における温度上昇を抑制できる。ゆえに、RC-IGBTの電流特性を高く維持しながら、半導体装置1の最大温度を低減できる。

[0161] 図14は、コレクタ領域34およびカソード領域61の態様を変更した変形例に係る半導体装置151を説明するための底面図である。図14は、図3に対応する図である。図15は、図14の変形例に係る半導体装置151の断面図である。

[0162] 図14および図15の変形例に係る半導体装置151が第1実施形態に係る半導体装置1と相違する点は、カソード領域61が引き出し領域182を含む点である。引き出し領域182は、IGBT領域8とダイオード領域9との間の境界領域72（図15参照）を横切ってIGBT領域8側に引き出された領域である。引き出し領域182は、第1方向Xに沿ってダイオード領域9からIGBT領域8に引き出されている。

[0163] 半導体装置151では、図14に示すように、第1配列12A、第3配列12Cおよび第5配列12Eにおいて、カソード領域61の第1方向Xの両端部に引き出し領域182が形成されている。そのため、第1配列12A、

第3配列12Cおよび第5配列12Eでは、半導体装置1（図3参照）と比較して、コレクタ領域34の面積が狭く、かつカソード領域61が広い。図15は、第1配列12A、第3配列12Cおよび第5配列12Eに含まれるIGBT領域8およびダイオード領域9の断面を示しており、図10に対応している。

[0164] 一方、第2配列12B、第4配列12Dおよび第6配列12Fは、半導体装置1（図3参照）と同様、引き出し領域182が形成されていない。図14の例では、第1～第6RC-IGBT配列12A～12Fにおいて、コレクタ領域34およびカソード領域61の境界が、いずれも第1方向Xに関して揃っている。

[0165] 引き出し領域182は、所定の重なり幅WでIGBT領域8に重なっている。重なり幅Wの始点は、IGBT領域8およびダイオード領域9の境界領域72に設定される。重なり幅Wの終点は、コレクタ領域34および引き出し領域182の境界に設定される。

[0166] IGBT領域8の幅WG（図5B等参照）に対する重なり幅Wの比 W/WG は、0.001以上0.5以下であってもよい。比 W/WG は、0.001以上0.01以下、0.01以上0.05以下、0.05以上0.1以下、0.1以上0.15以下、0.15以上0.2以下、0.2以上0.25以下、0.25以上0.3以下、0.3以上0.35以下、0.35以上0.4以下、0.4以上0.45以下、または0.45以上0.5以下であってもよい。

[0167] 重なり幅Wは、1 μm 以上200 μm 以下であってもよい。重なり幅Wは、1 μm 以上50 μm 以下、50 μm 以上100 μm 以下、100 μm 以上150 μm 以下、または150 μm 以上200 μm 以下であってもよい。

[0168] 重なり幅Wは、1 μm 以上20 μm 以下、20 μm 以上40 μm 以下、40 μm 以上60 μm 以下、60 μm 以上80 μm 以下、80 μm 以上100 μm 以下、100 μm 以上120 μm 以下、120 μm 以上140 μm 以下、140 μm 以上160 μm 以下、160 μm 以上180 μm 以下、または

180 μm 以上200 μm 以下であってもよい。重なり幅Wは、10 μm 以上150 μm 以下であることが好ましい。

[0169] 引き出し領域182は、法線方向Zに関して、1個または複数個のFET構造35に対向していてもよい。引き出し領域182は、1個、2個、3個、4個、5個、6個、7個、8個、9個、10個、11個、12個、13個、14個、15個、16個、17個、18個、19個または20個のFET構造35に対向していてもよい。

[0170] 図16は、本開示の第2実施形態に係る半導体装置201の模式的な平面図である。図17は、半導体装置201の第1主面3の構造を模式的に示す平面図である。第2実施形態では、第1実施形態と異なる部分のみを主として説明し、今まで説明した構成と同じ構成には同じ参照符号を付して、その説明を省略する。

[0171] 第2実施形態に係る半導体装置201が第1実施形態に係る半導体装置1と相違する点は、アクティブ領域6に占めるダイオード領域9の面積比率が、約50%である点である。別の言い方では、平面視において、アクティブ領域6に占めるIGBT8の面積比率が、約50%である。アクティブ領域6において、IGBT8の面積とダイオード領域9との平面面積はほぼ同じである。各IGBT領域8の幅WG（図17参照）は、各ダイオード領域9の幅WD（図17参照）とほぼ同じである。

[0172] 半導体装置201において、アクティブ領域6の全域において、複数のIGBT領域8および複数のダイオード領域9が、平面視においてそれぞれ千鳥状に配列されている。すなわち、アクティブ領域6の全域に、IGBT領域8およびダイオード領域9の千鳥状パターン（千鳥状パターンの単位配列UA）が形成されている。

[0173] 半導体装置201において、各IGBT領域8は、第2方向Yに隣り合うRC-IGBT配列に含まれる1つのダイオード領域9と、ゲート配線19の第2領域19bを挟んで第2方向Yに対向している。各IGBT領域8は、第2方向Yに隣り合うRC-IGBT配列に含まれるIGBT領域8と、第2

方向Yに対向していない。

[0174] また、各ダイオード領域9は、第2方向Yに隣り合うRC-IGBT配列12に含まれる1つのIGBT領域8と、ゲート配線19の第2領域19bを挟んで第2方向Yに対向している。各ダイオード領域9は、第2方向Yに隣り合うRC-IGBT配列12に含まれるダイオード領域9と、第2方向Yに対向していない。

[0175] この第2実施形態によれば、アクティブ領域6において、複数のIGBT領域8および複数のダイオード領域9が、平面視においてそれぞれ千鳥状に配列されている。複数のダイオード領域9だけでなく、複数のIGBT領域8も第2方向Yに対向していない。そのため、第1実施形態と比較して、IGBTのオン時およびダイオードのオン時において、アクティブ領域6において発熱量が局所的に増大することを、より一層抑制できる。これにより、アクティブ領域6における温度上昇をより一層抑制できる。

[0176] 図18は、本開示の第3実施形態に係る半導体装置301の模式的な平面図である。図19は、半導体装置301の第1主面3の構造を模式的に示す平面図である。

[0177] 第3実施形態に係る半導体装置301が第1実施形態に係る半導体装置1と相違する点は、IGBT領域8およびダイオード領域9の千鳥状パターン（千鳥状パターンの単位配列UA）が、アクティブ領域6の全域ではなく、アクティブ領域6の中央部6aにのみ形成されている点である。アクティブ領域6の外周部6bでは、上記の配列パターンではなく、複数のIGBT領域8が第2方向Yに沿って列状に並ぶ配列パターン、および複数のダイオード領域9が第2方向Yに沿って列状に並ぶ配列パターンが採用されている。図18および図19の例では、アクティブ領域6のうち、側面5B側に最も近い領域において、複数のIGBT領域8が第2方向Yに沿って列状に並んでおり、その領域に対し側面5D側の領域を、複数のダイオード領域9がそれぞれ第2方向Yに沿って列状に並んでいる。また、アクティブ領域6のうち、側面5D側に最も近い領域において、複数のIGBT領域8が第2方向

Yに沿って列状に並んでおり、その領域に対し側面5B側の領域を、複数のダイオード領域9がそれぞれ第2方向Yに沿って列状に並んでいる。

[0178] アクティブ領域6の中央部6aは、いずれも発熱領域であるIGBT領域8およびダイオード領域9によって周囲が取り囲まれた部分である。そのため、アクティブ領域6の中央部6aは、放熱しにくい領域である。

[0179] IGBT領域8およびダイオード領域9の千鳥状パターンが、アクティブ領域6のうち放熱しにくい中央部6aに形成されているので、アクティブ領域6の中央部6aにおける温度上昇を抑制できる。これにより、半導体装置301の最大温度を低減できる。

[0180] 半導体装置301においても、図12の半導体パッケージ101のパッケージ構造および図13の実装構造が適用される。

[0181] 図20は、本開示の第4実施形態に係る半導体装置401の模式的な平面図である。図21は、半導体装置401の第1主面3の構造を模式的に示す平面図である。

[0182] 第4実施形態に係る半導体装置401が第1実施形態に係る半導体装置1と相違する点は、IGBT領域8およびダイオード領域9の千鳥状パターン（千鳥状パターンの単位配列UA）が、アクティブ領域6の全域ではなく、アクティブ領域6の外周部6bにのみ形成された点である。アクティブ領域6の中央部では、上記の配列パターンではなく、複数のIGBT領域8が第2方向Yに沿って列状に並ぶ配列パターン、および複数のダイオード領域9が第2方向Yに沿って列状に並ぶ配列パターンが採用されている。

[0183] 図22は、半導体装置401を含む半導体パッケージ450の模式的な断面図である。

[0184] 半導体パッケージ450は、半導体装置401と、第1放熱パッド（放熱ユニット）451と、第2放熱パッド452と、半導体装置401の上面と第2放熱パッド452との間隔を規制するためのスペーサ（放熱ユニット）453と、樹脂パッケージ454と、第1リード456と、第2リード457と、第3リード458と、第4リード459と、第5リード460と、第

6リード461と、ワイヤ471～475とを含む。

- [0185] 第1放熱パッド451は、平板状である。第1放熱パッド451は、銅などの導電材料よりなる。第1放熱パッド451は、平坦な配置面451Aを有する。配置面451Aは法線方向Zの一方を向く。法線方向Zの一方は、図22の紙面の上方に一致している。
- [0186] 第1リード456、第2リード457、第3リード458、第4リード459、第5リード460および第6リード461は、第1放熱パッド451から線状に延びる形状である。第1リード456、第2リード457、第3リード458、第4リード459、第5リード460および第6リード461は、第1方向Xに6つ並んでいる。第1方向Xは、図22の紙面に直交する方向である。第1リード456、第2リード457、第3リード458、第4リード459、第5リード460および第6リード461は、銅などの導電材料よりなる。
- [0187] ワイヤ471～475は、たとえば、アルミニウムなどの金属よりなる。ワイヤ471は、半導体装置401のコレクタ端子電極32（図20の破線部参照）と第1リード456とに接合されている。これにより、コレクタ端子電極32と第1リード456とが電氣的に接続されている。ワイヤ472は、半導体装置401のエミッタ端子電極13（図20参照）と第2リード457とに接合されている。これにより、エミッタ端子電極13と第2リード457とが電氣的に接続されている。
- [0188] ワイヤ473は、半導体装置401の電流検出端子電極17（図20参照）と第4リード459とに接合されている。これにより、電流検出端子電極17と第4リード459とが電氣的に接続されている。ワイヤ474は、半導体装置401の第1センス端子電極15または第2センス端子電極16（この実施形態ではたとえば第1センス端子電極15）と第5リード460とに接合されている。これにより、第1センス端子電極15または第2センス端子電極16（たとえば第1センス端子電極15）と第5リード460とが電氣的に接続されている。ワイヤ475は、半導体装置401のゲート端子

電極 1 4（図 2 0 参照）と第 6 リード 4 6 1 とに接合されている。これにより、ゲート端子電極 1 4 と第 6 リード 4 6 1 とが電氣的に接続されている。なお、第 3 リード 4 5 8 は、半導体装置 4 0 1 に電氣的に接続されていない。

[0189] 第 2 放熱パッド 4 5 2 は、平板状である。第 2 放熱パッド 4 5 2 は、銅などの導電材料よりなる。第 2 放熱パッド 4 5 2 は、第 1 放熱パッド 4 5 1 に対し、半導体装置 4 0 1 を挟んで法線方向 Z の一方に配置されている。

[0190] スペーサ 4 5 3 は、法線方向 Z に延びる柱状体である。スペーサ 4 5 3 は、第 1 放熱パッド 4 5 1 と第 2 放熱パッド 4 5 2 との間に配置されている。スペーサ 4 5 3 は、銅などの導電材料よりなる。スペーサ 4 5 3 の端面 4 5 3 A が、半導体装置 4 0 1 の中央部、より具体的には、第 1 主面 3 の中央部（アクティブ領域 6（図 2 0 等参照）の中央部 6 a）に接している。これにより、半導体装置 4 0 1 の第 1 主面 3 では、中央部 6 a のみ冷却される。

[0191] 半導体装置 4 0 1 において発生する熱は、第 1 放熱パッド 4 5 1、スペーサ 4 5 3 および第 2 放熱パッド 4 5 2 を介して放熱される。第 1 放熱パッド 4 5 1 の配置面 4 5 1 A が半導体装置 4 0 1 の第 2 主面 4 の全域に接しており、これにより、半導体装置 4 0 1 の第 2 主面 4 が均一に冷却される。一方、半導体装置 4 0 1 の第 1 主面 3 には、中央部のみ、スペーサ 4 5 3 の端面 4 5 3 A が接している。

[0192] 以上により、図 2 0 および図 2 1 を参照して、半導体装置 4 0 1 においては、アクティブ領域 6 の中央部 6 a は、放熱し易い領域である。一方、アクティブ領域 6 の外周部 6 b は、中央部 6 a に比べ、放熱しにくい領域である。I G B T 領域 8 およびダイオード領域 9 の千鳥状パターンが、アクティブ領域 6 のうち放熱しにくい外周部 6 b に形成されるので、アクティブ領域 6 の外周部 6 b における温度上昇を抑制できる。これにより、半導体装置 4 0 1 の最大温度を低減できる。

[0193] また、半導体パッケージ 4 5 0 と同様のパッケージ構造が、半導体装置 1、半導体装置 1 5 1 または半導体装置 2 0 1 に適用されてもよい。

- [0194] 本開示の実施形態は、さらに他の形態で実施することもできる。
- [0195] 前述の各実施形態において、半導体層 2 は、n⁻型の半導体基板 3 1 に代えて、p 型の半導体基板と、半導体基板の上に形成された n⁻型エピタキシャル層とを含む積層構造を有していてもよい。この場合、p 型の半導体基板が、コレクタ領域 3 4 に対向する。また、n⁻型のエピタキシャル層が、ドリフト領域 3 0 に対向する。
- [0196] p 型の半導体基板は、シリコン製であってもよい。n⁻型のエピタキシャル層は、シリコン製であってもよい。n⁻型のエピタキシャル層は、p 型の半導体基板の主面からシリコンをエピタキシャル成長して形成される。
- [0197] 前述の各実施形態において、各半導体部分の導電型が反転された構造が採用されてもよい。つまり、p 型の部分が n 型に形成され、n 型の部分が p 型に形成されてもよい。
- [0198] この明細書および図面の記載から以下に付記する特徴が抽出され得る。
- [0199] [付記 1-1]
- 第 1 主面 (3) およびその反対側の第 2 主面 (4) を有する半導体層 (2) と、
- 前記半導体層 (2) に形成された IGBT 領域 (8) であって、ゲートトレンチ (39) が形成された IGBT 領域 (8) と、
- 前記半導体層 (2) に形成されたダイオード領域 (9) と、
- 前記第 1 主面 (3) 上に形成された複数のゲート配線 (19b) とを含み、
- 前記 IGBT 領域 (8) および前記ダイオード領域 (9) を含むアクティブ領域 (6) のうち所定の領域において、前記 IGBT 領域 (8) および前記ダイオード領域 (9) の一方が基準領域 (8B) であり、他方が前記基準領域 (8B) とは異なる異種領域 (9A, 9B, 9C) であり、
- 前記基準領域 (8B) が、平面視において前記ゲートトレンチ (39) の延伸方向と垂直な第 1 方向 (X) に、前記異種領域 (9B) と対向しており、

前記アクティブ領域（６）のうち所定の領域において、前記基準領域（８Ｂ）が、平面視において前記ゲートトレンチ（３９）の前記延伸方向と平行な第２方向（Ｙ）に、前記異種領域（９Ａ）と、前記複数のゲート配線（１９ｂ）に含まれる第１ゲート配線（１９ｂＡ）を挟んでさらに対向している、半導体装置（１，１５１，２０１，３０１，４０１）。

[0200] この構成によれば、アクティブ領域（６）のうち所定の領域において、ＩＧＢＴ領域（８）およびダイオード領域（９）の一方の基準領域（８Ｂ）が、平面視においてゲートトレンチ（３９）の延伸方向と平行な第２方向（Ｙ）に、ＩＧＢＴ領域（８）およびダイオード領域（９）の他方の異種領域（９Ａ）と、第１ゲート配線（１９ｂＡ）を挟んで対向している。そのため、アクティブ領域（６）のうち所定の領域において、基準領域（８Ｂ）が、第１ゲート配線（１９ｂＡ）を挟んで基準領域（８Ｂ）と同種の同種領域（８Ａ）と第２方向（Ｙ）に対向していないか、あるいは同種領域（８Ａ）と第２方向（Ｙ）に対向しても、同種領域（８Ｃ）との対向幅が狭い。これにより、基準領域（８Ｂ）および同種領域（８Ａ）に電流が流れる場合に、アクティブ領域（６）のうち所定の領域において発熱量が局所的に増大することを抑制できる。ゆえに、アクティブ領域（６）のうち所定の領域における温度上昇を抑制できる。

[0201] [付記１－２]

前記複数のゲート配線（１９ｂ）が、前記第１ゲート配線（１９ｂＡ）と、前記第１ゲート配線（１９ｂＡ）に沿って延びる第２ゲート配線（１９ｂＢ）とを含み、

前記基準領域（８Ｂ）が、前記第１ゲート配線（１９ｂＡ）と前記第２ゲート配線（１９ｂＢ）とによって、前記第２方向（Ｙ）に挟まれており、

前記基準領域（８Ｂ）が、前記異種領域（９Ｃ）と、前記第２ゲート配線（１９ｂＢ）を挟んで前記第２方向（Ｙ）にさらに対向している、付記１－１に記載の半導体装置（１，１５１，２０１，３０１，４０１）。

[0202] [付記１－３]

前記基準領域（8 B）が、前記基準領域（8 B）から独立して形成され、前記基準領域（8 B）と同種の同種領域（8 A）と、前記第1ゲート配線（19 b A）を挟んで前記第2方向（Y）にさらに対向している、付記1-1または付記1-2に記載の半導体装置（1, 151, 301, 401）。

[0203] [付記1-4]

前記基準領域（8 B）が、前記IGBT領域（8）からなる基準IGBT領域（8 B）を含み、

前記基準IGBT領域（8 B）が、前記同種領域（8 A）である同種IGBT領域（8 A）と、前記第1ゲート配線（19 b A）を挟んで前記第2方向（Y）に対向している、付記1-3に記載の半導体装置（1, 151, 301, 401）。

[0204] [付記1-5]

前記基準IGBT領域（8 A）と前記同種IGBT領域（8 A）とが前記第2方向（Y）に対向する対向幅（W1, W2）が、前記第1ゲート配線（19 b）の線幅（W3）以上である、付記1-4に記載の半導体装置（1, 151, 301, 401）。

[0205] [付記1-6]

前記基準領域（8 B）が、前記基準領域（8 B）から独立して形成され、前記基準領域（8 B）と同種の同種領域（8 A）と、前記第2方向（Y）に対向していない、付記1-1または付記1-2に記載の半導体装置（201）。

[0206] [付記1-7]

前記所定の領域が、平面視において前記アクティブ領域（6）の中央部（6 a）を含む領域である、付記1-1～付記1-6のいずれか一項に記載の半導体装置（1, 151, 201, 301）。

[0207] [付記1-8]

前記第2主面（4）は、その全域が、放熱ユニット（110）に接触する領域であり、

前記第1主面(3)には、放熱ユニットが接触しない、付記1-7に記載の半導体装置(1, 151, 201, 301)。

[0208] [付記1-9]

前記所定の領域が、平面視において前記アクティブ領域(6)の外周部(6b)を含む領域である、付記1-1~付記1-6に記載の半導体装置(1, 151, 201, 401)。

[0209] [付記1-10]

前記第2主面(4)の全域および前記第1主面(3)の中央部(6a)が、放熱ユニット(451, 453)に接触する領域であり、

前記第1主面(3)の外周部(6a)には、放熱ユニットが接触しない、付記1-9に記載の半導体装置(1, 151, 201, 401)。

[0210] [付記1-11]

前記所定の領域が、前記アクティブ領域(6)の全域である、付記1-7または付記1-9に記載の半導体装置(1, 151, 201)。

[0211] [付記1-12]

単位配列(UA)をさらに含み、

前記単位配列(UA)が、前記基準領域(8B)と、前記基準領域(8B)に前記第1方向(X)および前記第2方向(Y)に隣り合う複数の前記異種領域(9A, 9B, 9C)と、前記基準領域(8B)に前記第1方向(X)および前記第2方向(Y)のいずれにも交差する2つの斜め方向両側において前記基準領域(8B)に隣り合い、かつ前記基準領域(8B)から独立した前記同種領域(8A, 8C)とを含み、

前記単位配列(UA)が、平面視において前記アクティブ領域(6)の全域に形成されている、付記1-3~付記1-6のいずれか一項に記載の半導体装置(1, 151, 201, 301, 401)。

[0212] [付記1-13]

前記IGBT領域および前記ダイオード領域が、それぞれ、複数の前記IGBT領域および複数の前記ダイオード領域を含み、

前記第 1 主面には、複数の前記 IGBT 領域および複数の前記ダイオード領域を含む領域配列であって、複数の前記 IGBT 領域および複数の前記ダイオード領域が前記第 1 方向に沿って交互に並んだ領域配列が、前記第 2 方向に間隔を空けて複数配列されており、

複数の前記領域配列のうち所定の前記領域配列に含まれる複数の前記 IGBT 領域が、前記所定の前記領域配列に対して前記第 2 方向に隣り合う前記領域配列に含まれる複数の前記ダイオード領域のそれぞれと、前記第 2 方向に対向しており、

前記所定の前記領域配列に含まれる複数の前記ダイオード領域が、前記所定の前記領域配列に対して前記第 2 方向に隣り合う前記領域配列に含まれる複数の前記 IGBT 領域のそれぞれと、前記第 2 方向に対向している、付記 1-1 に記載の半導体装置。

[0213] [付記 1-14]

前記ダイオード領域 (9) が、前記第 2 主面 (4) の表層部に形成されたカソード領域 (61) を含み、

前記カソード領域 (61) が、前記境界領域 (72) を横切って前記 IGBT 領域側に引き出された引き出し領域 (182) を含む、付記 1-1 ~ 付記 1-13 のいずれか一項に記載の半導体装置 (1, 151, 301, 401) 。

[0214] [付記 1-15]

平面視において、前記アクティブ領域 (6) に占める前記ダイオード領域 (9) の面積比率が、25%以上45%以下である、付記 1-1 ~ 付記 1-14 のいずれか一項に記載の半導体装置 (1, 151, 301, 401) 。

[0215] [付記 1-16]

前記 IGBT 領域 (8) および前記ダイオード領域 (9) が、それぞれ、複数の IGBT 領域 (8) および複数のダイオード領域 (9) を含み、

平面視において、前記複数の IGBT 領域 (8) および前記複数のダイオード領域 (9) が、それぞれ千鳥状である、付記 1-1 ~ 付記 1-15 のいずれ

れか一項に記載の半導体装置（1, 151, 201）。

符号の説明

- [0216] 1 : 半導体装置
- 2 : 半導体層
- 3 : 第1主面
- 4 : 第2主面
- 5 A : 側面
- 5 B : 側面
- 5 C : 側面
- 5 D : 側面
- 6 : アクティブ領域
- 6 a : 中央部
- 6 b : 外周部
- 7 : 外側領域
- 8 : IGBT領域
- 8 A : IGBT領域（同種IGBT領域、同種領域）
- 8 B : IGBT領域（基準IGBT領域、基準領域）
- 8 C : IGBT領域（同種IGBT領域、同種領域）
- 9 : ダイオード領域
- 9 A : ダイオード領域（異種ダイオード領域、異種領域）
- 9 B : ダイオード領域（異種ダイオード領域、異種領域）
- 9 C : ダイオード領域（異種ダイオード領域、異種領域）
- 11 : センサ領域
- 12 : IGBT配列（領域配列）
- 12 A : 第1配列
- 12 B : 第2配列
- 12 C : 第3配列
- 12 D : 第4配列

- 1 2 E : 第5配列
- 1 2 F : 第6配列
- 1 3 : エミッタ端子電極
- 1 4 : ゲート端子電極
- 1 5 : 第1センス端子電極
- 1 6 : 第2センス端子電極
- 1 7 : 電流検出端子電極
- 1 8 : 開放端子電極
- 1 9 : ゲート配線
- 1 9 a : 第1領域
- 1 9 b : 第2領域
- 1 9 b A : 第1ゲート配線
- 1 9 b B : 第2ゲート配線
- 2 0 : 第1センス配線
- 2 0 a : 第1領域
- 2 0 b : 第2領域
- 2 1 : 第2センス配線
- 2 1 a : 第1領域
- 2 1 b : 第2領域
- 2 2 : 第1電極層
- 2 3 : 第2電極層
- 2 4 : 第3電極層
- 3 0 : ドリフト領域
- 3 1 : 半導体基板
- 3 2 : コレクタ端子電極
- 3 3 : バッファ層
- 3 4 : コレクタ領域
- 3 5 : F E T構造

- 3 6 : トレンチゲート構造
- 3 7 : 第 1 外側トレンチゲート構造
- 3 8 : 第 2 外側トレンチゲート構造
- 3 9 : ゲートトレンチ
- 4 0 : ゲート絶縁層
- 4 1 : ゲート導電層
- 4 1 a : ゲート引き出し電極層
- 4 2 : ダミー F E T 構造
- 4 5 : ボディ領域
- 4 6 : エミッタ領域
- 4 7 : キャリアストレージ領域
- 4 8 : コンタクトトレンチ
- 4 9 : コンタクト領域
- 5 5 : 領域分離絶縁層
- 6 1 : カソード領域
- 6 2 : アノード領域
- 6 3 : セル分離構造
- 6 4 : セル分離トレンチ
- 6 5 : セル分離絶縁層
- 6 6 : セル分離電極層
- 6 7 : リセス
- 6 8 : p n 接合部
- 6 9 : ダイオードセル領域
- 7 2 : 境界領域
- 7 3 : エミッタトレンチ構造
- 7 3 A : 終端エミッタトレンチ構造
- 7 4 : エミッタトレンチ
- 7 5 : エミッタ絶縁層

- 7 6 : エミッタ電位電極層
- 7 6 a : 引き出し電極層
- 7 9 : 層間絶縁層
- 8 0 : 第 1 絶縁層
- 8 1 : 第 2 絶縁層
- 8 2 : 第 3 絶縁層
- 8 3 : エミッタ開口
- 8 4 : ダイオード開口
- 8 6 : 第 1 開口
- 9 1 : エミッタプラグ電極
- 9 2 : バリア電極層
- 9 3 : 主電極層
- 9 4 : 第 1 プラグ電極
- 1 0 1 : 半導体パッケージ
- 1 0 2 : 電極
- 1 0 3 : 電極
- 1 0 4 : 電極
- 1 0 5 : 電極
- 1 0 6 : 電極
- 1 0 7 : 電極
- 1 0 8 : 樹脂パッケージ
- 1 0 8 A : 第 1 面
- 1 0 8 B : 第 2 面
- 1 0 8 C : 平坦面
- 1 0 8 D : テーパ面
- 1 0 8 E : 平坦面
- 1 0 8 F : テーパ面
- 1 0 8 H : ネジ穴

- 1 0 9 : 実装基板
- 1 1 0 : ダイボンディングパッド (放熱ユニット)
- 1 1 0 A : 配置面
- 1 1 0 B : 裏面
- 1 1 1 : リード
- 1 1 1 A : 連結部
- 1 1 2 : 孔
- 1 1 2 B : 端子部
- 1 1 3 : 孔
- 1 1 4 : ハンダ
- 1 1 5 : ワイヤボンディングパッド
- 1 1 6 : リード
- 1 1 7 : ワイヤボンディングパッド
- 1 1 8 : リード
- 1 1 9 : ワイヤボンディングパッド
- 1 2 0 : リード
- 1 2 1 : ワイヤボンディングパッド
- 1 2 2 : リード
- 1 2 3 : ワイヤボンディングパッド
- 1 2 4 : リード
- 1 2 9 : 放熱板
- 1 3 0 : ネジ
- 1 3 3 : ワイヤ
- 1 3 4 : ワイヤ
- 1 3 5 : ワイヤ
- 1 3 6 : ワイヤ
- 1 5 1 : 半導体装置
- 1 8 2 : 引き出し領域

- 2 0 1 : 半導体装置
- 3 0 1 : 半導体装置
- 4 0 1 : 半導体装置
- 4 5 0 : 半導体パッケージ
- 4 5 1 : 第1放熱パッド (放熱ユニット)
- 4 5 1 A : 配置面
- 4 5 2 : 第2放熱パッド
- 4 5 3 : スペーサ (放熱ユニット)
- 4 5 3 A : 端面
- 4 5 4 : 樹脂パッケージ
- 4 5 6 : 第1リード
- 4 5 7 : 第2リード
- 4 5 8 : 第3リード
- 4 5 9 : 第4リード
- 4 6 0 : 第5リード
- 4 6 1 : 第6リード
- 4 7 1 : ワイヤ
- 4 7 2 : ワイヤ
- 4 7 3 : ワイヤ
- 4 7 4 : ワイヤ
- 4 7 5 : ワイヤ
- D : p n接合ダイオード
- D 1 : 深さ
- D 2 : 深さ
- D 3 : 深さ
- P 1 : 第1ピッチ
- P 2 : 第2ピッチ
- U A : 単位配列

W	: 重なり幅
W 1	: 第 1 対向幅 (対向幅)
W 2	: 第 2 対向幅 (対向幅)
W 3	: 線幅
W 4	: 第 1 間隔
W 5	: 第 2 間隔
W D	: 幅
W G	: 幅
X	: 第 1 方向
Y	: 第 2 方向
Y 1	: 一方側
Y 2	: 他方側
Z	: 法線方向

請求の範囲

- [請求項1] 第1主面およびその反対側の第2主面を有する半導体層と、
前記半導体層に形成されたIGBT領域であって、ゲートトレンチが形成されたIGBT領域と、
前記半導体層に形成されたダイオード領域と、
前記第1主面上に形成された複数のゲート配線とを含み、
前記IGBT領域および前記ダイオード領域を含むアクティブ領域のうち所定の領域において、前記IGBT領域および前記ダイオード領域の一方が基準領域であり、他方が前記基準領域とは異なる異種領域であり、
前記基準領域が、平面視において前記ゲートトレンチの延伸方向と垂直な第1方向に、前記異種領域と対向しており、
前記アクティブ領域のうち所定の領域において、前記基準領域が、平面視において前記ゲートトレンチの前記延伸方向と平行な第2方向に、前記異種領域と、前記複数のゲート配線に含まれる第1ゲート配線を挟んでさらに対向している、半導体装置。
- [請求項2] 前記複数のゲート配線が、前記第1ゲート配線と、前記第1ゲート配線に沿って延びる第2ゲート配線とを含み、
前記基準領域が、前記第1ゲート配線と前記第2ゲート配線とによって、前記第2方向に挟まれており、
前記基準領域が、前記異種領域と、前記第2ゲート配線を挟んで前記第2方向にさらに対向している、請求項1に記載の半導体装置。
- [請求項3] 前記基準領域が、前記基準領域から独立して形成され、前記基準領域と同種の同種領域と、前記第1ゲート配線を挟んで前記第2方向にさらに対向している、請求項1または2に記載の半導体装置。
- [請求項4] 前記基準領域が、前記IGBT領域からなる基準IGBT領域を含み、
前記基準IGBT領域が、前記同種領域である同種IGBT領域と

、前記第1ゲート配線を挟んで前記第2方向に対向している、請求項3に記載の半導体装置。

[請求項5] 前記基準IGBT領域と前記同種IGBT領域とが前記第2方向に対向する対向幅が、前記第1ゲート配線の線幅以上である、請求項4に記載の半導体装置。

[請求項6] 前記基準領域が、前記基準領域から独立して形成され、前記基準領域と同種の同種領域と、前記第2方向に対向していない、請求項1または2に記載の半導体装置。

[請求項7] 前記所定の領域が、平面視において前記アクティブ領域の中央部を含む領域である、請求項1～6のいずれか一項に記載の半導体装置。

[請求項8] 前記第2主面は、その全域が、放熱ユニットに接触する領域であり、
前記第1主面には、放熱ユニットが接触しない、請求項7に記載の半導体装置。

[請求項9] 前記所定の領域が、平面視において前記アクティブ領域の外周部を含む領域である、請求項1～6のいずれか一項に記載の半導体装置。

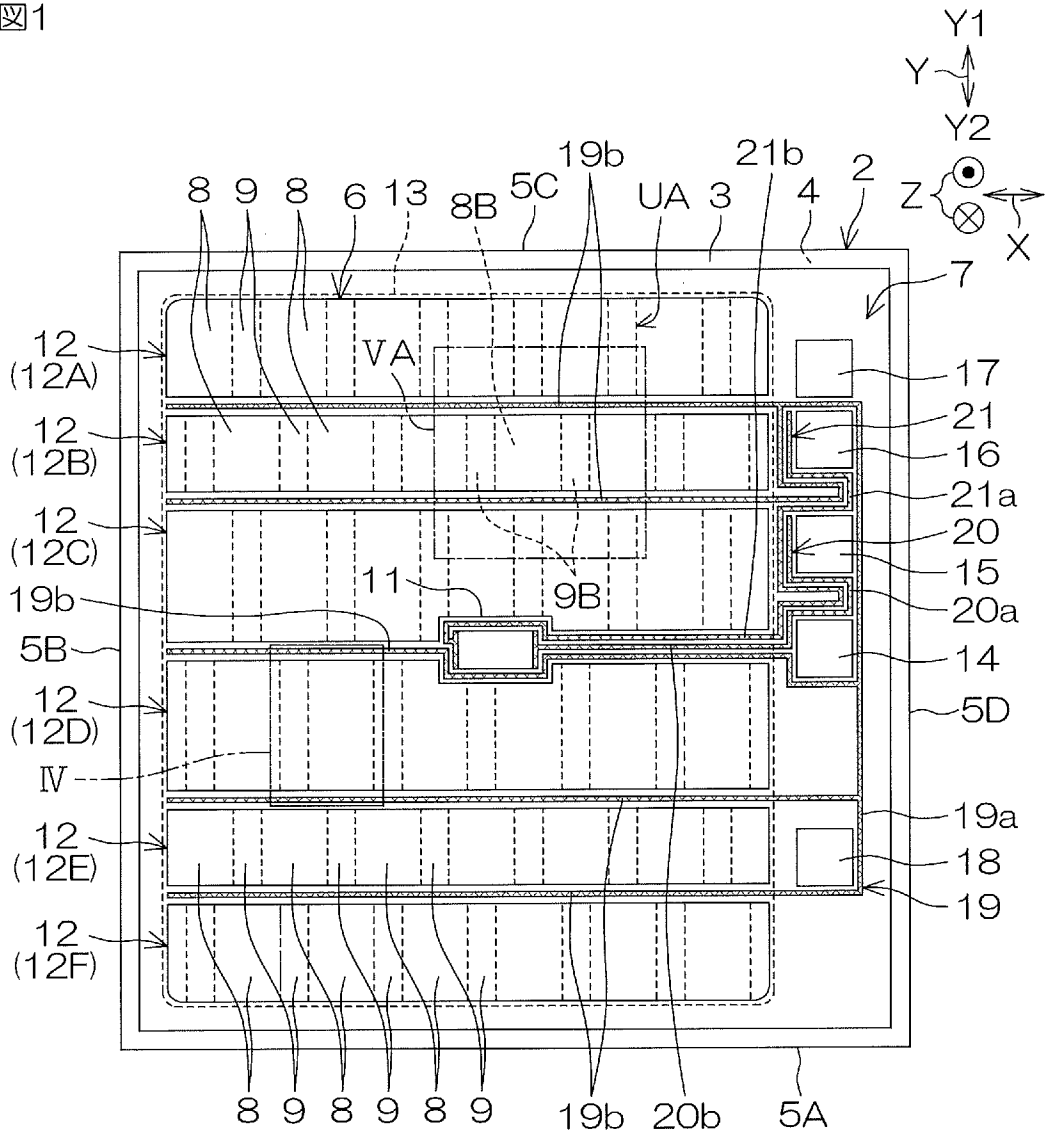
[請求項10] 前記第2主面の全域および前記第1主面の中央部が、放熱ユニットに接触する領域であり、
前記第1主面の外周部には、放熱ユニットが接触しない、請求項9に記載の半導体装置。

[請求項11] 単位配列をさらに含み、
前記単位配列が、前記基準領域と、前記基準領域に前記第1方向および前記第2方向に隣り合う複数の前記異種領域と、前記基準領域に前記第1方向および前記第2方向のいずれにも交差する2つの斜め方向両側において前記基準領域に隣り合い、かつ前記基準領域から独立した前記同種領域とを含み、
前記単位配列が、平面視において前記アクティブ領域の全域に形成されている、請求項3～6のいずれか一項に記載の半導体装置。

- [請求項12] 前記 IGBT 領域および前記ダイオード領域が、それぞれ、複数の前記 IGBT 領域および複数の前記ダイオード領域を含み、
- 前記第 1 主面には、複数の前記 IGBT 領域および複数の前記ダイオード領域を含む領域配列であって、複数の前記 IGBT 領域および複数の前記ダイオード領域が前記第 1 方向に沿って交互に並んだ領域配列が、前記第 2 方向に間隔を空けて複数配列されており、
- 複数の前記領域配列のうち所定の前記領域配列に含まれる複数の前記 IGBT 領域が、前記所定の前記領域配列に対して前記第 2 方向に隣り合う前記領域配列に含まれる複数の前記ダイオード領域のそれぞれと、前記第 2 方向に対向しており、
- 前記所定の前記領域配列に含まれる複数の前記ダイオード領域が、前記所定の前記領域配列に対して前記第 2 方向に隣り合う前記領域配列に含まれる複数の前記 IGBT 領域のそれぞれと、前記第 2 方向に対向している、請求項 1 に記載の半導体装置。
- [請求項13] 前記ダイオード領域が、前記第 2 主面の表層部に形成されたカソード領域を含み、
- 前記カソード領域が、前記ダイオード領域と前記 IGBT 領域との境界である境界領域を横切って前記 IGBT 領域側に引き出された引き出し領域を含む、請求項 1 ～ 12 のいずれか一項に記載の半導体装置。
- [請求項14] 平面視において、前記アクティブ領域に占める前記ダイオード領域の面積比率が、25%以上45%以下である、請求項 1 ～ 13 のいずれか一項に記載の半導体装置。
- [請求項15] 前記 IGBT 領域および前記ダイオード領域が、それぞれ、複数の IGBT 領域および複数のダイオード領域を含み、
- 平面視において、前記複数の IGBT 領域および前記複数のダイオード領域が、それぞれ千鳥状である、請求項 1 ～ 14 のいずれか一項に記載の半導体装置。

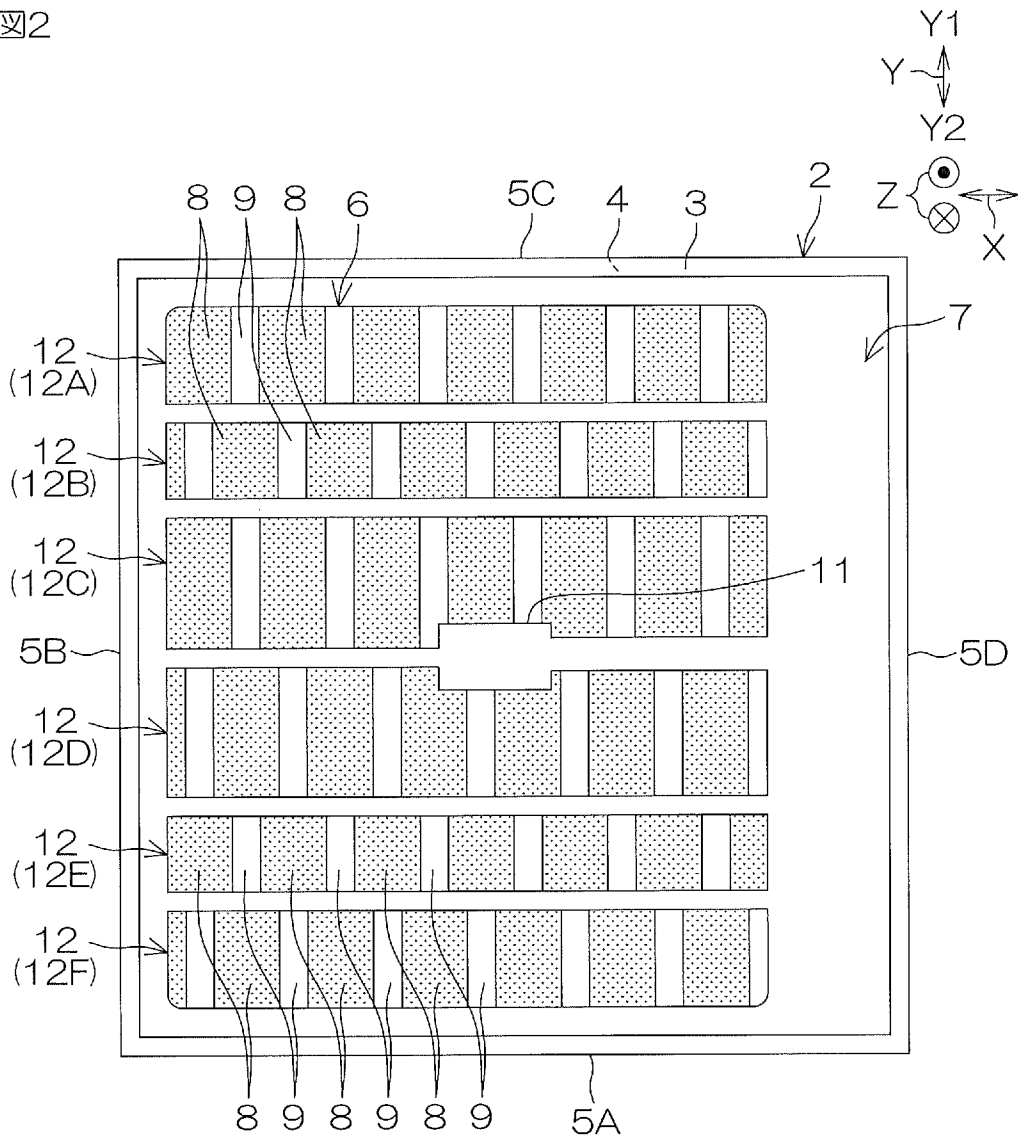
[図1]

図1



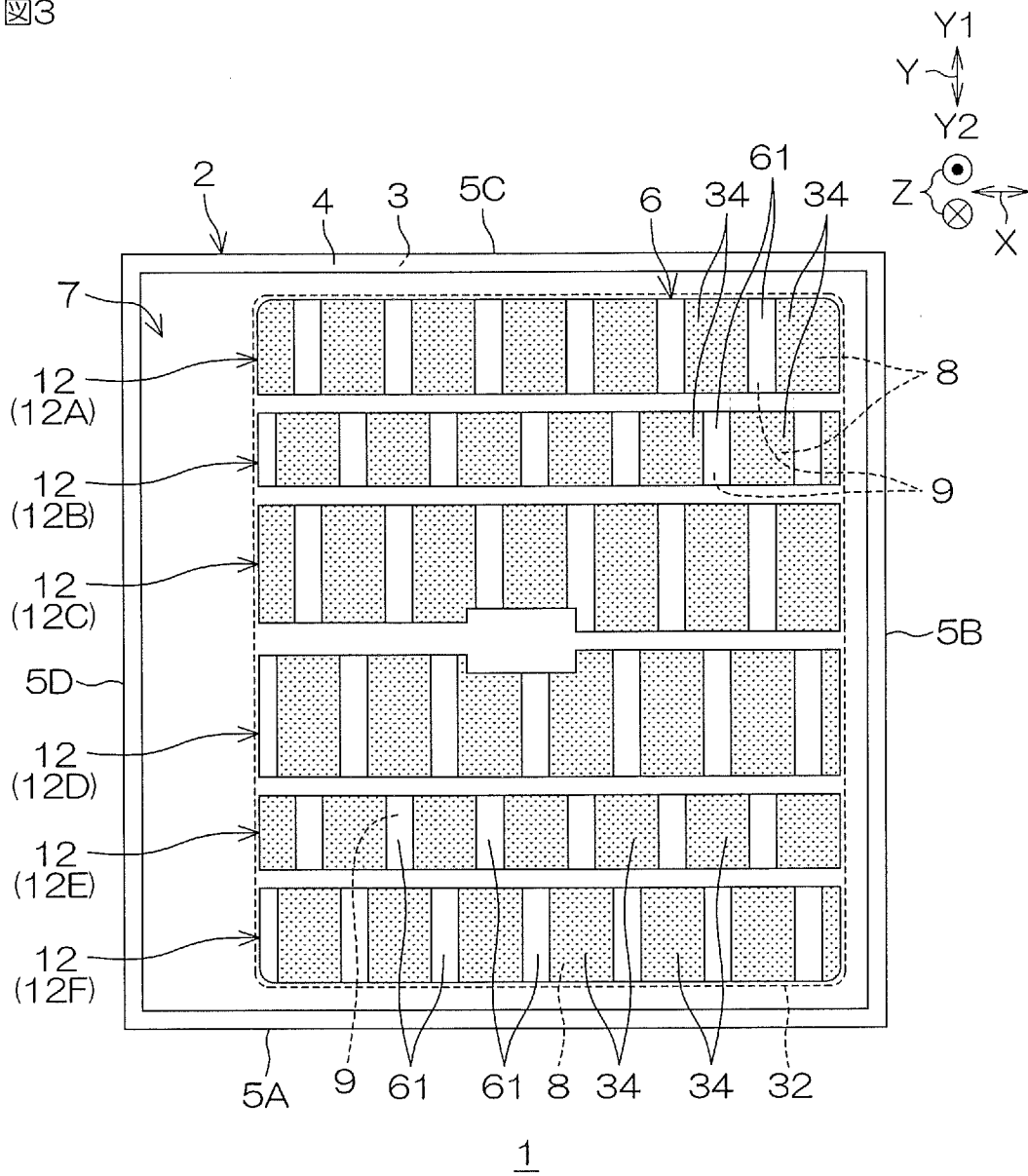
[図2]

図2

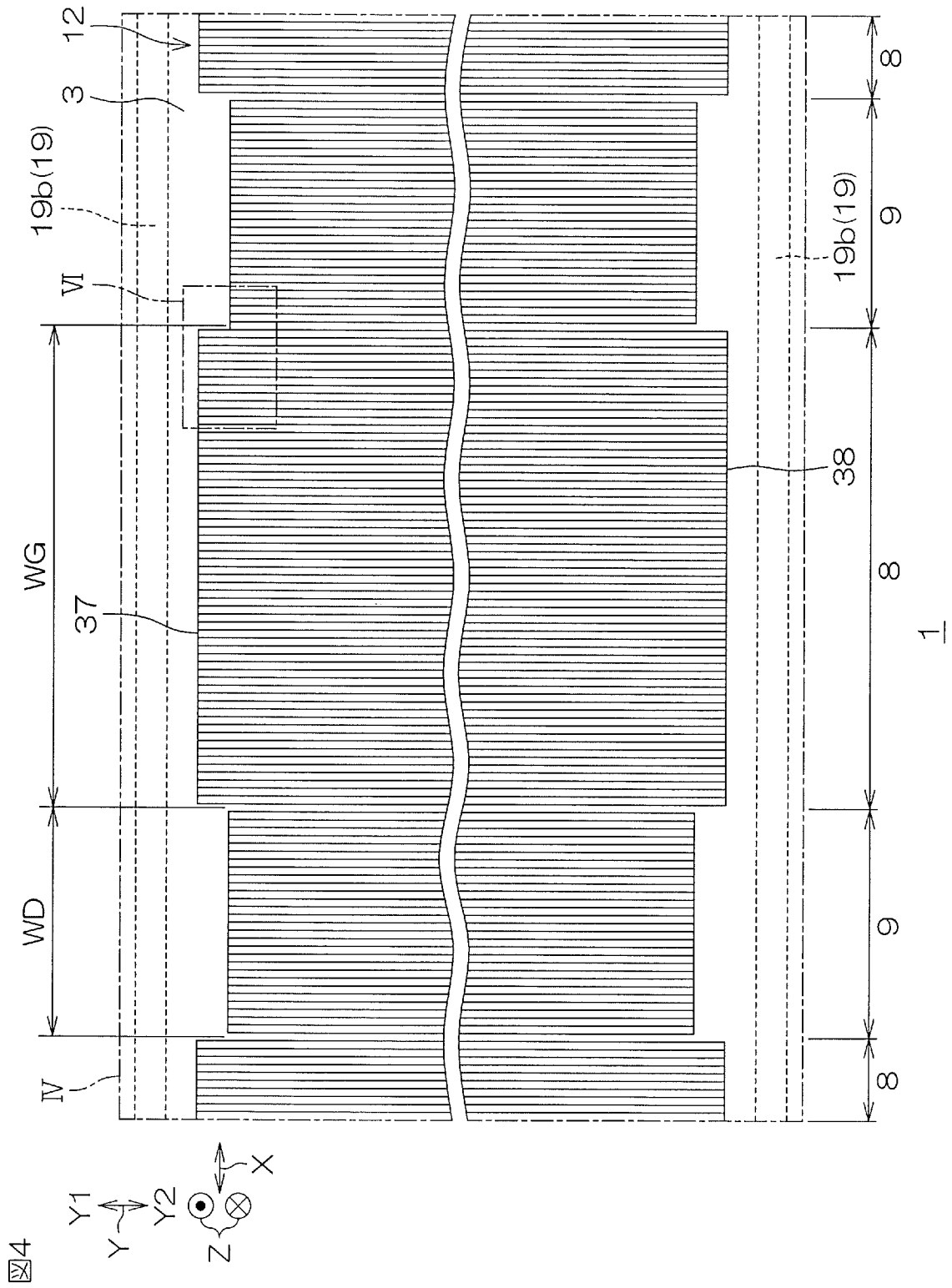


[図3]

図3

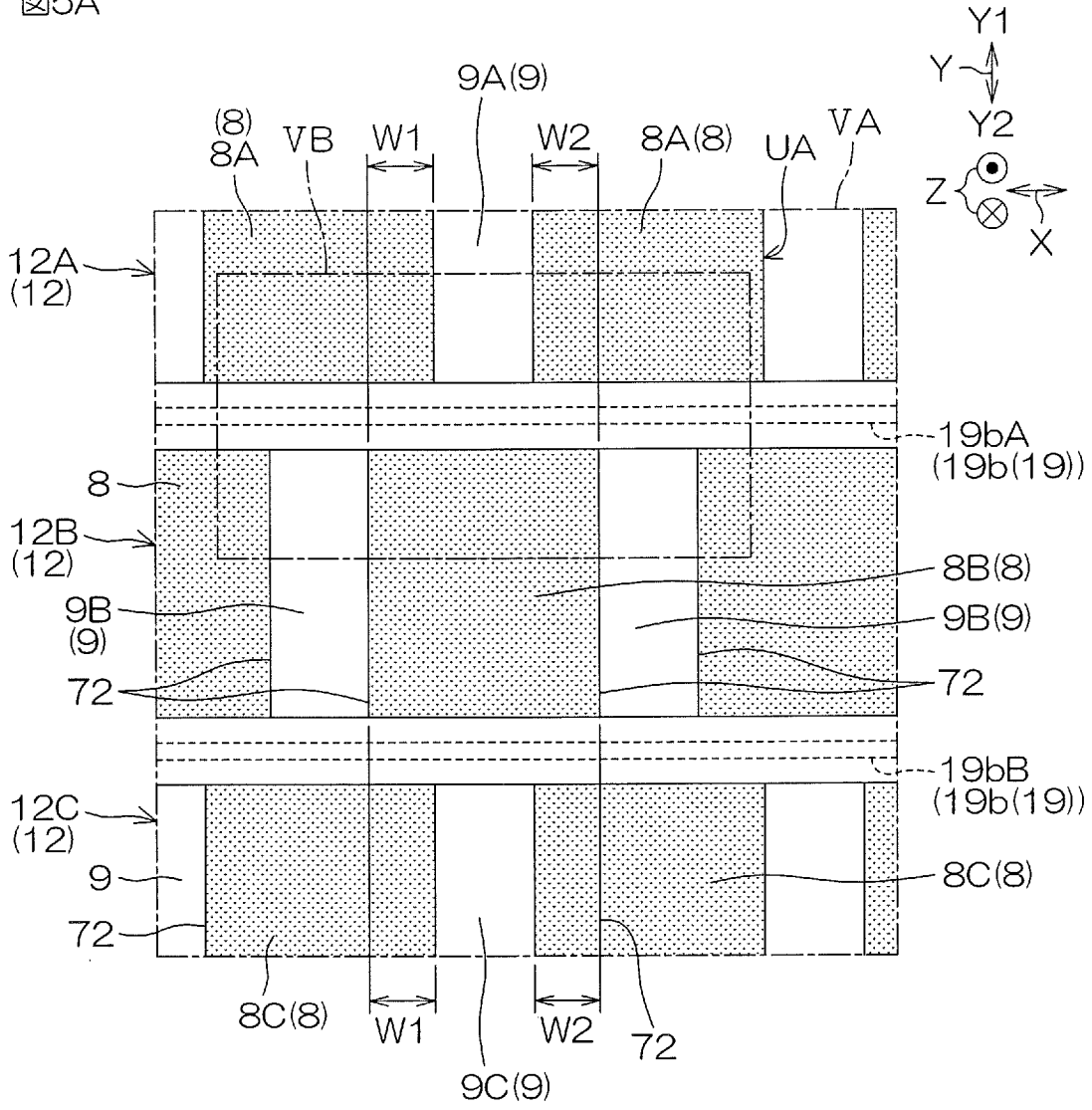


[図4]

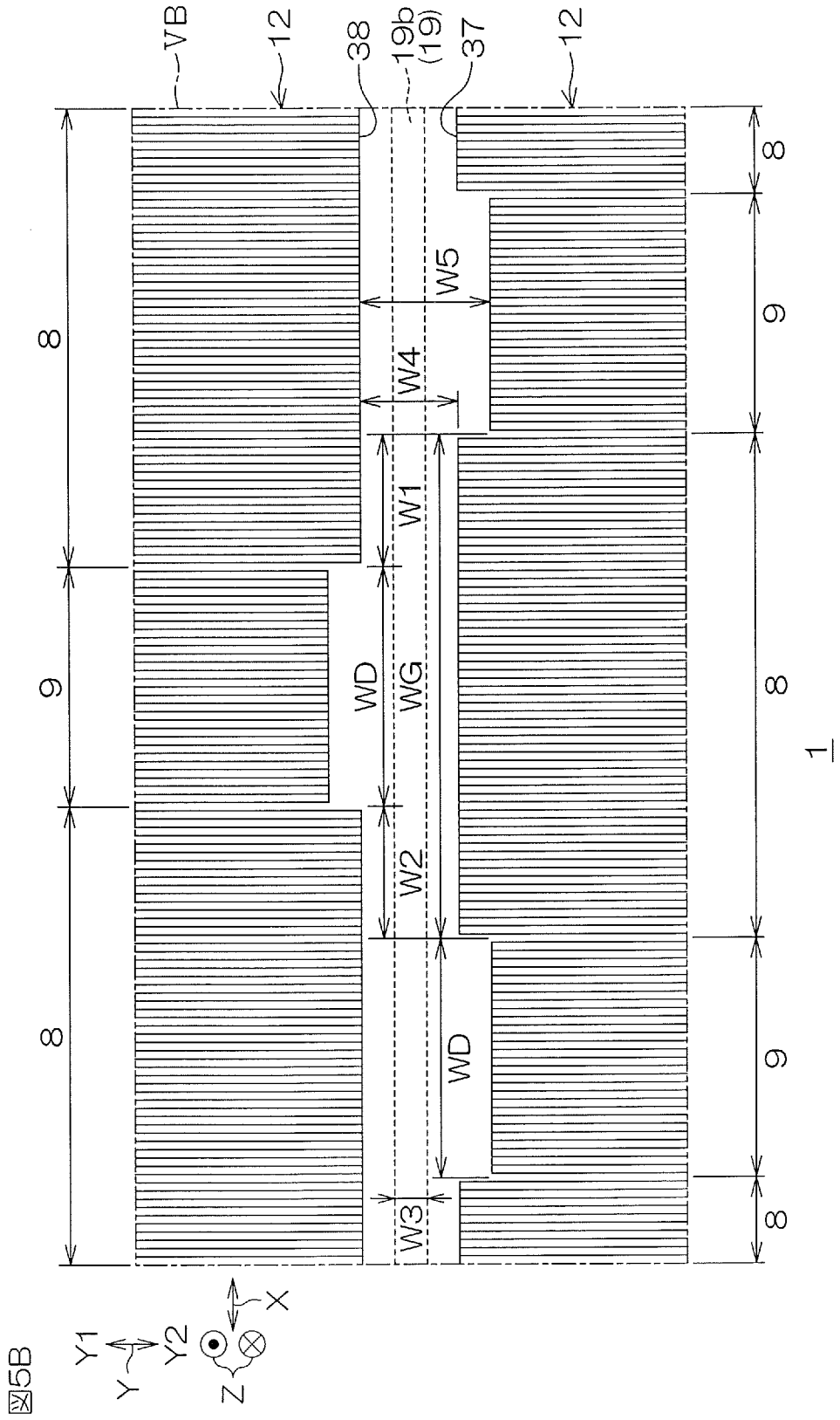


[図5A]

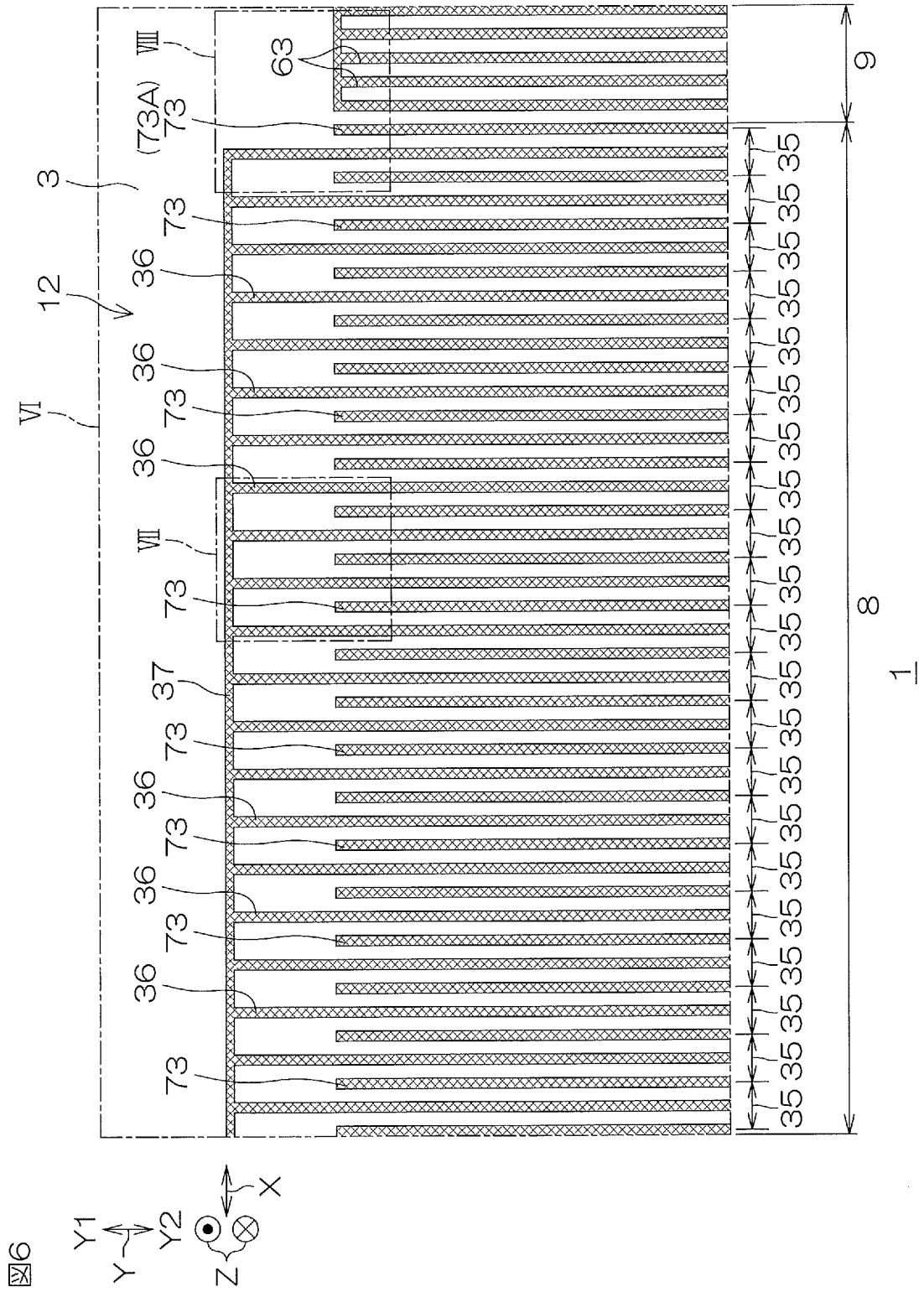
図5A



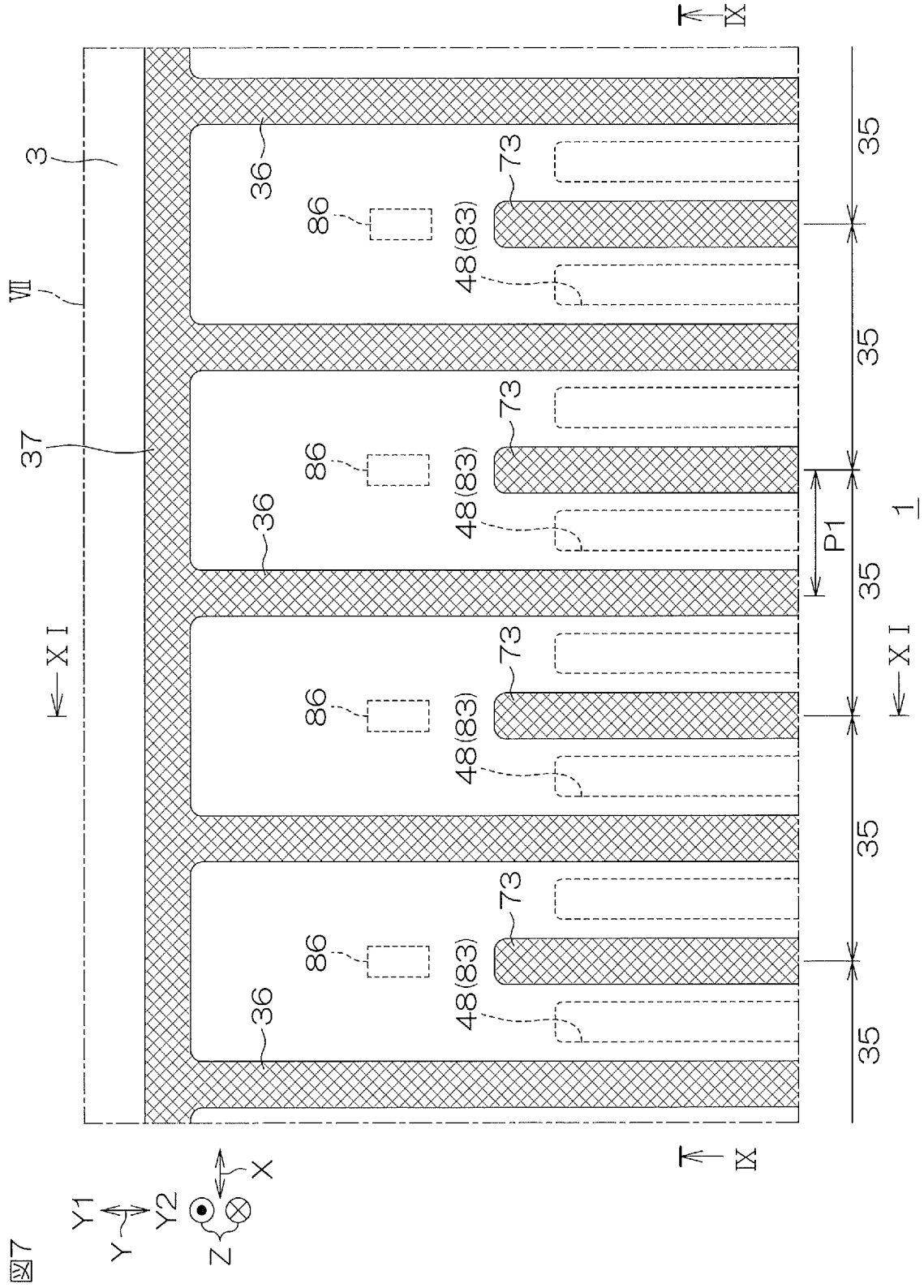
[5B]



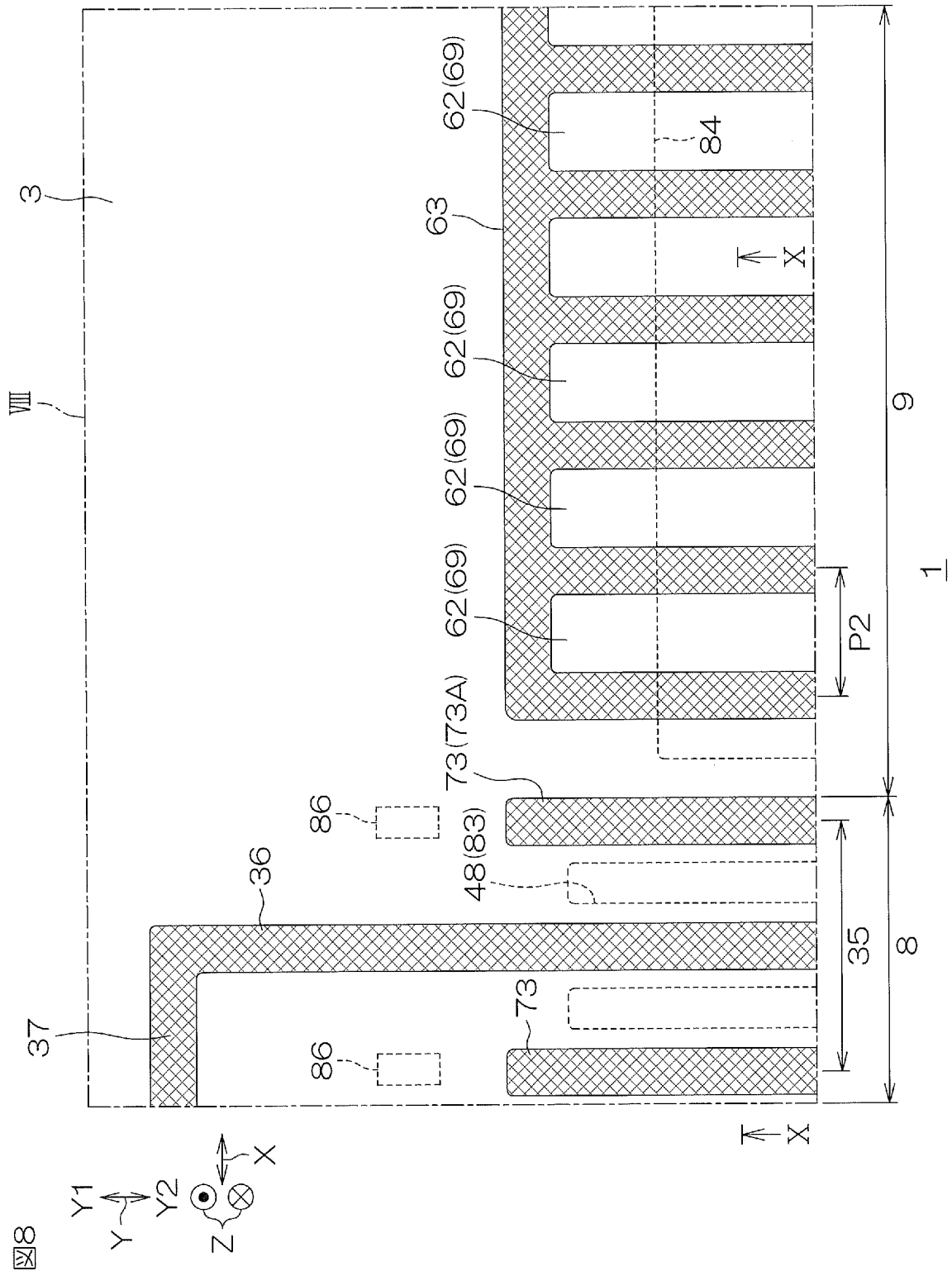
[圖6]



[図7]

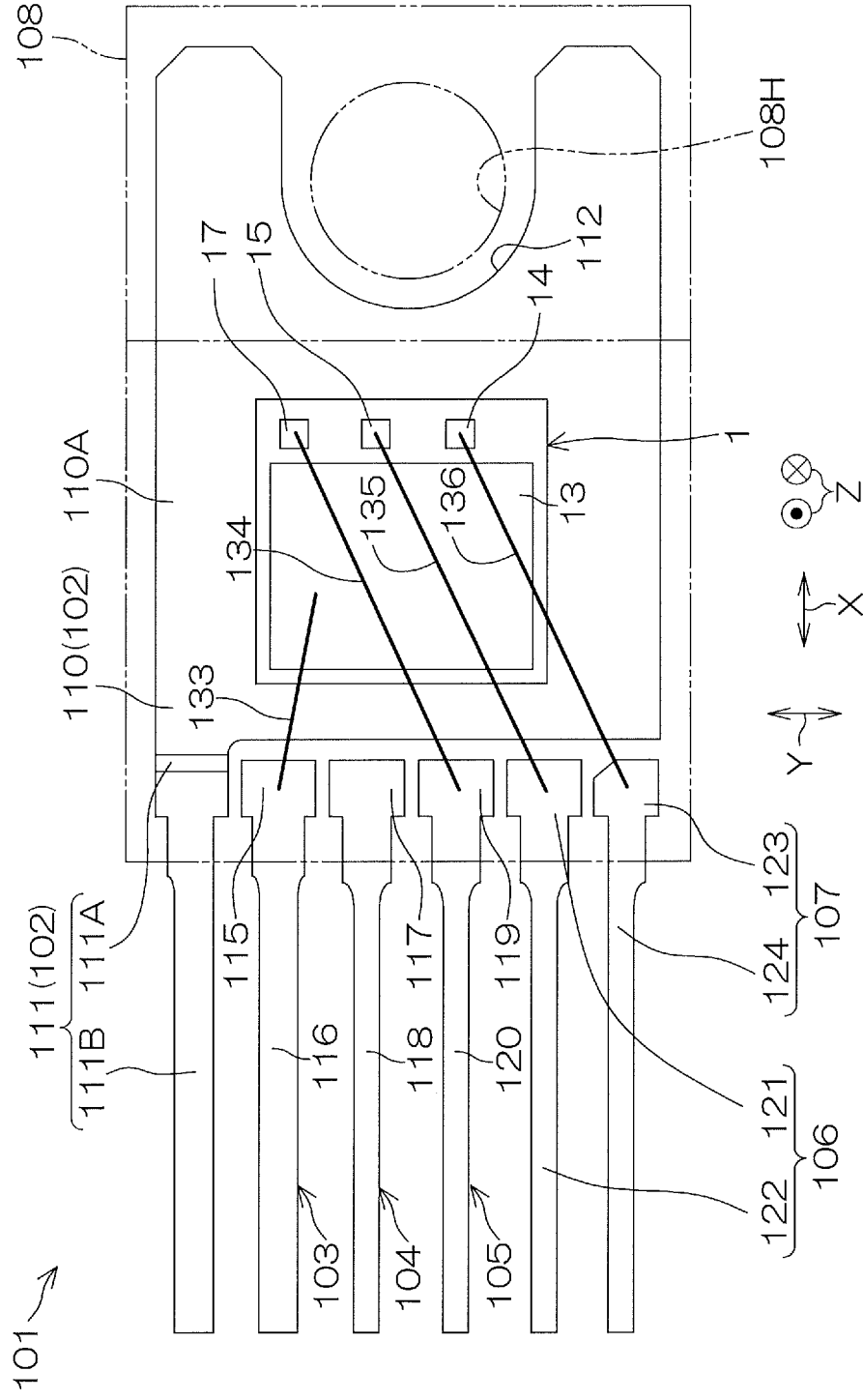


[図8]

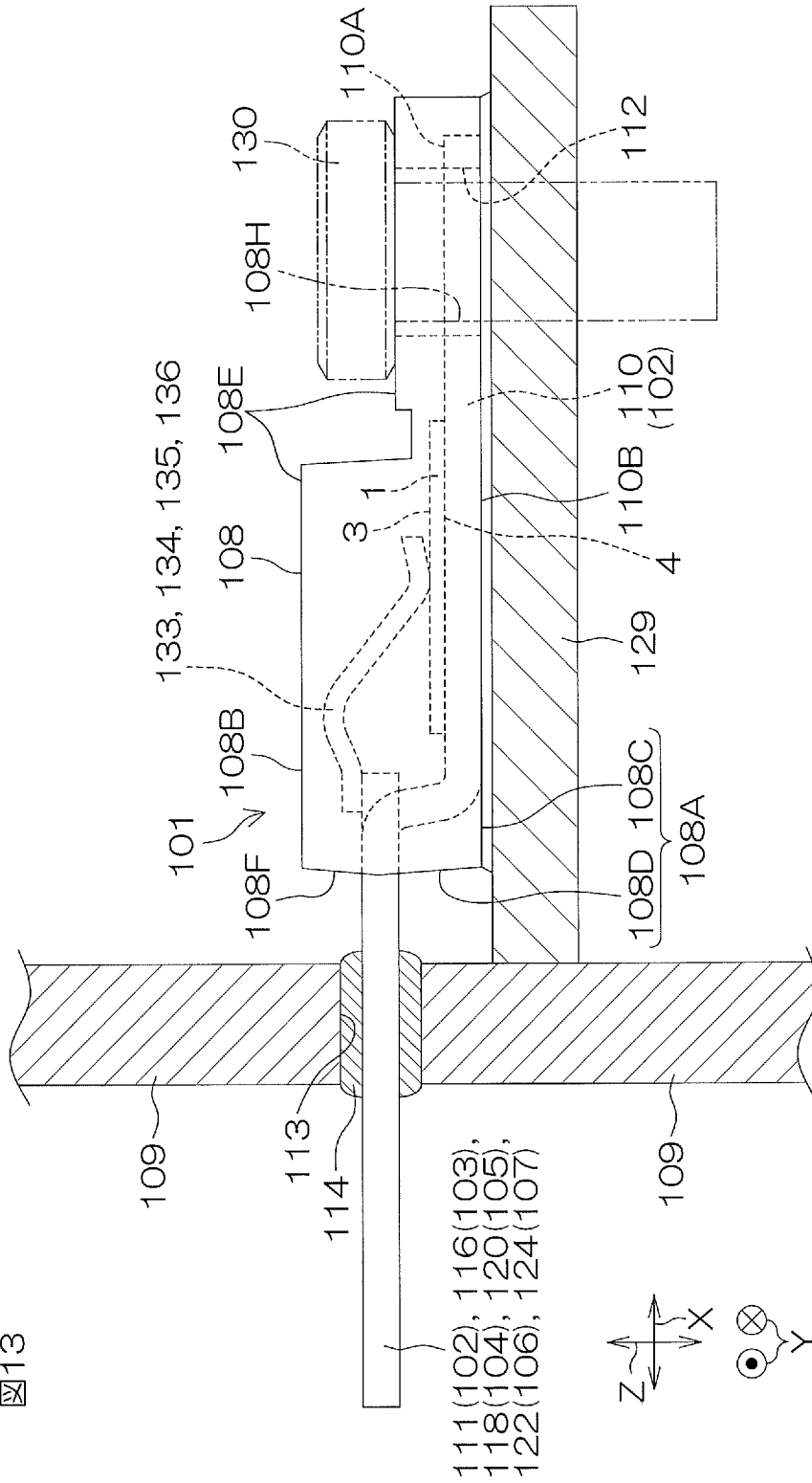


[図12]

図12

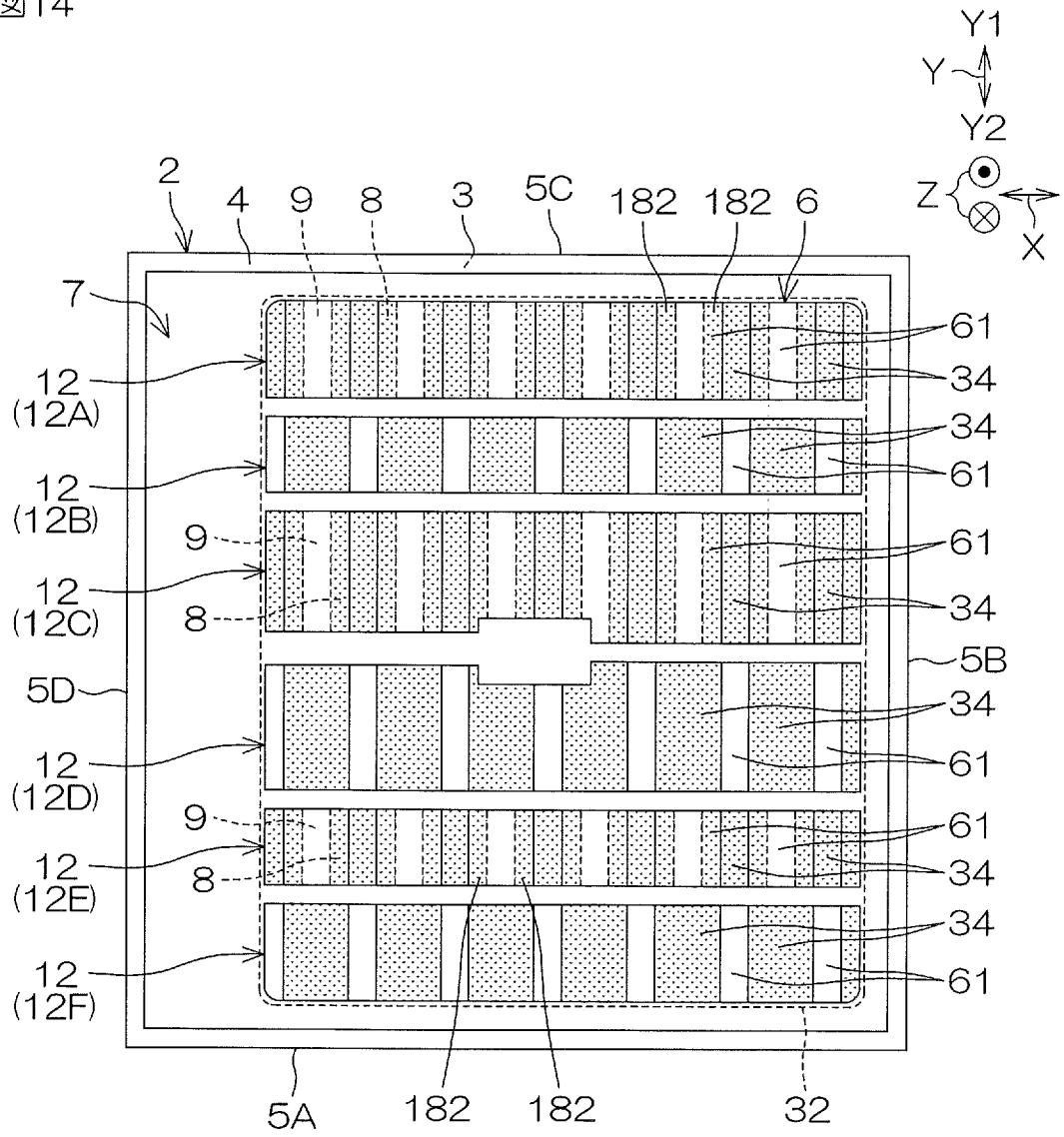


[図13]



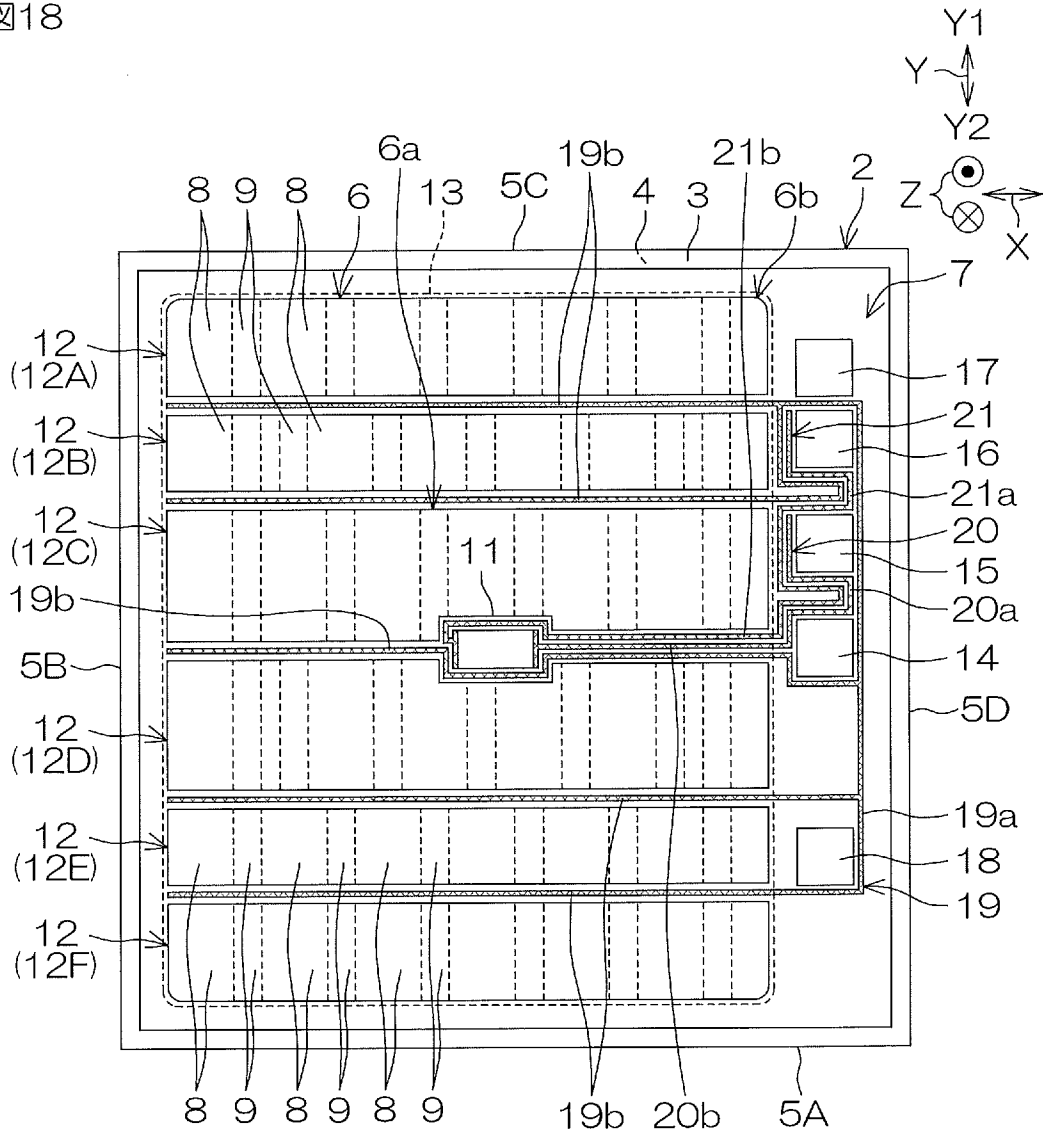
[図14]

図14



[図18]

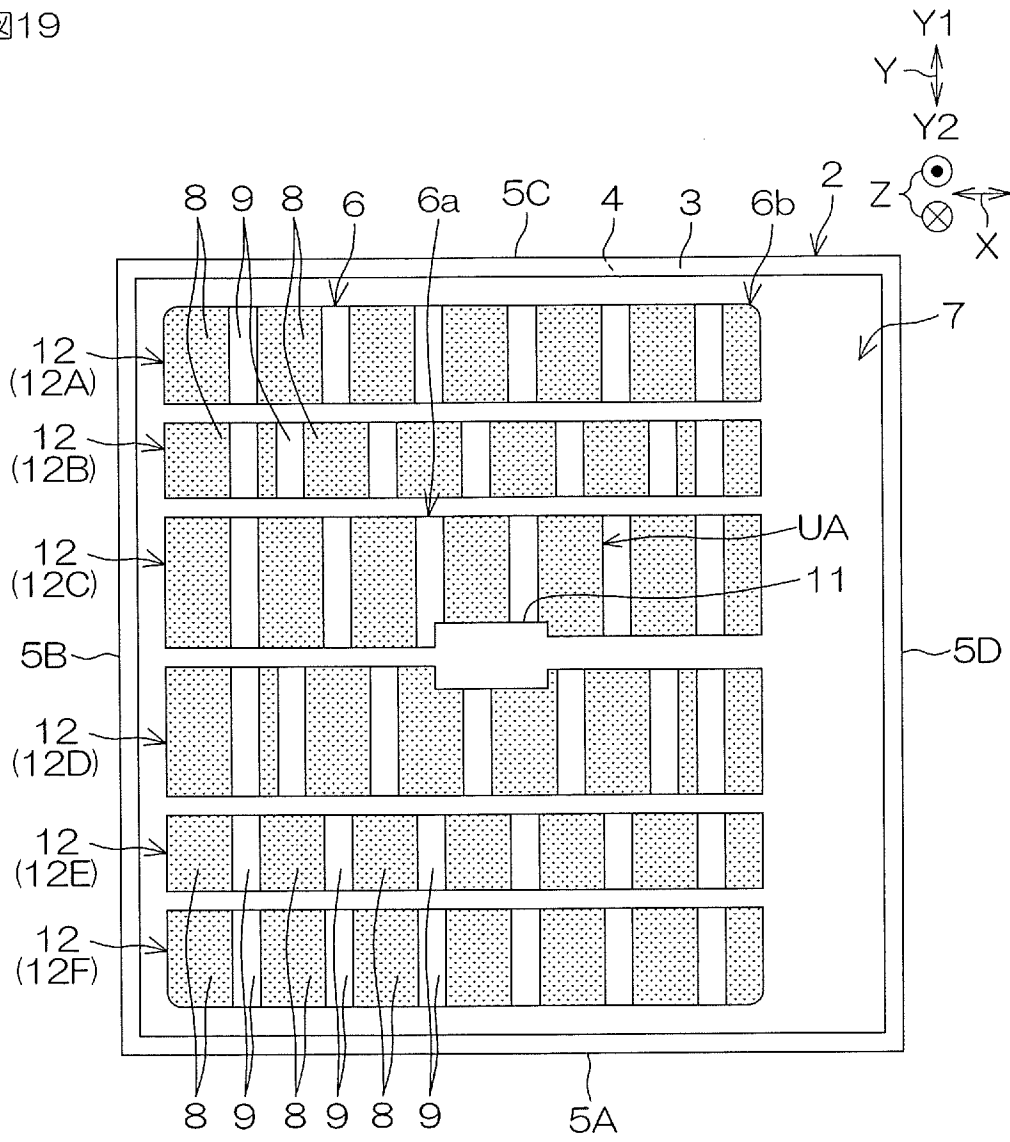
図18



301

[図19]

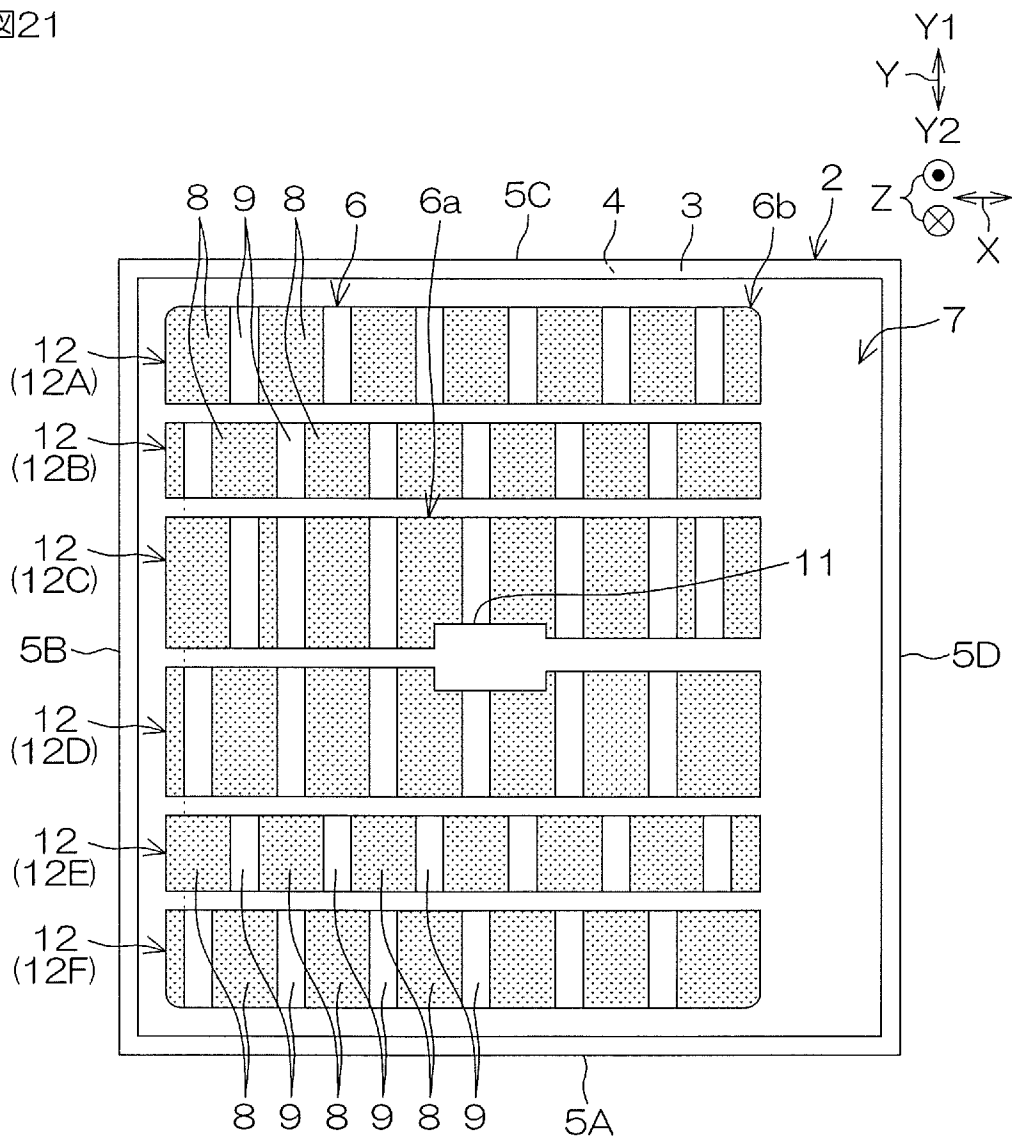
図19



301

[図21]

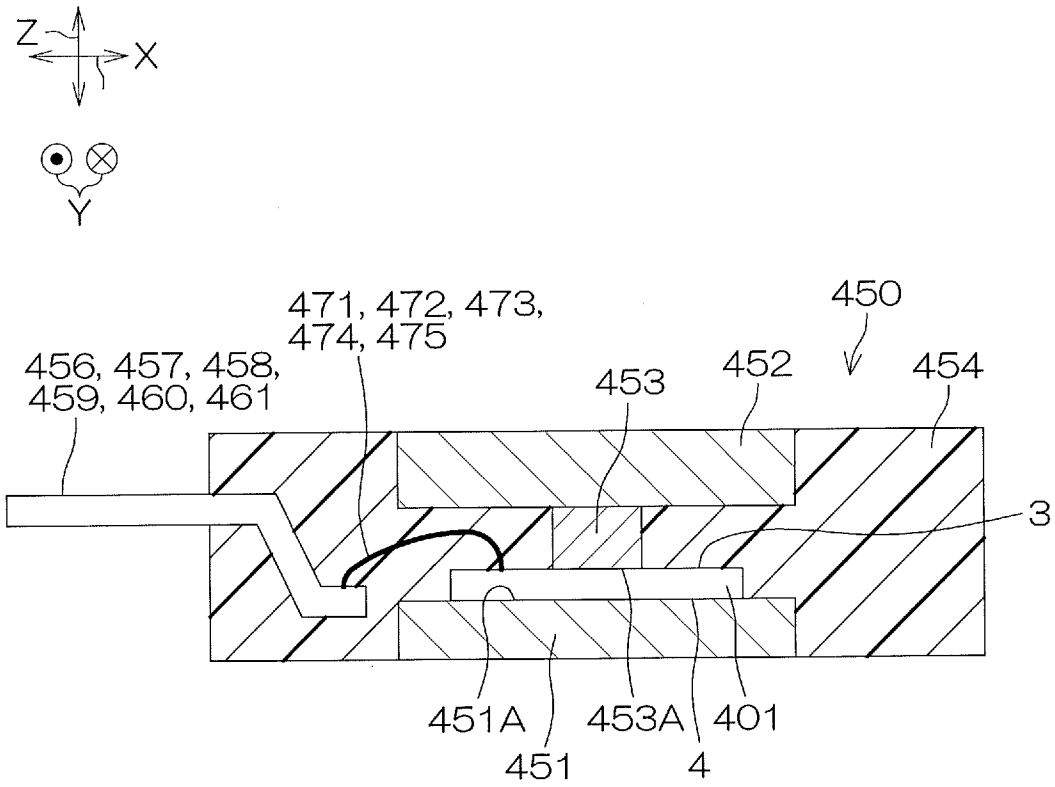
図21



401

[図22]

図22



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/008084

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 29/78</i> (2006.01)i; <i>H01L 29/739</i> (2006.01)i FI: H01L29/78 657D; H01L29/78 655G; H01L29/78 653C; H01L29/78 652J; H01L29/78 655B; H01L29/78 652M; H01L29/78 655D; H01L29/78 652Q		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/78; H01L29/739		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2019-140348 A (FUJI ELECTRIC CO., LTD.) 22 August 2019 (2019-08-22) paragraphs [0019]-[0051], [0064]-[0076], fig. 1, 4	1, 6, 7, 9, 14
Y		8, 10
A		2-5, 11-13, 15
Y	JP 2022-178755 A (FUJI ELECTRIC CO., LTD.) 02 December 2022 (2022-12-02) paragraphs [0019]-[0026], fig. 1	8
Y	JP 2023-13642 A (DENSO CORPORATION) 26 January 2023 (2023-01-26) paragraph [0027], fig. 3	10
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 07 May 2024		Date of mailing of the international search report 14 May 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2024/008084

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2019-140348 A	22 August 2019	US 2019/0252532 A1 paragraphs [0029]-[0061], [0074]-[0086], fig. 1, 4	
JP 2022-178755 A	02 December 2022	US 2022/0375810 A1 paragraphs [0028]-[0035], fig. 1 DE 102022106911 A1 CN 115377040 A	
JP 2023-13642 A	26 January 2023	US 2023/0016437 A1 paragraph [0046], fig. 3 CN 115621239 A	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 29/78(2006.01)i; H01L 29/739(2006.01)i</p> <p>FI: H01L29/78 657D; H01L29/78 655G; H01L29/78 653C; H01L29/78 652J; H01L29/78 655B; H01L29/78 652M; H01L29/78 655D; H01L29/78 652Q</p>														
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L29/78; H01L29/739</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2024年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2024年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2024年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2024年	日本国実用新案登録公報	1996 - 2024年	日本国登録実用新案公報	1994 - 2024年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2024年													
日本国実用新案登録公報	1996 - 2024年													
日本国登録実用新案公報	1994 - 2024年													
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X Y A</td> <td>JP 2019-140348 A（富士電機株式会社）22.08.2019（2019 - 08 - 22） 段落0019-0051, 0064-0076、図1, 4</td> <td>1, 6, 7, 9, 14 8, 10 2-5, 11-13, 15</td> </tr> <tr> <td>Y</td> <td>JP 2022-178755 A（富士電機株式会社）02.12.2022（2022 - 12 - 02） 段落0019-0026、図1</td> <td>8</td> </tr> <tr> <td>Y</td> <td>JP 2023-13642 A（株式会社デンソー）26.01.2023（2023 - 01 - 26） 段落0027、図3</td> <td>10</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X Y A	JP 2019-140348 A（富士電機株式会社）22.08.2019（2019 - 08 - 22） 段落0019-0051, 0064-0076、図1, 4	1, 6, 7, 9, 14 8, 10 2-5, 11-13, 15	Y	JP 2022-178755 A（富士電機株式会社）02.12.2022（2022 - 12 - 02） 段落0019-0026、図1	8	Y	JP 2023-13642 A（株式会社デンソー）26.01.2023（2023 - 01 - 26） 段落0027、図3	10
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X Y A	JP 2019-140348 A（富士電機株式会社）22.08.2019（2019 - 08 - 22） 段落0019-0051, 0064-0076、図1, 4	1, 6, 7, 9, 14 8, 10 2-5, 11-13, 15												
Y	JP 2022-178755 A（富士電機株式会社）02.12.2022（2022 - 12 - 02） 段落0019-0026、図1	8												
Y	JP 2023-13642 A（株式会社デンソー）26.01.2023（2023 - 01 - 26） 段落0027、図3	10												
<p>国際調査を完了した日</p> <p>07.05.2024</p>	<p>国際調査報告の発送日</p> <p>14.05.2024</p>													
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>岩本 勉 5F 9355</p> <p>電話番号 03-3581-1101 内線 3514</p>													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/008084

引用文献	公表日	パテントファミリー文献	公表日
JP 2019-140348 A	22.08.2019	US 2019/0252532 A1 段落0029-0061, 0074-0086、図1, 4	
JP 2022-178755 A	02.12.2022	US 2022/0375810 A1 段落0028-0035、図1 DE 102022106911 A1 CN 115377040 A	
JP 2023-13642 A	26.01.2023	US 2023/0016437 A1 段落0046、図3 CN 115621239 A	