

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 26 年 7 月 3 日 (2014.7.3)

【公開番号】特開 2012-9847 (P2012-9847A)

【公開日】平成 24 年 1 月 12 日 (2012.1.12)

【年通号数】公開・登録公報 2012-002

【出願番号】特願 2011-113410 (P2011-113410)

【国際特許分類】

H 0 1 L 21/3205 (2006.01)

H 0 1 L 21/768 (2006.01)

H 0 1 L 23/522 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 25/065 (2006.01)

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

H 0 1 L 27/10 (2006.01)

【F I】

H 0 1 L 21/88 J

H 0 1 L 27/04 E

H 0 1 L 25/08 Z

H 0 1 L 27/10 4 6 1

【手続補正書】

【提出日】平成 26 年 5 月 16 日 (2014.5.16)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

平坦部及び突出部を含む表面を有するピア構造物と、
前記ピア構造物の前記平坦部のうち、少なくとも一部上に形成され、前記突出部のうち、少なくとも一部上には形成されない導電構造物と、を含む半導体素子。

【請求項 2】

前記導電構造物は、前記平坦部上のみ形成されて前記突出部上には形成されないことを特徴とする請求項 1 に記載の半導体素子。

【請求項 3】

前記導電構造物は、前記ピア構造物の前記表面領域の 5 ~ 80 % に形成されることを特徴とする請求項 1 に記載の半導体素子。

【請求項 4】

前記ピア構造物の前記突出部上のみ形成されるバッファ膜をさらに含むことを特徴とする請求項 1 に記載の半導体素子。

【請求項 5】

前記ピア構造物の前記突出部上に形成され、及び前記導電構造物を取り囲む誘電膜をさらに含むことを特徴とする請求項 4 に記載の半導体素子。

【請求項 6】

前記ピア構造物は、少なくとも一つの誘電膜及び半導体基板を貫通する開口内に形成さ

れたＴＳＶであることを特徴とする請求項４に記載の半導体素子。

【請求項７】

前記ＴＳＶは、
前記開口の内壁上に形成された絶縁膜と、
前記開口内の前記絶縁膜上に形成されたバリア膜と、
前記バリア膜が形成された前記開口内に形成されて前記バリア膜によって少なくとも一部が取り囲まれる導電パターンと、を含むことを特徴とする請求項６に記載の半導体素子。

【請求項８】

前記ＴＳＶは、前記導電パターンが形成された前記開口内に形成されて、前記導電パターンによって少なくとも一部が取り囲まれる中心充填部を含むことを特徴とする請求項７に記載の半導体素子。

【請求項９】

前記中心充填部は、前記導電パターンに比べて低い熱膨張係数を有し、これによって、前記突出部はリング形状を有することを特徴とする請求項８に記載の半導体素子。

【請求項１０】

前記ＴＳＶは、また他の半導体素子のコンタクト構造物と結合して積層型半導体素子を形成することを特徴とする請求項６に記載の半導体素子。

【請求項１１】

前記積層型半導体素子は、メモリ素子であることを特徴とする請求項１０に記載の半導体素子。

【請求項１２】

前記ビア構造物の前記平坦部の少なくとも一部上に形成され、前記突出部上には形成されない他の導電構造物と、
前記導電構造物及び前記他の導電構造物を結合する接続構造物と、をさらに含むことを特徴とする請求項１に記載の半導体素子。

【請求項１３】

前記導電構造物は、前記ビア構造物の前記突出部の少なくとも一部上に形成された開口を含むことを特徴とする請求項１に記載の半導体素子。

【請求項１４】

平坦部及び突出部を含む表面を有する他のビア構造物をさらに含むが、
前記導電構造物は前記複合ビア構造物の平坦部上に形成され、前記突出部上には形成されないことを特徴とする請求項１に記載の半導体素子。

【請求項１５】

各々が平坦部及び突出部を含む各表面を有する複数のビア構造物と、
前記複数のビア構造物のうち、少なくとも二つを含む各セットの平坦部上には形成され、突出部上には形成されない複数の導電構造物をさらに含むことを特徴とする請求項１に記載の半導体素子。

【請求項１６】

前記複数の導電構造物を結合する結合構造物をさらに含むことを特徴とする請求項１５に記載の半導体素子。

【請求項１７】

平坦部及び突出部を含む表面を有するビア構造物と、前記ビア構造物の前記平坦部のうち、少なくとも一部上に形成され、前記突出部のうち、少なくとも一部上には形成されない導電構造物とを含む第１集積回路チップと、
前記第１集積回路チップの前記ビア構造物に結合されるコンタクト構造物を含む第２集積回路チップを具備する積層型半導体素子。

【請求項１８】

前記導電構造物は、前記平坦部上にのみ形成されて前記突出部上には形成されないことを特徴とする請求項１７に記載の積層型半導体素子。

【請求項 19】

前記導電構造物は、前記ビア構造物の前記表面領域の5～80％に形成されることを特徴とする請求項17に記載の積層型半導体素子。

【請求項 20】

前記ビア構造物の前記突出部上に形成されるバッファ膜と、
前記ビア構造物の前記突出部上に形成され、及び前記導電構造物を取り囲む誘電膜と、
をさらに含むことを特徴とする請求項17に記載の積層型半導体素子。

【請求項 21】

前記ビア構造物は、前記第1集積回路チップの少なくとも一つの誘電膜及び半導体基板を貫通する開口内に形成されたTSVであることを特徴とする請求項17に記載の積層型半導体素子。

【請求項 22】

前記積層型半導体素子は、メモリ素子であることを特徴とする請求項17に記載の積層型半導体素子。

【請求項 23】

中心部及び外郭部を含む表面を有し、半導体基板を貫通するビア構造物と、
前記ビア構造物の前記外郭部のうち、少なくとも一部上に形成され、前記中心部上には形成されない導電構造物を含む半導体素子。

【請求項 24】

前記ビア構造物の前記外郭部と前記中心部は、平坦であることを特徴とする請求項23に記載の半導体素子。

【請求項 25】

前記ビア構造物の前記中心部は、前記外郭部から突出していることを特徴とする請求項23に記載の半導体素子。