

(43) 国際公開日  
2012 年 8 月 2 日(02.08.2012)



(10) 国際公開番号

**WO 2012/102342 A1**

- (51) 国際特許分類:  
*H03F 3/24* (2006.01) *H04B 1/04* (2006.01)  
*H03F 1/02* (2006.01)

(21) 国際出願番号: PCT/JP2012/051662

(22) 国際出願日: 2012 年 1 月 26 日(26.01.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
 特願 2011-015427 2011 年 1 月 27 日(27.01.2011) JP  
 特願 2011-163347 2011 年 7 月 26 日(26.07.2011) JP

(71) 出願人(米国を除く全ての指定国について): 京セラ株式会社(KYOCERA CORPORATION) [JP/JP]; 〒6128501 京都府京都市伏見区竹田鳥羽殿町 6 番地 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 磯山 伸治 (ISOYAMA, Shinji) [JP/JP]; 〒8994312 鹿児島県霧島市国分山下町 1 番 4 号 京セラ株式会社総合研究所内 Kagoshima (JP). 福岡 泰彦(FUKUOKA, Yasuhiko) [JP/JP]; 〒6190237 京都府相楽郡精華町光台 3 丁目 5 番地 3 号 京セラ株式会社中央研究所内 Kyoto (JP). 長山 昭(NAGAYAMA, Akira) [JP/JP]; 〒1860002 東京都国立市東 3-1-1-5 9 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
 ー 国際調査報告(条約第 21 条(3))

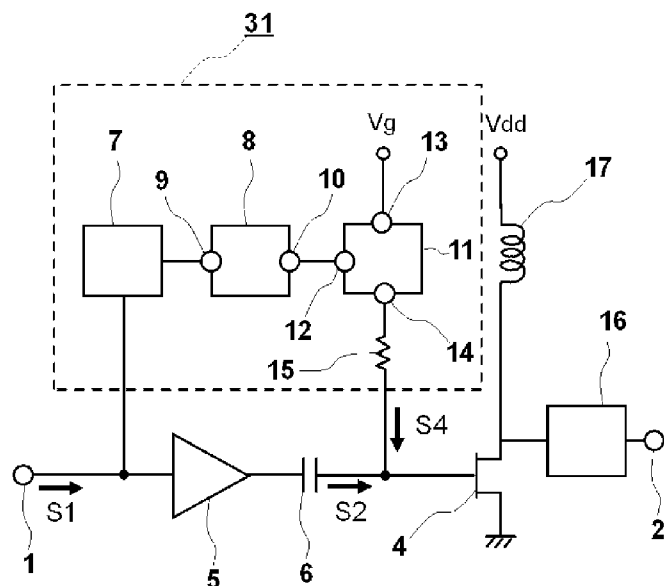
添付公開書類:

— 國際調查報告（條約第 21 條(3)）

**(54) Title:** POWER AMPLIFIER CIRCUIT, AS WELL AS TRANSMISSION DEVICE AND COMMUNICATION DEVICE USING SAME

(54) 発明の名称：電力増幅回路ならびにそれを用いた送信装置および通信装置

[図1]



**(57) Abstract:** [Problem] To provide a power amplifier circuit capable of amplifying a pulsed signal with high efficiency as well as a transmission device and a communication device using the same. [Solution] This power amplifier circuit is provided with: a capacitor (6) into which is input a first signal (S1) and which outputs a second signal (S2); a conversion circuit (31) into which is input a third signal (S3) of the same duty ratio as the first signal (S1), or the first signal (S1), and which outputs a fourth signal (S4) having a DC voltage which increases or decreases according to an increase or decrease of the duty ratio of the signal which has been input; a transistor (4) for which the second signal (S2) and the fourth signal (S4) are summed and input into a gate terminal; a first lowpass filter circuit (17) such that one end is connected to the drain terminal of the transistor (4) and the other end is connected to a supply potential (Vdd); and an output matching circuit (16) which is connected to the drain terminal of the transistor (4).

(57) 要約:

[続葉有]

**WO 2012/102342 A1**



【課題】 パルス状の信号を高効率で増幅可能な電力増幅回路ならびにそれを用いた送信装置および通信装置を提供する。 【解決手段】 第1信号S<sub>1</sub>が入力されて第2信号S<sub>2</sub>を出力するキャパシタ6と、第1信号S<sub>1</sub>とデューティ比が等しい第3信号S<sub>3</sub>または第1信号S<sub>1</sub>が入力されて、入力された信号のデューティ比の増減に応じて増減する直流電圧を有する第4信号S<sub>4</sub>を出力する変換回路31と、第2信号S<sub>2</sub>および第4信号S<sub>4</sub>が加算されてゲート端子に入力されるトランジスタ4と、一方端がトランジスタ4のドレイン端子に接続されているとともに他方端が電源電位V<sub>dd</sub>に接続される第1の低域通過フィルタ回路17と、トランジスタ4のドレイン端子に接続された出力整合回路16とを備える電力増幅回路とする。

## 明 細 書

発明の名称：

電力増幅回路ならびにそれを用いた送信装置および通信装置

### 技術分野

[0001] 本発明は、電力増幅回路ならびにそれを用いた送信装置および通信装置に関するものであり、特に、パルス状の信号を増幅する電力増幅回路ならびにそれを用いた送信装置および通信装置に関するものである。

### 背景技術

[0002] 従来、トランジスタのゲート端子に信号が入力されて、トランジスタのドレイン端子から増幅された信号を出力する電力増幅回路が知られている。このような電力増幅回路では、トランジスタのゲート端子に供給される直流バイアス電圧が前段側の回路に加わるのを防止するために、入力端子とトランジスタのゲート端子との間に直流遮断用のキャパシタが挿入される（例えば、特許文献1を参照。）。

### 先行技術文献

#### 特許文献

[0003] 特許文献1：特開2010-21927号公報

### 発明の概要

#### 発明が解決しようとする課題

[0004] しかしながら、上述した従来の電力増幅回路においては、パルス状の信号を増幅するときには、デューティ比が大きくなると効率が低下するといった問題があった。

[0005] 本発明はこのような従来の技術における問題点に鑑みて案出されたものであり、その目的は、パルス状の信号を高効率で増幅可能な電力増幅回路ならびにそれを用いた送信装置および通信装置を提供することにある。

#### 課題を解決するための手段

[0006] 本発明の電力増幅回路は、第1信号が直接または振幅を変えて入力されて第2信号を出力するキャパシタと、前記第1信号とデューティー比が等しい第3信号または前記第1信号が入力されて、入力された信号のデューティー比の増減に応じて増減する直流電圧を有する第4信号を出力する変換回路と、前記第2信号および前記第4信号が加算されてゲート端子に入力される第1のトランジスタと、一方端が前記第1のトランジスタのドレイン端子に接続されているとともに他方端が電源電位に接続される第1の低域通過フィルタ回路と、前記第1のトランジスタのドレイン端子に接続された出力整合回路とを備えることを特徴とするものである。

[0007] なお、本明細書において、パルス状の信号とは、周期的かつ離散的な信号のことである。波形は矩形に限るものではなく、例えば、半端整流波のような信号も含むものである。

## 発明の効果

[0008] 本発明の電力増幅回路によれば、パルス状の信号を高効率で増幅可能な電力増幅回路を得ることができる。

## 図面の簡単な説明

- [0009] [図1]本発明の実施の形態の第1の例の電力増幅回路を示す回路図である。  
[図2]図1における積分回路の一例を示す回路図である。  
[図3]図1におけるDC加算器の一例を示す回路図である。  
[図4] (a) ~ (d) は、本発明の効果が得られるメカニズムを説明するための図である。  
[図5]本発明の実施の形態の第2の例の電力増幅回路を示す回路図である。  
[図6]本発明の実施の形態の第3の例の電力増幅回路を示す回路図である。  
[図7]本発明の実施の形態の第4の例の電力増幅回路を示す回路図である。  
[図8]本発明の実施の形態の第5の例の送信装置を示すブロック図である。  
[図9]本発明の実施の形態の第6の例の通信装置を示すブロック図である。  
[図10]本発明の実施の形態の第1の例の電力増幅回路および比較例の電力増幅回路のシミュレーション結果を示すグラフである。

[図11]本発明の実施の形態の第2の例の電力増幅回路のシミュレーション結果を示すグラフである。

### 発明を実施するための形態

[0010] 以下、本発明の電力増幅回路ならびにそれを用いた送信装置および通信装置を添付の図面を参照しつつ詳細に説明する。

[0011] (実施の形態の第1の例)

図1は本発明の実施の形態の第1の例の電力増幅回路を示す回路図である。図2は図1における積分回路8の一例を示す回路図である。図3は図1における直流加算回路11の一例を示す回路図である。

[0012] 本例の電力増幅回路は、図1に示すように、端子1と、端子2と、トランジスタ4と、増幅器5と、キャパシタ6と、出力整合回路16と、低域通過フィルタ回路17と、変換回路31とを備えている。なお、トランジスタ4はnチャンネルFETであり、そのピンチオフ電圧（ドレイン電流を流す閾値電圧）を $V_p$ とする。

[0013] キャパシタ6は、一方端が増幅器5を介して端子1に接続されており、他方端がトランジスタ4のゲート端子に接続されている。キャパシタ6は、トランジスタ4のゲート端子に加えられる直流バイアス電圧が、増幅器5や端子1に接続される図示せぬ外部回路に加わるのを防止する。端子1には図示せぬ外部回路からパルス状の信号である第1信号 $S_1$ が入力される。第1信号 $S_1$ は、増幅器5で増幅され、キャパシタ6で直流成分がカットされて、第2信号 $S_2$ としてトランジスタ4のゲート端子に入力される。

[0014] 変換回路31は、検波回路7と、積分回路8と、直流加算回路11と、抵抗15とを備えている。検波回路7は、直列に接続された1つの抵抗および1つのダイオードで構成されており、一方端が端子1に接続されているとともに、他方端が積分回路8の端子9に接続されている。なお、ダイオードは、アノードが端子1側でカソードが積分回路8側に位置するような向きとされている。

[0015] 積分回路8は、図2に示すように、端子9と端子10とが抵抗21を介して接

続されるとともに、端子10がキャパシタ22を介してグランド電位に接続されて構成されている。このような構成によって低域通過フィルタ回路が形成されており、これによって積分回路を構成している。積分回路8は、第1信号S1のデューティ比に応じた大きさを備える直流電圧を有する信号を出力する。なお、高周波成分を減衰させるためにアクティブローパスフィルタやパッシブローパスフィルタを追加しても構わない。

[0016] 直流加算回路11は、図3に示すように、抵抗23, 24, 26と、OPアンプ25と、端子12, 13, 14とを備えている。抵抗23, 24の一方端同士が接続されて、抵抗26の一方端およびOPアンプの一方の入力端子に接続されている。抵抗23, 24の他方端は、それぞれ端子12, 13に接続されている。端子12は積分回路8の端子10に接続されている。端子13は直流バイアス電位 $V_g$ に接続されている。OPアンプの出力端は、抵抗26の他方端および端子14に接続されている。直流加算回路11は、端子12に入力された積分回路8の出力信号と、端子13に入力された直流バイアス電圧 $V_g$ とを加算して、端子14から出力する。

[0017] 抵抗15は、一方端が直流加算回路11の端子14に接続されているとともに、他方端がキャパシタ6の他方端およびトランジスタ4のゲート端子に接続されている。

[0018] このような構成を備える変換回路31は、第1信号S1が入力されて、第1信号S1のデューティ比の増減に応じて増減する直流電圧を有する第4信号S4を出力する。なお、変換回路31に入力されるのは、第1信号S1とデューティ比が等しい信号であればよい。

[0019] トランジスタ4のゲート端子は、キャパシタ6の他方端および変換回路31の抵抗15の他方端に接続されており、第2信号S2および第4信号S4が加算されてトランジスタ4のゲート端子に入力される。

[0020] 低域通過フィルタ回路17は、1つのインダクタで構成されており、一方端がトランジスタ4のドレイン端子に接続されているとともに他方端が電源電位 $V_{dd}$ に接続されている。低域通過フィルタ回路17は、電源電位 $V_{dd}$ を

トランジスタ 4 のドレイン端子に供給するとともに、高周波信号が電源電位  $V_{dd}$  側へ流出するのを防止する。

[0021] 出力整合回路16は、一方端がトランジスタ 4 のドレイン端子に接続されており、他方端が端子 2 に接続されている。出力整合回路16は、トランジスタ 4 のドレイン端子と端子 2 との間でインピーダンスを整合させるものである。出力整合回路16は、例えば、DC カットキャパシタと、前記基本波の周波数で共振する LC 直列共振回路とを直列に接続して構成することができる。このような構成にすると、トランジスタ 4 のドレイン端子から出力される信号の基本波成分のみを端子 2 から出力することができる。

[0022] このような構成を備える本例の電力増幅回路は、端子 1 に入力された第 1 信号  $S_1$  を増幅器 5 およびトランジスタ 4 で増幅して端子 2 から出力することができる。また、本例の電力増幅回路によれば、パルス信号を高効率で増幅可能な電力増幅回路を得ることができる。

[0023] この効果が得られるメカニズムを図 4 (a) ~ (d) を用いて説明する。図 4 (a) ~ (d) は本発明の効果を説明するためのグラフであり、横軸は時間を示し、縦軸はパルス信号の電圧を示す。また、 $V_p$  は、トランジスタ 4 のピンチオフ電圧であり、トランジスタ 4 のゲート端子に入力されるパルス信号の電圧が  $V_p$  を超えている間、パルス信号の電圧に応じたドレイン電流が流れる。

[0024] 端子 1 に入力された第 1 信号  $S_1$  は、増幅器 5 で増幅された後に、キャパシタ 6 によって直流成分がカットされて、第 2 信号  $S_2$  がトランジスタ 4 のゲート端子に入力される。第 1 信号  $S_1$  がパルス状の信号であるとき、キャパシタ 6 によって直流成分がカットされることにより、パルス信号の波形が負電圧側へ全体的にシフトする。このときのシフト量は、パルス状の信号の平均電圧に比例する。よって、シフト量は、パルス状の信号のデューティ比に応じて増加し、デューティ比が 0.5 のときに最大となる。

[0025] デューティ比が 0.5 の方形のパルス波の、直流成分がカットされる前の波形を図 4 (a) に示し、デューティ比が 0.5 の方形のパルス波の、直流成分

がカットされた後の波形を図4（b）に示す。また、デューティー比が0.1の方形のパルス波の、直流成分がカットされる前の波形を図4（c）に示し、デューティー比が0.1の方形のパルス波の、直流成分がカットされた後の波形を図4（d）に示す。

[0026] 図4（a），（b）に示すように、デューティー比が0.5の方形のパルス信号の場合、直流成分がカットされることによる負電圧側へのシフト量は、パルス信号の波高の $1/2$ になる。また、図4（c），（d）に示すように、デューティー比が0.1の方形のパルス信号の場合、直流成分がカットされることによる負電圧側へのシフト量は、パルス信号の波高の $1/10$ になる。

[0027] このように、入力されたパルス状の信号を、DCカットキャパシタを介してトランジスタのゲート端子に入力して、トランジスタのドレイン端子から増幅後の信号を出力する電力増幅回路においては、DCカットキャパシタによって直流成分がカットされることにより、トランジスタのゲート端子に入力される信号の電圧が低下して、トランジスタのドレイン端子から出力される信号が小さくなる。これによって電力増幅回路の効率は低下する。そして、電力増幅回路に入力される信号のデューティー比が大きいほど、電力増幅回路の効率は大きく低下する。

[0028] 本例の電力増幅回路では、入力される信号（第1信号S1）のデューティー比の増減に応じて増減する直流電圧を有する第4信号S4が変換回路31から出力されて、第2信号S2に加算されてトランジスタ4のゲート端子に入力される。第1信号S1のデューティー比が増加すると、それに伴って第4信号S4の電圧が高くなるので、トランジスタ4のゲート端子に加わる信号の電圧低下を低減することができる。よって、本例の電力増幅回路は、パルス状の信号を高効率で増幅可能な電力増幅回路として機能する。なお、入力される第1信号S1のデューティー比が大きいほど、本例の電力増幅回路の効果も大きくなる。

[0029] なお、本例の電力増幅回路においては、端子1から入力された第1信号S1が増幅器5で増幅された後に、キャパシタ6に入力される例を示したが、

これに限定されるものではない。例えば、端子 1 から入力された第 1 信号 S 1 が、そのままキャパシタ 6 に入力されるようにしても構わない。

[0030] また、本例の電力増幅回路において、変換回路 31、検波回路 7、積分回路 8、直流加算回路 11、低域通過フィルタ回路 17 および出力整合回路 16 としては、前述した回路構成に限定されるものではない。同様の機能を有する他の回路構成にそれぞれ置き換えることが可能である。

[0031] (実施の形態の第 2 の例)

図 5 は、本発明の実施の形態の第 2 の例の電力増幅回路を示す回路図である。なお、本例においては前述した実施の形態の第 1 の例と異なる点のみについて説明し、同様の構成要素については同一の参照符号を用いて重複する説明を省略する。

[0032] 本例の電力増幅回路においては、図 5 に示すように、出力整合回路 16 が、キャパシタ 18 と、LC 直列共振回路 19 と、低域通過フィルタ回路 20 とによって構成されている。

[0033] LC 直列共振回路 19 は、出力整合回路 16 の入出力間（トランジスタ 4 のドレイン端子と端子 2 との間）に直列に接続されている。また、LC 直列共振回路 19 は、互いに直列に接続された 1 つのインダクタと 1 つのキャパシタとで構成されており、第 1 信号 S 1 の基本波の周波数で共振するようにインダクタのインダクタンスおよびキャパシタのキャパシタンスが設定されている。

[0034] 低域通過フィルタ回路 20 は、LC 直列共振回路 19 に縦続接続されており、LC 直列共振回路 19 と端子 2 とを接続している。また、低域通過フィルタ回路 20 は、2 つのキャパシタと 1 つのインダクタとからなる  $\pi$  型回路によって構成されており、第 1 信号 S 1 の基本波の周波数の信号を通過させるとともに第 1 信号 S 1 の高調波の周波数の信号を減衰させるように、キャパシタのキャパシタンスおよびインダクタのインダクタンスが設定されている。

[0035] キャパシタ 18 は、第 1 のトランジスタ 4 のドレイン端子と基準電位（グラウンド電位）との間に接続されている。

[0036] このような構成を備える本例の電力増幅回路は、出力整合回路16が、縦続接続されたLC直列共振回路19および低域通過フィルタ回路20を有していることから、入力される信号（第1信号S1）のデューティ比が大きい領域において、高く一定の効率を得ることができる。この効果が得られるメカニズムは明確に特定できていないが、トランジスタ4のドレイン端子から出力される信号における高調波成分を出力整合回路16が反射するためではないかと考えられる。

[0037] なお、低域通過フィルタ回路20は、2つのキャパシタと1つのインダクタとからなる $\pi$ 型回路に限定されるものではない。例えば、入出力間に直列に接続された1つのインダクタと、入出力間とグラウンド電位との間を接続する1つのキャパシタとで構成された低域通過フィルタ回路20としても良く、他の回路構成を備えた低域通過フィルタ回路20としても構わない。

[0038] （実施の形態の第3の例）

図6は、本発明の実施の形態の第3の例の電力増幅回路を示す回路図である。なお、本例においては前述した実施の形態の第1の例と異なる点のみについて説明し、同様の構成要素については同一の参照符号を用いて重複する説明を省略する。

[0039] 本例の電力増幅回路は、図6に示すように、図1に示した電力増幅回路と比較すると、端子1を備えておらず、トランジスタ33と、トランジスタ34と、端子41と、端子42とをさらに備えている。本例の電力増幅回路では、第5信号S5が、図示せぬ外部回路から端子41に入力されるとともに、第6信号S6が、図示せぬ外部回路から端子42に入力される。なお、第5信号S5および第6信号S6は、互いに周波数および振幅が等しく位相が異なる定包絡線信号である。また、トランジスタ33、34はnチャネルFETであり、そのピンチオフ電圧（ドレイン電流を流す閾値電圧）を $V_p$ とする。

[0040] トランジスタ33は、ゲート端子が端子42に接続されており、ソース端子が端子41に接続されており、ドレイン端子が増幅器5およびキャパシタ6を介してトランジスタ4のゲート端子に接続されている。そして、トランジスタ3

3は、ソース端子に第5信号S5が入力され、ゲート端子に第6信号S6が入力されるとともに、ドレイン端子からの出力信号が第1信号S1として増幅器5に入力される。

[0041] トランジスタ34は、ゲート端子が端子41に接続されており、ソース端子が端子42に接続されており、ドレイン端子が検波回路7の一方端に接続されている。そして、トランジスタ34は、ソース端子に第6信号S6が入力され、ゲート端子に第5信号S5が入力されるとともに、ドレイン端子からの出力信号が第3信号S3として検波回路7の一方端に入力される。なお、図示しないバイアス回路より、トランジスタ33, 34のゲート端子にそれぞれ直流バイアス電圧が供給される。

[0042] トランジスタ33, 34は、nチャネルトランジスタであるため、ピンチオフ電圧 $V_p$ 以上の正電圧がゲート端子に印加されると、ドレイン端子とソース端子との間が導通する。よって、トランジスタ33は、第6信号S6の電圧が $V_p$ 以上の正電圧である間、第5信号S5を通過させてドレイン端子から第1信号S1として出力する。トランジスタ34は、第5信号S5が $V_p$ 以上の正電圧である間、第6信号S6を通過させてドレイン端子から第3信号S3として出力する。第5信号S5および第6信号S6は、互いに周波数および振幅が等しく位相が異なる定包絡線信号であるため、トランジスタ33のドレイン端子から出力される第1信号S1と、トランジスタ34のドレイン端子から出力される第3信号S3とは、互いにデューティー比が等しいパルス状の信号となる。

[0043] また、第6信号S6の電圧が $V_p$ より大きい正の電圧である間だけ、トランジスタ33のドレイン端子から第1信号S1が出力されるため、第1信号S1が $V_p$ より大きい正の電圧である期間は、第5信号S5および第6信号S6が共にピンチオフ電圧 $V_p$ より大きい正の電圧である期間に一致する。そして、第1信号S1は、増幅器5で増幅され、キャパシタ6を通過して、第2信号S2としてトランジスタ4のゲート端子に入力され、トランジスタ4をON-OFFする。

[0044] したがって、トランジスタ4がON状態の時間は、第5信号S5と第6信号S6との位相差によって変化する。すなわち、第5信号S5と第6信号S6との位相差が小さい場合、トランジスタ4がON状態である時間は長くなり、第5信号S5と第6信号S6との位相差が大きい場合は、トランジスタ4がON状態である時間は短くなる。これにより、第5信号S5と第6信号S6との位相差の増減が、トランジスタ4がON状態である時間の増減に置き換えられる。

[0045] なお、第5信号S5および第6信号S6がともに $V_p$ より大きい正の電圧である期間は、第5信号S5および第6信号S6と同じ周期で発生するため、トランジスタ4がON状態になる期間も第5信号S5および第6信号S6と同じ周期で発生する。そのため、トランジスタ4のドレイン電圧も第5信号S5および第6信号S6と同じ周波数成分を含むことになる。

[0046] そして、出力整合回路16によって、トランジスタ4のドレイン電圧から基本波成分（第5信号S5および第6信号S6と同じ周波数成分）が抽出されて端子2から出力される。この出力信号は、第5信号S5および第6信号S6の位相差の増減とは逆に振幅が増減するものであり、第5信号S5および第6信号S6が合成されて増幅されたものになる。このようにして、電力増幅回路は、2つの定包絡線信号をベクトル加算して増幅して出力することが可能な電力増幅回路として機能する。

[0047] また、第5信号S5および第6信号S6の位相差が小さいときに生じる、トランジスタ4のゲート端子に加わる電圧の低下を、変換回路31によって低減することができる。よって、本例の電力増幅回路によれば、第5信号S5および第6信号S6の位相差が大きいときの増幅効率の低下が低減された電力増幅回路を得ることができる。

[0048] なお、本例においては、トランジスタ33のゲート端子に第6信号S6が入力され、トランジスタ34のゲート端子に第5信号S5が入力される例を示したが、これに限定されるものではない。トランジスタ33のゲート端子に入力されるのは、第6信号S6と同相の信号であれば良く、トランジスタ34のゲ

ート端子に入力されるのは、第5信号S5と同相の信号であれば良い。

[0049] (実施の形態の第4の例)

図7は本発明の実施の形態の第4の例の電力増幅回路を示す回路図である。本例の電力増幅回路は、図7に示すように、図6に示した電力増幅回路61に加えて、包絡線変動を有する入力信号を、第5信号S5となる第1定包絡線信号と、第6信号S6となる第2定包絡線信号とに変換して出力する定包絡線信号生成回路62をさらに備えている。なお、第1定包絡線信号(第5信号S5)および第2定包絡線信号(第6信号S6)は、互いに周波数および振幅が等しく位相が異なる定包絡線信号である。また、定包絡線信号生成回路62としては、よく知られている種々の定包絡線信号生成回路を使用することができ、デジタル方式の回路でもアナログ方式の回路でも構わない。

[0050] このような構成を備える本例の電力増幅回路によれば、包絡線変動を有する入力信号を、入力信号の振幅の増減と逆に増減する位相差を有する第1定包絡線信号および第2定包絡線信号に変換した後に、高い電源効率で増幅して、増幅された包絡線変動を有する出力信号を出力することができる。これにより、電源効率の高い電力増幅回路を得ることができる。

[0051] (実施の形態の第5の例)

図8は本発明の実施の形態の第5の例の送信装置を示すブロック図である。本例の送信装置は、図8に示すように、送信回路81と、図7に示す電力増幅回路70と、電力増幅回路70を介して送信回路81に接続されたアンテナ82とを有している。このような構成を有する本例の送信装置によれば、送信回路81から出力された送信信号を、消費電力が小さく電源効率が高い本発明の電力増幅回路70を用いて増幅してアンテナ82に出力することができるので、消費電力が小さい送信装置を得ることができる。

[0052] (実施の形態の第6の例)

図9は本発明の実施の形態の第6の例の通信装置を示すブロック図である。本例の通信装置は、図9に示すように、送信回路81と、図7に示す電力増幅回路70と、電力増幅回路70を介して送信回路81に接続されたアンテナ82と

、アンテナ82に接続された受信回路83とを有している。なお、アンテナ82と、電力増幅回路70および受信回路83との間にはアンテナ共用回路84が挿入されている。すなわち、電力増幅回路70および受信回路83は、アンテナ共用回路84を介してアンテナ82に接続されている。このような構成を有する本例の通信装置によれば、送信回路81から出力された送信信号を、消費電力が小さく電源効率が高い本発明の電力増幅回路70を用いて増幅してアンテナ82に出力することができるので、消費電力が小さい通信装置を得ることができる。なお、アンテナ共用回路84は、必ず必要ではなく、なくても構わない。

### 実施例

[0053] まず、図1に示した本発明の実施の形態の第1の例の電力増幅回路における電気特性を回路シミュレーションによって算出した。トランジスタ4はガリウム砒素FETとし、ピンチオフ電圧 $V_p$ を0.3Vとした。電源電位 $V_{dd}$ を4.5Vとし、直流バイアス電圧 $V_g$ を0.2Vとした。入力信号は矩形形状のパルス信号とし、周波数を700MHzとし、波高を0.6Vとした。

[0054] このシミュレーションの結果を図10のグラフに実線で示す。グラフにおいて、横軸はバックオフであり、入力信号のデューティ比が最大(0.5)のときのバックオフが0である。縦軸はドレイン効率である。また、図1に示す電力増幅回路から変換回路31を取り除いた比較例の電力増幅回路のシミュレーション結果を図10のグラフに破線で示す。

[0055] 図10に示すグラフによれば、本発明の電力増幅回路は、比較例の電力増幅回路よりもドレイン効率が高いことがわかる。また、特にバックオフが0に近いとき(入力信号のデューティ比が大きいとき)に、本発明の電力増幅回路のドレイン効率と、比較例の電力増幅回路のドレイン効率との差が大きくなることがわかる。

[0056] 次に、図5に示した本発明の実施の形態の第2の例の電力増幅回路における電気特性を回路シミュレーションによって算出した。トランジスタ4はガリウム砒素FETとし、ピンチオフ電圧 $V_p$ を0.3Vとした。電源電位 $V_{dd}$ を4.5Vとし、直流バイアス電圧 $V_g$ を0.2Vとした。入力信号は矩形形状のパ

ルス信号とし、周波数を700MHzとし、波高を0.6Vとした。キャパシタ18のキャパシタンスを0.3pFとした。LC直列共振回路19は、11.8nHのインダクタと4.3pFのキャパシタで構成した。低域通過フィルタ回路20は、3.9pFおよび3pFのキャパシタと19.1nHのインダクタからなる $\pi$ 型回路によって構成した。

[0057] このシミュレーションの結果を図11のグラフに示す。グラフにおいて、横軸はバックオフであり、入力信号のデューティ比が最大(0.5)のときのバックオフが0である。縦軸はドレイン効率である。

[0058] 図11に示すグラフによれば、入力信号のデューティ比が大きく、バックオフが0〜−14dBの領域において、80%程度と高く一定したドレイン効率を得られており、優れた特性を有する電力増幅器であることがわかる。

[0059] これらのシミュレーション結果により、本発明の有効性が確認できた。

### 符号の説明

- [0060] 4, 33, 34 : トランジスタ  
6, 18, 22 : キャパシタ  
16 : 出力整合回路  
17, 20 : 低域通過フィルタ回路  
19 : LC直列共振回路  
61, 70 : 電力増幅回路  
62 : 定包絡線信号生成回路  
81 : 送信回路  
82 : アンテナ  
83 : 受信回路

## 請求の範囲

- [請求項1]       第1信号が直接または振幅を変えて入力されて第2信号を出力するキャパシタと、  
前記第1信号とデューティ比が等しい第3信号または前記第1信号が入力されて、入力された信号のデューティ比の増減に応じて増減する直流電圧を有する第4信号を出力する変換回路と、  
前記第2信号および前記第4信号が加算されてゲート端子に入力される第1のトランジスタと、  
一方端が前記第1のトランジスタのドレイン端子に接続されているとともに他方端が電源電位に接続される第1の低域通過フィルタ回路と、  
前記第1のトランジスタのドレイン端子に接続された出力整合回路とを備えることを特徴とする電力増幅回路。
- [請求項2]       前記出力整合回路は、  
入出力間に直列に接続された、前記第1信号の基本波の周波数で共振するLC直列共振回路と、  
該LC直列共振回路に縦続接続された、前記第1信号の基本波の周波数の信号を通過させるとともに高調波の周波数の信号を減衰させる第2の低域通過フィルタ回路と、  
前記第1のトランジスタのドレイン端子と基準電位との間に接続されたキャパシタとを少なくとも有していることを特徴とする請求項1に記載の電力増幅回路。
- [請求項3]       ソース端子に第5信号が入力され、ゲート端子に第6信号または該第6信号と同相の信号が入力されるとともに、前記第1信号となる信号がドレイン端子から出力される第2のトランジスタと、  
ソース端子に前記第6信号が入力され、ゲート端子に前記第5信号または該第5信号と同相の信号が入力されるとともに、前記第3信号となる信号がドレイン端子から出力される第3のトランジスタとをさら

に備え、

前記第 3 信号が前記変換回路に入力されることを特徴とする請求項 1 に記載の電力増幅回路。

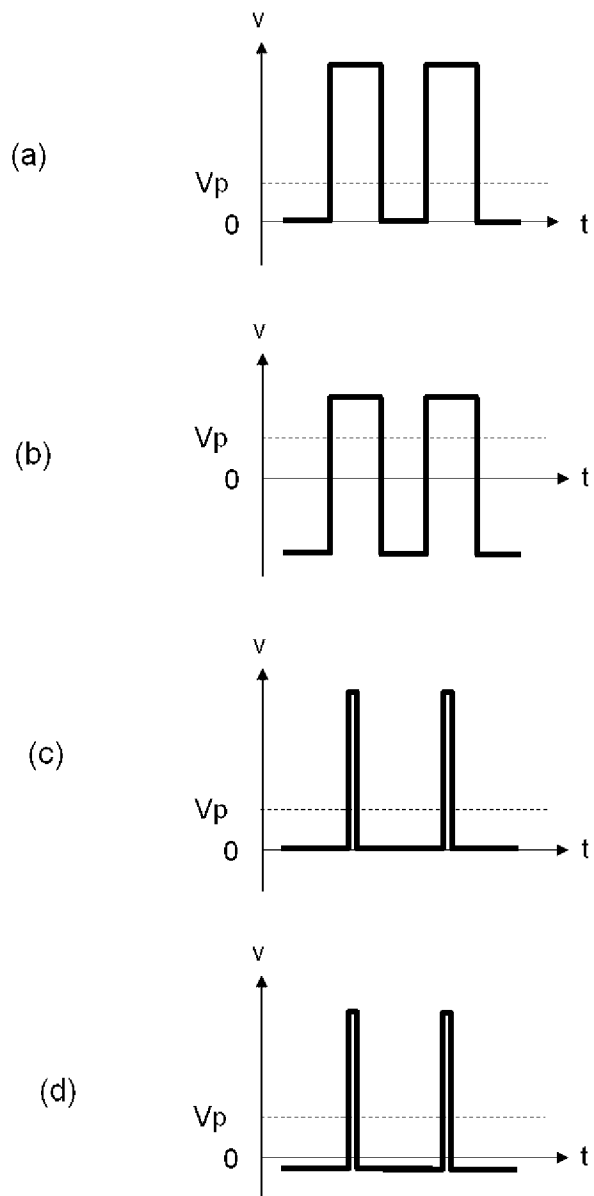
[請求項4] 包絡線変動を有する入力信号を、前記第 5 信号となる第 1 定包絡線信号と、前記第 6 信号となる第 2 定包絡線信号とに変換して出力する定包絡線信号生成回路をさらに備えることを特徴とする請求項 3 に記載の電力増幅回路。

[請求項5] 送信回路と、請求項 4 に記載の電力増幅回路と、該電力増幅回路を介して前記送信回路に接続されたアンテナとを少なくとも有していることを特徴とする送信装置。

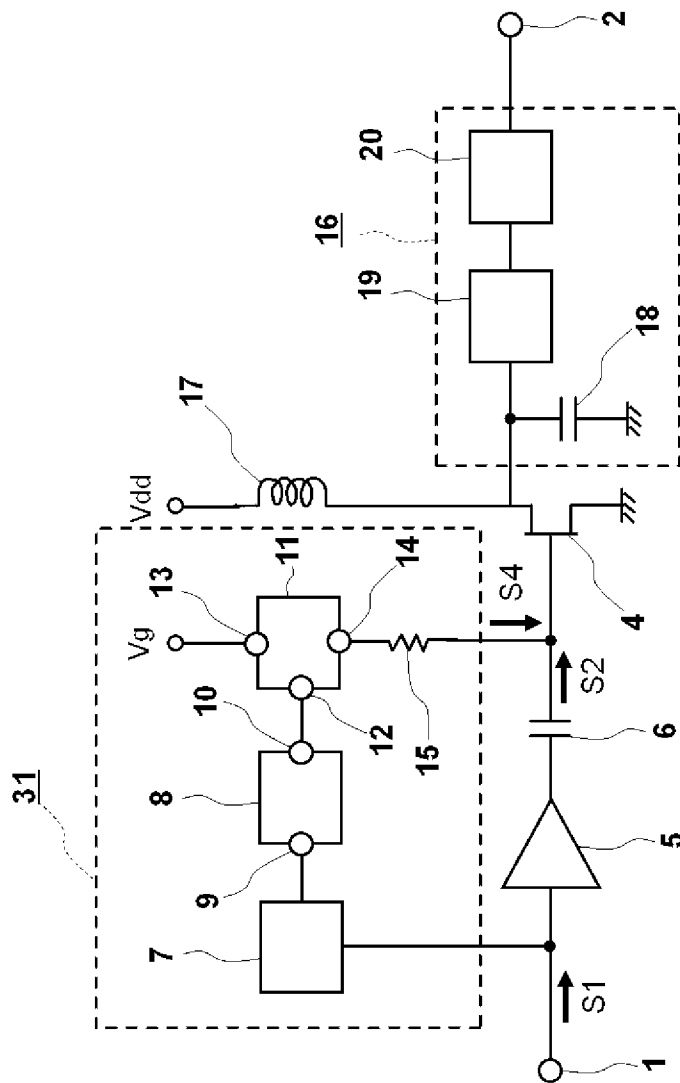
[請求項6] 送信回路と、請求項 4 に記載の電力増幅回路と、該電力増幅回路を介して前記送信回路に接続されたアンテナと、該アンテナに接続された受信回路とを少なくとも有していることを特徴とする通信装置。



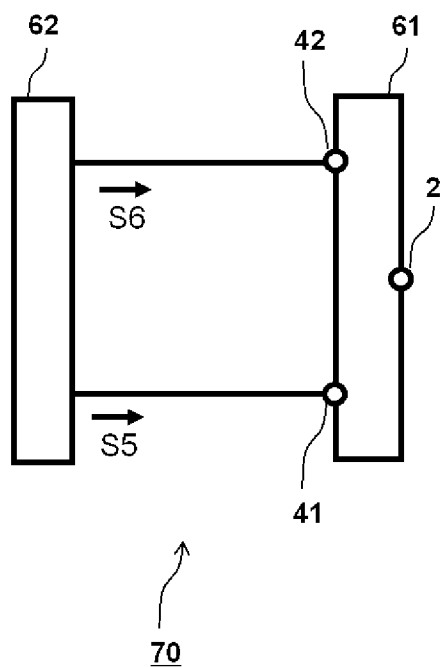
[図4]



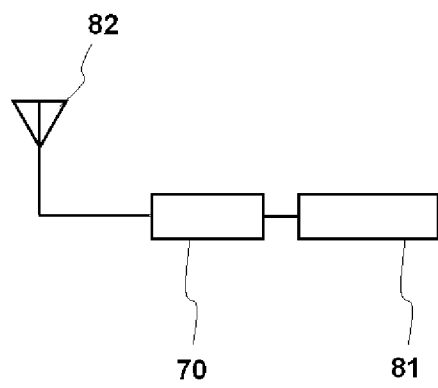
[図5]



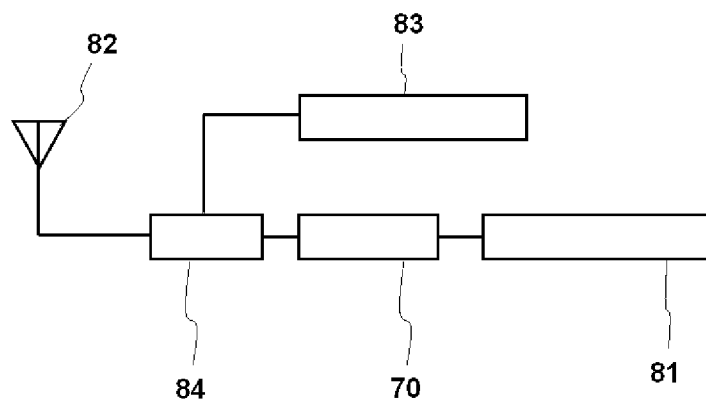
[図7]



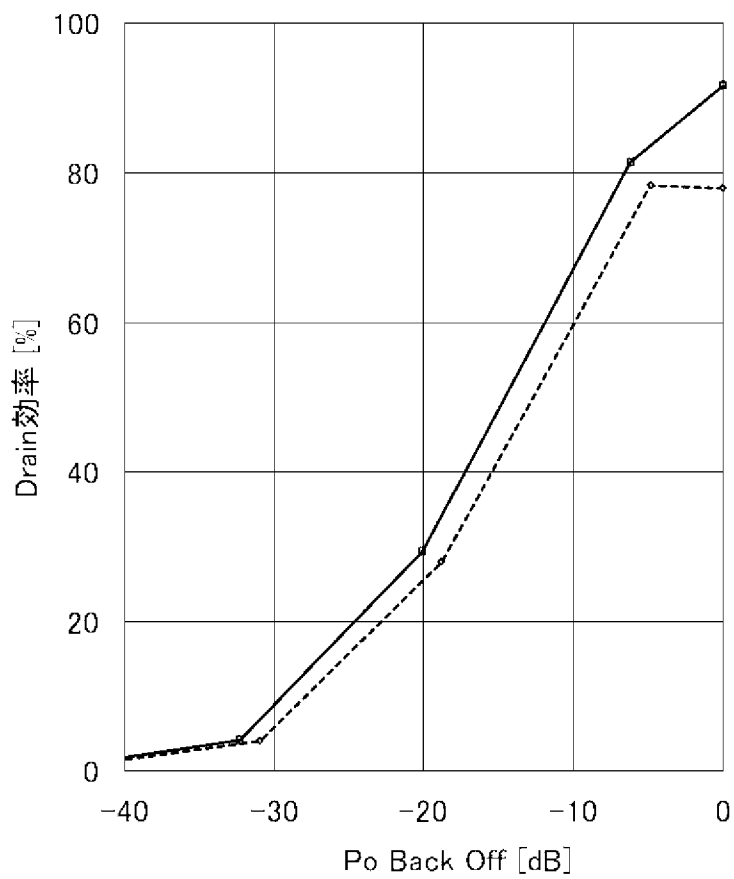
[図8]



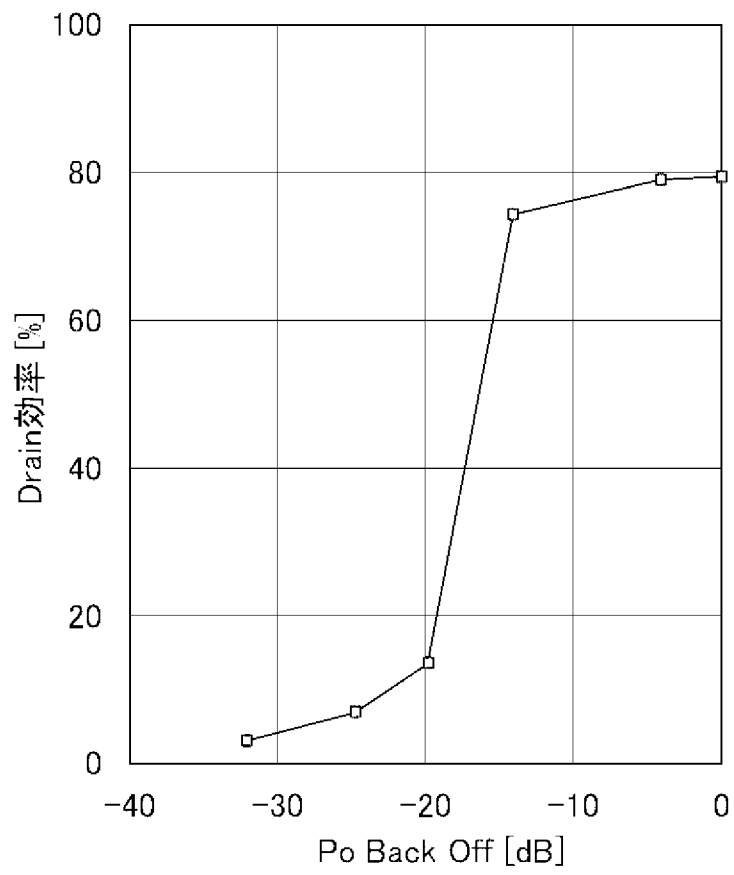
[図9]



[図10]



[図11]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/051662

## A. CLASSIFICATION OF SUBJECT MATTER

H03F3/24(2006.01)i, H03F1/02(2006.01)i, H04B1/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F3/24, H03F1/02, H04B1/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                 | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2004-350276 A (Samsung Electronics Co., Ltd.),<br>09 December 2004 (09.12.2004),<br>fig. 3; paragraphs [0030] to [0033]<br>& US 2004/0232989 A1 & EP 1480332 A2<br>& DE 602004016598 D & KR 10-2004-0099676 A<br>& CN 1551486 A | 1-6                   |
| Y         | JP 2003-204590 A (Yamaha Corp.),<br>18 July 2003 (18.07.2003),<br>fig. 5(b)<br>(Family: none)                                                                                                                                      | 1-6                   |
| Y         | JP 6-311057 A (NEC Corp.),<br>04 November 1994 (04.11.1994),<br>fig. 2; paragraph [0004]<br>(Family: none)                                                                                                                         | 2                     |

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
24 February, 2012 (24.02.12)Date of mailing of the international search report  
06 March, 2012 (06.03.12)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2012/051662

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                     | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2009-182906 A (Kyocera Corp.),<br>13 August 2009 (13.08.2009),<br>fig. 4 to 5<br>(Family: none)                     | 3-6                   |
| Y         | JP 2008-167289 A (Samsung Electronics Co.,<br>Ltd.),<br>17 July 2008 (17.07.2008),<br>fig. 1<br>& KR 10-2008-0063010 A | 4-6                   |

## A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03F3/24(2006.01)i, H03F1/02(2006.01)i, H04B1/04(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03F3/24, H03F1/02, H04B1/04

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 2 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 2 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 2 年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                              | 関連する<br>請求項の番号 |
|-----------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| Y               | JP 2004-350276 A (三星電子株式会社) 2004.12.09, 図3、段落 O O 3 O - O O 3 3 & US 2004/0232989 A1 & EP 1480332 A2 & DE 602004016598 D & KR 10-2004-0099676 A & CN 1551486 A | 1-6            |
| Y               | JP 2003-204590 A (ヤマハ株式会社) 2003.07.18, 図5 (b) (ファミリーなし)                                                                                                        | 1-6            |
| Y               | JP 6-311057 A (日本電気株式会社) 1994.11.04, 図2、段落 O O O 4 (ファミリーなし)                                                                                                   | 2              |

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 2 . 2 0 1 2

国際調査報告の発送日

0 6 . 0 3 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)  
郵便番号 1 0 0 - 8 9 1 5  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

儀 同 孝 信

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 8

5 T

3 5 6 6

| C (続き) . 関連すると認められる文献 |                                                                   |                |
|-----------------------|-------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                 | 関連する<br>請求項の番号 |
| Y                     | JP 2009-182906 A (京セラ株式会社) 2009.08.13, 図4-5 (ファミリーなし)             | 3-6            |
| Y                     | JP 2008-167289 A (三星電子株式会社) 2008.07.17, 図1 & KR 10-2008-0063010 A | 4-6            |