



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201710757 A

(43)公開日：中華民國 106 (2017) 年 03 月 16 日

(21)申請案號：105115810

(22)申請日：中華民國 105 (2016) 年 05 月 20 日

(51)Int. Cl.：

*G02F1/1333 (2006.01)**G02F1/1343 (2006.01)**G02F1/1362 (2006.01)**G02F1/1335 (2006.01)**G06F3/041 (2006.01)**G02F1/133 (2006.01)**G02F1/1368 (2006.01)*

(30)優先權：2015/05/29

日本

2015-110612

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY

LABORATORY CO., LTD. (JP)

日本

(72)發明人：宍戶英明 SHISHIDO, HIDEAKI (JP)；楠紘慈 KUSUNOKI, KOJI (JP)；豐高耕平

TOYOTAKA, KOUHEI (JP)；渡邊一德 WATANABE, KAZUNORI (JP)；兼安誠

KANEYASU, MAKOTO (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：13 項 圖式數：38 共 168 頁

(54)名稱

輸入輸出裝置及電子裝置

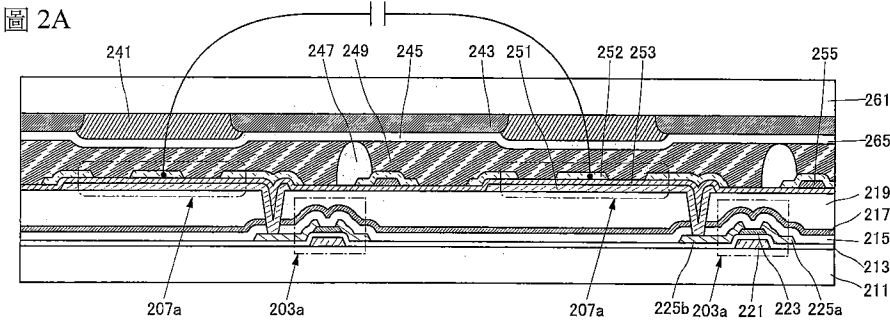
INPUT/OUTPUT DEVICE AND ELECTRONIC DEVICE

(57)摘要

本發明提供一種輸入輸出裝置。本發明的一個實施方式是一種輸入輸出裝置，包括：第一像素電極；第二像素電極；第一共用電極；第二共用電極；液晶；第一絕緣膜；第二絕緣膜；以及電晶體。第一共用電極被用作感測元件的一個電極。第二共用電極被用作感測元件的另一個電極。電晶體包括第一閘極、第二閘極及半導體層。像素電極、共用電極和第二閘極位於彼此不同的面上。第二閘極包含半導體層所含有的金屬元素中的一種以上。較佳的是，第二閘極、像素電極及共用電極包含半導體層所含有的金屬元素中的一種以上。

An input/output device is provided. The input/output device includes a first pixel electrode, a second pixel electrode, a first common electrode, a second common electrode, a liquid crystal, a first insulating film, a second insulating film, and a transistor. The first common electrode can serve as one electrode of a sensor element. The second common electrode can serve as the other electrode of the sensor element. The transistor includes a first gate, a second gate, and a semiconductor layer. The pixel electrode, the common electrodes, and the second gate are positioned on different planes. The second gate contains one or more kinds of metal elements included in the semiconductor layer. The second gate, the pixel electrode, and the common electrodes preferably contain one or more kinds of metal elements included in the semiconductor layer.

指定代表圖：



符號簡單說明：

- 203a . . . 電晶體
- 207a . . . 液晶元件
- 211 . . . 基板
- 213 . . . 絕緣膜
- 215 . . . 絕緣膜
- 217 . . . 絕緣膜
- 218 . . . 絕緣膜
- 219 . . . 絕緣膜
- 221 . . . 閘極電極
- 223 . . . 氧化物半導體膜
- 225a . . . 源極電極
- 225b . . . 汲極電極
- 241 . . . 彩色膜
- 243 . . . 遮光膜
- 245 . . . 絕緣膜
- 247 . . . 間隔物
- 249 . . . 液晶
- 251 . . . 導電膜
- 252 . . . 導電膜
- 253 . . . 絕緣膜
- 255 . . . 導電膜
- 261 . . . 基板
- 265 . . . 黏合層

201710757

發明摘要

※申請案號：105115810

※申請日：105 年 05 月 20 日

【發明名稱】(中文/英文)

輸入輸出裝置及電子裝置

Input/output device and electronic device

G02F 1/1333 (2006.01)

G02F 1/1343 (2006.01)

G02F 1/1362 (2006.01)

※IPC 分類：G02F 1/1335 (2006.01)

G06F 3/041 (2006.01)

G02F 1/133 (2006.01)

G02F 1/1368 (2006.01)

【中文】

本發明提供一種輸入輸出裝置。本發明的一個實施方式是一種輸入輸出裝置，包括：第一像素電極；第二像素電極；第一共用電極；第二共用電極；液晶；第一絕緣膜；第二絕緣膜；以及電晶體。第一共用電極被用作感測元件的一個電極。第二共用電極被用作感測元件的另一個電極。電晶體包括第一閘極、第二閘極及半導體層。像素電極、共用電極和第二閘極位於彼此不同的面上。第二閘極包含半導體層所含有的金屬元素中的一種以上。較佳的是，第二閘極、像素電極及共用電極包含半導體層所含有的金屬元素中的一種以上。

【 英文 】

An input/output device is provided. The input/output device includes a first pixel electrode, a second pixel electrode, a first common electrode, a second common electrode, a liquid crystal, a first insulating film, a second insulating film, and a transistor. The first common electrode can serve as one electrode of a sensor element. The second common electrode can serve as the other electrode of the sensor element. The transistor includes a first gate, a second gate, and a semiconductor layer. The pixel electrode, the common electrodes, and the second gate are positioned on different planes. The second gate contains one or more kinds of metal elements included in the semiconductor layer. The second gate, the pixel electrode, and the common electrodes preferably contain one or more kinds of metal elements included in the semiconductor layer.

【代表圖】

【本案指定代表圖】：第(2A)圖。

【本代表圖之符號簡單說明】：

203a：電晶體
 207a：液晶元件
 211：基板
 213：絕緣膜
 215：絕緣膜
 217：絕緣膜
 218：絕緣膜
 219：絕緣膜
 221：閘極電極
 223：氧化物半導體膜
 225a：源極電極
 225b：汲極電極
 241：彩色膜
 243：遮光膜
 245：絕緣膜
 247：間隔物
 249：液晶
 251：導電膜
 252：導電膜
 253：絕緣膜
 255：導電膜
 261：基板
 265：黏合層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

輸入輸出裝置及電子裝置

Input/output device and electronic device

【技術領域】

[0001] 本發明的一個實施方式係關於一種輸入輸出裝置及電子裝置。

[0002] 注意，本發明的一個實施方式不侷限於上述技術領域。作為本說明書等所公開的發明的一個實施方式的技術領域的例子，可以舉出半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置、電子裝置、照明設備、輸入裝置（例如觸控感測器等）、輸出裝置、輸入輸出裝置（例如觸控面板等）、這些裝置的驅動方法或這些裝置的製造方法。

【先前技術】

[0003] 用於以液晶顯示裝置或發光顯示裝置為代表的大多數平板顯示器的電晶體利用在玻璃基板上設置的矽半導體諸如非晶矽、單晶矽或多晶矽而構成。此外，使用該矽半導體的電晶體也用於集成電路（IC）等。

[0004] 近年來，將呈現半導體特性的金屬氧化物用於電晶體來代替矽半導體的技術受到矚目。注意，在本說

明書中，將呈現半導體特性的金屬氧化物稱為氧化物半導體。例如，專利文獻 1 及專利文獻 2 已公開了作為氧化物半導體使用氧化鋅或 In-Ga-Zn 氧化物來製造電晶體並將該電晶體用於顯示裝置的像素的切換元件等的技術。

[0005] 另外，對顯示裝置附加作為使用者介面用手指等觸摸螢幕來進行輸入的功能的觸控面板備受期待。

[0006] 將安裝有觸控感測器的顯示裝置或顯示模組稱為觸控面板或觸控屏等。另外，有時將包括觸控感測器且不包括顯示元件的裝置稱為觸控面板。因此，有時將安裝有觸控感測器的顯示裝置或顯示模組稱為帶有觸控感測器的顯示裝置、帶有觸控面板的顯示裝置、帶有顯示裝置的觸控感測器或帶有顯示裝置的觸控面板等。注意，以下，將安裝有觸控感測器的顯示裝置稱為觸控面板。

[0007] 例如，專利文獻 3 至專利文獻 6 公開了將液晶元件用作顯示元件的觸控面板。

[0008]

[專利文獻 1]日本專利申請公開第 2007-123861 號公報

[專利文獻 2]日本專利申請公開第 2007-96055 號公報

[專利文獻 3]日本專利申請公開第 2011-197685 號公報

[專利文獻 4]日本專利申請公開第 2014-44537 號公報

[專利文獻 5]日本專利申請公開第 2014-178847 號公報

[專利文獻 6] 美國專利申請公開第 2008/0158183 號
說明書

【發明內容】

[0009] 本發明的一個實施方式的目的之一是提供一種實現薄型化的輸入輸出裝置。另外，本發明的一個實施方式的目的之一是提供一種實現輕量化的輸入輸出裝置。另外，本發明的一個實施方式的目的之一是提供一種部件數量少的輸入輸出裝置。

[0010] 另外，本發明的一個實施方式的目的之一是提供一種可靠性高的輸入輸出裝置。另外，本發明的一個實施方式的目的之一是提供一種檢測靈敏度高的輸入輸出裝置。另外，本發明的一個實施方式的目的之一是提供一種新穎的輸入輸出裝置等。

[0011] 注意，這些目的的記載並不妨礙其他目的的存在。本發明的一個實施方式並不需要實現所有上述目的。另外，可以從說明書、圖式、申請專利範圍等的記載衍生上述以外的目的。

[0012] 本發明的一個實施方式是一種輸入輸出裝置，包括：第一像素電極；第二像素電極；第一共用電極；第二共用電極；液晶；第一絕緣膜；第二絕緣膜；以及電晶體。第一共用電極可以被用作感測元件的一個電極。第二共用電極可以被用作感測元件的另一個電極。電晶體包括第一閘極、第二閘極及半導體層。半導體層在通

道形成區域中包含氧化物半導體。第二閘極包含氧化物半導體。氧化物半導體包含氧化物半導體所含有的金屬元素中的一種以上。本發明的一個實施方式的輸入輸出裝置包括：第一閘極上的半導體層；半導體層上的第二閘極；第二閘極上的第一絕緣膜；第一絕緣膜上的第一像素電極、第二像素電極、第一共用電極及第二共用電極。第一像素電極與第一共用電極隔著第二絕緣膜部分地重疊。第二像素電極與第二共用電極隔著第二絕緣膜部分地重疊。在第一像素電極、第二像素電極、第一共用電極及第二共用電極上包含液晶。第一像素電極與第二像素電極分別分開地位於同一面上。第一共用電極與第二共用電極分別分開地位於同一面上。

[0013] 顯示部和驅動電路部中的至少一個包括上述電晶體。例如，本發明的一個實施方式的輸入輸出裝置包括兩個上述電晶體，兩個電晶體中的一個電晶體的源極或汲極也可以與第一像素電極電連接，兩個電晶體中的另一個電晶體的源極或汲極也可以與第二像素電極電連接。另外，上述電晶體也可以位於驅動電路部中。

[0014] 在上述各結構中，第二閘極也可以與第一閘極電連接。

[0015] 在上述各結構中，在第一像素電極及第二像素電極上也可以包括第二絕緣膜，並且在第二絕緣膜上也可以包括第一共用電極及第二共用電極。另外，在上述各結構中，在第一共用電極及第二共用電極上也可以包括第

二絕緣膜，並且在第二絕緣膜上也可以包括第一像素電極及第二像素電極。

[0016] 在上述各結構中，第一像素電極及第二像素電極也可以包含氧化物半導體所含有的金屬元素中的至少一種。再者，第一共用電極及第二共用電極也可以包含氧化物半導體所含有的金屬元素中的至少一種。

[0017] 在上述各結構中，氧化物半導體及氧化物導電體也可以包含含有銦的氧化物。再者，第一像素電極及第二像素電極也可以包含含有銦的氧化物。再者，第一共用電極及第二共用電極也可以包含含有銦的氧化物。

[0018] 在上述各結構中，氧化物半導體及氧化物導電體也可以包含 In-M₁-Zn 氧化物（M₁ 為 Al、Ti、Ga、Y、Zr、La、Ce、Nd、Sn 或 Hf）。再者，第一像素電極及第二像素電極也可以包含上述 In-M₁-Zn 氧化物。再者，第一共用電極及第二共用電極也可以包含上述 In-M₁-Zn 氧化物。

[0019] 在上述各結構中，第一像素電極、第二像素電極、第一共用電極及第二共用電極也可以具有使可見光透過的功能。

[0020] 在上述各結構中，在第一絕緣膜與第一共用電極之間也可以包括第一導電膜，第一導電膜的電阻率也可以低於第一共用電極的電阻率，第一導電膜也可以與第一共用電極電連接。再者，在第一絕緣膜與第二共用電極之間也可以包括第二導電膜，第二導電膜的電阻率也可以

低於第二共用電極的電阻率，第二導電膜也可以與第二共用電極電連接，第一導電膜及第二導電膜也可以分別分開地位於同一面上。

[0021] 在上述各結構中，也可以包括遮光膜，並且該遮光膜也可以隔著液晶與第一導電膜和第二導電膜中的至少一個部分地重疊。

[0022] 本發明的一個實施方式是一種模組，諸如對上述輸入輸出裝置安裝有 FPC (Flexible Printed Circuit：軟性印刷電路板) 或 TCP (Tape Carrier Package：捲帶式封裝) 等的連接器的模組；或者利用 COG (Chip On Glass) 方式、COF (Chip On Film) 方式等對 IC 安裝有上述輸入輸出裝置的模組等。

[0023] 本發明的一個實施方式是一種電子裝置，包括：上述模組；以及天線、電池、外殼、揚聲器、麥克風、操作開關和操作按鈕中的至少一個的電子裝置。

[0024] 藉由本發明的一個實施方式，可以提供一種實現薄型化的輸入輸出裝置。另外，藉由本發明的一個實施方式，可以提供一種實現輕量化的輸入輸出裝置。另外，藉由本發明的一個實施方式，可以提供一種部件數量少的輸入輸出裝置。

[0025] 另外，藉由本發明的一個實施方式，可以提供一種可靠性高的輸入輸出裝置。另外，藉由本發明的一個實施方式，可以提供一種檢測靈敏度高的輸入輸出裝置。另外，藉由本發明的一個實施方式，可以提供一種新

穎的輸入輸出裝置等。

[0026] 注意，這些效果的記載並不妨礙其他效果的存在。本發明的一個實施方式並不一定需要實現所有上述效果。另外，可以從說明書、圖式、申請專利範圍等的記載衍生上述以外的效果。

【圖式簡單說明】

[0027] 在圖式中：

圖 1A 和圖 1B 是示出輸入輸出裝置的一個例子的俯視圖及剖面圖；

圖 2A 和圖 2B 是示出輸入輸出裝置的例子的剖面圖；

圖 3A 至圖 3F 是示出輸入輸出裝置的例子的剖面圖；

圖 4 是示出輸入輸出裝置的一個例子的剖面圖；

圖 5 是示出輸入輸出裝置的一個例子的剖面圖；

圖 6 是示出輸入輸出裝置的一個例子的剖面圖；

圖 7A 和圖 7B 是示出感測元件和像素的例子的圖；

圖 8A 至圖 8E 是示出感測元件和像素的工作的例子的圖；

圖 9A 和圖 9B 是示出感測元件和像素的例子的俯視圖；

圖 10 是示出感測元件的一個例子的俯視圖；

圖 11A 和圖 11B 是示出感測元件的一個例子的俯視

圖；

圖 12 是示出輸入輸出裝置的一個例子的俯視圖；

圖 13 是示出輸入輸出裝置的一個例子的俯視圖；

圖 14A 和圖 14B 是示出輸入輸出裝置的例子的俯視圖；

圖 15 是示出觸控面板模組的一個例子的方塊圖；

圖 16A 至圖 16C 是示出觸控面板模組的一個例子的圖；

圖 17A 至圖 17D 是示出電晶體等的製造方法的一個例子的剖面圖；

圖 18A 至圖 18C 是示出電晶體等的製造方法的一個例子的剖面圖；

圖 19A 至圖 19C 是示出電晶體等的製造方法的一個例子的剖面圖；

圖 20 是示出電晶體等的製造方法的一個例子的剖面圖；

圖 21 是示出電晶體的一個例子的剖面圖；

圖 22A 至圖 22C 是示出電晶體的一個例子的俯視圖及剖面圖；

圖 23A 至圖 23D 是示出電晶體的例子的剖面圖；

圖 24A 和圖 24B 是說明帶結構的圖；

圖 25A 至圖 25D 是示出電晶體的例子的剖面圖；

圖 26A 至圖 26E 是說明利用 XRD 的 CAAC-OS 及單晶氧化物半導體的結構分析的圖、以及示出 CAAC-OS 的

選區電子繞射圖案的圖；

圖 27A 至圖 27E 是 CAAC-OS 的剖面 TEM 影像、以及平面 TEM 影像及其分析影像；

圖 28A 至圖 28D 是 nc-OS 的電子繞射圖案以及 nc-OS 的剖面 TEM 影像；

圖 29A 和圖 29B 是 a-like OS 的剖面 TEM 影像；

圖 30 是示出電子照射所引起的 In-Ga-Zn 氧化物的結晶部的變化的圖；

圖 31 是示出觸控面板模組的一個例子的圖；

圖 32A 至圖 32H 是示出電子裝置的例子的圖；

圖 33A 和圖 33B 是電子裝置的例子的圖；

圖 34 是示出輸入輸出裝置的一個例子的剖面圖；

圖 35 是示出實施例的輸入輸出裝置的照片；

圖 36 為說明樣本的 XRD 譜的測定結果的圖；

圖 37A 至圖 37L 為說明樣本的 TEM 影像及電子繞射圖案的圖；

圖 38A 至圖 38C 為說明樣本的 EDX 面分析影像的圖。

【實施方式】

[0028] 參照圖式對實施方式進行詳細說明。注意，本發明不侷限於下面說明，所屬技術領域的通常知識者可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的

形式。因此，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。

[0029] 注意，在下面說明的發明結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略反復說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

[0030] 另外，為了便於理解，有時圖式等中示出的各構成的位置、大小及範圍等並不表示其實際的位置、大小及範圍等。因此，所公開的發明不一定侷限於圖式等所公開的位置、大小、範圍等。

[0031] 另外，根據情況或狀態，可以互相調換“膜”和“層”。例如，有時可以將“導電膜”變換為“導電層”。此外，有時可以將“絕緣層”變換為“絕緣膜”。

[0032] 在本說明書中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下的狀態。因此，也包括該角度為 -5° 以上且 5° 以下的狀態。“大致平行”是指兩條直線形成的角度為 -30° 以上且 30° 以下的狀態。此外，“垂直”是指兩條直線的角度為 80° 以上且 100° 以下的狀態。因此，也包括該角度為 85° 以上且 95° 以下的狀態。“大致垂直”是指兩條直線形成的角度為 60° 以上且 120° 以下的狀態。

[0033] 在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0034]

實施方式 1

在本實施方式中，參照圖 1A 至圖 16C 對本發明的一個實施方式的輸入輸出裝置進行說明。

[0035] 本發明的一個實施方式的輸入輸出裝置是一種 In-Cell 型觸控面板，該 In-Cell 型觸控面板具有顯示影像的功能和觸控感測器的功能。

[0036] 對本發明的一個實施方式的輸入輸出裝置所包括的顯示元件沒有特別的限制，也可以將各種元件諸如液晶元件、利用 MEMS（Micro Electro Mechanical System：微機電系統）的光學元件、有機 EL（Electro Luminescence：電致發光）元件、發光二極體（LED：Light Emitting Diode）等發光元件、電泳元件等用作顯示元件。

[0037] 在本實施方式中，以使用橫向電場方式的液晶元件的透過型液晶顯示裝置為例進行說明。

[0038] 對本發明的一個實施方式的輸入輸出裝置所包括的感測元件（也稱為感測器元件）沒有特別的限制。還可以將能夠感測出手指、觸控筆等感測物件的接近或接觸的各種感測器用作感測元件。

[0039] 例如，作為感測器的方式，可以利用靜電電容式、電阻膜式、表面聲波式、紅外線式、光學式、壓敏式等各種方式。

[0040] 在本實施方式中，以包括靜電電容式的感測元件的輸入輸出裝置為例進行說明。

[0041] 作為靜電電容式，有表面型靜電電容式、投影型靜電電容式等。另外，作為投影型靜電電容式，有自電容式、互電容式等。較佳為使用互電容式，因為可以同時進行多點感測。

[0042] 在本發明的一個實施方式的輸入輸出裝置中，只在支撐顯示元件的基板上設置有構成感測元件的電極等。可以將本發明的一個實施方式的輸入輸出裝置稱為 Full-In-Cell 型觸控面板。此外，作為 In-Cell 型觸控面板的例子，可以舉出在支撐顯示元件的基板和相對基板的兩個基板上或只在相對基板上設置有構成感測元件的電極等的結構。與這些結構相比，在 Full-In-Cell 型觸控面板中可以簡化相對基板的結構，所以是較佳的。

[0043] 在本發明的一個實施方式的輸入輸出裝置中，構成顯示元件的電極兼用作構成感測元件的電極，因此可以簡化製程，並且可以降低製造成本，所以是較佳的。

[0044] 藉由採用本發明的一個實施方式，與貼合分別製造的顯示面板與感測元件的結構、在相對基板一側製造感測元件的結構相比，可以實現輸入輸出裝置的薄型化或輕量化，或者可以減少輸入輸出裝置的部件數量。

[0045] 在本發明的一個實施方式的輸入輸出裝置中，將供應驅動像素的信號的 FPC 以及供應驅動感測元件的信號的 FPC 都設置在一個基板一側。由此，可以將其容易安裝於電子裝置，並且可以減少部件數量。注意，

一個 FPC 也可以供應驅動像素的信號和驅動感測元件的信號。

[0046] 以下，對本發明的一個實施方式的輸入輸出裝置的結構進行說明。

[0047]

[輸入輸出裝置的剖面結構實例 1]

圖 1A 示出輸入輸出裝置 300 的俯視圖，圖 1B 是沿圖 1A 中的點劃線 A-B 及點劃線 C-D 所示的部分的剖面圖。

[0048] 如圖 1A 所示，輸入輸出裝置 300 包括顯示部 301 及掃描線驅動電路 302。顯示部 301 包括多個像素 303、多個信號線及多個掃描線，並具有顯示影像的功能。另外，顯示部 301 還具有輸入部的功能。換言之，顯示部 301 包括感測出感測物件接觸或接近輸入輸出裝置 300 的多個感測元件，並具有觸控感測器的功能。在掃描線驅動電路 302 中，顯示部 301 所包括的掃描線具有輸出掃描信號的功能。像素 303 包括多個子像素。雖然圖 1A 示出像素 303 包括三個子像素的例子，但是本發明的一個實施方式不侷限於此。

[0049] 雖然圖 1A 示出輸入輸出裝置 300 包括掃描線驅動電路的例子，但是本發明的一個實施方式不侷限於此。輸入輸出裝置 300 既可以不包括掃描線驅動電路、信號線驅動電路及感測器驅動電路，又可以包括上述電路中的任何一個以上。

[0050] 在輸入輸出裝置 300 中，利用 COG 方式等的安裝方式將 IC268 安裝於基板 211。IC268 例如包括信號線驅動電路、掃描線驅動電路及感測器驅動電路中的任何一個以上。

[0051] 另外，輸入輸出裝置 300 與 FPC269 電連接。信號從外部藉由 FPC269 供應到 IC268 及掃描線驅動電路。另外，可以將信號從 IC268 藉由 FPC269 輸出到外部。

[0052] FPC269 也可以安裝有 IC。例如，FPC269 也可以安裝有包括信號線驅動電路、掃描線驅動電路和感測器驅動電路中的任何一個以上的 IC。例如，藉由 COF 方式或 TAB（Tape Automated Bonding：帶式自動接合）方式等的安裝方式，可以將 IC 安裝於 FPC269。

[0053] 例如，IC268 也可以包括信號線驅動電路及感測器驅動電路。或者，例如，IC268 也可以包括信號線驅動電路，並且安裝於 FPC269 的 IC 包括感測器驅動電路。

[0054] 如圖 1B 所示，輸入輸出裝置 300 在基板 211 上包括電晶體 201a、電晶體 203a、連接部 205a 及液晶元件 207a 等。

[0055] 在圖 1B 中，作為顯示部 301 的例子示出一個子像素的剖面。例如，藉由使用呈現紅色的子像素、呈現綠色的子像素及呈現藍色的子像素構成一個像素，顯示部 301 可以進行全彩色顯示。注意，子像素呈現的顏色不侷

限於紅色、綠色及藍色。在像素中，例如也可以使用呈現白色、黃色、洋紅色（magenta）、青色（cyan）等顏色的子像素。

[0056] 電晶體 201a、203a 包括閘極電極 221、絕緣膜 213、氧化物半導體膜 223、源極電極 225a 及汲極電極 225b。電晶體 201a 還包括導電膜 226、絕緣膜 215 及氧化物導電膜 227。另外，也可以將絕緣膜 215 視為電晶體 203a 的組件。

[0057] 閘極電極 221 及氧化物導電膜 227 也可以被用作閘極。電晶體 201a 具有使用兩個閘極夾持形成通道的氧化物半導體膜的結構。閘極電極 221 與氧化物導電膜 227 藉由導電膜 226 電連接。與其他電晶體相比，這種具有兩個閘極電連接的結構的電晶體能夠提高場效移動率，而可以增大通態電流（on-state current）。其結果是，可以製造能夠高速工作的電路。再者，能夠縮小電路部的佔有面積。藉由使用通態電流大的電晶體，即使在使輸入輸出裝置大型化或高清晰化時佈線數增多，也可以降低各佈線的信號延遲，而可以抑制顯示不均勻。另外，藉由採用這種結構，可以實現可靠性高的電晶體。

[0058] 電晶體 201a、203a 既可以具有相同的結構，又可以具有不同的結構。就是說，驅動電路部所包括的電晶體、顯示部所包括的電晶體也可以具有相同結構或不同的結構。此外，驅動電路部也可以包括具有多個結構的電晶體，顯示部也可以包括具有多個結構的電晶體。例如，

較佳的是，作為掃描線驅動電路所包括的移位暫存器電路、緩衝器電路和保護電路中的一個以上的電路使用具有兩個閘極電連接的結構的電晶體。

[0059] 電晶體 201a、203a 被絕緣膜 217 及絕緣膜 219 覆蓋。注意，也可以將絕緣膜 217 和絕緣膜 219 視為電晶體 201a、203a 的組件。絕緣膜 217 較佳為具有抑制雜質擴散到構成電晶體的半導體的效果。例如，作為絕緣膜 217，較佳為使用水或氫等雜質不容易擴散的材料。為了降低起因於電晶體的表面凹凸，作為絕緣膜 219 較佳為選擇具有平坦化功能的絕緣膜。

[0060] 在電晶體 201a 中，作為半導體層使用氧化物半導體膜 223，並且作為閘極使用氧化物導電膜 227。此時，較佳的是，使用氧化物半導體形成氧化物半導體膜 223 和氧化物導電膜 227。

[0061] 在輸入輸出裝置的製程中，容易控制氧化物半導體的電阻率，因此可以將其適當地用作半導體膜及導電膜。尤其是，藉由將具有相同的金屬元素的氧化物半導體用於構成輸入輸出裝置的層中的兩層以上，可以在兩個以上的製程中共同使用製造裝置（例如，成膜裝置、加工裝置等），所以可以抑制製造成本。

[0062] 另外，因為氧化物半導體是使可見光透過的材料，所以可以將其適當地用作使可見光透過的元件。

[0063] 另外，藉由使用相同的金屬元素形成氧化物半導體膜 223 及氧化物導電膜 227，可以降低製造成本。

例如，藉由使用由相同的金屬組成的金屬氧化物靶材，可以降低製造成本。另外，藉由使用具有相同的金屬組成的金屬氧化物靶材，也可以共同使用對氧化物半導體膜進行加工時的蝕刻氣體或蝕刻劑。然而，即使氧化物半導體膜 223 及氧化物導電膜 227 具有相同的金屬元素，有時其組成也互不相同。例如，在輸入輸出裝置的製程中，有時膜中的金屬元素脫離而金屬組成變化。

[0064] 電晶體 201a、203a 較佳為包括被高度純化且氧缺陷的形成被抑制的氧化物半導體膜 223。由此，可以降低電晶體的處於關閉狀態下的電流值（關態電流（off-state current）值）。因此，可以延長影像信號等電信號的保持時間，在開啟狀態下還可以延長寫入間隔。因此，可以降低更新工作的頻率，從而可以發揮抑制功耗的效果。

[0065] 另外，電晶體 201a、203a 中，能夠得到較高的場效移動率，因此能夠進行高速驅動。藉由將這種能夠進行高速驅動的電晶體用於輸入輸出裝置，可以在同一基板上形成顯示部的電晶體和用於驅動電路部的電晶體。亦即，因為作為驅動電路不需要另行使用由矽晶圓等形成的半導體裝置，所以可以減少輸入輸出裝置的部件數量。另外，藉由在顯示部中也使用能夠進行高速驅動的電晶體，能夠提供品質高的影像。

[0066] 液晶元件 207a 是應用 FFS（Fringe Field Switching：邊緣場切換）模式的液晶元件。液晶元件

207a 包括導電膜 251、導電膜 252 及液晶 249。藉由產生在導電膜 251 與導電膜 252 之間的電場，可以控制液晶 249 的配向。導電膜 251 可以被用作像素電極。導電膜 252 可以被用作共用電極。

[0067] 藉由將使可見光透過的導電材料用於導電膜 251 及導電膜 252，可以使輸入輸出裝置 300 具有透過型液晶顯示裝置的功能。另外，藉由將反射可見光的導電材料用於導電膜 251，並且將使可見光透過的導電材料用於導電膜 252，可以使輸入輸出裝置 300 具有反射型液晶顯示裝置的功能。

[0068] 作為使可見光透過的導電材料，例如較佳為使用包含選自銦（In）、鋅（Zn）、錫（Sn）中的一種的材料。明確而言，可以舉出氧化銦、銦錫氧化物（ITO：Indium Tin Oxide）、銦鋅氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、添加有氧化矽的銦錫氧化物、氧化鋅、添加有鎳的氧化鋅等。另外，也可以使用包含石墨烯的膜。包含石墨烯的膜例如可以使形成為膜狀的包含氧化石墨烯的膜還原而形成。

[0069] 作為導電膜 251 較佳為使用氧化物導電膜。另外，作為導電膜 252 較佳為使用氧化物導電膜。氧化物導電膜較佳為包含氧化物半導體膜 223 所包含的金屬元素中的一個以上。例如，導電膜 251 較佳為包含銦，更佳的是 In-M-Zn 氧化物（M 為 Al、Ti、Ga、Ge、Y、Zr、La、

Ce、Sn、Mg、Nd 或 Hf) 膜。同樣地，導電膜 252 較佳為包含銦，更佳的是 In-M-Zn 氧化物膜。

[0070] 另外，也可以使用氧化物半導體形成導電膜 251 和導電膜 252 中的至少一個。如上所述，藉由將具有相同的金屬元素的氧化物半導體用於構成輸入輸出裝置的層中的兩層以上，可以在兩個以上的製程中共同使用製造裝置（例如，成膜裝置、加工裝置等），所以可以抑制製造成本。

[0071] 例如，藉由將包含氫的氮化矽膜用作絕緣膜 253，並且將氧化物半導體用於導電膜 251，由於從絕緣膜 253 被供應的氫，可以提高氧化物半導體的導電率。

[0072] 作為使可見光反射的導電材料，例如可以舉出包含鋁、銀或包含上述金屬材料的合金等。

[0073] 用作像素電極的導電膜 251 與電晶體 203a 的源極或汲極電連接。在此，示出導電膜 251 與汲極電極 225b 電連接的例子。

[0074] 導電膜 252 具有梳齒狀的頂面形狀（也稱為平面形狀）或形成有狹縫的頂面形狀。在導電膜 251 與導電膜 252 之間設置有絕緣膜 253。導電膜 251 與導電膜 252 隔著絕緣膜 253 部分地重疊。另外，在導電膜 251 與彩色膜 241 重疊的區域中，有導電膜 252 沒有設置在導電膜 251 上的部分。

[0075] 在絕緣膜 253 上設置有導電膜 255。導電膜 255 與導電膜 252 電連接，並可以被用作導電膜 252 的輔

助佈線。藉由設置與共用電極電連接的輔助佈線，可以抑制起因於共用電極的電阻的電壓下降。另外，此時，在採用包含金屬氧化物的導電膜和包含金屬的導電膜的疊層結構的情況下，藉由利用使用半色調遮罩的圖案化技術，可以簡化製程，所以是較佳的。

[0076] 導電膜 255 的電阻值比導電膜 252 低。導電膜 255 例如可以藉由使用鉬、鈦、鉻、鉭、鎢、鋁、銅、銀、鈐、銦等金屬材料或含有上述元素的合金材料，以單層或疊層形成。

[0077] 為了防止使輸入輸出裝置的使用者看到導電膜 255，導電膜 255 較佳為設置在與遮光膜 243 等重疊的位置。

[0078] 連接部 205a 與將來自外部的信號（視訊信號、時脈信號、啟動信號或重設信號等）或電位傳達給掃描線驅動電路 302 的外部輸入端子電連接。在此，示出作為外部輸入端子設置 FPC269 的例子。

[0079] 連接部 205a 在絕緣膜 213 上包括導電膜 231，在導電膜 231 上包括導電膜 233，在導電膜 233 上包括導電膜 235。導電膜 231 藉由導電膜 233 與導電膜 235 電連接。並且，導電膜 235 藉由連接器 267 與 FPC269 電連接。

[0080] 導電膜 231 可以使用與電晶體 201a、203a 所包括的源極電極 225a 及汲極電極 225b 相同的材料、相同的製程形成。導電膜 233 可以使用與液晶元件 207a 所包

括的導電膜 251 相同的材料、相同的製程形成。導電膜 235 可以使用與液晶元件 207a 所包括的導電膜 252 相同的材料、相同的製程形成。如此，藉由使用用於顯示部或驅動電路部的電極或佈線相同的材料、相同的製程製造構成連接部 205a 的導電膜，可以防止製程數量的增加，所以是較佳的。

[0081] 在基板 261 上設置有彩色膜 241、遮光膜 243 及絕緣膜 245。雖然圖 1B 示出基板 261 的厚度比基板 211 薄的例子，但是本發明的一個實施方式不侷限於此。基板 261 和基板 211 中的一個既可以具有比另一個大的厚度，也可以具有與另一個相同的厚度。藉由將顯示面一側（近於感測物件的一側）的基板形成得薄，可以提高感測元件的檢測靈敏度，所以是較佳的。

[0082] 彩色膜 241 與液晶元件 207a 部分地重疊。遮光膜 243 與電晶體 201a 和 203a 中的至少一個部分地重疊。

[0083] 絕緣膜 245 較佳為被用作防止彩色膜 241 及遮光膜 243 等所包含的雜質擴散到液晶 249 中的保護層。如果不需要，則可以不設置絕緣膜 245。

[0084] 另外，也可以設置有與液晶 249 接觸的配向膜。配向膜可以控制液晶 249 的配向。例如，在圖 1B 中，也可以形成覆蓋導電膜 252 的配向膜。另外，在圖 1B 中，在絕緣膜 245 與液晶 249 之間也可以包括配向膜。此外，絕緣膜 245 也可以具有配向膜的功能和保護層

的功能。

[0085] 另外，輸入輸出裝置 300 包括間隔物 247。間隔物 247 具有防止基板 211 與基板 261 之間的距離近於一定距離的功能。

[0086] 雖然圖 1B 示出間隔物 247 設置在絕緣膜 253 及導電膜 252 上的例子，但是本發明的一個實施方式不侷限於此。間隔物 247 既可以設置在基板 211 一側，又可以設置在基板 261 一側。例如，也可以在絕緣膜 245 上形成間隔物 247。另外，雖然圖 1B 示出間隔物 247 與絕緣膜 253 及絕緣膜 245 接觸的例子，但是間隔物 247 也可以不與設置在基板 211 一側和基板 261 一側中的任何一側的結構物接觸。

[0087] 作為間隔物 247 也可以使用粒狀的間隔物。雖然作為粒狀的間隔物可以使用二氧化矽等的材料，但是較佳為使用樹脂或橡膠等具有彈性的材料。此時，粒狀的間隔物有時成為在垂直方向上成為壓扁的形狀。

[0088] 使用黏合層 265 將基板 211 與基板 261 貼合。在由基板 211、基板 261 及黏合層 265 圍繞的區域中密封有液晶 249。

[0089] 另外，在將輸入輸出裝置 300 用作透過型液晶元件的情況下，以夾有顯示部的方式配置兩個偏光板。來自位於偏光板的外側的背光的光經過偏光板進入。此時，可以由施加到導電膜 251 和導電膜 252 之間的電壓控制液晶 249 的配向，來控制光的光學調變。就是說，可以

控制經過偏光板射出的光的強度。另外，因為入射光的指定波長範圍以外的光被彩色膜 241 吸收，所以所射出的光成為例如呈現紅色、藍色或綠色的光。

[0090] 另外，除了偏光板之外，例如還可以利用圓偏光板。作為圓偏光板，例如可以使用將直線偏光板和四分之一波相位差板層疊而成的偏光板。藉由圓偏光板可以減小輸入輸出裝置的顯示的視角依賴性。

[0091] 另外，在此作為液晶元件 207a 使用應用 FFS 模式的元件，但是不侷限於此，可使用採用各種模式的液晶元件。例如，可以採用 VA（Vertical Alignment：垂直配向）模式、TN（Twisted Nematic：扭曲向列）模式、IPS（In-Plane-Switching：平面切換）模式；ASM（Axially Symmetric Aligned Micro-cell：軸對稱排列微單元）模式、OCB（Optically Compensated Birefringence：光學補償彎曲）模式、FLC（Ferroelectric Liquid Crystal：鐵電性液晶）模式、AFLC（AntiFerroelectric Liquid Crystal：反鐵電液晶）模式等的液晶元件。

[0092] 另外，也可以對輸入輸出裝置 300 使用常黑型液晶顯示裝置，例如採用垂直配向（VA）模式的透過型液晶顯示裝置。作為垂直配向模式，可以採用 MVA（Multi-Domain Vertical Alignment：多象限垂直配向）模式、PVA（Patterned Vertical Alignment：垂直配向構型）模式、ASV 模式等。

[0093] 另外，液晶元件是利用液晶的光學調變作用

來控制光的透過或非透過的元件。液晶的光學調變作用由施加到液晶的電場（包括橫向電場、縱向電場或傾斜方向電場）控制。作為用於液晶元件的液晶可以使用熱致液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDLC: Polymer Dispersed Liquid Crystal：聚合物分散液晶）、鐵電液晶、反鐵電液晶等。這些液晶材料根據條件呈現出膽固醇相、層列相、立方相、手向列相、各向同性相等。

[0094] 另外，作為液晶材料，可以使用正型液晶和負型液晶中的任一種，根據所適用的模式或設計可以採用適當的液晶材料。

[0095] 此外，在採用橫向電場方式的情況下，也可以使用不使用配向膜的呈現藍相的液晶。藍相是液晶相的一種，是指當使膽甾液晶的溫度上升時即將從膽固醇相轉變到均質相之前出現的相。因為藍相只在窄的溫度範圍內出現，所以將其中混合了 5wt% 以上的手性試劑的液晶組合物用於液晶 249，以擴大溫度範圍。由於包含呈現藍相的液晶和手性試劑的液晶組成物的回應速度快，並且其具有光學各向同性。此外，包含呈現藍相的液晶和手性試劑的液晶組成物不需要配向處理，並且視角依賴性小。另外，由於不需要設置配向膜而不需要摩擦處理，因此可以防止由於摩擦處理而引起的靜電破壞，並可以降低製程中的液晶顯示裝置的不良、破損。

[0096] 在此，也可以在基板 261 上方設置手指或觸

控筆等感測物件直接接觸的基板。此時較佳為在基板 261 和該基板之間設置偏光板或圓偏光板。在此情況下，較佳為在該基板上設置保護層（陶瓷塗層等）。作為保護層，例如可以使用氧化矽、氧化鋁、氧化鈮、鈮安定氧化鋯（YSZ）等無機絕緣材料。此外，該基板也可以使用強化玻璃。較佳為使用藉由離子交換法或風冷強化法等被施加物理或化學處理，並且其表面被施加壓應力的強化玻璃。

[0097] 另外，圖 2A 示出彼此相鄰的兩個像素的剖面圖。圖 2A 所示的兩個子像素包括在不同的像素中。

[0098] 在圖 2A 所示的輸入輸出裝置中，藉由利用在左邊的子像素所包括的導電膜 252 與右邊的子像素所包括的導電膜 252 之間形成的容量，可以感測出感測物件的接近或接觸等。換言之，在本發明的一個實施方式的輸入輸出裝置中，導電膜 252 兼用作液晶元件的共用電極和感測元件的電極。

[0099] 如此，在本發明的一個實施方式的輸入輸出裝置中，構成液晶元件的電極還用作構成感測元件的電極，所以可以簡化製程，並且可以降低製造成本。另外，可以實現輸入輸出裝置的薄型化及輕量化。

[0100] 導電膜 252 與用作輔助佈線的導電膜 255 電連接。藉由設置導電膜 255，可以降低感測元件的電極的電阻。藉由降低感測元件的電極的電阻，可以減少感測元件的電極的時間常數。感測元件的電極的時間常數越小，可以越提高檢測靈敏度，並且可以越提高檢測準確度。

[0101] 另外，當感測元件的電極與信號線之間的容量過大時，感測元件的電極的時間常數有時變大。因此，較佳的是，在電晶體與感測元件的電極之間設置具有平坦化功能的絕緣膜，減少感測元件的電極與信號線之間的容量。例如，在圖 2A 中，作為具有平坦化功能的絕緣膜包括絕緣膜 219。藉由設置絕緣膜 219，可以減少導電膜 252 與信號線之間的容量。由此，可以減少感測元件的電極的時間常數。如上所述，感測元件的電極的時間常數越小，可以越提高檢測靈敏度，並且可以越提高檢測準確度。

[0102] 例如，感測元件的電極的時間常數大於 0 秒且 1×10^{-4} 秒以下，較佳為大於 0 秒且 5×10^{-5} 秒以下，更佳為大於 0 秒且 5×10^{-6} 秒以下，進一步較佳為大於 0 秒且 5×10^{-7} 秒以下，更進一步較佳為大於 0 秒且 2×10^{-7} 秒以下。尤其是，藉由將時間常數設定為 1×10^{-6} 秒以下，可以在抑制雜訊的影響的同時實現高檢測靈敏度。

[0103]

[輸入輸出裝置的剖面結構實例 2]

圖 2B 示出與圖 2A 不同的相鄰的兩個像素的剖面圖。圖 2B 所示的兩個子像素包括在不同的像素中。另外，圖 3A 示出此時的沿圖 1A 中的點劃線 A-B 及點劃線 C-D 所示的部分的剖面圖。

[0104] 圖 2B 及圖 3A 所示的結構實例 2 與圖 1B 及圖 2A 所示的結構實例 1 之間的不同之處在於導電膜

251、導電膜 252、絕緣膜 253 及導電膜 255 的疊層順序。注意，在結構實例 2 中，關於與結構實例 1 同樣的部分，可以參照上述說明。

[0105] 明確而言，在結構實例 2 中，在絕緣膜 219 上包括導電膜 255，在導電膜 255 上包括導電膜 252，在導電膜 252 上包括絕緣膜 253，在絕緣膜 253 上包括導電膜 251。

[0106] 如圖 2B 所示的液晶元件 207b，也可以將設置在上方且具有梳齒狀或狹縫狀的頂面形狀的導電膜 251 用作像素電極，將設置在下方的導電膜 252 用作共用電極。導電膜 251 與電晶體 203a 的源極或汲極電連接。

[0107] 在圖 2B 中，藉由利用在左邊的子像素所包括的導電膜 252 與右邊的子像素所包括的導電膜 252 之間形成的容量，可以感測出感測物件的接近或接觸等。換言之，在本發明的一個實施方式的輸入輸出裝置中，導電膜 252 兼用作液晶元件的共用電極和感測元件的電極。

[0108] 注意，在結構實例 1（圖 1B、圖 2A）中，兼用作感測元件的電極和共用電極的導電膜 252 位於比用作像素電極的導電膜 251 更靠近顯示面一側（近於感測物件的一側）。由此，與導電膜 251 位於比導電膜 252 更靠近顯示面一側的結構實例 2 相比，在結構實例 1 中有時檢測靈敏度得到提高。

[0109] 另外，在結構實例 2 中，導電膜 251、導電膜 252、絕緣膜 253 及導電膜 255 的疊層順序與結構實例 1

不同，所以連接部的結構也與結構實例 1 不同。

[0110] 在圖 3A 所示的連接部 205b 中，在絕緣膜 213 上包括導電膜 231，在導電膜 231 上包括導電膜 233，在導電膜 233 上包括導電膜 235。導電膜 233 可以使用與液晶元件 207b 所包括的導電膜 252 相同的材料、相同的製程形成。導電膜 235 可以使用與液晶元件 207b 所包括的導電膜 251 相同的材料、相同的製程形成。

[0111] 另外，圖 3B 和圖 3C 示出本發明的一個實施方式的輸入輸出裝置所包括的電晶體的其他結構實例。如圖 3B 所示，在包括兩個閘極的電晶體中，該兩個閘極不一定需要電連接。另外，如圖 3C 所示，也可以在驅動電路部和顯示部中的至少一個中包括頂閘極型電晶體。

[0112] 另外，圖 3D 至圖 3F 示出本發明的一個實施方式的輸入輸出裝置所包括的液晶元件的其他結構實例。導電膜 251 及導電膜 252 也可以都具有梳齒狀的頂面形狀（也稱為平面形狀）或形成有狹縫的頂面形狀。

[0113] 例如，從頂面來看，一個導電膜的狹縫的端部也可以與另一個導電膜的狹縫的端部重疊。圖 3D 示出此時的剖面圖。

[0114] 或者，從頂面來看，也可以包括沒有設置導電膜 251 及導電膜 252 的部分。圖 3E 示出此時的剖面圖。

[0115] 或者，從頂面來看，導電膜 251 與導電膜 252 也可以部分地彼此重疊。圖 3F 示出此時的剖面圖。

[0116]

[輸入輸出裝置的剖面結構實例 3]

圖 4 示出與圖 1B 及圖 3A 不同的沿圖 1A 中的點劃線 A-B 及點劃線 C-D 所示的部分的剖面圖。

[0117] 圖 4 所示的結構實例 3 與圖 1B 及圖 2A 所示的結構實例 1 之間的不同之處在於顯示部 301 所包括的電晶體和掃描線驅動電路 302 所包括的電晶體的結構。注意，在結構實例 3 中，關於與結構實例 1 同樣的部分，可以參照上述說明。

[0118] 電晶體 201b 具有使用兩個閘極夾持形成通道的氧化物半導體膜的結構。電晶體 201b 與電晶體 201a 之間的不同之處在於在電晶體 201b 中閘極電極 221 與氧化物導電膜 227 直接接觸。如此，兩個閘極也可以不藉由其他層而電連接。

[0119] 與電晶體 201b 同樣，電晶體 203b 具有使用兩個閘極夾持形成通道的氧化物半導體膜 223 的結構。如此，不但在驅動電路部中，而且在顯示部中也可以應用包括兩個閘極的電晶體。注意，雖然未圖示，但是在電晶體 203b 中也閘極電極 221 與氧化物導電膜 227 電連接是較佳的。

[0120] 注意，氧化物導電膜 227 與感測元件的電極的距離越近，越容易產生感測元件的電極的電位發生變化的不良現象，因為受到氧化物導電膜 227 帶來的影響。因為在本發明的一個實施方式中，氧化物導電膜 227 和感測

元件的電極設置在不同的層，因此感測元件的電極不容易受到氧化物導電膜 227 帶來的影響，所以是較佳的。

[0121]

[輸入輸出裝置的剖面結構實例 4]

圖 5 示出與圖 1B、圖 3A 及圖 4 不同的沿圖 1A 中的點劃線 A-B 及點劃線 C-D 所示的部分的剖面圖。

[0122] 圖 5 所示的結構實例 4 與圖 1B 及圖 2A 所示的結構實例 1 之間的不同之處在於掃描線驅動電路 302 所包括的電晶體的結構以及設置有間隔物 247 的基板。注意，在結構實例 4 中，關於與結構實例 1 同樣的部分，可以參照上述說明。

[0123] 電晶體 201c 具有使用兩個閘極夾持形成通道的氧化物半導體膜的結構。電晶體 201c 與電晶體 201a 之間的不同之處在於形成氧化物導電膜 227 的位置。明確而言，在電晶體 201c 中，在絕緣膜 215 上包括絕緣膜 217，在絕緣膜 217 上包括具有平坦化功能的絕緣膜 218，在絕緣膜 218 上包括氧化物導電膜 227。如此，氧化物導電膜 227 也可以設置在具有平坦化功能的絕緣膜上。電晶體 201c 被具有平坦化功能的絕緣膜 219 覆蓋。注意，雖然圖 5 示出氧化物導電膜 227 藉由導電膜 226 與閘極電極 221 電連接的例子，但是如圖 4 所示，氧化物導電膜 227 也可以與閘極電極 221 直接連接。

[0124] 另外，圖 5 示出間隔物 247 設置在絕緣膜 245 上的例子。如此，也可以在基板 261 一側配置間隔物

247。

[0125]

[輸入輸出裝置的剖面結構實例 5]

圖 6 示出與圖 1B、圖 3A、圖 4 及圖 5 不同的沿圖 1A 中的點劃線 A-B 及點劃線 C-D 所示的部分的剖面圖。

[0126] 圖 6 所示的結構實例 5 與圖 1B 及圖 2A 所示的結構實例 1 之間的不同之處在於形成彩色膜 241 的位置。注意，在結構實例 5 中，關於與結構實例 1 同樣的部分，可以參照上述說明。

[0127] 彩色膜 241 不侷限於設置在相對基板（基板 261）一側的結構。如圖 6 所示，也可以設置在形成有電晶體等的基板 211 上。由此，可以抑制隨著輸入輸出裝置的顯示的高清晰化而基板 211 和基板 261 的對準精度降低所導致的良率的降低及顯示品質的降低。

[0128]

[輸入輸出裝置的剖面結構實例 6]

圖 34 示出與上述各結構實例不同的輸入輸出裝置的剖面圖。本發明的一個實施方式的輸入輸出裝置不侷限於只在支撐顯示元件的基板上設置構成感測元件的電極等的結構（Full-In-Cell 型）的觸控面板。如圖 34 所示的輸入輸出裝置，也可以在相對基板一側設置有構成感測元件的電極。

[0129] 圖 34 示出在基板 261 的與形成有彩色膜 241 等的面對置的面上形成有導電膜 254 的例子。導電膜 254

藉由連接器 257 與 FPC259 電連接。在圖 34 所示的輸入輸出裝置 300 中，可以利用形成在導電膜 252 與導電膜 254 之間的容量感測出感測物件的接近或接觸等。換言之，在本發明的一個實施方式的輸入輸出裝置中，導電膜 252 兼用作液晶元件的共用電極和感測元件的一個電極。如此，液晶元件的共用電極既可以被用作感測元件的一個電極，又可以兼用作感測元件的一對電極。

[0130] 另外，圖 34 示出在導電膜 252 上包括導電膜 255 的例子。對液晶元件的電極和能夠用作該電極的輔助佈線的導電膜的疊層順序沒有特別的限制。

[0131] 下面，對能夠用於本實施方式的輸入輸出裝置的各組件的材料等進行詳細說明。注意，有時省略說明過的組件的說明。另外，也可以將以下材料適當地應用於後面的實施方式所示的輸入輸出裝置及其組件。

[0132]

《基板》

雖然對輸入輸出裝置 300 所包括的基板等材料等沒有特別的限制，但是至少需要能夠承受後續的加熱處理的耐熱性。例如，作為基板，也可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。另外，還可以使用以矽或碳化矽等為材料的單晶半導體基板或多晶半導體基板、以矽鍺等為材料的化合物半導體基板、SOI (Silicon On Insulator: 絕緣層上覆矽) 基板等，並且也可以將在這些基板上設置有半導體元件的基板用作基板。當使用玻璃基

板作為基板時，藉由使用第 6 代（1500mm×1850mm）、第 7 代（1870mm×2200mm）、第 8 代（2200mm×2400mm）、第 9 代（2400mm×2800mm）、第 10 代（2950mm×3400mm）等的大面積基板，可以製造大型顯示裝置。作為基板 211，也可以使用撓性基板，並且在撓性基板上直接形成電晶體或電容器等。

[0133] 藉由使用厚度薄的基板，可以實現輸入輸出裝置的輕量化及薄型化。再者，藉由使用其厚度允許其具有撓性的基板，可以實現具有撓性的輸入輸出裝置。

[0134] 除此之外，可以使用各種基板形成電晶體作為基板 211、261。對基板的種類沒有特別的限制。作為該基板的一個例子，例如可以使用塑膠基板、金屬基板、不鏽鋼基板、具有不鏽鋼箔的基板、鎢基板、具有鎢箔的基板、撓性基板、貼合薄膜、包含纖維狀材料的紙或者基材薄膜等。作為玻璃基板的例子，有鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鈉鈣玻璃等。作為撓性基板的例子，可以舉出以聚對苯二甲酸乙二醇酯（PET）、聚萘二甲酸乙二醇酯（PEN）、聚醚砜（PES）為代表的塑膠、或者丙烯酸樹脂等具有撓性的合成樹脂等。作為貼合薄膜的例子，可以舉出聚丙烯、聚酯、聚氟化乙烯或聚氯乙烯等。或者，作為基材薄膜的例子，可以舉出聚酯、聚醯胺、聚醯亞胺、無機蒸鍍薄膜、紙類等。尤其是，藉由使用半導體基板、單晶基板或 SOI 基板等製造電晶體，可以製造特性、尺寸或形狀等的偏差小、電流能力高且尺寸小的電晶

體。當利用上述電晶體構成電路時，可以實現電路的低功耗化或電路的高集成化。

[0135] 需要說明的是，也可以使用一個基板形成電晶體，然後將電晶體轉置到另一個基板上，在另一個基板上配置電晶體。作為電晶體被轉置至其上的基板的例子，可以使用上述可以在其上形成電晶體的基板，還可以使用紙基板、玻璃紙基板、石材基板、木材基板、布基板（包括天然纖維（絲、棉、麻）、合成纖維（尼龍、聚氨酯、聚酯）或再生纖維（醋酸纖維、銅氨纖維、人造纖維、再生聚酯）等）、皮革基板、橡膠基板等。藉由使用上述基板，可以實現特性良好的電晶體的形成、功耗低的電晶體的形成、不易損壞的裝置的製造、耐熱性的賦予、輕量化或薄型化。

[0136]

《電晶體》

對本發明的一個實施方式的輸入輸出裝置所包括的電晶體的結構沒有特別的限制。例如，可以採用平面型電晶體、交錯型電晶體或反交錯型電晶體。此外，還可以採用頂閘極型或底閘極型的電晶體結構。另外，也可以在其通道上下設置有閘極電極。對用於電晶體的半導體材料沒有特別的限制，例如可以舉出氧化物半導體、矽、鍺等。

[0137] 對用於電晶體的半導體材料的結晶性也沒有特別的限制，可以使用非晶半導體或具有結晶性的半導體（微晶半導體、多晶半導體、單晶半導體或其一部分具有

結晶區域的半導體)。當使用具有結晶性的半導體時可以抑制電晶體的特性劣化，所以是較佳的。

[0138] 另外，作為用於電晶體的半導體材料，例如可以將第 14 族元素、化合物半導體或氧化物半導體用於半導體層。典型的是，可以使用包含矽的半導體、包含砷化鎵的半導體或包含銦的氧化物半導體等。

[0139] 尤其較佳為對電晶體的形成通道的半導體適用氧化物半導體。尤其較佳為使用其能帶間隙比矽寬的氧化物半導體。藉由使用能帶間隙比矽寬且載子密度比矽小的半導體材料，可以降低電晶體的關態電流，所以是較佳的。

[0140] 例如，上述氧化物半導體較佳為至少包含銦(In)或鋅(Zn)。更佳的是，包含表示為 In-M-Zn 類氧化物(M 為 Al、Ti、Ga、Ge、Y、Zr、La、Ce、Sn、Mg、Nd 或 Hf 等金屬)的氧化物。

[0141] 作為半導體層，尤其較佳為使用如下氧化物半導體膜：具有多個結晶部，該結晶部的 c 軸配向於大致垂直於形成有半導體層的表面或半導體層的頂面的方向，並且在相鄰的結晶部間不具有晶界。

[0142] 這種氧化物半導體因為不具有晶界，所以可以抑制因使顯示面板彎曲時的應力導致在氧化物半導體膜中產生縫裂的情況。因此，可以將這種氧化物半導體適用於將其彎曲而使用的撓性輸入輸出裝置等。

[0143] 另外，藉由作為半導體層使用這種氧化物半

導體，可以實現一種電特性變動得到抑制且可靠性高的電晶體。

[0144] 另外，由於其關態電流低，因此能夠長期間保持藉由電晶體儲存於電容器中的電荷。藉由將這種電晶體用於像素，能夠在保持顯示在各顯示區域的各像素的灰階的狀態下，停止驅動電路。其結果是，可以實現功耗極小的顯示裝置。

[0145]

《氧化物半導體膜》

氧化物半導體膜 223 較佳為包括至少包含銦（In）、鋅（Zn）及 M（M 為 Al、Ti、Ga、Ge、Y、Zr、La、Ce、Sn、Mg、Nd 或 Hf 等金屬）的表示為 In-M-Zn 氧化物的膜。另外，為了減少使用該氧化物半導體的電晶體的電特性不均勻，除了上述元素以外，較佳為還包含穩定劑（stabilizer）。

[0146] 作為穩定劑，可以舉出在上述表示為 M 的金屬，此外還有例如鎵（Ga）、錫（Sn）、鈦（Hf）、鋁（Al）或鋯（Zr）等。另外，作為其他穩定劑，可以舉出鐳系元素的鐳（La）、鈰（Ce）、鐑（Pr）、釹（Nd）、釷（Sm）、鈾（Eu）、鈷（Gd）、鉕（Tb）、鐳（Dy）、釹（Ho）、鉕（Er）、鐳（Tm）、鐳（Yb）以及鐳（Lu）等。

[0147] 作為構成氧化物半導體膜 223 的氧化物半導體，例如可以使用 In-Ga-Zn 類氧化物、In-Al-Zn 類氧化

物、In-Sn-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物、In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

[0148] 注意，在此，In-Ga-Zn 類氧化物是指作為主要成分具有 In、Ga 和 Zn 的氧化物，對 In、Ga、Zn 的比例沒有限制。此外，也可以包含 In、Ga、Zn 以外的金屬元素。

[0149] 此外，當氧化物半導體膜 223 是 In-M-Zn 氧化物時，在將 In 和 M 的總和設定為 100atomic%的情況下，較佳為 In 高於 25atomic%且 M 低於 75atomic%，更佳為 In 高於 34atomic%且 M 低於 66atomic%。

[0150] 氧化物半導體膜 223 的能隙為 2eV 以上，較佳為 2.5eV 以上，更佳為 3eV 以上。如此，藉由使用能隙寬的氧化物半導體，可以減少電晶體的關態電流。

[0151] 氧化物半導體膜 223 的厚度為 3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 3nm 以上且 50nm 以下。

[0152] 當氧化物半導體膜 223 為 In-M-Zn 氧化物（M

為 Al、Ti、Ga、Ge、Y、Zr、La、Ce、Sn、Mg、Nd 或 Hf) 時，較佳為用來形成 In-M-Zn 氧化物膜的濺射靶材的金屬元素的原子數比滿足 $\text{In} \geq \text{M}$ 及 $\text{Zn} \geq \text{M}$ 。這種濺射靶材的金屬元素的原子數比較佳為 $\text{In}:\text{M}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{M}:\text{Zn}=1:1:1.2$ 、 $\text{In}:\text{M}:\text{Zn}=3:1:2$ 、 $\text{In}:\text{M}:\text{Zn}=1:3:4$ 、 $\text{In}:\text{M}:\text{Zn}=1:3:6$ 等。注意，所形成的氧化物半導體膜 223 的原子數比分別包含上述濺射靶材中的金屬元素的原子數比的 $\pm 40\%$ 的範圍內的誤差。

[0153] 作為氧化物半導體膜 223，可以使用載子密度低的氧化物半導體膜。例如，作為氧化物半導體膜 223 的載子可以使用密度為 1×10^{17} 個/cm³ 以下，較佳為 1×10^{15} 個/cm³ 以下，更佳為 1×10^{13} 個/cm³ 以下，進一步較佳為 1×10^{11} 個/cm³ 以下的載子密度的氧化物半導體膜。

[0154] 本發明不侷限於上述記載，可以根據所需的電晶體的半導體特性及電特性（場效移動率、臨界電壓等）來使用具有適當的組成的材料。另外，較佳為適當地設定氧化物半導體膜 223 的載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子數比、原子間距離、密度等，以得到所需的電晶體的半導體特性。

[0155] 另外，當氧化物半導體膜 223 包含第 14 族元素之一的矽或碳時，氧化物半導體膜 223 中的氧缺陷增加，會使得該半導體層變為 n 型。因此，將氧化物半導體膜 223 中的矽或碳的濃度（藉由二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）測得的濃

度) 設定為 $2 \times 10^{18} \text{atoms/cm}^3$ 以下，較佳為 $2 \times 10^{17} \text{atoms/cm}^3$ 以下。

[0156] 另外，在氧化物半導體膜 223 中，利用 SIMS 測得的鹼金屬或鹼土金屬的濃度為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，較佳為 $2 \times 10^{16} \text{atoms/cm}^3$ 以下。有時當鹼金屬及鹼土金屬與氧化物半導體鍵合時生成載子而使電晶體的關態電流增大。因此，較佳為降低氧化物半導體膜 223 中的鹼金屬或鹼土金屬的濃度。

[0157] 另外，當氧化物半導體膜 223 含有氮時生成作為載子的電子，載子密度增加而容易 n 型化。其結果，使用具有含有氮的氧化物半導體的電晶體容易變為常開啟特性。由此，在該氧化物半導體膜中，較佳為儘可能地減少氮，例如將利用 SIMS 測得的氮濃度較佳為設定為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下。

[0158] 另外，氧化物半導體膜 223 例如也可以具有非單晶結構。非單晶結構例如包括後面說明的 CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體)、多晶結構、後面說明的微晶結構或非晶結構。在非單晶結構中，非晶結構的缺陷能階密度最高，而 CAAC-OS 的缺陷能階密度最低。

[0159] 氧化物半導體膜 223 例如也可以具有非晶結構。非晶結構的氧化物半導體膜例如具有無秩序的原子排列且不具有結晶成分。或者，非晶結構的氧化物膜例如是完全的非晶結構且不具有結晶部。

[0160] 此外，氧化物半導體膜 223 也可以為具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的混合膜。混合膜有時例如具有包括非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的單層結構。另外，混合膜有時例如具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的疊層結構。

[0161] 或者，較佳為將矽用於電晶體的形成通道的半導體。作為矽可以使用非晶矽，尤其較佳為使用具有結晶性的矽。例如，較佳為使用微晶矽、多晶矽、單晶矽等。尤其是，多晶矽與單晶矽相比能夠在低溫下形成，並且其場效移動率比非晶矽高，所以多晶矽的可靠性高。藉由將這樣的多晶半導體用於像素可以提高像素的開口率。另外，即使在製造具有極高微細度的輸入輸出裝置的情況下，也能夠將閘極驅動電路及源極驅動電路與像素形成在同一基板上，從而能夠減少構成電子裝置的部件數量。

[0162]

《氧化物半導體的電阻率的控制方法》

氧化物半導體是可以根據膜中的氧缺陷或/及膜中的氫、水等雜質的濃度來控制電阻率的半導體材料。因此，藉由選擇對氧化物半導體膜進行增加氧缺陷或/及雜質濃度的處理或者降低氧缺陷或/及雜質濃度的處理，可以控

制氧化物導電體膜的電阻率。

[0163] 另外，如此，使用氧化物半導體膜形成的氧化物導電膜也可以被稱為載子密度高且低電阻的氧化物半導體膜、具有導電性的氧化物半導體膜、或者導電性高的氧化物半導體膜。

[0164] 明確而言，藉由對成為用作閘極的氧化物導電膜 227 的氧化物半導體膜進行電漿處理，且增加氧化物半導體膜中的氧缺陷或/及氧化物半導體膜中的氫、水等雜質，可以實現載子密度高且低電阻的氧化物半導體膜。此外，藉由以與氧化物半導體膜接觸的方式形成含氫的絕緣膜 217，且使氫從該含氫的絕緣膜 217 擴散到氧化物半導體膜中，可以實現載子密度高且低電阻的氧化物半導體膜。

[0165] 另一方面，在氧化物半導體膜 223 上設置絕緣膜 215，以使氧化物半導體膜 223 不會暴露於上述電漿處理。此外，藉由設置絕緣膜 215，氧化物半導體膜 223 不與含氫的絕緣膜 217 接觸。藉由作為絕緣膜 215 使用能夠釋放氧的絕緣膜，可以對氧化物半導體膜 223 供應氧。被供應氧的氧化物半導體膜 223 由於膜中或介面的氧缺陷被降低而成為高電阻的氧化物半導體層。此外，作為能夠釋放氧的絕緣膜例如可以使用氧化矽膜或氧氮化矽膜。

[0166] 另外，為了得到電阻率低的氧化物半導體膜，可以採用離子植入法、離子摻雜法、電漿浸沒離子佈植技術等來將氫、硼、磷或氮注入氧化物半導體膜內。

[0167] 作為對氧化物導電膜 227 進行的電漿處理，典型地可以舉出使用包含選自稀有氣體（He、Ne、Ar、Kr、Xe）、磷、硼、氫和氮中的一種氣體的電漿處理。更明確而言，可以舉出 Ar 氛圍下的電漿處理、Ar 和氫的混合氛圍下的電漿處理、氮氛圍下的電漿處理、Ar 和氮的混合氛圍下的電漿處理或氫氛圍下的電漿處理等。

[0168] 藉由上述電漿處理，在氧化物導電膜 227 中，在發生氧脫離的晶格（或氧脫離的部分）中形成氧缺陷。該氧缺陷有可能成為產生載子的原因。此外，有時從氧化物導電膜 227 的附近，更明確而言，從與氧化物導電膜 227 的下側或上側接觸的絕緣膜供應氫，該氫進入上述氧缺陷而產生作為載子的電子。因此，因電漿處理而氧缺陷增加的氧化物導電膜 227 的載子密度比氧化物半導體膜 223 高。

[0169] 另一方面，氧缺陷及氫濃度被降低的氧化物半導體膜 223 可以說是高純度本質化或實質上高純度本質化的氧化物半導體膜。在此，“實質上本質”是指氧化物半導體的載子密度低於 $1 \times 10^{17}/\text{cm}^3$ ，較佳為低於 $1 \times 10^{15}/\text{cm}^3$ ，更佳為低於 $1 \times 10^{13}/\text{cm}^3$ 。或者，將雜質濃度低且缺陷能階密度低的（氧缺陷少）的狀態稱為“高純度本質”或“實質上高純度本質”。高純度本質或實質上高純度本質的氧化物半導體的載子發生源較少，因此有時可以降低載子密度。由此，在該氧化物半導體膜中形成通道區域的電晶體容易具有正臨界電壓的電特性（也稱為常關

閉特性)。此外，高純度本質或實質上高純度本質的氧化物半導體膜 223 具有較低的缺陷能階密度，因此可以降低陷阱態密度。

[0170] 此外，高純度本質或實質上高純度本質的氧化物半導體膜 223 的關態電流顯著小，即便是通道寬度為 $1 \times 10^6 \mu\text{m}$ 、通道長度為 $10 \mu\text{m}$ 的元件，當源極電極與汲極電極間的電壓（汲極電壓）在 1V 至 10V 的範圍內時，關態電流也可以為半導體參數分析儀的測量極限以下，亦即 $1 \times 10^{-13} \text{A}$ 以下。因此，在該氧化物半導體膜 223 中形成通道區域的電晶體成為電特性變動小且可靠性高的電晶體。

[0171] 作為絕緣膜 217，例如使用含氫的絕緣膜，亦即能夠釋放氫的絕緣膜（典型為氮化矽膜），由此可以對氧化物導電膜 227 供應氫。能夠釋放氫的絕緣膜中的氫濃度較佳為 $1 \times 10^{22} \text{atoms/cm}^3$ 以上。藉由以與氧化物導電膜 227 接觸的方式形成上述絕緣膜，可以高效地使氧化物導電膜 227 中含有氫。如此，在進行上述電漿處理的同時，改變與氧化物半導體膜（或氧化物導電膜）接觸的絕緣膜的結構，由此可以任意地調整氧化物半導體膜（或氧化物導電膜）的電阻。

[0172] 氧化物導電膜 227 中所含的氫與鍵合於金屬原子的氧發生反應生成水，同時氧缺陷形成在發生氧脫離的晶格（或氧脫離的部分）。當氫進入該氧缺陷時，有時生成作為載子的電子。另外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合而生成作為載子的電子。因此，含有

氮的氧化物導電膜 227 的載子密度比氧化物半導體膜 223 高。

[0173] 在形成有電晶體的通道的氧化物半導體膜 223 中，較佳為儘可能地減少氮。明確而言，在氧化物半導體膜 223 中，使利用 SIMS 得到的氮濃度為 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，更佳為 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下，更佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下，更進一步較佳為 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下。

[0174] 另一方面，用作閘極的氧化物導電膜 227 的氮濃度或/及氧缺陷量比氧化物半導體膜 223 多且被低電阻化。

[0175] 作為氧化物導電膜 227 可以使用能夠用於氧化物半導體膜 223 的材料，並且作為氧化物導電膜 227 的形成方法可以利用氧化物半導體膜 223 的形成方法。另外，氧化物半導體膜 223 及氧化物導電膜 227 具有透光性。

[0176] 此外，能夠用於氧化物導電膜 227 的材料及氧化物導電膜 227 的形成方法可以應用於導電膜 251 及導電膜 252。

[0177]

《絕緣膜》

作為能夠用於輸入輸出裝置所包括的各絕緣膜、保護

層、間隔物等的絕緣材料，可以使用有機絕緣材料或無機絕緣材料。作為樹脂，例如可以舉出丙烯酸樹脂、環氧樹脂、聚醯亞胺樹脂、聚醯胺樹脂、聚醯胺-醯亞胺樹脂、矽氧烷樹脂、苯并環丁烯類樹脂、酚醛樹脂等。作為無機絕緣膜，可以舉出氧化矽膜、氧氮化矽膜、氮氧化矽膜、氮化矽膜、氧化鋁膜、氧化鉛膜、氧化釷膜、氧化鋯膜、氧化鎢膜、氧化鋇膜、氧化鎂膜、氧化釷膜、氧化鈾膜及氧化鈾膜等。

[0178]

《導電膜》

除了電晶體的閘極、源極、汲極之外，作為輸入輸出裝置所包括的各佈線及電極等導電膜，可以使用鋁、鈦、鉻、鎳、銅、鈮、鋯、鎢、鉬或鎢等金屬、以這些金屬為主要成分的合金的單層結構或疊層結構。例如，可以舉出：在鋁膜上層疊鈦膜的兩層結構、在鎢膜上層疊鈦膜的兩層結構、在鉬膜上層疊銅膜的兩層結構、在包含鉬和鎢的合金膜上層疊銅膜的兩層結構、在銅-鎂-鋁合金膜上層疊銅膜的兩層結構、在鈦膜或氮化鈦膜上層疊鋁膜或銅膜進而在其上形成鈦膜或氮化鈦膜的三層結構、在鉬膜或氮化鉬膜上層疊鋁膜或銅膜進而在其上形成鉬膜或氮化鉬膜的三層結構等。例如，當源極電極 225a 及汲極電極 225b 具有三層結構時，較佳的是，作為第一層和第三層，形成鈦、氮化鈦、鉬、鎢、包含鉬和鎢的合金、包含鉬和鎢的合金、或由氮化鉬構成的膜，作為第二層，形成

由銅、鋁、金、銀、或者銅和錳的合金等低電阻材料形成的膜。需要說明的是，也可以使用銮錫氧化物、包含氧化鎢的銮氧化物、包含氧化鎢的銮鋅氧化物、包含氧化鈦的銮氧化物、包含氧化鈦的銮錫氧化物、銮鋅氧化物、添加有氧化矽的銮錫氧化物等具有透光性的導電材料。

[0179] 另外，也可以藉由上述氧化物半導體的電阻率控制方法形成導電膜。

[0180]

《黏合層》

作為黏合層 265 可以使用熱固性樹脂、光硬化性樹脂、雙組分型固化樹脂等固化樹脂。例如可以使用丙烯酸樹脂、聚氨酯樹脂、環氧樹脂或者具有矽氧烷鍵的樹脂等。

[0181]

《連接器》

作為連接器，例如可以使用異方性導電膜（ACF：Anisotropic Conductive Film）或異方性導電膏（ACP：Anisotropic Conductive Paste）等。

[0182]

《彩色膜》

彩色膜是使指定波長範圍的光透過的有色層。作為能夠用於彩色膜的材料，可以舉出金屬材料、樹脂材料、包含顏料或染料的樹脂材料等。

[0183]

《遮光膜》

遮光膜設置在相鄰的彩色膜之間。遮光膜例如可以使用金屬材料或者包含顏料或染料的樹脂材料形成黑矩陣。另外，藉由將遮光膜設置於驅動電路部等顯示部之外的區域中，可以抑制起因於導光等的非意圖的漏光，所以是較佳的。

[0184]

[輸入輸出裝置的工作方法的例子]

下面，示出本發明的一個實施方式的輸入輸出裝置的工作方法的例子等。

[0185] 圖 7A 是設置於本發明的一個實施方式的輸入輸出裝置的顯示部中的像素電路的一部分中的等效電路圖。

[0186] 一個像素至少包括電晶體 3503 和液晶元件 3504。電晶體 3503 的閘極與佈線 3501 電連接。另外，電晶體 3503 的源極和汲極中的一個與佈線 3502 電連接。

[0187] 像素電路包括在 X 方向上延伸的多個佈線（例如，佈線 3510_1、佈線 3510_2）以及在 Y 方向上延伸的多個佈線（例如，佈線 3511_1），上述多個佈線以彼此交叉的方式設置，並且在其間形成容量。

[0188] 另外，在設置於像素電路中的像素中，一部分相鄰的多個像素中的分別設置於每個像素的液晶元件的一個電極彼此電連接而形成一個區塊。該區塊分為兩種，亦即島狀區塊（例如，區塊 3515_1、區塊 3515_2）和在

X 方向或 Y 方向上延伸的線狀區塊（例如，在 Y 方向上延伸的區塊 3516）。注意，雖然圖 7A 只示出像素電路的一部分，但是實際上，這兩種區塊在 X 方向及 Y 方向上被反復配置。在此，作為液晶元件的一個電極，例如有共用電極等。另一方面，作為液晶元件的另一個電極，例如有像素電極等。

[0189] 在 X 方向上延伸的佈線 3510_1（或佈線 3510_2）與島狀區塊 3515_1（或區塊 3515_2）電連接。注意，雖然未圖示，但是在 X 方向上延伸的佈線 3510_1 藉由線狀區塊使沿著 X 方向上不連續地配置的多個島狀區塊 3515_1 電連接。另外，在 Y 方向上延伸的佈線 3511_1 與線狀區塊 3516 電連接。

[0190] 圖 7B 是示出延伸在 X 方向上的多個佈線（佈線 3510_1 至佈線 3510_6，也總稱為佈線 3510）和延伸在 Y 方向上的多個佈線（佈線 3511_1 至佈線 3511_6，也總稱為佈線 3511）的連接關係的等效電路圖。此外，也可以將共用電位輸入到延伸在 X 方向上的佈線 3510 的每一個及延伸在 Y 方向上的佈線 3511 的每一個。另外，也可以將脈衝電壓從脈衝電壓輸出電路輸入到延伸在 X 方向上的佈線 3510 的每一個。此外，也可以將延伸在 Y 方向上的佈線 3511 的每一個與檢測電路電連接。注意，也可以互相調換佈線 3510 和佈線 3511。

[0191] 下面，參照圖 8A 及圖 8B 對本發明的一個實施方式的輸入輸出裝置的工作方法的一個例子進行說明。

[0192] 這裡，將一個圖框期間分為寫入期間和感測期間。寫入期間是對像素進行影像資料寫入的期間，佈線 3501（也稱為閘極線或掃描線）被依次選擇。另一方面，感測期間是利用感測元件進行感測的期間。

[0193] 圖 8A 是寫入期間中的等效電路圖。在寫入期間中，在 X 方向上延伸的佈線 3510 與在 Y 方向上延伸的佈線 3511 都被輸入共用電位。

[0194] 圖 8B 是感測期間的等效電路圖。在感測期間中，在 Y 方向上延伸的各佈線 3511 與檢測電路電連接。另外，在 X 方向上延伸的佈線 3510 被輸入來自脈衝電壓輸出電路的脈衝電壓。

[0195] 圖 8C 是互電容式感測元件的輸入輸出波形的時序圖的一個例子。

[0196] 在圖 8C 中，在一個圖框期間中進行各行列中的感測物件的感測。另外，在圖 8C 中，示出感測期間中的沒有感測出感測物件（未觸摸）和感測出感測物件（觸摸）的兩種情況。

[0197] 佈線 3510_1 至佈線 3510_6 是從脈衝電壓輸出電路被施加脈衝電壓的佈線。藉由對佈線 3510_1 至佈線 3510_6 施加脈衝電壓，形成電容器的一對電極之間會產生電場，使電流流過電容器。該產生於電極之間的電場由於手指或筆等觸摸被遮蔽等而變化。就是說，藉由觸摸等，電容器的電容值產生變化。藉由利用該情況，可以感測出感測物件的接近或接觸。

[0198] 佈線 3511_1 至佈線 3511_6 與用來檢測因電容器的電容值變化而產生的佈線 3511_1 至佈線 3511_6 的電流變化的檢測電路連接。在佈線 3511_1 至佈線 3511_6 中，如果沒有感測物件的接近或接觸，則所檢測的電流值沒有變化，另一方面，在由於所檢測的感測物件的接近或接觸而電容值減少的情況下，電流值減少。另外，當檢測電流時，可以檢測電流量的總和。在此情況下，利用積分電路等檢測電流即可。或者，可以檢測電流的峰值。在此情況下，將電流轉換為電壓而檢測電壓值的峰值即可。

[0199] 注意，在圖 8C 中，關於佈線 3511_1 至佈線 3511_6，示出與所檢測出的電流值對應的電壓值的波形。另外，如圖 8C 所示，較佳為使顯示工作的時序與感測工作的時序同步而進行工作。

[0200] 根據對佈線 3510_1 至佈線 3510_6 施加的脈衝電壓，佈線 3511_1 至佈線 3511_6 的波形變化。當沒有感測物件的接近或接觸時，佈線 3511_1 至佈線 3511_6 的波形根據佈線 3510_1 至佈線 3510_6 的電壓的變化同時且同樣地變化。另一方面，在感測物件接近或接觸的部位電流值減少，因而與其對應的電壓值的波形也產生變化。

[0201] 如此，藉由檢測電容值的變化，可以感測出感測物件的接近或接觸。注意，有時，即使在手指或筆等感測物件接近於輸入輸出裝置，而不與輸入輸出裝置接觸的情況下也會檢測信號。

[0202] 注意，雖然圖 8C 示出在寫入期間中對佈線

3510 施加的共用電位與在感測期間中對佈線 3510 施加的低電位同等的例子，但是本發明的一個實施方式不侷限於此，共用電位也可以與低電位不同。

[0203] 脈衝電壓輸出電路及檢測電路例如較佳為形成在一個 IC 中。該 IC 例如較佳為安裝在輸入輸出裝置上或電子裝置的外殼內的基板上。在具有撓性的輸入輸出裝置中，有彎曲部分的寄生電容增大而雜訊的影響變大的擔憂，所以較佳為使用應用了不容易接受雜訊的影響的驅動方法的 IC。例如較佳為使用應用了提高信噪比（S/N 比）的驅動方法的 IC。

[0204] 像這樣，較佳為獨立地設置影像寫入期間以及利用感測元件進行感測的期間。由此可以抑制因像素寫入時的噪音引起的感測元件的靈敏度降低。

[0205] 在本發明的一個實施方式中，如圖 8D 所示，在一個圖框期間具有一個寫入期間和一個感測期間。或者，如圖 8E 所示，也可以在一個圖框期間具有兩個感測期間。藉由在一個圖框期間具有多個感測期間，可以進一步提高檢測靈敏度。例如，也可以在一個圖框期間具有兩個以上且四個以下的感測期間。

[0206]

[感測元件的頂面結構實例]

下面，參照圖 9A 至圖 11B 對本發明的一個實施方式的輸入輸出裝置所包括的感測元件的頂面結構實例進行說明。

[0207] 圖 9A 示出感測元件的俯視圖。感測元件包括導電膜 56a 及導電膜 56b。導電膜 56a 被用作感測元件的一個電極，導電膜 56b 被用作感測元件的另一個電極。感測元件可以藉由利用形成在導電膜 56a 與導電膜 56b 之間的容量而感測出感測物件的接近或接觸等。注意，雖然未圖示，但是導電膜 56a 及導電膜 56b 有時具有梳齒狀的頂面形狀或形成有狹縫的頂面形狀。

[0208] 在本發明的一個實施方式中，導電膜 56a 及導電膜 56b 還具有液晶元件的共用電極的功能。

[0209] 多個導電膜 56a 配置在 Y 方向上且延伸在 X 方向上。另外，配置在 Y 方向上的多個導電膜 56b 藉由延伸在 Y 方向上的導電膜 58 彼此電連接。圖 9A 示出設置有 m 個導電膜 56a 和 n 個導電膜 58 的例子。

[0210] 另外，多個導電膜 56a 也可以配置在 X 方向上，此時，也可以延伸在 Y 方向上。此外，配置在 X 方向上的多個導電膜 56b 也可以藉由延伸在 X 方向上的導電膜 58 彼此電連接。

[0211] 如圖 9B 所示，用作感測元件的電極的導電膜 56 設置在多個像素 60 的整體上。導電膜 56 相當於圖 9A 的導電膜 56a、56b 的每一個。像素 60 由呈現分別不同的顏色的多個子像素構成。圖 9B 示出由三個子像素 60a、60b、60c 構成像素 60 的例子。

[0212] 另外，較佳的是，感測元件所包括的一對電極都與輔助佈線電連接。圖 10 示出導電膜 56a 與輔助佈

線 57a 電連接，並且導電膜 56b 與輔助佈線 57b 電連接的例子。注意，雖然圖 10 示出輔助佈線重疊於導電膜上的例子，但是導電膜也可以重疊於輔助佈線上。

[0213] 使可見光透過的導電膜的電阻值有時較高。因此，較佳的是，藉由將該導電膜與輔助佈線電連接，降低感測元件所包括的一對電極的電阻。

[0214] 藉由降低感測元件所包括的一對電極的電阻，可以減少一對電極的時間常數。由此，可以提高感測元件的檢測靈敏度，並且可以提高感測元件的檢測準確度。

[0215] 在寫入期間中，如圖 11A 所示，延伸在 X 方向上的導電膜 56a 和延伸在 Y 方向上的導電膜 58（及與導電膜 58 電連接的導電膜 56b）都被輸入共用電位 VCOM。另一方面，如圖 11B 所示，在感測期間中，延伸在 Y 方向上的導電膜 58（及與導電膜 58 電連接的導電膜 56b）都與檢測電路電連接。此外，延伸在 X 方向上的導電膜 56a 與脈衝電壓輸出電路電連接，被輸入脈衝電壓。

[0216]

[像素的頂面結構實例]

下面，參照圖 12 至圖 14B 對本發明的一個實施方式的輸入輸出裝置所包括的像素的頂面結構實例進行說明。

[0217] 圖 12 是像素的俯視圖，圖 13 是以虛線表示圖 12 中的導電膜 252 的圖。另外，關於各層的疊層順序，還可以參照剖面結構實例 1（圖 1A 及圖 2A）的說

明。

[0218] 多個導電膜 251 都具有島狀的頂面形狀，並且配置為矩陣狀。導電膜 251 與電晶體 203a 所包括的源極或汲極電連接。

[0219] 導電膜 252 與多個導電膜 251 重疊。在導電膜 252 中形成有狹縫。另外，導電膜 252 在與電晶體 203a 重疊的位置具有開口。

[0220] 在此，導電膜 251 被用作液晶元件的像素電極，導電膜 252 被用作液晶元件的共用電極。注意，雖然圖 12 及圖 13 示出位於上側的導電膜 252 為共用電極且位於下側的導電膜 251 為像素電極的例子，但是也可以採用位於上側的導電膜為像素電極且位於下側的導電膜為共用電極的結構。

[0221] 導電膜 252 被用作感測元件的電極。

[0222] 在以虛線表示的區域 277 中，導電膜 275 與導電膜 255 電連接。導電膜 255 具有導電膜 252 的輔助佈線的功能，與導電膜 252 電連接。導電膜 275 可以使用與電晶體 203a 的源極及汲極相同的材料、相同的製程形成。

[0223] 配置在 Y 方向上的多個導電膜 252 相當於圖 9A 等中的導電膜 56b。另外，延伸在 Y 方向上的導電膜 275 相當於圖 9A 等中的導電膜 58。配置在 Y 方向上的多個導電膜 252 藉由延伸在 Y 方向上的導電膜 255 與導電膜 275 電連接。此時，在作為導電膜 252 使用氧化物導電膜

的情況下，與使導電膜 252 與導電膜 275 直接連接的情況相比，在使使用金屬或合金等形成的導電膜 255 與導電膜 275 連接，藉由導電膜 255 將導電膜 252 與導電膜 275 電連接的情況下，可以降低接觸電阻，所以是較佳的。

[0224] 雖然圖 12 及圖 13 示出像素 273 包括三個子像素的例子，但是本發明的一個實施方式不侷限於此。

[0225] 另外，圖 14A 和圖 14B 示出液晶元件的電極的頂面形狀的例子。

[0226] 液晶元件 207 所包括的像素電極和共用電極的形狀不侷限於平板狀，既可以具有各種開口圖案（也稱為狹縫），又可以具有包括彎曲部或分叉部的形狀。

[0227] 圖 14A 和圖 14B 所示的液晶元件 207 包括能夠被用作像素電極的導電膜 251、能夠被用作共用電極的導電膜 252。

[0228] 圖 14A 和圖 14B 所示的電晶體 203 包括閘極電極 221、氧化物半導體膜 223、源極電極 225a 及汲極電極 225b。導電膜 251 與汲極電極 225b 電連接。

[0229] 圖 14A 示出導電膜 251 具有狹縫的例子，圖 14B 示出導電膜 251 具有包括梳齒狀的形狀的例子。注意，雖然圖 14A、圖 14B 示出導電膜 251 位於導電膜 252 的上側的例子，但是導電膜 252 也可以位於導電膜 251 的上側。

[0230]

[觸控面板模組]

下面，參照圖 15 及圖 16A 至圖 16C 說明包括本發明的一個實施方式的輸入輸出裝置及 IC 的觸控面板模組。

[0231] 圖 15 示出觸控面板模組 6500 的方塊圖。觸控面板模組 6500 包括觸控面板 6510 及 IC6520。可以將本發明的一個實施方式的輸入輸出裝置適用於觸控面板 6510。

[0232] 觸控面板 6510 包括顯示部 6511、輸入部 6512 及掃描線驅動電路 6513。顯示部 6511 包括多個像素、多個信號線及多個掃描線，並且能夠顯示影像。輸入部 6512 包括感測出感測物件對觸控面板 6510 的接觸或接近的多個感測元件，並且能夠被用作觸控感測器。掃描線驅動電路 6513 能夠對顯示部 6511 中的掃描線輸出掃描信號。

[0233] 在此，雖然為了便於說明，作為觸控面板 6510 的結構分開示出顯示部 6511 和輸入部 6512，但是較佳為採用兼具顯示影像的功能和觸控感測器的功能的所謂的 In-Cell 型觸控面板。

[0234] 顯示部 6511 較佳為具有 HD（像素個數 1280×720 ）、FHD（像素個數 1920×1080 ）、WQHD（像素個數 2560×1440 ）、WQXGA（像素個數 2560×1600 ）、4K（像素個數 3840×2160 ）、8K（像素個數 7680×4320 ）等極高的解析度。尤其較佳為具有 4K、8K 或更高的解析度。另外，設置在顯示部 6511 中的像素的密度（清晰度）較佳為 300ppi 以上，更佳為 500ppi 以上，更佳為

800ppi 以上，進一步較佳為 1000ppi 以上，更進一步較佳為 1200ppi 以上。這樣的具有高解析度及高清晰度的顯示部 6511 可以進一步提高可攜式或家用等的個人用途中的真實感或縱深感等。

[0235] IC6520 包括電路單元 6501、信號線驅動電路 6502、感測器驅動電路 6503 及檢測電路 6504。電路單元 6501 包括時序控制器 6505 及影像處理電路 6506 等。

[0236] 信號線驅動電路 6502 能夠對顯示部 6511 中的信號線輸出作為類比信號的影像信號（也稱為視訊信號）。例如，信號線驅動電路 6502 可以具有組合移位暫存器電路和緩衝器電路的結構。另外，觸控面板 6510 可以包括與信號線連接的解多工器電路。

[0237] 感測器驅動電路 6503 能夠輸出驅動輸入部 6512 中的感測元件的信號。感測器驅動電路 6503 例如可以具有組合移位暫存器電路和緩衝器電路的結構。

[0238] 檢測電路 6504 能夠對電路單元 6501 輸出來自輸入部 6512 中的感測元件的輸出信號。例如，檢測電路 6504 可以包括放大電路及類比資料轉換電路（ADC：Analog-Digital Convertor）。此時，檢測電路 6504 將從輸入部 6512 輸出的類比信號轉換為數位信號且輸出到電路單元 6501。

[0239] 電路單元 6501 中的影像處理電路 6506 具有如下功能：生成並輸出驅動觸控面板 6510 的顯示部 6511 的信號；生成並輸出驅動輸入部 6512 的信號；以及分析

從輸入部 6512 輸出的信號且將其輸出到 CPU6540。

[0240] 明確而言，影像處理電路 6506 例如能夠按照 CPU6540 的指令生成影像信號。另外，影像處理電路 6506 能夠按照顯示部 6511 的規格對影像信號進行信號處理來將其轉換為類比影像信號，並供應到信號線驅動電路 6502。另外，影像處理電路 6506 能夠按照 CPU6540 的指令生成對感測器驅動電路 6503 輸出的驅動信號。影像處理電路 6506 還能夠分析從檢測電路 6504 輸入的信號，並將其作為位置資訊輸出到 CPU6540。

[0241] 時序控制器 6505 能夠根據被影像處理電路 6506 處理的影像信號等中的同步信號生成時脈信號、起動脈衝信號等信號，並將其輸出到掃描線驅動電路 6513 及感測器驅動電路 6503。時序控制器 6505 也可以具有生成規定檢測電路 6504 輸出信號的時序的信號且將其輸出的功能。在此，時序控制器 6505 較佳為輸出分別與對掃描線驅動電路 6513 輸出的信號以及對感測器驅動電路 6503 輸出的信號同步的信號。尤其是，較佳為將改寫顯示部 6511 的像素的資料的期間和在輸入部 6512 中感測的期間分開。例如，可以以將一個圖框期間分為改寫像素的資料的期間和感測期間的方式驅動觸控面板 6510。另外，例如藉由在一個圖框期間中設置兩個以上的感測期間，可以提高檢測靈敏度及檢測準確度。

[0242] 影像處理電路 6506 例如可以包括處理器。例如，可以使用 DSP (Digital Signal Processor: 數位信號

處理器）、GPU（Graphics Processing Unit：圖形處理器）等微處理器。微處理器也可以由FPGA（Field Programmable Gate Array：現場可程式邏輯閘陣列）或FPAA（Field Programmable Analog Array：現場可程式類比陣列）等PLD（Programmable Logic Device：可程式邏輯裝置）來構成。藉由由處理器解釋且執行來自各種程式的指令，進行各種資料處理或程式控制。有可能由處理器執行的程式可以被存儲在處理器中的記憶體區域，也可以被存儲在另外設置的記憶體裝置中。

[0243] 此外，也可以將在其通道形成區域中使用氧化物半導體而實現了極小的關態電流的電晶體用於觸控面板 6510 中的顯示部 6511 或掃描線驅動電路 6513、IC6520 中的電路單元 6501、信號線驅動電路 6502、感測器驅動電路 6503 或檢測電路 6504 或者設置在外部的 CPU6540 等。由於該電晶體的關態電流極小，所以藉由將該電晶體用於保持流入用作記憶元件的電容器的電荷（資料）的開關，可以確保資料的長期保持。例如，藉由將該特性應用於影像處理電路 6506 的暫存器和快取記憶體中的至少一個，可以僅在必要時使影像處理電路 6506 工作，而在其他情況下使之前的處理資訊儲存在該記憶元件，從而實現常閉運算（normally off computing），由此可以實現觸控面板模組 6500 及安裝有該觸控面板模組 6500 的電子裝置的低功耗化。

[0244] 注意，雖然在此示出電路單元 6501 包括時序

控制器 6505 及影像處理電路 6506 的結構，但是也可以將影像處理電路 6506 或具有影像處理電路 6506 的一部分功能的電路設置在外部。或者，也可以由 CPU6540 承擔影像處理電路 6506 的全部或一部分功能。例如，也可以採用電路單元 6501 包括信號線驅動電路 6502、感測器驅動電路 6503、檢測電路 6504 及時序控制器 6505 的結構。

[0245] 注意，雖然在此示出 IC6520 包括電路單元 6501 的例子，但是電路單元 6501 也可以不包括在 IC6520 內。此時，可以採用 IC6520 包括信號線驅動電路 6502、感測器驅動電路 6503 及檢測電路 6504 的結構。例如，當在觸控面板模組 6500 中安裝多個 IC 時，可以在觸控面板模組 6500 的外部設置電路單元 6501 而配置不包括電路單元 6501 的多個 IC6520，也可以組合僅包括 IC6520 及信號線驅動電路 6502 的 IC 來配置。

[0246] 如此，藉由將驅動觸控面板 6510 的顯示部 6511 的功能及驅動輸入部 6512 的功能組合於一個 IC 中，可以減少安裝在觸控面板模組 6500 中的 IC 的個數，由此可以降低成本。

[0247] 圖 16A、圖 16B 及圖 16C 是安裝有 IC6520 的觸控面板模組 6500 的示意圖。

[0248] 在圖 16A 中，觸控面板模組 6500 包括基板 6531、相對基板 6532、多個 FPC6533、IC6520 及 IC6530 等。在基板 6531 與相對基板 6532 之間包括顯示部 6511、輸入部 6512 及掃描線驅動電路 6513。IC6520 及

IC6530 以 COG 方式等安裝方式安裝在基板 6531 上。

[0249] IC6530 是在上述 IC6520 中僅包括信號線驅動電路 6502 或者包括信號線驅動電路 6502 及電路單元 6501 的 IC。藉由 FPC6533 從外部對 IC6520 和 IC6530 中的至少一個供應信號。還可以藉由 FPC6533 從 IC6520 或 IC6530 向外部輸出信號。

[0250] 圖 16A 例示出以夾著顯示部 6511 的方式設置兩個掃描線驅動電路 6513 的結構。並且示出除了 IC6520 還包括 IC6530 的結構。這樣的結構可以適用於顯示部 6511 的解析度極高的情況。

[0251] 圖 16B 示出安裝有一個 IC6520 及一個 FPC6533 的例子。如此，藉由將功能集中於一個 IC6520，可以減少構件的個數，所以是較佳的。另外，在圖 16B 中，示出沿著顯示部 6511 的兩個短邊中的近於 FPC6533 一側的邊配置掃描線驅動電路 6513 的例子。

[0252] 圖 16C 例示出包括安裝有影像處理電路 6506 等的 PCB（Printed Circuit Board：印刷電路板）6534 的結構。基板 6531 上的 IC6520、IC6530 與 PCB6534 由 FPC6533 電連接。在此，IC6520 也可以不包括上述影像處理電路 6506。

[0253] 此外，在圖 16A、圖 16B 及圖 16C 的各圖中，IC6520 及 IC6530 也可以不安裝在基板 6531 上而安裝在 FPC6533 上。例如，IC6520 及 IC6530 可以以 COF 方式或 TAB 方式等安裝方式安裝在 FPC6533 上。

[0254] 如圖 16A 及圖 16B 所示，在顯示部 6511 的短邊一側配置 FPC6533 及 IC6520（及 IC6530）等的結構能夠實現窄邊框化，因此例如可以適用於智慧手機、行動電話或平板終端等電子裝置。另外，如圖 16C 所示的使用 PCB6534 的結構例如可以適用於電視機、顯示器裝置、平板終端或膝上型個人電腦等。

[0255] 本實施方式可以與其他實施方式適當地組合。

[0256] 實施方式 2

在本實施方式中，參照圖 17A 至圖 21 對本發明的一個實施方式的輸入輸出裝置的製造方法進行說明。在本實施方式中，主要對電晶體的製造方法進行說明。另外，關於各層的材料，可以參照實施方式 1 的說明。

[0257] 首先，在基板 211 上形成閘極電極 221。然後，在基板 211 及閘極電極 221 上形成包括絕緣膜 106、107 的絕緣膜 213（參照圖 17A）。

[0258] 在本實施方式中，作為基板 211 使用玻璃基板，作為閘極電極 221 使用鎢膜，作為絕緣膜 106 使用能夠釋放氫的氮化矽膜，作為絕緣膜 107 使用能夠釋放氧的氧化矽膜。

[0259] 絕緣膜 106 具有抑制氧透過的障壁膜的功能。例如，當對絕緣膜 107、絕緣膜 215、絕緣膜 217 和氧化物半導體膜 223 中的至少一個供應過量氧時，絕緣膜

106 能夠抑制氧透過。

[0260] 與用作電晶體的通道區域的氧化物半導體膜 223 接觸的絕緣膜 107 較佳為氧化物絕緣膜，並且該絕緣膜 107 較佳為包括包含超過化學計量組成的氧的區域（氧過剩區域）。換言之，絕緣膜 107 是能夠釋放氧的絕緣膜。此外，為了在絕緣膜 107 中設置氧過剩區域，例如可以在氧氛圍下形成絕緣膜 107。或者，也可以對成膜後的絕緣膜 107 引入氧而形成氧過剩區域。作為氧的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒離子佈植技術、電漿處理等。

[0261] 此外，當絕緣膜 106 和絕緣膜 107 中的一個或兩個使用氧化鋁時發揮如下效果。氧化鋁的相對介電常數比氧化矽或氮化矽高。因此，藉由使用氧化鋁，與使用氧化矽的情況相比，可以使絕緣膜 106 和絕緣膜 107 中的一個或兩個的厚度變大，由此，可以減少穿隧電流所引起的洩漏電流。亦即，可以實現關態電流小的電晶體。再者，與具有非晶結構的氧化鋁相比，具有結晶結構的氧化鋁具有高相對介電常數。因此，為了形成關態電流小的電晶體，較佳為使用具有結晶結構的氧化鋁。作為結晶結構的例子，可以舉出單斜晶系或立方晶系等。注意，本發明的一個實施方式不侷限於此。

[0262] 注意，在本實施方式中，作為絕緣膜 106 形成氮化矽膜，作為絕緣膜 107 形成氧化矽膜。與氧化矽膜相比，氮化矽膜的相對介電常數較高且為了得到與氧化矽

膜相等的靜電容量所需要的厚度較大。藉由作為被用作電晶體的閘極絕緣膜的絕緣膜 213 包括氮化矽膜，可以增加絕緣膜的物理厚度。因此，可以藉由抑制電晶體的絕緣耐壓的下降並提高絕緣耐壓來抑制電晶體的靜電破壞。

[0263] 可以在基板 211 上形成導電膜之後，以殘留所希望的區域的方式對該導電膜進行圖案化，然後對不需要的區域進行蝕刻，由此形成閘極電極 221。

[0264] 接著，在絕緣膜 213 上的與閘極電極 221 重疊的位置上形成氧化物半導體膜 223（參照圖 17B）。

[0265] 在本實施方式中，作為氧化物半導體膜 223 使用 In-Ga-Zn 氧化物膜（使用 In:Ga:Zn=1:1:1.2（原子數比）的金屬氧化物靶材形成的膜）。

[0266] 可以在絕緣膜 213 上形成氧化物半導體膜之後，以殘留所希望的區域的方式對該氧化物半導體膜進行圖案化，然後對不需要的區域進行蝕刻，由此形成氧化物半導體膜 223。

[0267] 較佳為在形成氧化物半導體膜 223 之後進行加熱處理。在如下條件下進行加熱處理即可：以 250℃ 以上且 650℃ 以下的溫度，較佳為以 300℃ 以上且 500℃ 以下的溫度，更佳為以 350℃ 以上且 450℃ 以下的溫度，採用惰性氣體氛圍、包含 10ppm 以上的氧化性氣體的氛圍或減壓氛圍。此外，加熱處理也可以在惰性氣體氛圍中進行熱處理之後，在包含 10ppm 以上的氧化性氣體的氛圍中進行以便填補從氧化物半導體膜 223 脫離的氧。由於該

加熱處理，可以從絕緣膜 106、107 及氧化物半導體膜 223 中的至少一個去除氫、水等雜質。注意，該熱處理也可以在將氧化物半導體膜 223 加工為島狀之前進行。

[0268] 注意，為了對將氧化物半導體膜 223 用作通道區域的電晶體賦予穩定的電特性，藉由降低氧化物半導體膜 223 中的雜質濃度，來使氧化物半導體膜 223 成為本質或實質上本質是有效的。

[0269] 可以在絕緣膜 213 及氧化物半導體膜 223 上形成導電膜，以殘留所希望的區域的方式對該導電膜進行圖案化，然後對不需要的區域進行蝕刻，由此在絕緣膜 213 及氧化物半導體膜 223 上形成源極電極 225a 及汲極電極 225b（參照圖 17C）。

[0270] 在本實施方式中，作為源極電極 225a 及汲極電極 225b 採用鎢膜、鋁膜和鈦膜的三層的疊層結構。

[0271] 另外，也可以在形成源極電極 225a 及汲極電極 225b 之後對氧化物半導體膜 223 的表面進行洗滌。作為該洗滌方法，例如可以舉出使用磷酸等化學溶液的洗滌。藉由使用磷酸等化學溶液進行洗滌，可以去除附著於氧化物半導體膜 223 表面的雜質（例如，包含在源極電極 225a 及汲極電極 225b 中的元素等）。注意，不一定需要進行該洗滌，根據情況可以不進行該洗滌。

[0272] 另外，在形成源極電極 225a 及汲極電極 225b 的製程和上述洗滌製程中的一個或兩個中，有時氧化物半導體膜 223 的從源極電極 225a 及汲極電極 225b 露出的區

域變薄。

[0273] 接著，在絕緣膜 213、氧化物半導體膜 223、源極電極 225a 及汲極電極 225b 上形成包括絕緣膜 114、116 的絕緣膜 215。然後，以殘留所希望的區域的方式對該絕緣膜 215 進行圖案化，然後對不需要的區域進行蝕刻，由此形成開口 141（參照圖 17D）。

[0274] 較佳的是，在形成絕緣膜 114 之後，在不暴露於大氣的狀態下連續地形成絕緣膜 116。在形成絕緣膜 114 之後，在不暴露於大氣的狀態下，調節源氣體的流量、壓力、高頻功率和基板溫度中的一個以上而連續地形成絕緣膜 116，由此可以減少絕緣膜 114 與絕緣膜 116 之間的介面處的來源於大氣成分的雜質的濃度，並且可以使包含於絕緣膜 114、116 中的氧移動到氧化物半導體膜 223 中，從而可以降低氧化物半導體膜 223 中的氧缺陷量。

[0275] 在絕緣膜 116 的形成製程中，絕緣膜 114 被用作氧化物半導體膜 223 的保護膜。因此，可以在減少對氧化物半導體膜 223 造成的損傷的同時使用功率密度高的高頻功率形成絕緣膜 116。

[0276] 在本實施方式中，作為絕緣膜 114、116 使用能夠釋放氧的氧氮化矽膜。

[0277] 與被用作電晶體的通道區域的氧化物半導體膜 223 接觸的絕緣膜 114 較佳為氧化物絕緣膜，而使用能夠釋放氧的絕緣膜。能夠釋放氧的絕緣膜換句話說是具有

含有超過化學計量組成的氧的區域（氧過剩區域）的絕緣膜。此外，為了在絕緣膜 114 中設置氧過剩區域，例如，可以在氧氛圍下形成絕緣膜 114。或者，也可以對成膜後的絕緣膜 114 引入氧，形成氧過剩區域。作為氧的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒離子佈植技術、電漿處理等。

[0278] 藉由作為絕緣膜 114 使用能夠釋放氧的絕緣膜，可以將氧移動到被用作電晶體的通道區域的氧化物半導體膜 223 中，而減少氧化物半導體膜 223 的氧缺陷量。例如，藉由使用如下絕緣膜可以減少氧化物半導體膜 223 中的氧缺陷量，在該絕緣膜中利用熱脫附譜分析（以下，稱為 TDS（Thermal Desorption Spectroscopy）分析）測得的膜表面溫度為 100℃ 以上且 700℃ 以下或 100℃ 以上且 500℃ 以下的範圍內的氧分子的釋放量為 1.0×10^{18} 分子/cm³ 以上。

[0279] 此外，較佳為使絕緣膜 114 中的缺陷量較少，典型的是，藉由 ESR 測得的起因於矽懸空鍵的在 $g=2.001$ 處出現的信號的自旋密度較佳為 3×10^{17} spins/cm³ 以下。這是因為，若絕緣膜 114 的缺陷密度高，氧則與該缺陷鍵合，而使絕緣膜 114 中的氧透過量減少。較佳的是，在絕緣膜 114 與氧化物半導體膜 223 之間的介面的缺陷量較少，典型的是，利用 ESR 測得的起因於氧化物半導體膜 223 中的缺陷的在 g 值為 1.89 以上且 1.96 以下處出現的信號的自旋密度為 1×10^{17} spins/cm³ 以下，更佳為

檢測下限以下。

[0280] 在絕緣膜 114 中，有時從外部進入絕緣膜 114 的氧全部移動到絕緣膜 114 的外部。或者，有時從外部進入絕緣膜 114 的氧的一部分殘留在絕緣膜 114 內部。另外，有時在氧從外部進入絕緣膜 114 的同時，絕緣膜 114 所含有的氧移動到絕緣膜 114 的外部，由此在絕緣膜 114 中發生氧的移動。在形成能夠使氧透過的氧化物絕緣膜作為絕緣膜 114 時，可以使從設置在絕緣膜 114 上的絕緣膜 116 脫離的氧經過絕緣膜 114 而移動到氧化物半導體膜 223 中。

[0281] 此外，絕緣膜 114 可以使用起因於氮氧化物的態密度低的氧化物絕緣膜形成。注意，該起因於氮氧化物的態密度有時會形成在氧化物半導體膜的價帶頂的能量（ E_{v_os} ）與氧化物半導體膜的導帶底的能量（ E_{c_os} ）之間。作為上述氧化物絕緣膜，可以使用氮氧化物的釋放量少的氧氮化矽膜或氮氧化物的釋放量少的氧氮化鋁膜等。

[0282] 此外，在 TDS 分析中，氮氧化物的釋放量少的氧氮化矽膜是氮釋放量比氮氧化物的釋放量多的膜，典型的是氮分子的釋放量為 1×10^{18} 分子/cm³ 以上且 5×10^{19} 分子/cm³ 以下。注意，該氮釋放量是在進行膜表面溫度為 50℃ 以上且 650℃ 以下，較佳為 50℃ 以上且 550℃ 以下的加熱處理時的釋放量。

[0283] 氮氧化物（ NO_x ， x 大於 0 且 2 以下，較佳為 1 以上且 2 以下），典型的是 NO_2 或 NO 在絕緣膜 114 等

中形成能階。該能階位於氧化物半導體膜 223 的能隙中。由此，當氮氧化物擴散到絕緣膜 114 與氧化物半導體膜 223 之間的介面時，有時該能階在絕緣膜 114 一側俘獲電子。其結果，被俘獲的電子留在絕緣膜 114 與氧化物半導體膜 223 之間的介面附近，由此使電晶體的臨界電壓向正方向漂移。

[0284] 另外，當進行加熱處理時，氮氧化物與氮及氧起反應。當進行加熱處理時，絕緣膜 114 所包含的氮氧化物與絕緣膜 116 所包含的氮起反應，由此絕緣膜 114 所包含的氮氧化物減少。因此，在絕緣膜 114 與氧化物半導體膜 223 之間的介面附近電子不容易被俘獲。

[0285] 藉由作為絕緣膜 114 使用上述氧化物絕緣膜，可以降低電晶體的臨界電壓的漂移，從而可以降低電晶體的電特性的變動。

[0286] 藉由進行電晶體的製程中的加熱處理，典型的是低於 400°C 或低於 375°C （較佳為 340°C 以上且 360°C 以下）的加熱處理，在利用 100K 以下的 ESR 對絕緣膜 114 進行測量而得到的質譜中，觀察到 g 值為 2.037 以上且 2.039 以下的第二信號、 g 值為 2.001 以上且 2.003 以下的第二信號以及 g 值為 1.964 以上且 1.966 以下的第三信號。在 X 帶的 ESR 測定中，第一信號與第二信號之間的分割寬度（split width）及第二信號與第三信號之間的分割寬度大約為 5mT。另外， g 值為 2.037 以上且 2.039 以下的第二信號、 g 值為 2.001 以上且 2.003 以下的第二信

號以及 g 值為 1.964 以上且 1.966 以下的第三信號的自旋密度的總和低於 $1 \times 10^{18} \text{spins/cm}^3$ ，典型地為 $1 \times 10^{17} \text{spins/cm}^3$ 以上且低於 $1 \times 10^{18} \text{spins/cm}^3$ 。

[0287] 在 100K 以下的 ESR 譜中， g 值為 2.037 以上且 2.039 以下的第二信號、 g 值為 2.001 以上且 2.003 以下的第二信號以及 g 值為 1.964 以上且 1.966 以下的第三信號相當於起因於氮氧化物 (NO_x ， x 大於 0 以上且 2 以下，較佳為 1 以上且 2 以下) 的信號。作為氮氧化物的典型例子，有一氧化氮、二氧化氮等。亦即， g 值為 2.037 以上且 2.039 以下的第二信號、 g 值為 2.001 以上且 2.003 以下的第二信號以及 g 值為 1.964 以上且 1.966 以下的第三信號的自旋密度的總數越少，氧化物絕緣膜中的氮氧化物含量越少。

[0288] 另外，利用 SIMS 對上述氧化物絕緣膜進行測量而得到的氮濃度為 $6 \times 10^{20} \text{atoms/cm}^3$ 以下。

[0289] 藉由在基板溫度為 220°C 以上且 350°C 以下的情況下利用使用矽烷及一氧化二氮的 PECVD 法形成上述氧化物絕緣膜，可以形成緻密且硬度高的膜。

[0290] 以與絕緣膜 114 接觸的方式形成的絕緣膜 116 使用其氧含量超過化學計量組成的氧化物絕緣膜形成。藉由加熱，氧的一部分從其氧含量超過化學計量組成的氧化物絕緣膜中脫離。在 TDS 分析中，其氧含量超過化學計量組成的氧化物絕緣膜的換算為氧原子的氧釋放量為 $1.0 \times 10^{19} \text{atoms/cm}^3$ 以上，較佳為 $3.0 \times 10^{20} \text{atoms/cm}^3$ 以

上。注意，在上述 TDS 分析中，膜的表面溫度較佳為 100℃ 以上且 700℃ 以下或 100℃ 以上且 500℃ 以下。

[0291] 此外，較佳為使絕緣膜 116 中的缺陷量較少，典型的是，藉由 ESR 測得的起因於矽懸空鍵且在 $g=2.001$ 處出現的信號的自旋密度低於 $1.5 \times 10^{18} \text{spins/cm}^3$ ，更佳為 $1 \times 10^{18} \text{spins/cm}^3$ 以下。由於絕緣膜 116 與絕緣膜 114 相比離氧化物半導體膜 223 更遠，所以絕緣膜 116 的缺陷密度也可以高於絕緣膜 114。

[0292] 絕緣膜 114 的厚度可以為 5nm 以上且 150nm 以下，較佳為 5nm 以上且 50nm 以下，更佳為 10nm 以上且 30nm 以下。絕緣膜 116 的厚度可以為 30nm 以上且 500nm 以下，較佳為 150nm 以上且 400nm 以下。

[0293] 另外，因為絕緣膜 114 及絕緣膜 116 可以使用相同種類材料形成，所以有時無法明確地確認到絕緣膜 114 與絕緣膜 116 之間的介面。因此，在本實施方式中，以虛線圖示出絕緣膜 114 與絕緣膜 116 之間的介面。注意，在本實施方式中，雖然說明絕緣膜 114 與絕緣膜 116 的兩層結構，但是不侷限於此，例如，也可以採用絕緣膜 114 的單層結構、絕緣膜 116 的單層結構或三層以上的疊層結構。

[0294] 另外，在形成絕緣膜 114、116 之後較佳為進行加熱處理（以下，記載為第一加熱處理）。藉由第一加熱處理，可以降低包含於絕緣膜 114、116 中的氮氧化物。此外，藉由第一加熱處理，可以將絕緣膜 114、116

中的氧的一部分移動到氧化物半導體膜 223 中以減少氧化物半導體膜 223 中的氧缺陷量。

[0295] 將第一加熱處理的溫度典型地設定為低於 400℃，較佳為低於 375℃，更佳為 150℃ 以上且 350℃ 以下。第一加熱處理可以在氮、氧、超乾燥空氣（水含量為 20ppm 以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣）或稀有氣體（氬、氦等）的氛圍下進行。較佳為在上述氮、氧、超乾燥空氣或稀有氣體中不含有氫、水等。該加熱處理可以使用電爐、RTA（Rapid Thermal Anneal：快速熱退火）等。

[0296] 以使汲極電極 225b 露出的方式形成開口 141。作為開口 141 的形成方法，例如可以使用乾蝕刻法。開口 141 的形成方法不侷限於此，也可以使用濕蝕刻法、或乾蝕刻法和濕蝕刻法的組合。注意，由於用來形成開口 141 的蝕刻製程，而有可能減少汲極電極 225b 的厚度。

[0297] 接著，以覆蓋開口 141 的方式在絕緣膜 116 上形成將後面成為氧化物導電膜 227 的氧化物半導體膜（參照圖 18A、圖 18B）。

[0298] 圖 18A 是在絕緣膜 116 上形成氧化物半導體膜時的成膜裝置內的剖面示意圖。圖 18A 示意性地示出：作為成膜裝置的濺射裝置；在該濺射裝置中設置的靶材 193；在靶材 193 的下方形成的電漿 194。

[0299] 首先，在形成氧化物半導體膜時，在包含第

三氧氣體的氛圍下進行電漿放電。此時，被形成氧化物半導體膜的絕緣膜 116 被添加氧。在形成氧化物半導體膜時，該氛圍除了第三氧氣體以外還可以混有惰性氣體（例如，氮氣體、氬氣體、氙氣體等）。例如，較佳的是，使用氬氣體和第三氧氣體，使第三氧氣體的流量比氬氣體大。藉由使第三氧氣體的流量比氬氣體大，可以適當地對絕緣膜 116 添加氧。例如，作為氧化物半導體膜的形成條件，可以使沉積氣體整體中第三氧氣體所占的比例為 50% 以上且 100% 以下，較佳為 80% 以上且 100% 以下。

[0300] 注意，在圖 18A 中，以虛線箭頭示意性地示出添加到絕緣膜 116 的氧或過量氧。

[0301] 形成氧化物半導體膜時的基板溫度為室溫以上且低於 340℃，較佳為室溫以上且 300℃ 以下，更佳為 100℃ 以上且 250℃ 以下，進一步較佳為 100℃ 以上且 200℃ 以下。藉由利用加熱形成氧化物半導體膜，可以提高氧化物半導體膜的結晶性。另一方面，當作為基板 211 使用大型玻璃基板（例如，第 6 代至第 10 代）且形成氧化物半導體膜時的基板溫度為 150℃ 以上且低於 340℃ 時，基板 211 有時變形（歪曲或翹曲）。因此，當使用大型玻璃基板時，藉由將形成氧化物半導體膜時的基板溫度設定為 100℃ 以上且低於 150℃，可以抑制玻璃基板的變形。

[0302] 在本實施方式中，藉由使用 In-Ga-Zn 金屬氧化物靶材（In:Ga:Zn=1:3:6[原子數比]）的濺射法形成氧化物半導體膜。

[0303] 接著，將該氧化物半導體膜加工為所希望的形狀，由此形成島狀的氧化物半導體膜 227a（參照圖 18C）。

[0304] 在絕緣膜 116 上形成氧化物半導體膜之後，以殘留所希望的區域的方式對該氧化物半導體膜進行圖案化，然後對不需要的區域進行蝕刻，由此可以形成氧化物半導體膜 227a。

[0305] 接著，在絕緣膜 116 及氧化物半導體膜 227a 上形成絕緣膜 217（參照圖 19A）。

[0306] 絕緣膜 217 具有能夠阻擋氧、氫、水、鹼金屬、鹼土金屬等的功能。藉由設置絕緣膜 217，能夠防止氧從氧化物半導體膜 223 擴散到外部並能夠防止絕緣膜 215 所包含的氧擴散到外部，還能夠抑制氫、水、鹼金屬、鹼土金屬等從外部侵入氧化物半導體膜 223 中。

[0307] 絕緣膜 217 較佳為包含氫和氮中的一個或兩個。作為絕緣膜 217，例如較佳為使用氮化矽膜。例如，可以利用濺射法或 PECVD 法形成絕緣膜 217。例如，當利用 PECVD 法形成絕緣膜 217 時，將基板溫度設定為低於 400℃，較佳為低於 375℃，更佳為 180℃ 以上且 350℃ 以下。藉由將形成絕緣膜 217 時的基板溫度設定為上述範圍，可以形成緻密膜，所以是較佳的。藉由將形成絕緣膜 217 時的基板溫度設定為上述範圍，可以將絕緣膜 114、116 中的氧或過量氧移動到氧化物半導體膜 223 中。

[0308] 注意，也可以設置對氧、氫、水等具有阻擋

效果的氧化物絕緣膜代替對氧、氫、水、鹼金屬、鹼土金屬等具有阻擋效果的氮化物絕緣膜。作為對氧、氫、水等具有阻擋效果的氧化物絕緣膜，有氧化鋁膜、氧氮化鋁膜、氧化鎵膜、氧氮化鎵膜、氧化釹膜、氧氮化釹膜、氧化鈺膜、氧氮化鈺膜等。

[0309] 在形成絕緣膜 217 之後，也可以進行與上述第一加熱處理同等的加熱處理（以下，稱為第二加熱處理）。如此，在當形成成為氧化物導電膜 227 的氧化物半導體膜時對絕緣膜 116 添加氧之後，藉由以低於 400°C 的溫度，較佳為以低於 375°C 的溫度，更佳為以 180°C 以上且 350°C 以下的溫度進行加熱處理，可以使絕緣膜 116 中的氧或過量氧移動到氧化物半導體膜 223 中，從而可以填補氧化物半導體膜 223 中的氧缺陷。

[0310] 在此，參照圖 20 對向氧化物半導體膜 223 移動的氧進行說明。圖 20 為示出因形成絕緣膜 217 時的基板溫度（典型的是低於 375°C ）或者形成絕緣膜 217 後的第二加熱處理（典型的是低於 375°C ）而向氧化物半導體膜 223 移動的氧的模型圖。注意，在圖 20 中，由虛線的箭頭表示向氧化物半導體膜 223 移動的氧（氧自由基、氧原子或者氧分子）。另外，圖 20 是示出形成絕緣膜 217 之後的電晶體附近的剖面圖。

[0311] 當氧從接觸於圖 20 所示的氧化物半導體膜 223 的膜（在此，為絕緣膜 107 及絕緣膜 114）移動到氧化物半導體膜 223 時，氧缺陷被填補。尤其是，在本發明

的一個實施方式的輸入輸出裝置中，在藉由濺射法形成成為氧化物半導體膜 223 的氧化物半導體膜時，由於使用氧氣體對絕緣膜 107 添加氧，因此絕緣膜 107 包含過量氧區域。另外，在藉由濺射法形成成為氧化物導電膜 227 的氧化物半導體膜時，由於使用氧氣體對絕緣膜 116 添加氧，所以絕緣膜 116 具有過量氧區域。由此，由於氧化物半導體膜 223 夾在該包含過量氧區域的絕緣膜之間，所以被有效地填補氧缺陷。

[0312] 另外，在絕緣膜 107 之下設置有絕緣膜 106，在絕緣膜 114、116 之上設置有絕緣膜 217。藉由使用氧透過性低的材料，例如，氮化矽等形成絕緣膜 106、217，可以將絕緣膜 107、114、116 所包含的氧封閉在氧化物半導體膜 223 一側，所以可以有效地將氧移動到氧化物半導體膜 223。

[0313] 另外，絕緣膜 217 較佳為具有降低氧化物導電膜 227 的電阻率的功能。

[0314] 藉由形成包含氫和氮中的任何一個或兩個的絕緣膜 217，對接觸於絕緣膜 217 的氧化物半導體膜 227a 添加氫和氮中的任何一個或兩個。由此，氧化物半導體膜 227a 的載子密度變高，而該氧化物半導體膜 227a 可以被用作氧化物導電膜。

[0315] 注意，隨著氧化物半導體膜 227a 的電阻率降低，在圖 19A 之後的圖式中，將氧化物半導體膜 227a 表示為氧化物導電膜 227。

[0316] 氧化物導電膜 227 的電阻率至少低於氧化物半導體膜 223，較佳為 $1 \times 10^{-3} \Omega \text{cm}$ 以上且低於 $1 \times 10^4 \Omega \text{cm}$ ，更佳為 $1 \times 10^{-3} \Omega \text{cm}$ 以上且低於 $1 \times 10^{-1} \Omega \text{cm}$ 。

[0317] 接著，在絕緣膜 217 上形成絕緣膜 219，以殘留所希望的區域的方式對絕緣膜 217、219 進行圖案化，然後對不需要的區域進行蝕刻，來形成開口 142（參照圖 19B）。

[0318] 另外，在本實施方式中，作為絕緣膜 219，可以使用丙烯酸樹脂。

[0319] 以使汲極電極 225b 露出的方式形成開口 142。作為開口 142 的形成方法，例如可以使用乾蝕刻法。注意，對於開口 142 的形成方法不侷限於此而可以採用濕蝕刻法或組合乾蝕刻法和濕蝕刻法的形成方法。另外，有時由於形成開口 142 的蝕刻製程而可以減少汲極電極 225b 的厚度。

[0320] 另外，也可以不進行上述形成開口 141 的製程而在形成開口 142 的製程中在絕緣膜 114、116、217、219 中形成開口。藉由採用這樣的製程，可以縮短本發明的一個實施方式的輸入輸出裝置的製程，因此可以抑制製造成本。

[0321] 接著，以覆蓋開口 142 的方式在絕緣膜 219 上形成導電膜，以殘留所希望的區域的方式對該導電膜進行圖案化，然後對不需要的區域進行蝕刻來形成導電膜 251。並且，在導電膜 251 上形成絕緣膜 253。接著，在

絕緣膜 253 上形成導電膜，以殘留所希望的區域的方式對該導電膜進行圖案化，然後對不需要的區域進行蝕刻，由此形成導電膜 255。並且，在絕緣膜 253 及導電膜 255 上形成導電膜，以殘留所希望的區域的方式對該導電膜進行圖案化，然後對不需要的區域進行蝕刻，由此形成導電膜 252（參照圖 19C）。

[0322] 在本實施方式中，作為導電膜 251 及導電膜 252 使用 ITO 膜，作為絕緣膜 253 使用氮化矽膜，作為導電膜 255 使用銀、鈦和銅的合金（也稱為 Ag-Pd-Cu、APC）膜。

[0323] 雖然對導電膜 252 和導電膜 255 的形成順序沒有特別的限制，但是較佳的是，在形成導電膜 252 之前形成導電膜 255。藉由對導電膜 255 進行蝕刻，可以抑制導電膜 252 受到損傷等。

[0324] 另外，也可以藉由利用與氧化物導電膜 227 同樣的方法並使用氧化物半導體膜，來形成導電膜 251。此時，作為形成在導電膜 251 上的絕緣膜 253，可以適用能夠用於絕緣膜 217 的材料。另外，也可以藉由形成氧化物半導體膜並對該氧化物半導體膜進行降低電阻率的處理，來形成導電膜 252。

[0325] 藉由上述製程，可以製造圖 4 所示的電晶體 203b 和液晶元件的一對電極。

[0326] 注意，雖然圖 19C 示出設置有絕緣膜 219 的結構，但是也可以採用不設置絕緣膜 219 的結構（參照圖

21)。

[0327] 本實施方式可以與其他實施方式適當地組合。

[0328]

實施方式 3

在本實施方式中，參照圖 22A 至圖 25D 說明能夠應用於本發明的一個實施方式的輸入輸出裝置的電晶體。另外，關於各層的材料，可以參照實施方式 1 的說明。

[0329]

〈電晶體的結構例子 1〉

圖 22A 是電晶體 270 的俯視圖，圖 22B 是沿著圖 22A 所示的點劃線 A1-A2 的剖面圖，圖 22C 是沿著點劃線 B1-B2 的剖面圖。另外，有時將點劃線 A1-A2 方向稱為通道長度方向，將點劃線 B1-B2 方向稱為通道寬度方向。

[0330] 電晶體 270 包括：基板 502 上的被用作第一閘極電極的導電膜 504；基板 502 及導電膜 504 上的絕緣膜 506；絕緣膜 506 上的絕緣膜 507；絕緣膜 507 上的氧化物半導體膜 508；與氧化物半導體膜 508 電連接的被用作源極電極的導電膜 512a；與氧化物半導體膜 508 電連接的被用作汲極電極的導電膜 512b；氧化物半導體膜 508、導電膜 512a、512b 上的絕緣膜 514、516；以及絕緣膜 516 上的氧化物導電膜 511b。另外，在氧化物導電膜 511b 上設置絕緣膜 518。

[0331] 在電晶體 270 中，絕緣膜 514 及絕緣膜 516 具有作為電晶體 270 的第二閘極絕緣膜的功能。氧化物半導體膜 511a 藉由形成在絕緣膜 514 及絕緣膜 516 中的開口 552c 與導電膜 512b 連接。氧化物半導體膜 511a 例如具有顯示元件的像素電極的功能。另外，在電晶體 270 中，氧化物導電膜 511b 具有作為第二閘極電極（也稱為背閘極電極）的功能。

[0332] 如圖 22C 所示，氧化物導電膜 511b 藉由設置於絕緣膜 506、507、絕緣膜 514 及絕緣膜 516 中的開口 552a、552b 連接到被用作第一閘極電極的導電膜 504。因此，對導電膜 504 和氧化物導電膜 511b 供應相同的電位。

[0333] 另外，在本實施方式中例示出形成開口 552a、552b 使氧化物導電膜 511b 與導電膜 504 連接的結構，但是不侷限於此。例如，也可以採用僅形成開口 552a 和開口 552b 中的任一個而使氧化物導電膜 511b 與導電膜 504 連接的結構，或者，不形成開口 552a 和開口 552b 而不使氧化物導電膜 511b 與導電膜 504 連接的結構。當採用不使氧化物導電膜 511b 與導電膜 504 連接的結構時，可以對氧化物導電膜 511b 和導電膜 504 分別供應不同的電位。

[0334] 如圖 22B 所示，氧化物半導體膜 508 位於與被用作第一閘極電極的導電膜 504 及被用作第二閘極電極的氧化物導電膜 511b 的每一個相對的位置，並被夾在兩

個被用作閘極電極的導電膜之間。被用作第二閘極電極的氧化物導電膜 511b 的通道長度方向的長度及通道寬度方向的長度分別大於氧化物半導體膜 508 的通道長度方向的長度及通道寬度方向的長度，並且，氧化物導電膜 511b 隔著絕緣膜 514 及絕緣膜 516 覆蓋整個氧化物半導體膜 508。此外，因為被用作第二閘極電極的氧化物導電膜 511b 藉由形成於絕緣膜 506、507、絕緣膜 514 及絕緣膜 516 中的開口 552a、552b 連接到被用作第一閘極電極的導電膜 504，所以氧化物半導體膜 508 的通道寬度方向的側面隔著絕緣膜 514 及絕緣膜 516 與被用作第二閘極電極的氧化物導電膜 511b 相對。

[0335] 換言之，在電晶體 270 的通道寬度方向上，被用作第一閘極電極的導電膜 504 與被用作第二閘極電極的氧化物導電膜 511b 藉由形成於被用作閘極絕緣膜的絕緣膜 506、507 及被用作第二閘極絕緣膜的絕緣膜 514、516 中的開口相互連接，並且，該導電膜 504 及該氧化物導電膜 511b 隔著被用作閘極絕緣膜的絕緣膜 506、507 及被用作第二閘極絕緣膜的絕緣膜 514、絕緣膜 516 圍繞氧化物半導體膜 508。

[0336] 藉由採用上述結構，利用被用作第一閘極電極的導電膜 504 及被用作第二閘極電極的氧化物導電膜 511b 的電場電圍繞電晶體 270 所包括的氧化物半導體膜 508。如電晶體 270，可以將利用第一閘極電極及第二閘極電極的電場電圍繞形成通道區域的氧化物半導體膜的電

晶體的裝置結構稱為 surrounded channel (s-channel) 結構。

[0337] 因為電晶體 270 具有 s-channel 結構，所以可以藉由利用被用作第一閘極電極的導電膜 504 對氧化物半導體膜 508 有效地施加用來引起通道的電場。由此，電晶體 270 的電流驅動能力得到提高，從而可以得到較高的通態電流 (on-state current) 特性。此外，由於可以增加通態電流，所以可以使電晶體 270 微型化。另外，由於電晶體 270 具有被用作第一閘極電極的導電膜 504 及被用作第二閘極電極的氧化物導電膜 511b 圍繞的結構，所以可以提高電晶體 270 的機械強度。

[0338]

〈電晶體的結構例子 2〉

圖 23A 和圖 23B 是圖 22B 和圖 22C 所示的電晶體 270 的變形例子的剖面圖。圖 23C 和圖 23D 是圖 22B 和圖 22C 所示的電晶體 270 的變形例子的剖面圖。

[0339] 圖 23A 及圖 23B 所示的電晶體 270A 除了氧化物半導體膜 508 具有三層結構之外具有與圖 22B 及圖 22C 所示的電晶體 270 相同的結構。明確而言，電晶體 270A 所具有的氧化物半導體膜 508 包括氧化物半導體膜 508a、氧化物半導體膜 508b 以及氧化物半導體膜 508c。

[0340] 圖 23C 及圖 23D 所示的電晶體 270B 除了氧化物半導體膜 508 具有兩層結構之外具有與圖 22B 及圖 22C 所示的電晶體 270 相同的結構。明確而言，電晶體

270B 所具有的氧化物半導體膜 508 包括氧化物半導體膜 508b 及氧化物半導體膜 508c。

[0341] 在此，參照圖 24A 和圖 24B 說明氧化物半導體膜 508 以及接觸於氧化物半導體膜 508 的絕緣膜的能帶圖。

[0342] 圖 24A 是疊層體的膜厚度方向上的能帶圖的一個例子，該疊層體具有絕緣膜 507、氧化物半導體膜 508a、508b、508c 以及絕緣膜 514。圖 24B 是疊層體的膜厚度方向上的能帶圖的一個例子，該疊層體具有絕緣膜 507、氧化物半導體膜 508b、508c 以及絕緣膜 514。在能帶圖中，為了容易理解，示出絕緣膜 507、氧化物半導體膜 508a、508b、508c 及絕緣膜 514 的導帶底的能階 (E_c)。

[0343] 在圖 24A 的能帶圖中，作為絕緣膜 507、514 使用氧化矽膜，作為氧化物半導體膜 508a 使用利用金屬元素的原子數比為 $\text{In:Ga:Zn}=1:1:1.2$ 的金屬氧化物靶材而形成的氧化物半導體膜，作為氧化物半導體膜 508b 使用利用金屬元素的原子數比為 $\text{In:Ga:Zn}=4:2:4.1$ 的金屬氧化物靶材而形成的氧化物半導體膜，作為氧化物半導體膜 508c 使用利用金屬元素的原子數比為 $\text{In:Ga:Zn}=1:1:1.2$ 的金屬氧化物靶材而形成的氧化物半導體膜。

[0344] 在圖 24B 的能帶圖中，作為絕緣膜 507、514 使用氧化矽膜，作為氧化物半導體膜 508b 使用利用金屬元素的原子數比為 $\text{In:Ga:Zn}=4:2:4.1$ 的金屬氧化物靶材而

形成的氧化物半導體膜，作為氧化物半導體膜 508c 使用利用金屬元素的原子數比為 $\text{In:Ga:Zn}=1:1:1.2$ 的金屬氧化物靶材而形成的氧化物半導體膜。

[0345] 如圖 24A 和圖 24B 所示，在氧化物半導體膜 508a、508b、508c 中，導帶底的能階平緩地變化。換言之，可以說連續地變化或連續接合。為了實現這種帶結構，使在氧化物半導體膜 508a 與氧化物半導體膜 508b 之間的介面處或氧化物半導體膜 508b 與氧化物半導體膜 508c 之間的介面處不存在形成陷阱中心或再結合中心等缺陷能階的雜質。

[0346] 為了在氧化物半導體膜 508a 與氧化物半導體膜 508b 之間以及在氧化物半導體膜 508b 與氧化物半導體膜 508c 之間形成連續接合，需要使用具備負載鎖定室的多腔室成膜裝置（濺射裝置）以使各膜不暴露於大氣中的方式連續地層疊。

[0347] 藉由採用圖 24A 和圖 24B 所示的結構，氧化物半導體膜 508b 成為井（well），並且在使用上述疊層結構的電晶體中，通道區域形成在氧化物半導體膜 508b 中。

[0348] 藉由設置氧化物半導體膜 508a、508c，可以使會形成在氧化物半導體膜 508b 中的陷阱能階遠離氧化物半導體膜 508b。

[0349] 有時與被用作通道區域的氧化物半導體膜 508b 的導帶底能階（ E_c ）相比，陷阱能階離真空能階更

遠，而有時在陷阱能階中容易積累電子。當電子積累在陷阱能階中時，成為負固定電荷，導致電晶體的臨界電壓向正方向漂移。因此，較佳為採用陷阱能階比氧化物半導體膜 508b 的導帶底能階（ E_c ）接近於真空能階的結構。藉由採用上述結構，電子不容易積累在陷阱能階，所以能夠增大電晶體的通態電流，並且還能夠提高場效移動率。

[0350] 氧化物半導體膜 508a、508c 與氧化物半導體膜 508b 相比導帶底的能階更接近於真空能階，典型的是，氧化物半導體膜 508b 的導帶底能階與氧化物半導體膜 508a、508c 的導帶底能階之差為 0.15eV 以上或 0.5eV 以上，且為 2eV 以下或 1eV 以下。換言之，氧化物半導體膜 508a、508c 的電子親和力與氧化物半導體膜 508b 的電子親和力之差為 0.15eV 以上或 0.5eV 以上，且為 2eV 以下或 1eV 以下。

[0351] 藉由具有上述結構，氧化物半導體膜 508b 成為主要電流路徑。就是說，氧化物半導體膜 508b 被用作通道區域，氧化物半導體膜 508a、508c 被用作氧化物絕緣膜。此外，由於氧化物半導體膜 508a、508c 包含形成通道區域的氧化物半導體膜 508b 所包含的金屬元素中的一種以上，所以在氧化物半導體膜 508a 與氧化物半導體膜 508b 之間的介面處或在氧化物半導體膜 508b 與氧化物半導體膜 508c 之間的介面處不容易產生介面散射。由此，在該介面處載子的移動不被阻礙，因此電晶體的場效移動率得到提高。

[0352] 注意，為了防止氧化物半導體膜 508a、508c 被用作通道區域的一部分，氧化物半導體膜 508a、508c 使用導電率夠低的材料。因此，根據其物性及/或功能可以將氧化物半導體膜 508a、508c 稱為氧化物絕緣膜。或者，氧化物半導體膜 508a、508c 使用其電子親和力（真空能階與導帶底能階之差）低於氧化物半導體膜 508b 且其導帶底能階與氧化物半導體膜 508b 的導帶底能階有差異（能帶偏移）的材料。此外，為了抑制產生起因於汲極電壓值的臨界電壓之間的差異，氧化物半導體膜 508a、508c 的導帶底能階較佳為比氧化物半導體膜 508b 的導帶底能階更接近於真空能階。例如，氧化物半導體膜 508b 的導帶底能階與氧化物半導體膜 508a、508c 的導帶底能階之差較佳為 0.2eV 以上，更佳為 0.5eV 以上。

[0353] 氧化物半導體膜 508a、508c 較佳為不具有尖晶石型結晶結構。在氧化物半導體膜 508a、508c 中具有尖晶石型結晶結構時，導電膜 512a、512b 的構成元素有時會在該尖晶石型結晶結構與其他區域之間的介面處擴散到氧化物半導體膜 508b 中。注意，在氧化物半導體膜 508a、508c 為 CAAC-OS 的情況下，阻擋導電膜 512a、512b 的構成元素如銅元素的性質得到提高，所以是較佳的。

[0354] 氧化物半導體膜 508a、508c 的厚度大於或等於能夠抑制導電膜 512a、512b 的構成元素擴散到氧化物半導體膜 508b 的厚度且小於從絕緣膜 514 向氧化物半導

體膜 508b 的氧的供應被抑制的厚度。例如，當氧化物半導體膜 508a、508c 的厚度為 10nm 以上時，能夠抑制導電膜 512a、512b 的構成元素擴散到氧化物半導體膜 508b。另外，當氧化物半導體膜 508a、508c 的厚度為 100nm 以下時，能夠高效地從絕緣膜 514 向氧化物半導體膜 508b 供應氧。

[0355] 另外，在本實施方式中，示出作為氧化物半導體膜 508a、508c 使用利用其金屬元素的原子數比為 In:Ga:Zn=1:1:1.2 的金屬氧化物靶材形成的氧化物半導體膜的結構，但是不侷限於此。例如，作為氧化物半導體膜 508a、508c，也可以使用如下氧化物半導體膜：該氧化物半導體膜利用 In:Ga:Zn=1:1:1[原子數比]、In:Ga:Zn=1:3:2[原子數比]、In:Ga:Zn=1:3:4[原子數比]或 In:Ga:Zn=1:3:6[原子數比]的金屬氧化物靶材形成。

[0356] 當作為氧化物半導體膜 508a、508c 使用利用 In:Ga:Zn=1:1:1[原子數比]的金屬氧化物靶材形成的氧化物半導體膜時，在氧化物半導體膜 508a、508c 中有時為 In:Ga:Zn=1:β₁ (0<β₁≤2):β₂ (0<β₂≤3)。當作為氧化物半導體膜 508a、508c 使用利用 In:Ga:Zn=1:3:4[原子數比]的金屬氧化物靶材形成的氧化物半導體膜時，在氧化物半導體膜 508a、508c 中有時為 In:Ga:Zn=1:β₃ (1≤β₃≤5):β₄ (2≤β₄≤6)。當作為氧化物半導體膜 508a、508c 使用利用 In:Ga:Zn=1:3:6[原子數比]的金屬氧化物靶材形成的氧化物半導體膜時，在氧化物半導體膜

508a、508c 中有時為 $\text{In:Ga:Zn}=1:\beta 5 \left(1 \leq \beta 5 \leq 5 \right) : \beta 6 \left(4 \leq \beta 6 \leq 8 \right)$ 。

[0357] 在圖式中，示出電晶體 270 所包括的氧化物半導體膜 508、電晶體 270A 及電晶體 270B 所包括的氧化物半導體膜 508c 各自的不與導電膜 512a、512b 重疊的區域變薄，換言之，氧化物半導體膜的一部分具有凹部的形狀。但是，本發明的一個實施方式不侷限於此，氧化物半導體膜的不與導電膜 512a、512b 重疊的區域也可以沒有凹部。圖 25A 和圖 25B 示出這種情況的例子。圖 25A 和圖 25B 是示出電晶體的一個例子的剖面圖。注意，圖 25A 和圖 25B 示出上述的電晶體 270B 的氧化物半導體膜 508 沒有凹部的結構。

[0358] 另外，如圖 25C 和圖 25D 所示，也可以預先將氧化物半導體膜 508c 的厚度設定為薄於氧化物半導體膜 508b 的厚度，並且在氧化物半導體膜 508c 及絕緣膜 507 上形成絕緣膜 519。此時，在絕緣膜 519 中形成使氧化物半導體膜 508c 與導電膜 512a 及導電膜 512b 接觸的開口。絕緣膜 519 可以利用與絕緣膜 514 相同的材料、相同的形成方法形成。

[0359] 此外，本實施方式的電晶體的結構可以自由地相互組合。

[0360] 本實施方式可以與其他實施方式適當地組合。

[0361]

實施方式 4

在本實施方式中，參照圖 26A 至圖 30 對氧化物半導體進行說明。

[0362]

〈氧化物半導體的結構〉

以下，對氧化物半導體的結構進行說明。

[0363] 氧化物半導體被分為單晶氧化物半導體和非單晶氧化物半導體。作為非單晶氧化物半導體有 CAAC-OS (c-axis-aligned crystalline oxide semiconductor)、多晶氧化物半導體、nc-OS (nanocrystalline oxide semiconductor)、a-like OS (amorphous-like oxide semiconductor) 及非晶氧化物半導體等。

[0364] 從其他觀點看來，氧化物半導體被分為非晶氧化物半導體和結晶氧化物半導體。作為結晶氧化物半導體，有單晶氧化物半導體、CAAC-OS、多晶氧化物半導體以及 nc-OS 等。

[0365] 一般而言，非晶結構具有如下特徵：具有各向同性而不具有不均勻結構；處於亞穩態且原子的配置沒有被固定化；鍵角不固定；具有短程有序而不具有長程有序；等。

[0366] 亦即，不能將穩定的氧化物半導體稱為完全非晶 (completely amorphous) 氧化物半導體。另外，不能將不具有各向同性（例如，在微小區域中具有週期結構）的氧化物半導體稱為完全非晶氧化物半導體。另一方

面，a-like OS 不具有各向同性但卻是具有空洞（void）的不穩定結構。在不穩定這一點上，a-like OS 在物性上接近於非晶氧化物半導體。

[0367]

〈CAAC-OS〉

首先，說明 CAAC-OS。

[0368] CAAC-OS 是包含多個 c 軸配向的結晶部（也稱為顆粒）的氧化物半導體之一。

[0369] 說明使用 X 射線繞射（XRD：X-Ray Diffraction）裝置對 CAAC-OS 進行分析時的情況。例如，當利用 out-of-plane 法分析包含分類為空間群 R-3m 的 InGaZnO₄ 結晶的 CAAC-OS 的結構時，如圖 26A 所示，在繞射角（2θ）為 31°附近出現峰值。由於該峰值來源於 InGaZnO₄ 結晶的（009）面，由此可確認到在 CAAC-OS 中結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於形成 CAAC-OS 的膜的面（也稱為被形成面）或頂面的方向。注意，除了 2θ為 31°附近的峰值以外，有時在 2θ為 36°附近時也出現峰值。2θ為 36°附近的峰值起因於分類為空間群 Fd-3m 的結晶結構。因此，較佳的是，在 CAAC-OS 中不出現該峰值。

[0370] 另一方面，當利用從平行於被形成面的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 的結構時，在 2θ為 56°附近出現峰值。該峰值來源於 InGaZnO₄ 結晶的（110）面。並且，即使將 2θ固定為 56°附近並在

以樣本面的法線向量為軸（ ϕ 軸）旋轉樣本的條件下進行分析（ ϕ 掃描），也如圖 26B 所示的那樣觀察不到明確的峰值。另一方面，當對單晶 InGaZnO_4 將 2θ 固定為 56° 附近來進行 ϕ 掃描時，如圖 26C 所示，觀察到來源於相等於（110）面的結晶面的六個峰值。因此，由使用 XRD 的結構分析可以確認到 CAAC-OS 中的 a 軸和 b 軸的配向沒有規律性。

[0371] 接著，說明利用電子繞射分析的 CAAC-OS。例如，當對包含 InGaZnO_4 結晶的 CAAC-OS 在平行於 CAAC-OS 的被形成面的方向上入射束徑為 300nm 的電子束時，有可能出現圖 26D 所示的繞射圖案（也稱為選區電子繞射圖案）。在該繞射圖案中包含起因於 InGaZnO_4 結晶的（009）面的斑點。因此，電子繞射也示出 CAAC-OS 所包含的顆粒具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。另一方面，圖 26E 示出對相同的樣本在垂直於樣本面的方向上入射束徑為 300nm 的電子束時的繞射圖案。從圖 26E 觀察到環狀的繞射圖案。因此，使用束徑為 300nm 的電子束的電子繞射也示出 CAAC-OS 所包含的顆粒的 a 軸和 b 軸不具有配向性。可以認為圖 26E 中的第一環起因於 InGaZnO_4 結晶的（010）面和（100）面等。另外，可以認為圖 26E 中的第二環起因於（110）面等。

[0372] 另外，在利用穿透式電子顯微鏡（TEM：Transmission Electron Microscope）觀察所獲取的 CAAC-

OS 的明視野影像與繞射圖案的複合分析影像（也稱為高解析度 TEM 影像）中，可以觀察到多個顆粒。然而，即使在高解析度 TEM 影像中，有時也觀察不到顆粒與顆粒之間的明確的邊界，亦即晶界（grain boundary）。因此，可以說在 CAAC-OS 中，不容易發生起因於晶界的電子移動率的降低。

[0373] 圖 27A 示出從大致平行於樣本面的方向觀察所獲取的 CAAC-OS 的剖面的高解析度 TEM 影像。利用球面像差校正（Spherical Aberration Corrector）功能得到高解析度 TEM 影像。尤其將利用球面像差校正功能獲取的高解析度 TEM 影像稱為 Cs 校正高解析度 TEM 影像。例如可以使用日本電子株式會社製造的原子解析度分析型電子顯微鏡 JEM-ARM200F 等觀察 Cs 校正高解析度 TEM 影像。

[0374] 從圖 27A 可確認到其中金屬原子排列為層狀的顆粒。並且可知一個顆粒的尺寸為 1nm 以上或者 3nm 以上。因此，也可以將顆粒稱為奈米晶（nc：nanocrystal）。另外，也可以將 CAAC-OS 稱為具有 CANC（C-Axis Aligned nanocrystals：c 軸配向奈米晶）的氧化物半導體。顆粒反映 CAAC-OS 的被形成面或頂面的凸凹並平行於 CAAC-OS 的被形成面或頂面。

[0375] 另外，圖 27B 及圖 27C 示出從大致垂直於樣本面的方向觀察所獲取的 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像。圖 27D 及圖 27E 是藉由對圖 27B 及圖

27C 進行影像處理得到的影像。下面說明影像處理的方法。首先，藉由對圖 27B 進行快速傅立葉變換（FFT：Fast Fourier Transform）處理，獲取 FFT 影像。接著，以保留所獲取的 FFT 影像中的離原點 2.8nm^{-1} 至 5.0nm^{-1} 的範圍的方式進行遮罩處理。接著，對經過遮罩處理的 FFT 影像進行快速傅立葉逆變換（IFFT：Inverse Fast Fourier Transform）處理而獲取經過處理的影像。將所獲取的影像稱為 FFT 濾波影像。FFT 濾波影像是從 Cs 校正高解析度 TEM 影像中提取出週期分量的影像，其示出晶格排列。

[0376] 在圖 27D 中，以虛線示出晶格排列被打亂的部分。由虛線圍繞的區域是一個顆粒。並且，以虛線示出的部分是顆粒與顆粒的聯結部。虛線呈現六角形，由此可知顆粒為六角形。注意，顆粒的形狀並不侷限於正六角形，不是正六角形的情況較多。

[0377] 在圖 27E 中，以點線示出晶格排列一致的區域與其他晶格排列一致的區域之間的部分。在點線附近也無法確認到明確的晶界。當以點線附近的晶格點為中心周圍的晶格點相接時，可以形成畸變的六角形、五角形或/及七角形等。亦即，可知藉由使晶格排列畸變，可抑制晶界的形成。這可能是由於 CAAC-OS 可容許因如下原因而發生的畸變：在 a-b 面方向上的原子排列的低密度或因金屬元素被取代而使原子間的鍵合距離產生變化等。

[0378] 如上所示，CAAC-OS 具有 c 軸配向性，其多

個顆粒（奈米晶）在 a-b 面方向上連結而結晶結構具有畸變。因此，也可以將 CAAC-OS 稱為具有 CAA crystal（c-axis-aligned a-b-plane-anchored crystal）的氧化物半導體。

[0379] CAAC-OS 是結晶性高的氧化物半導體。氧化物半導體的結晶性有時因雜質的混入或缺陷的生成等而降低，因此可以說 CAAC-OS 是雜質或缺陷（氧缺陷等）少的氧化物半導體。

[0380] 此外，雜質是指氧化物半導體的主要成分以外的元素，諸如氫、碳、矽和過渡金屬元素等。例如，與氧的鍵合力比構成氧化物半導體的金屬元素強的矽等元素會奪取氧化物半導體中的氧，由此打亂氧化物半導體的原子排列，導致結晶性下降。另外，由於鐵或鎳等重金屬、氫、二氧化碳等的原子半徑（或分子半徑）大，所以會打亂氧化物半導體的原子排列，導致結晶性下降。

[0381] 當氧化物半導體包含雜質或缺陷時，其特性有時會因光或熱等發生變動。例如，包含於氧化物半導體的雜質有時會成為載子陷阱或載子發生源。例如，氧化物半導體中的氧缺陷有時會成為載子陷阱或因俘獲氫而成為載子發生源。

[0382] 雜質及氧缺陷少的 CAAC-OS 是載子密度低的氧化物半導體。明確而言，可以使用載子密度小於 8×10^{11} 個/cm³，較佳為小於 1×10^{11} 個/cm³，更佳為小於 1×10^{10} 個/cm³，且是 1×10^{-9} 個/cm³ 以上的氧化物半導體。將這樣的

氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。CAAC-OS 的雜質濃度和缺陷能階密度低。亦即，可以說 CAAC-OS 是具有穩定特性的氧化物半導體。

[0383]

〈nc-OS〉

接著，對 nc-OS 進行說明。

[0384] 說明使用 XRD 裝置對 nc-OS 進行分析的情況。例如，當利用 out-of-plane 法分析 nc-OS 的結構時，不出現表示配向性的峰值。換言之，nc-OS 的結晶不具有配向性。

[0385] 另外，例如，當使包含 InGaZnO₄ 結晶的 nc-OS 薄片化，並在平行於被形成面的方向上使束徑為 50nm 的電子束入射到厚度為 34nm 的區域時，觀察到如圖 28A 所示的環狀繞射圖案（奈米束電子繞射圖案）。另外，圖 28B 示出將束徑為 1nm 的電子束入射到相同的樣本時的繞射圖案（奈米束電子繞射圖案）。從圖 28B 觀察到環狀區域內的多個斑點。因此，nc-OS 在入射束徑為 50nm 的電子束時觀察不到秩序性，但是在入射束徑為 1nm 的電子束時確認到秩序性。

[0386] 另外，當使束徑為 1nm 的電子束入射到厚度小於 10nm 的區域時，如圖 28C 所示，有時觀察到斑點被配置為準正六角形的電子繞射圖案。由此可知，nc-OS 在厚度小於 10nm 的範圍內包含秩序性高的區域，亦即結晶。注意，因為結晶朝向各種各樣的方向，所以也有觀察

不到有規律性的電子繞射圖案的區域。

[0387] 圖 28D 示出從大致平行於被形成面的方向觀察到的 nc-OS 的剖面的 Cs 校正高解析度 TEM 影像。在 nc-OS 的高解析度 TEM 影像中有如由輔助線所示的部分那樣能夠觀察到結晶部的區域和觀察不到明確的結晶部的區域。nc-OS 所包含的結晶部的尺寸為 1nm 以上且 10nm 以下，尤其大多為 1nm 以上且 3nm 以下。注意，有時將其結晶部的尺寸大於 10nm 且是 100nm 以下的氧化物半導體稱為微晶氧化物半導體（microcrystalline oxide semiconductor）。例如，在 nc-OS 的高解析度 TEM 影像中，有時無法明確地觀察到晶界。注意，奈米晶的來源有可能與 CAAC-OS 中的顆粒相同。因此，下面有時將 nc-OS 的結晶部稱為顆粒。

[0388] 如此，在 nc-OS 中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。另外，nc-OS 在不同的顆粒之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與 a-like OS 或非晶氧化物半導體沒有差別。

[0389] 另外，由於在顆粒（奈米晶）之間結晶定向沒有規律性，所以也可以將 nc-OS 稱為包含 RANC（Random Aligned nanocrystals：無規配向奈米晶）的氧化物半導體或包含 NANC（Non-Aligned nanocrystals：無配向奈米晶）的氧化物半導體。

[0390] nc-OS 是規律性比非晶氧化物半導體高的氧化物半導體。因此，nc-OS 的缺陷能階密度比 a-like OS 或非晶氧化物半導體低。但是，在 nc-OS 中的不同的顆粒之間觀察不到晶體配向的規律性。所以，nc-OS 的缺陷能階密度比 CAAC-OS 高。

[0391]

〈a-like OS〉

a-like OS 是具有介於 nc-OS 與非晶氧化物半導體之間的結構的氧化物半導體。

[0392] 圖 29A 和圖 29B 示出 a-like OS 的高解析度剖面 TEM 影像。圖 29A 示出電子照射開始時的 a-like OS 的高解析度剖面 TEM 影像。圖 29B 示出照射 $4.3 \times 10^8 \text{ e}^-/\text{nm}^2$ 的電子 (e^-) 之後的 a-like OS 的高解析度剖面 TEM 影像。由圖 29A 和圖 29B 可知，a-like OS 從電子照射開始時被觀察到在縱向方向上延伸的條狀明亮區域。另外，可知明亮區域的形狀在照射電子之後變化。明亮區域被估計為空洞或低密度區域。

[0393] 由於 a-like OS 包含空洞，所以其結構不穩定。為了證明與 CAAC-OS 及 nc-OS 相比 a-like OS 具有不穩定的結構，下面示出電子照射所導致的結構變化。

[0394] 作為樣本，準備 a-like OS、nc-OS 和 CAAC-OS。每個樣本都是 In-Ga-Zn 氧化物。

[0395] 首先，取得各樣本的高解析度剖面 TEM 影像。由高解析度剖面 TEM 影像可知，每個樣本都具有結

晶部。

[0396] 已知 InGaZnO_4 結晶的單位晶格具有所包括的三個 In-O 層和六個 Ga-Zn-O 層共計九個層在 c 軸方向上以層狀層疊的結構。這些彼此靠近的層之間的時間隔與 (009) 面的晶格表面間隔（也稱為 d 值）幾乎相等，由結晶結構分析求出其值為 0.29nm 。由此，以下可以將晶格條紋的間隔為 0.28nm 以上且 0.30nm 以下的部分看作 InGaZnO_4 結晶部。晶格條紋對應於 InGaZnO_4 結晶的 a - b 面。

[0397] 圖 30 示出調查了各樣本的結晶部（22 至 30 處）的平均尺寸的例子。注意，結晶部尺寸對應於上述晶格條紋的長度。由圖 30 可知，在 a -like OS 中，結晶部根據有關取得 TEM 影像等的電子的累積照射量逐漸變大。由圖 30 可知，在利用 TEM 的觀察初期尺寸為 1.2nm 左右的結晶部（也稱為初始晶核）在電子（ e^- ）的累積照射量為 $4.2 \times 10^8 e^-/\text{nm}^2$ 時生長到 1.9nm 左右。另一方面，可知 nc -OS 和 CAAC-OS 在開始電子照射時到電子的累積照射量為 $4.2 \times 10^8 e^-/\text{nm}^2$ 的範圍內，結晶部的尺寸都沒有變化。由圖 30 可知，無論電子的累積照射量如何， nc -OS 及 CAAC-OS 的結晶部尺寸分別為 1.3nm 左右及 1.8nm 左右。此外，使用日立穿透式電子顯微鏡 H-9000NAR 進行電子束照射及 TEM 的觀察。作為電子束照射條件，加速電壓為 300kV ；電流密度為 $6.7 \times 10^5 e^-/(\text{nm}^2 \cdot \text{s})$ ；照射區域的直徑為 230nm 。

[0398] 如此，有時電子照射引起 a-like OS 中的結晶部的生長。另一方面，在 nc-OS 和 CAAC-OS 中，幾乎沒有電子照射所引起的結晶部的生長。也就是說，a-like OS 與 CAAC-OS 及 nc-OS 相比具有不穩定的結構。

[0399] 此外，由於 a-like OS 包含空洞，所以其密度比 nc-OS 及 CAAC-OS 低。具體地，a-like OS 的密度為具有相同組成的單晶的 78.6%以上且小於 92.3%。nc-OS 的密度及 CAAC-OS 的密度為具有相同組成的單晶的 92.3%以上且小於 100%。注意，難以形成其密度小於單晶的密度的 78%的氧化物半導體。

[0400] 例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，具有菱方晶系結構的單晶 InGaZnO₄ 的密度為 6.357g/cm³。因此，例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，a-like OS 的密度為 5.0g/cm³ 以上且小於 5.9g/cm³。另外，例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，nc-OS 的密度和 CAAC-OS 的密度為 5.9g/cm³ 以上且小於 6.3g/cm³。

[0401] 注意，當不存在相同組成的單晶時，藉由以任意比例組合組成不同的單晶，可以估計出相當於所希望的組成的單晶的密度。根據組成不同的單晶的組合比例使用加權平均估計出相當於所希望的組成的單晶的密度即可。注意，較佳為儘可能減少所組合的單晶的種類來估計密度。

[0402] 如上所述，氧化物半導體具有各種結構及各

種特性。注意，氧化物半導體例如可以是包括非晶氧化物半導體、a-like OS、nc-OS 和 CAAC-OS 中的兩種以上的疊層膜。

[0403] 本實施方式可以與其他實施方式適當地組合。

[0404]

實施方式 5

〈CAC 的構成〉

以下，對可用於本發明的一個實施方式的 CAC (Cloud Aligned Complementary) -OS 的構成進行說明。

[0405] CAC 例如是指包含在氧化物半導體中的元素不均勻地分佈的構成，其中包含不均勻地分佈的元素的材料的尺寸為 0.5nm 以上且 10nm 以下，較佳為 1nm 以上且 2nm 以下或近似的尺寸。注意，在下面也將在氧化物半導體中一個或多個金屬元素不均勻地分佈且包含該金屬元素的區域混合的狀態稱為馬賽克 (mosaic) 狀或補丁 (patch) 狀，該區域的尺寸為 0.5nm 以上且 10nm 以下，較佳為 1nm 以上且 2nm 以下或近似的尺寸。

[0406] 例如，In-Ga-Zn 氧化物（以下，也稱為 IGZO）中的 CAC-IGZO 是指材料分成銦氧化物（以下，稱為 InO_{X1} （ $X1$ 為大於 0 的實數））或銦鋅氧化物（以下，稱為 $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ （ $X2$ 、 $Y2$ 及 $Z2$ 為大於 0 的實數））以及鎵氧化物（以下，稱為 GaO_{X3} （ $X3$ 為大於 0 的實數））或鎵鋅氧化物（以下，稱為 $\text{Ga}_{X4}\text{Zn}_{Y4}\text{O}_{Z4}$

(X_4 、 Y_4 及 Z_4 為大於 0 的實數)) 等而成為馬賽克狀，且馬賽克狀的 InO_{X_1} 或 $\text{In}_{X_2}\text{Zn}_{Y_2}\text{O}_{Z_2}$ 均勻地分佈在膜中的構成（以下，也稱為雲狀）。

[0407] 換言之，CAC-IGZO 是具有以 GaO_{X_3} 為主要成分的區域和以 $\text{In}_{X_2}\text{Zn}_{Y_2}\text{O}_{Z_2}$ 或 InO_{X_1} 為主要成分的區域混在一起的構成的複合氧化物半導體。在本說明書中，例如，當第一區域的 In 對元素 M 的原子數比大於第二區域的 In 對元素 M 的原子數比時，第一區域的 In 濃度高於第二區域。

[0408] 注意，IGZO 是通稱，有時是指包含 In、Ga、Zn 及 O 的化合物。作為典型例子，可以舉出以 $\text{InGaO}_3(\text{ZnO})_{m_1}$ (m_1 為自然數) 或 $\text{In}_{(1+x_0)}\text{Ga}_{(1-x_0)}\text{O}_3(\text{ZnO})_{m_0}$ ($-1 \leq x_0 \leq 1$ ， m_0 為任意數) 表示的結晶性化合物。

[0409] 上述結晶性化合物具有單晶結構、多晶結構或 CAAC 結構。CAAC 結構是多個 IGZO 奈米晶具有 c 軸配向性且在 a-b 面上以不配向的方式連接的結晶結構。

[0410] 另一方面，CAC 與材料構成有關。CAC 是指在包含 In、Ga、Zn 及 O 的材料構成中部分地觀察到以 Ga 為主要成分的奈米粒子的區域和部分地觀察到以 In 為主要成分的奈米粒子的區域以馬賽克狀無規律地分散的構成。因此，在 CAC 構成中，結晶結構是次要因素。

[0411] CAC 不包含組成不同的二種以上的膜的疊層結構。例如，不包含由以 In 為主要成分的膜與以 Ga 為主

要成分的膜的兩層構成的結構。

[0412] 注意，有時觀察不到以 GaO_{x3} 為主要成分的區域與以 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 為主要成分的區域之間的明確的邊界。

[0413]

〈CAC-IGZO 的分析〉

接著，說明使用各種測定方法對在基板上形成的氧化物半導體進行測定的結果。

[0414]

〈〈樣本的結構及製造方法〉〉

以下，對本發明的一個實施方式的九個樣本進行說明。各樣本在形成氧化物半導體時的基板溫度及氧氣體流量比上不同。各樣本包括基板及基板上的氧化物半導體。

[0415] 對各樣本的製造方法進行說明。

[0416] 作為基板使用玻璃基板。使用濺射裝置在玻璃基板上作為氧化物半導體形成厚度為 100nm 的 In-Ga-Zn 氧化物。成膜條件為如下：將腔室內的壓力設定為 0.6Pa，作為靶材使用氧化物靶材（In:Ga:Zn 濺 4:2:4.1 [原子數比]）。另外，對設置在濺射裝置內的氧化物靶材供應 2500W 的 AC 功率。

[0417] 在形成氧化物時採用如下條件來製造九個樣本：將基板溫度設定為不進行意圖性的加熱時的溫度（以下，也稱為 R.T.）、130℃ 或 170℃。另外，將氧氣體對 Ar 和氧的混合氣體的流量比（以下，也稱為氧氣體流量

比) 設定為 10%、30%或 100%。

[0418]

〈〈X 射線繞射分析〉〉

在本節中，說明對九個樣本進行 X 射線繞射 (XRD : X-ray diffraction) 測定的結果。作為 XRD 裝置，使用 Bruker 公司製造的 D8 ADVANCE。條件為如下：利用 Out-of-plane 法進行 $\theta/2\theta$ 掃描，掃描範圍為 15deg. 至 50deg.，步進寬度為 0.02deg.，掃描速度為 3.0deg./分。

[0419] 圖 36 示出利用 Out-of-plane 法測定 XRD 譜的結果。在圖 36 中，最上行示出成膜時的基板溫度為 170℃ 的樣本的測定結果，中間行示出成膜時的基板溫度為 130℃ 的樣本的測定結果，最下行示出成膜時的基板溫度為 R.T.的樣本的測定結果。另外，最左列示出氧氣體流量比為 10%的樣本的測定結果，中間列示出氧氣體流量比為 30%的樣本的測定結果，最右列示出氧氣體流量比為 100%的樣本的測定結果。

[0420] 圖 36 所示的 XRD 譜示出成膜時的基板溫度越高或成膜時的氧氣體流量比越高， 2θ 約 31°附近的峰值強度則越高。另外，已知 2θ 約 31°附近的峰值來源於在大致垂直於被形成面或頂面的方向上具有 c 軸配向性的結晶性 IGZO 化合物 (也稱為 CAAC (c-axis aligned crystalline) -IGZO)。

[0421] 另外，如圖 36 的 XRD 譜所示，成膜時的基板溫度越低或氧氣體流量比越低，峰值則越不明顯。因

此，可知在成膜時的基板溫度低或氧氣體流量比低的樣本中，觀察不到測定區域的 a-b 面方向及 c 軸方向的配向。

[0422]

<<電子顯微鏡分析>>

在本節中，說明對在成膜時的基板溫度為 R.T.且氧氣體流量比為 10%的條件下製造的樣本利用 HAADF-STEM (High-Angle Annular Dark Field Scanning Transmission Electron Microscope：高角度環形暗場-掃描穿透式電子顯微鏡) 進行觀察及分析的結果(以下，也將利用 HAADF-STEM 取得的影像稱為 TEM 影像)。

[0423] 說明對利用 HAADF-STEM 取得的平面影像(以下，也稱為平面 TEM 影像)及剖面影像(以下，也稱為剖面 TEM 影像)進行影像分析的結果。利用球面像差校正功能觀察 TEM 影像。在取得 HAADF-STEM 影像時，使用日本電子株式會社製造的原子解析度分析電子顯微鏡 JEM-ARM200F，將加速電壓設定為 200kV，照射束徑大致為 0.1nm ϕ 的電子束。

[0424] 圖 37A 為在成膜時的基板溫度為 R.T.且氧氣體流量比為 10%的條件下製造的樣本的平面 TEM 影像。圖 37B 為在成膜時的基板溫度為 R.T.且氧氣體流量比為 10%的條件下製造的樣本的剖面 TEM 影像。

[0425]

<<電子繞射圖案的分析>>

在本節中，說明藉由對在成膜時的基板溫度為 R.T.且

氧氣體流量比為 10%的條件下製造的樣本照射束徑為 1nm 的電子束（也稱為奈米束），來取得電子繞射圖案的结果。

[0426] 觀察圖 37A 所示的在成膜時的基板溫度為 R.T.且氧氣體流量比為 10%的條件下製造的樣本的平面 TEM 影像中的黑點 a1、黑點 a2、黑點 a3、黑點 a4 及黑點 a5 的電子繞射圖案。電子繞射圖案的觀察以固定速度照射電子束 35 秒種的方式進行。圖 37C 示出黑點 a1 的结果，圖 37D 示出黑點 a2 的结果，圖 37E 示出黑點 a3 的结果，圖 37F 示出黑點 a4 的结果，圖 37G 示出黑點 a5 的结果。

[0427] 在圖 37C、圖 37D、圖 37E、圖 37F 及圖 37G 中，觀察到如圓圈那樣的（環狀的）亮度高的區域。另外，在環狀區域內觀察到多個斑點。

[0428] 觀察圖 37B 所示的在成膜時的基板溫度為 R.T.且氧氣體流量比為 10%的條件下製造的樣本的剖面 TEM 影像中的黑點 b1、黑點 b2、黑點 b3、黑點 b4 及黑點 b5 的電子繞射圖案。圖 37H 示出黑點 b1 的结果，圖 37I 示出黑點 b2 的结果，圖 37J 示出黑點 b3 的结果，圖 37K 示出黑點 b4 的结果，圖 37L 示出黑點 b5 的结果。

[0429] 在圖 37H、圖 37I、圖 37J、圖 37K 及圖 37L 中，觀察到環狀的亮度高的區域。另外，在環狀區域內觀察到多個斑點。

[0430] 例如，當對包含 InGaZnO_4 結晶的 CAAC-OS

在平行於樣本面的方向上入射束徑為 300nm 的電子束時，獲得了包含起因於 InGaZnO_4 結晶的 (009) 面的斑點的繞射圖案。換言之，CAAC-OS 具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。另一方面，當對相同的樣本在垂直於樣本面的方向上入射束徑為 300nm 的電子束時，確認到環狀繞射圖案。換言之，CAAC-OS 不具有 a 軸配向性及 b 軸配向性。

[0431] 當使用大束徑（例如，50nm 以上）的電子束對具有微晶的氧化物半導體（nano crystalline oxide semiconductor。以下稱為 nc-OS）進行電子繞射時，觀察到類似光暈圖案的繞射圖案。另外，當使用小束徑（例如，小於 50nm）的電子束對 nc-OS 進行奈米束電子繞射時，觀察到亮點（斑點）。另外，在 nc-OS 的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，有時在環狀區域內觀察到多個亮點。

[0432] 在成膜時的基板溫度為 R.T.且氧氣體流量比為 10%的條件下製造的樣本的電子繞射圖案具有環狀的亮度高的區域且在該環狀區域內出現多個亮點。因此，在成膜時的基板溫度為 R.T.且氧氣體流量比為 10%的條件下製造的樣本呈現與 nc-OS 類似的電子繞射圖案，在平面方向及剖面方向上不具有配向性。

[0433] 如上所述，成膜時的基板溫度低或氧氣體流量比低的氧化物半導體的性質與非晶結構的氧化物半導體膜及單晶結構的氧化物半導體膜都明顯不同。

[0434]

〈〈元素分析〉〉

在本節中，說明使用能量色散型 X 射線性分析法（EDX：Energy Dispersive X-ray spectroscopy）取得 EDX 面分析影像且進行評價，由此進行在成膜時的基板溫度為 R.T.且氧氣體流量比為 10%的條件下製造的樣本的元素分析的結果。在 EDX 測定中，作為元素分析裝置使用日本電子株式會社製造的能量色散型 X 射線性分析裝置 JED-2300T。在檢測從樣本發射的 X 射線時，使用矽漂移探測器。

[0435] 在 EDX 測定中，對樣本的分析物件區域的各點照射電子束，並測定此時發生的樣本的特性 X 射線的能量及發生次數，獲得對應於各點的 EDX 譜。在本實施方式中，各點的 EDX 譜的峰值歸屬於 In 原子中的向 L 殼層的電子躍遷、Ga 原子中的向 K 殼層的電子躍遷、Zn 原子中的向 K 殼層的電子躍遷及 O 原子中的向 K 殼層的電子躍遷，並算出各點的各原子的比率。藉由在樣本的分析物件區域中進行上述步驟，可以獲得示出各原子的比率分佈的 EDX 面分析影像。

[0436] 圖 38A 至圖 38C 示出在成膜時的基板溫度為 R.T.且氧氣體流量比為 10%的條件下製造的樣本的剖面的 EDX 面分析影像。圖 38A 示出 Ga 原子的 EDX 面分析影像（在所有的原子中 Ga 原子所占的比率為 1.18 至 18.64[atomic%]）。圖 38B 示出 In 原子的 EDX 面分析影

像（在所有的原子中 In 原子所占的比率為 9.28 至 33.74[atomic%]）。圖 38C 示出 Zn 原子的 EDX 面分析影像（在所有的原子中 Zn 原子所占的比率為 6.69 至 24.99[atomic%]）。另外，圖 38A、圖 38B 及圖 38C 示出在成膜時的基板溫度為 R.T.且氧氣體流量比為 10%的條件下製造的樣本的剖面中的相同區域。在 EDX 面分析影像中，由明暗表示元素的比率：該區域內的測定元素越多該區域越亮，測定元素越少該區域就越暗。圖 38A 至圖 38C 所示的 EDX 面分析影像的倍率為 720 萬倍。

[0437] 在圖 38A、圖 38B 及圖 38C 所示的 EDX 面分析影像中，確認到明暗的相對分佈，在成膜時的基板溫度為 R.T.且氧氣體流量比為 10%的條件下製造的樣本中確認到各原子具有分佈。在此，著眼於圖 38A、圖 38B 及圖 38C 所示的由實線圍繞的區域及由虛線圍繞的區域。

[0438] 在圖 38A 中，在由實線圍繞的區域內相對較暗的區域較多，在由虛線圍繞的區域內相對較亮的區域較多。另外，在圖 38B 中，在由實線圍繞的區域內相對較亮的區域較多，在由虛線圍繞的區域內相對較暗的區域較多。

[0439] 換言之，由實線圍繞的區域為 In 原子相對較多的區域，由虛線圍繞的區域為 In 原子相對較少的區域。在圖 38C 中，在由實線圍繞的區域內，右側是相對較亮的區域，左側是相對較暗的區域。因此，由實線圍繞的區域為以 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 或 $\text{InO}_{\text{X}1}$ 等為主要成分的區域。

[0440] 另外，由實線圍繞的區域為 Ga 原子相對較少的區域，由虛線圍繞的區域為 Ga 原子相對較多的區域。在圖 38C 中，在由虛線圍繞的區域內，左上方的區域為相對較亮的區域，右下方的區域為相對較暗的區域。因此，由虛線圍繞的區域為以 $\text{GaO}_{\text{X}3}$ 或 $\text{Ga}_{\text{X}4}\text{Zn}_{\text{Y}4}\text{O}_{\text{Z}4}$ 等為主要成分的區域。

[0441] 如圖 38A、圖 38B 及圖 38C 所示，In 原子的分佈與 Ga 原子的分佈相比更均勻，以 $\text{InO}_{\text{X}1}$ 為主要成分的區域看起來像是藉由以 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 為主要成分的區域互相連接的。如此，以 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 或 $\text{InO}_{\text{X}1}$ 為主要成分的區域以雲狀展開形成。

[0442] 如此，可以將具有以 $\text{GaO}_{\text{X}3}$ 為主要成分的區域及以 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 或 $\text{InO}_{\text{X}1}$ 為主要成分的區域不均勻地分佈而混合的構成的 In-Ga-Zn 氧化物稱為 CAC-IGZO。

[0443] CAC 的結晶結構具有 nc 結構。在具有 nc 結構的 CAC 的電子繞射圖案中，除了起因於包含單晶、多晶或 CAAC 結構的 IGZO 的亮點（斑點）以外，還出現多個亮點（斑點）。或者，該結晶結構定義為除了出現多個亮點（斑點）之外，還出現環狀的亮度高的區域。

[0444] 另外，如圖 38A、圖 38B 及圖 38C 所示，以 $\text{GaO}_{\text{X}3}$ 為主要成分的區域及以 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 或 $\text{InO}_{\text{X}1}$ 為主要成分的區域的尺寸為 0.5nm 以上且 10nm 以下或者 1nm 以上且 3nm 以下。在 EDX 面分析影像中，以各金屬元素為主要成分的區域的直徑較佳為 1nm 以上且 2nm 以下。

[0445] 如上所述，CAC-IGZO 的結構與金屬元素均勻地分佈的 IGZO 化合物不同，具有與 IGZO 化合物不同的性質。換言之，CAC-IGZO 具有以 GaO_{x3} 等為主要成分的區域及以 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 為主要成分的區域互相分離且以各元素為主要成分的區域為馬賽克狀的構成。因此，當將 CAC-IGZO 用於半導體元件時，起因於 GaO_{x3} 等的性質及起因於 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 的性質的互補作用可以實現高通態電流 (I_{on}) 及高場效移動率 (μ)。

[0446] 另外，使用 CAC-IGZO 的半導體元件具有高可靠性。因此，CAC-IGZO 適於顯示器等各種半導體裝置。

[0447] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0448]

實施方式 6

在本實施方式中，參照圖 31 至圖 33B 對包括本發明的一個實施方式的輸入輸出裝置的觸控面板模組及電子裝置進行說明。

[0449] 圖 31 所示的觸控面板模組 8000 在上蓋 8001 與下蓋 8002 之間包括連接於 FPC8003 的觸控面板 8004、框架 8009、印刷電路板 8010 及電池 8011。

[0450] 例如可以將本發明的一個實施方式的輸入輸出裝置用於觸控面板 8004。

[0451] 上蓋 8001 及下蓋 8002 可以根據觸控面板

8004 的尺寸適當地改變形狀或尺寸。

[0452] 另外，在採用透過型液晶元件的情況下，也可以如圖 31 所示設置背光 8007。背光 8007 具有光源 8008。注意，雖然在圖 31 中例示出在背光 8007 上配置光源 8008 的結構，但是不侷限於此。例如，也可以在背光 8007 的端部設置光源 8008，並使用光擴散板。當使用有機 EL 元件等自發光型發光元件時，或者當使用反射式面板等時，也可以採用不設置背光 8007 的結構。

[0453] 框架 8009 除了具有保護觸控面板 8004 的功能以外還具有用來遮斷因印刷電路板 8010 的工作而產生的電磁波的電磁屏蔽的功能。此外，框架 8009 也可以具有散熱板的功能。

[0454] 印刷電路板 8010 具有電源電路以及用來輸出視訊信號及時脈信號的信號處理電路。作為對電源電路供應電力的電源，既可以採用外部的商業電源，又可以採用另行設置的電池 8011 的電源。當使用商業電源時，可以省略電池 8011。

[0455] 此外，在觸控面板 8004 中還可以設置偏光板、相位差板、稜鏡片等構件。

[0456] 圖 32A 至圖 32H 及圖 33A 及圖 33B 是示出電子裝置的圖。這些電子裝置可以包括外殼 5000、顯示部 5001、揚聲器 5003、LED 燈 5004、操作鍵 5005（包括電源開關或操作開關）、連接端子 5006、感測器 5007（該感測器具有測量如下因素的功能：力、位移、位置、速

度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線）、麥克風 5008 等。

[0457] 圖 32A 示出移動電腦，該移動電腦除了上述以外還可以包括開關 5009、紅外線埠 5010 等。圖 32B 示出具備記錄介質的可攜式影像再現裝置（例如 DVD 再現裝置），該可攜式影像再現裝置除了上述以外還可以包括第二顯示部 5002、記錄介質讀取部 5011 等。圖 32C 示出電視機，除了上述以外還可以包括支架 5012 等。可以藉由利用外殼 5000 所具備的操作開關或另行提供的遙控器 5013 進行電視機的操作。藉由利用遙控器 5013 所具備的操作鍵，可以進行頻道及音量的操作，並可以對顯示在顯示部 5001 上的影像進行操作。另外，也可以採用在遙控器 5013 中設置顯示從該遙控器 5013 輸出的資料的顯示部的結構。圖 32D 示出可攜式遊戲機，該可攜式遊戲機除了上述以外還可以包括記錄介質讀取部 5011 等。圖 32E 示出具有電視接收功能的數位相機，該數位相機除了上述以外還可以包括天線 5014、快門按鈕 5015、影像接收部 5016 等。圖 32F 示出可攜式遊戲機，該可攜式遊戲機除了上述以外還可以包括第二顯示部 5002、記錄介質讀取部 5011 等。圖 32G 示出可攜式電視接收機，該可攜式電視接收機除了上述以外還可以包括能夠收發信號的充電器 5017 等。圖 32H 是手錶型資訊終端，該手錶型資訊除了

上述以外還可以包括錶帶 5018、錶帶扣 5019 等。安裝於兼作框架（bezel）部分的外殼 5000 中的顯示部 5001 具有非矩形狀的顯示區域。顯示部 5001 可以顯示表示時間的圖示 5020 以及其他圖示 5021 等。圖 33A 是數位看板（Digital Signage）。圖 33B 是設置於圓柱狀上的數位看板。

[0458] 圖 32A 至圖 32H 及圖 33A 及圖 33B 所示的電子裝置可以具有各種功能。例如，可以具有如下功能：將各種資訊（靜態影像、動態影像、文本影像等）顯示在顯示部上；觸控面板；顯示日曆、日期或時刻等；藉由利用各種軟體（程式）控制處理；進行無線通訊；藉由利用無線通訊功能來連接到各種電腦網路；藉由利用無線通訊功能，進行各種資料的發送或接收；讀出儲存在記錄介質中的程式或資料來將其顯示在顯示部上等。再者，在具有多個顯示部的電子裝置中，可以具有如下功能：一個顯示部主要顯示影像資訊，而另一個顯示部主要顯示文字資訊；或者，在多個顯示部上顯示考慮到視差的影像來顯示立體影像等。再者，在具有影像接收部的電子裝置中，可以具有如下功能：拍攝靜態影像；拍攝動態影像；對所拍攝的影像進行自動或手動校正；將所拍攝的影像儲存在記錄介質（外部或內置於相機）中；將所拍攝的影像顯示在顯示部等。注意，圖 32A 至圖 32H 及圖 33A 及圖 33B 所示的電子裝置可具有的功能不侷限於上述功能，而可以具有各種各樣的功能。

[0459] 本實施方式所示的電子裝置的特徵在於具有用來顯示某些資訊的顯示部。此外，可以將實施方式的一個實施方式的輸入輸出裝置用於該顯示部。

[0460] 本實施方式可以與其他實施方式適當地組合。

實施例

[0461] 在本實施例中，對本發明的一個實施方式的輸入輸出裝置進行說明。

[0462] 首先，對本實施例的輸入輸出裝置的規格進行說明。尺寸為對角線 4.3 英寸。有效像素數為 1080 (H) × 1920 (V) 的 FHD (Full High Definition: 全高清)。像素尺寸為 49.5 μ m (H) × 49.5 μ m (V)。面板外形尺寸為 69.76mm (H) × 141.4mm (V)。顯示區域及感測區域的尺寸都為 53.46mm (H) × 95.04mm (V)。解析度為 513ppi。作為電晶體，使用在其通道形成區域中包含氧化物半導體的 CE (channel-etched: 通道蝕刻) 型電晶體。

[0463] 本實施例的輸入輸出裝置可以被用作透過型液晶顯示裝置。作為顯示元件採用 FFS 模式的液晶元件。作為彩色化的方式採用 CF (color filter: 濾色片) 方式。開口率為 48.0%。驅動頻率為 60Hz。作為影像信號形式採用類比線路序列 (analog line sequential) 方式。

[0464] 此外，內置有閘極驅動器。源極驅動器使用

COF。

[0465] 另外，作為感測元件，採用投影型電容式（互電容式）。液晶元件的共用電極兼用作感測元件的電極。感測器單元的個數為 $18(H) \times 32(V)$ 。明確而言，包括 32 個圖 9A 中的導電膜 56a 以及 18 個圖 9A 中的導電膜 58。一個感測器單元的尺寸為 $2.970\text{mm} \times 2.970\text{mm}$ 。圖 9A 中的一個導電膜 56b 的尺寸相當於 30×60 個像素的尺寸，一個導電膜 56a 的尺寸相當於 30×1080 個像素的尺寸。

[0466] 圖 8E 所示的一個圖框期間為 16.667ms ，寫入期間為 8.333ms ，兩個感測期間都為 4.167ms 。

[0467] 本實施例的輸入輸出裝置的剖面示意圖相當於圖 1B，關於詳細內容，可以參照實施方式 1 的說明。

[0468] 作為基板 211，使用厚度大約為 0.7mm 的玻璃基板。作為基板 261，使用厚度大約為 0.1mm 、 0.2mm 或 0.3mm 的玻璃基板。作為閘極電極 221，採用氮化鎢膜和銅膜的疊層結構。作為絕緣膜 213，採用氮化矽膜和氧氮化矽膜的疊層結構。作為氧化物半導體膜 223，採用 CAAC-OS 之一的 CAAC-IGZO。作為氧化物半導體膜 223，採用使用金屬元素的原子數比彼此不同的濺射靶材而形成的兩層結構，兩個層的厚度的總和大約為 25nm 。氧化物半導體膜 223 及氧化物導電膜 227 使用 In-Ga-Zn 氧化物形成。作為氧化物導電膜 227 採用單層結構，其厚度大約為 100nm 。作為源極電極 225a 及汲極電極 225b，

採用鎢膜、鋁膜及鈦膜的疊層結構。作為絕緣膜 215，使用氧氮化矽膜。作為絕緣膜 217，使用氮化矽膜。作為絕緣膜 219，使用丙烯酸樹脂膜。作為導電膜 251 及導電膜 252，使用厚度大約為 100nm 的包含矽的銦錫氧化物膜。作為絕緣膜 253，使用氮化矽膜。作為液晶 249，使用負型液晶。另外，在基板 261 的表面上貼合厚度大約為 200 μ m 的偏振薄膜。在本實施例中，製造兩個輸入輸出裝置，亦即作為導電膜 255 使用厚度大約為 100nm 的 APC 的輸入輸出裝置、以及作為導電膜 255 使用厚度大約為 200nm 的 Ti 的輸入輸出裝置。

[0469] 圖 35 是示出本實施例的輸入輸出裝置的顯示狀態的照片。圖 35 中的顯示區域的右側及上側（未圖示）都與 FPC 連接。在圖 35 所示的輸入輸出裝置中，作為基板 261 使用厚度大約為 0.3mm 的玻璃基板。另外，作為導電膜 255，使用厚度大約為 100nm 的 APC。如圖 35 所示，藉由應用本發明的一個實施方式，可以製造能夠進行良好的顯示的輸入輸出裝置。此外，在圖 35 所示的輸入輸出裝置中，觸控感測器的檢測靈敏度也良好，並且可以同時進行多點感測。

[0470] 有時以與導電膜 56a 的寬度（圖 9A 中的 Y 方向的長度）大致相同的間隔確認到條紋形狀的顯示不均勻。於是，以使導電膜 56a 的寄生電容與導電膜 56b 的寄生電容一致的方式改變導電膜 56a 和導電膜 56b 的寬度。在改變該寬度之後，一個導電膜 56b 的尺寸相當於 21 $\times$ 60

個像素的尺寸，一個導電膜 56a 的尺寸相當於 39×1080 個像素的尺寸。由此，導電膜 56b 的電阻值從 $1.66\text{k}\Omega$ 變為 $1.19\text{k}\Omega$ ，導電膜 56b 的容量從 534pF 變為 674pF 。導電膜 56a 的電阻值從 $0.86\text{k}\Omega$ 變為 $1.35\text{k}\Omega$ ，導電膜 56a 的容量從 930pF 變為 684pF 。藉由使導電膜 56a 的寄生電容與導電膜 56b 的寄生電容一致，可以降低顯示不均勻而進行更良好的顯示。另外，與將用於感測觸摸的信號輸入到導電膜 56b 的情況相比，在將其交替輸入到導電膜 56a 和導電膜 56b 的情況下，可以降低顯示不均勻而進行更良好的顯示。

【符號說明】

[0471]

56：導電膜

56a：導電膜

56b：導電膜

57a：輔助佈線

57b：輔助佈線

58：導電膜

60：像素

60a：子像素

60b：子像素

60c：子像素

106：絕緣膜

107：絕緣膜

114：絕緣膜

116：絕緣膜

141：開口

142：開口

193：靶材

194：電漿

201a：電晶體

201b：電晶體

201c：電晶體

203：電晶體

203a：電晶體

203b：電晶體

205a：連接部

205b：連接部

207：液晶元件

207a：液晶元件

207b：液晶元件

211：基板

213：絕緣膜

215：絕緣膜

217：絕緣膜

218：絕緣膜

219：絕緣膜

- 221：閘極電極
- 223：氧化物半導體膜
- 225a：源極電極
- 225b：汲極電極
- 226：導電膜
- 227：氧化物導電膜
- 227a：氧化物半導體膜
- 231：導電膜
- 233：導電膜
- 235：導電膜
- 241：彩色膜
- 243：遮光膜
- 245：絕緣膜
- 247：間隔物
- 249：液晶
- 251：導電膜
- 252：導電膜
- 253：絕緣膜
- 254：導電膜
- 255：導電膜
- 257：連接器
- 259：FPC
- 261：基板
- 265：黏合層

267：連接器

268：IC

269：FPC

270：電晶體

270A：電晶體

270B：電晶體

273：像素

275：導電膜

277：區域

300：輸入輸出裝置

301：顯示部

302：掃描線驅動電路

303：像素

502：基板

504：導電膜

506：絕緣膜

507：絕緣膜

508：氧化物半導體膜

508a：氧化物半導體膜

508b：氧化物半導體膜

508c：氧化物半導體膜

511a：氧化物半導體膜

511b：氧化物導電膜

512a：導電膜

512b：導電膜

514：絕緣膜

516：絕緣膜

518：絕緣膜

519：絕緣膜

552a：開口

552b：開口

552c：開口

3501：佈線

3502：佈線

3503：電晶體

3504：液晶元件

3510：佈線

3510_1：佈線

3510_2：佈線

3511：佈線

3515_1：區塊

3515_2：區塊

3516：區塊

5000：外殼

5001：顯示部

5002：顯示部

5003：揚聲器

5004：LED 燈

- 5005：操作鍵
- 5006：連接端子
- 5007：感測器
- 5008：麥克風
- 5009：開關
- 5010：紅外線埠
- 5011：記錄介質讀取部
- 5012：支架
- 5013：遙控器
- 5014：天線
- 5015：快門按鈕
- 5016：影像接收部
- 5017：充電器
- 5018：錶帶
- 5019：錶帶扣
- 5020：圖示
- 5021：圖示
- 6500：觸控面板模組
- 6501：電路單元
- 6502：信號線驅動電路
- 6503：感測器驅動電路
- 6504：檢測電路
- 6505：時序控制器
- 6506：影像處理電路

6510：觸控面板
6511：顯示部
6512：輸入部
6513：掃描線驅動電路
6520：IC
6530：IC
6531：基板
6532：相對基板
6533：FPC
6534：PCB
6540：CPU
8000：觸控面板模組
8001：上蓋
8002：下蓋
8003：FPC
8004：觸控面板
8007：背光
8008：光源
8009：框架
8010：印刷電路板
8011：電池

申請專利範圍

1. 一種輸入輸出裝置，包括：

第一像素電極；

第二像素電極；

第一共用電極；

第二共用電極；

液晶；

第一絕緣膜；

第二絕緣膜；以及

電晶體，

其中，該第一共用電極被用作感測元件的一個電極，

該第二共用電極被用作該感測元件的另一個電極，

該電晶體包括第一閘極、該第一閘極上的半導體層以及該半導體層上的第二閘極，

該半導體層具有包含氧化物半導體的通道形成區域，

該第二閘極包含氧化物導電體，

該氧化物導電體包含該氧化物半導體所含有的金屬元素中的一種以上，

該第一絕緣膜位於該第二閘極上，

該第一像素電極、該第二像素電極、該第一共用電極及該第二共用電極位於該第一絕緣膜上，

該第一像素電極與該第一共用電極隔著位於該第一像素電極與該第一共用電極之間的該第二絕緣膜重疊，

該第二像素電極與該第二共用電極隔著位於該第二像

素電極與該第二共用電極之間的該第二絕緣膜重疊，

該液晶位於該第一像素電極、該第二像素電極、該第一共用電極及該第二共用電極上，

該第一像素電極與該第二像素電極彼此分開且位於同一面上，

並且，該第一共用電極與該第二共用電極彼此分開且位於同一面上。

2. 根據申請專利範圍第 1 項之輸入輸出裝置，還包括第二電晶體，

其中該電晶體和該第二電晶體中的一個的源極或汲極與該第一像素電極電連接，

並且該電晶體和該第二電晶體中的另一個的源極或汲極與該第二像素電極電連接。

3. 根據申請專利範圍第 1 項之輸入輸出裝置，其中該電晶體位於驅動電路部中。

4. 根據申請專利範圍第 1 項之輸入輸出裝置，其中該第二閘極與該第一閘極電連接。

5. 根據申請專利範圍第 1 項之輸入輸出裝置，

其中該第二絕緣膜位於該第一像素電極及該第二像素電極上，

並且該第一共用電極及該第二共用電極位於該第二絕緣膜上。

6. 根據申請專利範圍第 1 項之輸入輸出裝置，其中該第一像素電極、該第二像素電極、該第一共用電極及該

第二共用電極都包含該氧化物半導體所含有的金屬元素中的一種以上。

7. 根據申請專利範圍第 1 項之輸入輸出裝置，其中該氧化物半導體、該氧化物導電體、該第一像素電極、該第二像素電極、該第一共用電極及該第二共用電極都包含含有銦的氧化物。

8. 根據申請專利範圍第 1 項之輸入輸出裝置，其中該第一像素電極、該第二像素電極、該第一共用電極及該第二共用電極都具有使可見光透過的功能。

9. 根據申請專利範圍第 1 項之輸入輸出裝置，

其中該氧化物半導體及該氧化物導電體都包含 $\text{In-M}_1\text{-Zn}$ 氧化物，

並且該 M_1 為 Al 、 Ti 、 Ga 、 Y 、 Zr 、 La 、 Ce 、 Nd 、 Sn 或 Hf 。

10. 根據申請專利範圍第 1 項之輸入輸出裝置，還包括該第一絕緣膜與該第一共用電極之間的第一導電膜，

其中該第一導電膜具有低於該第一共用電極的電阻率，

並且該第一導電膜與該第一共用電極電連接。

11. 根據申請專利範圍第 10 項之輸入輸出裝置，還包括該第一絕緣膜與該第二共用電極之間的第二導電膜，

其中該第二導電膜具有低於該第二共用電極的電阻率，

該第二導電膜與該第二共用電極電連接，

並且該第一導電膜與該第二導電膜彼此分開且位於同一面上。

12. 根據申請專利範圍第 11 項之輸入輸出裝置，還包括遮光膜，

其中該遮光膜與該第一導電膜及該第二導電膜中的一個隔著位於該遮光膜與該第一導電膜及該第二導電膜中的該一個之間的該液晶重疊。

13. 一種電子裝置，包括：

申請專利範圍第 1 項之輸入輸出裝置；以及

天線、電池、外殼、揚聲器、麥克風、操作開關或操作按鈕。

圖式

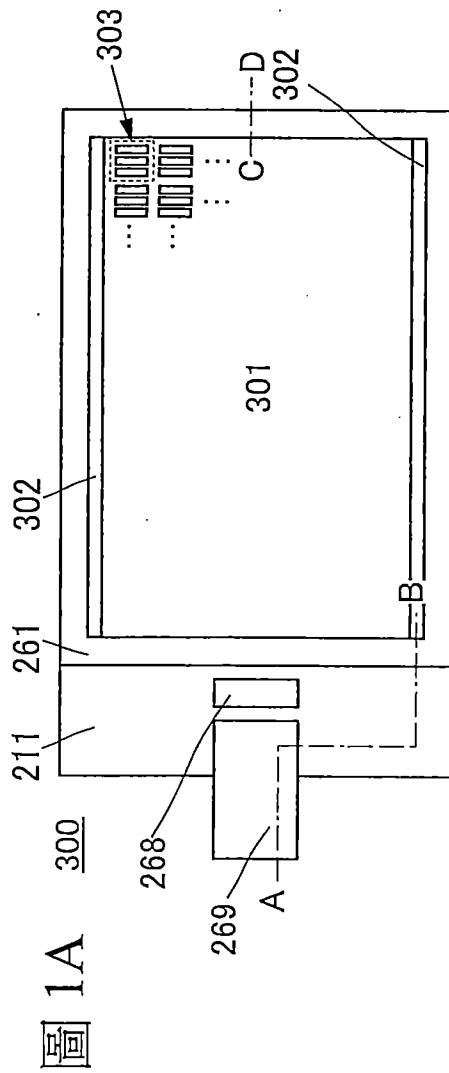
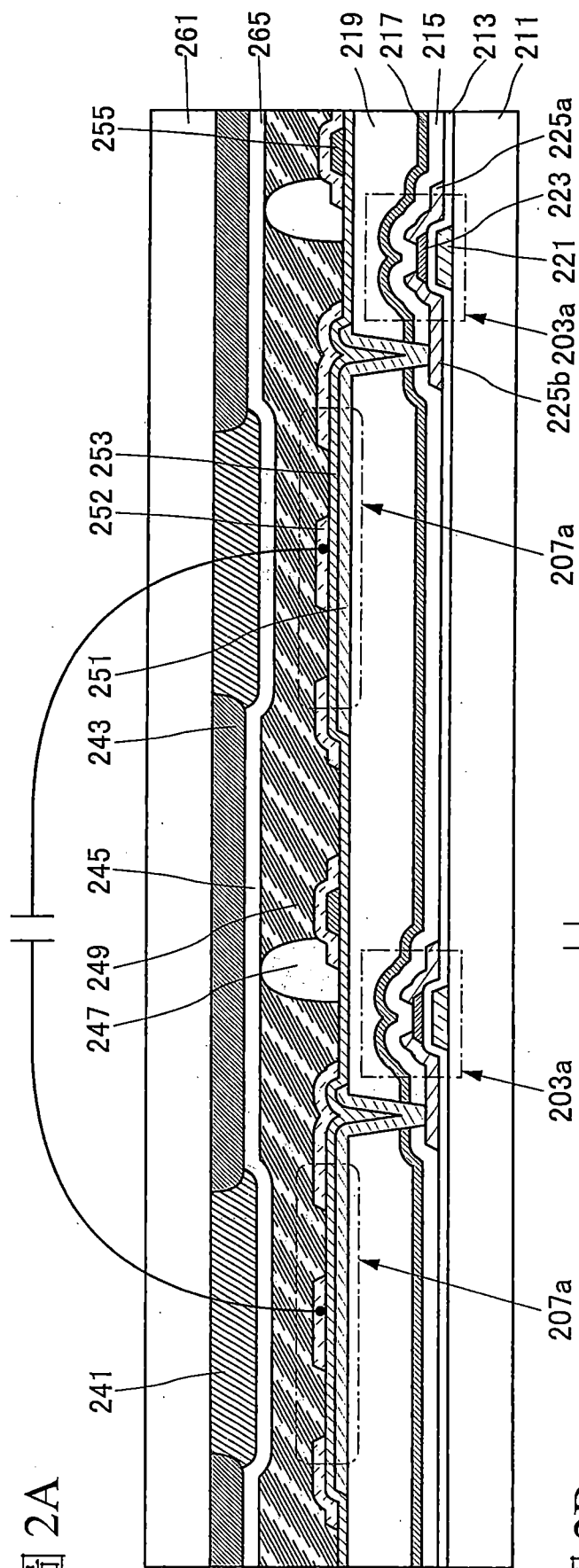
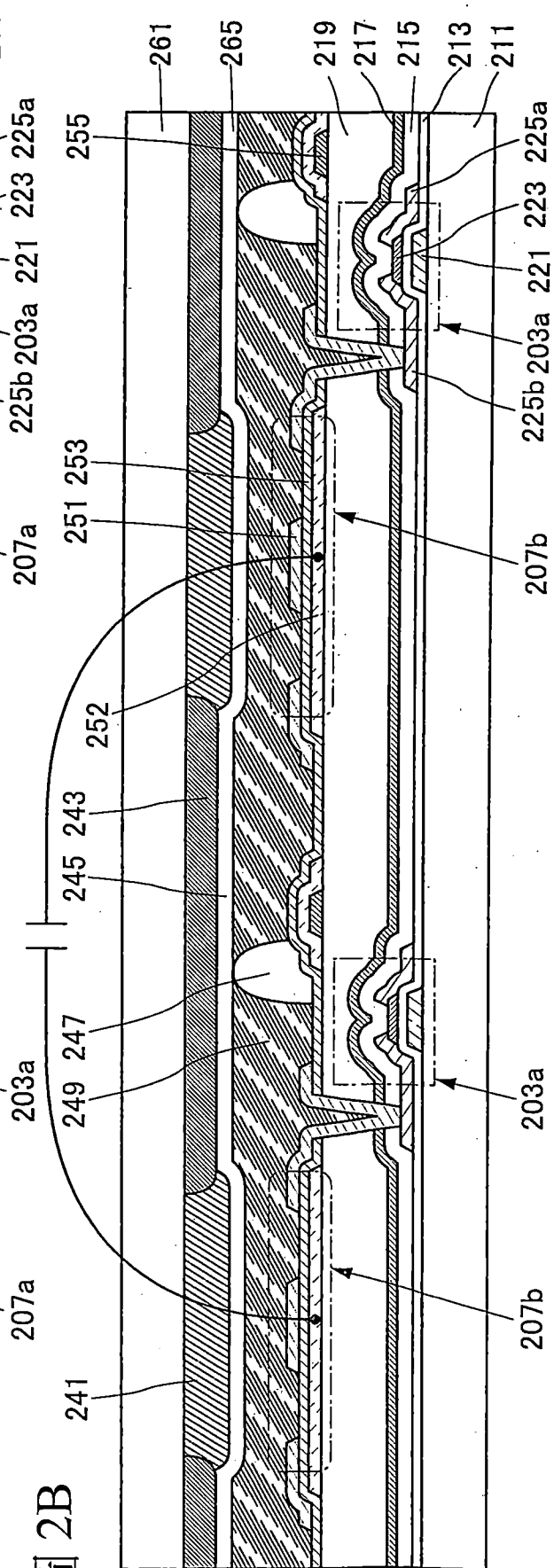


圖 2A

2B
圖

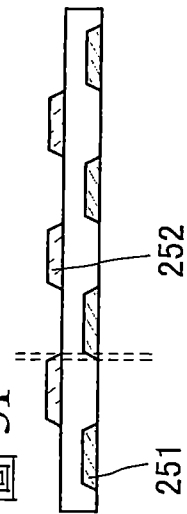
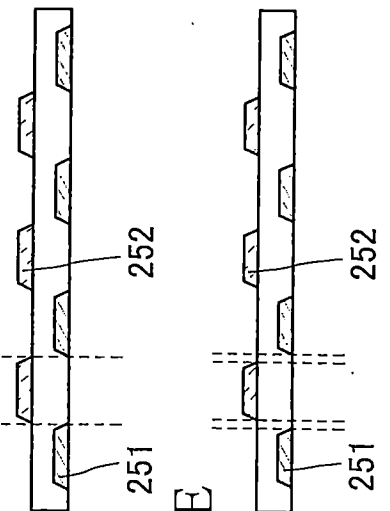
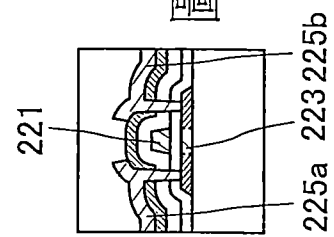
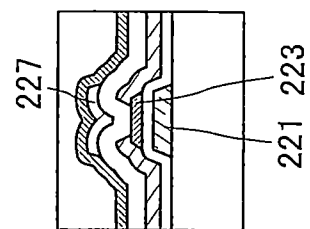
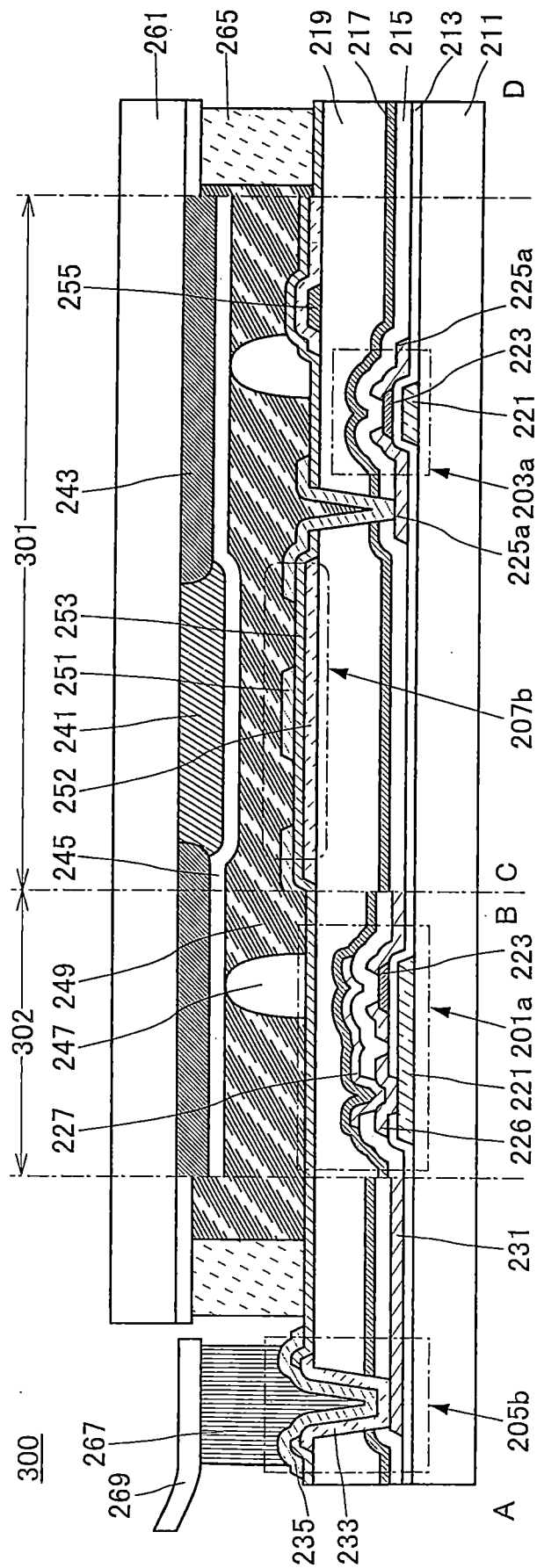


圖 5

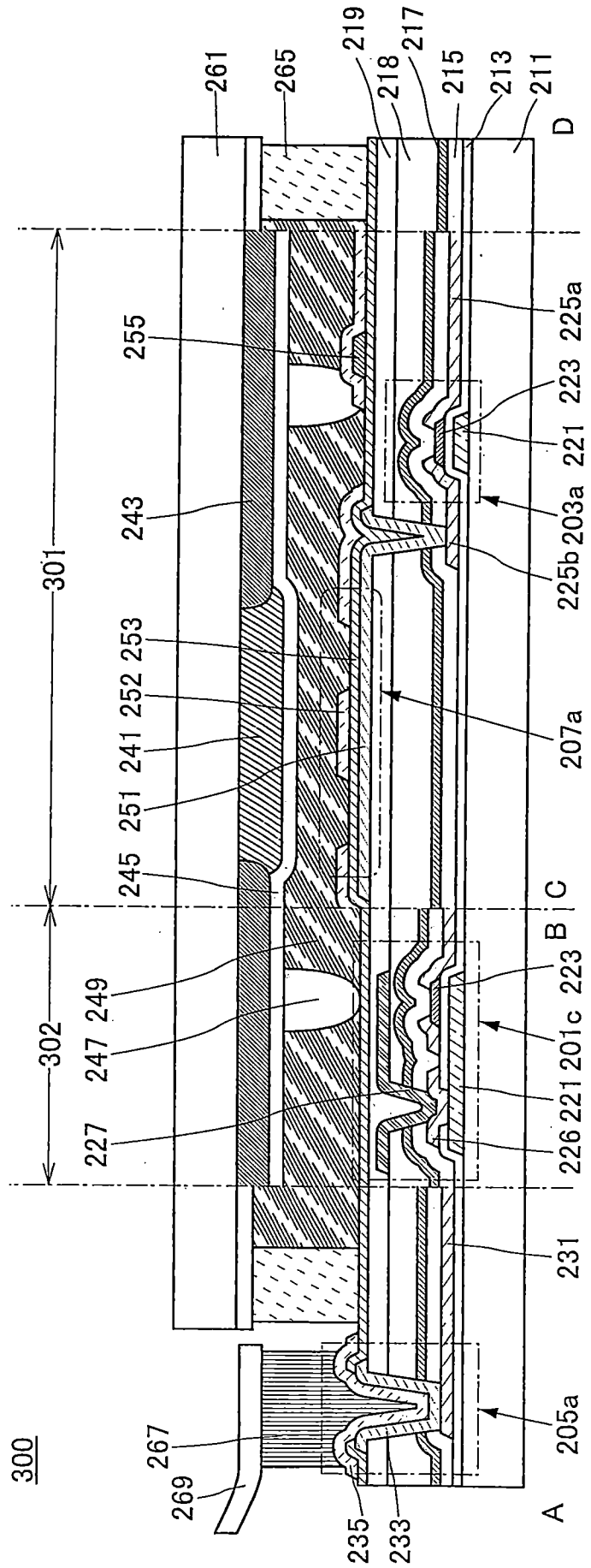


圖 6

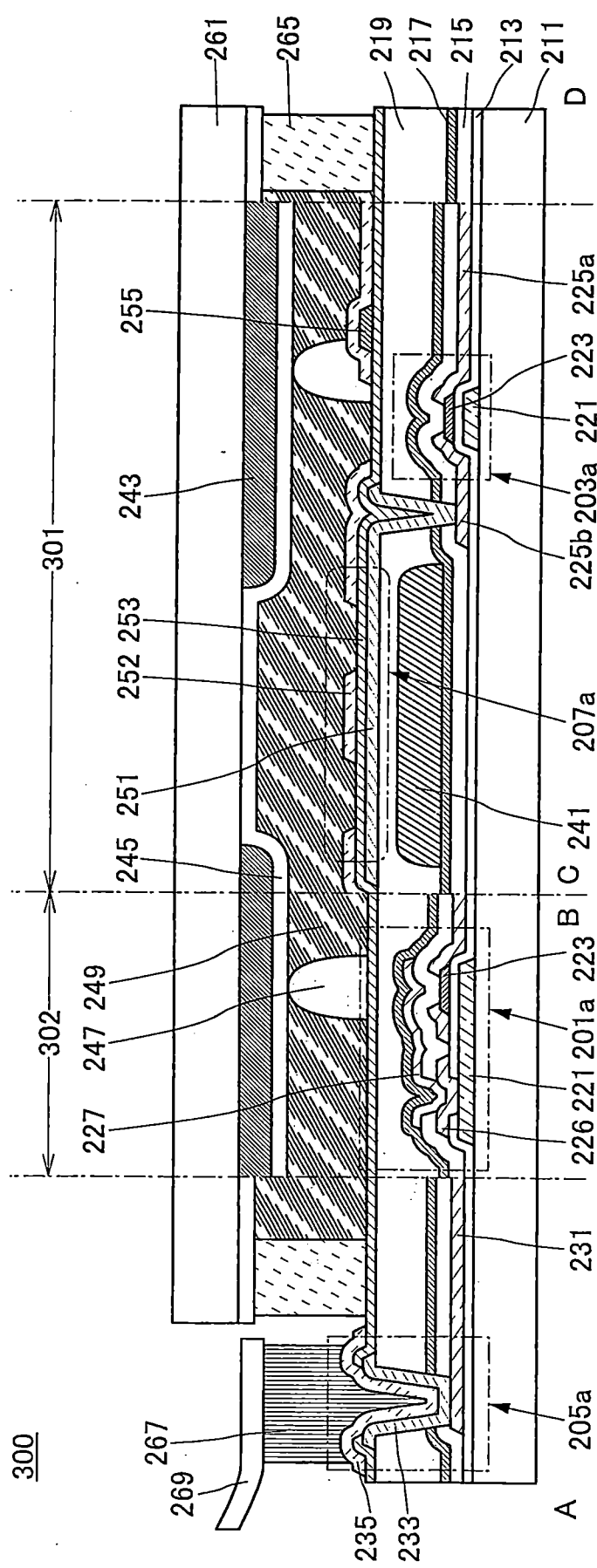


圖 7A

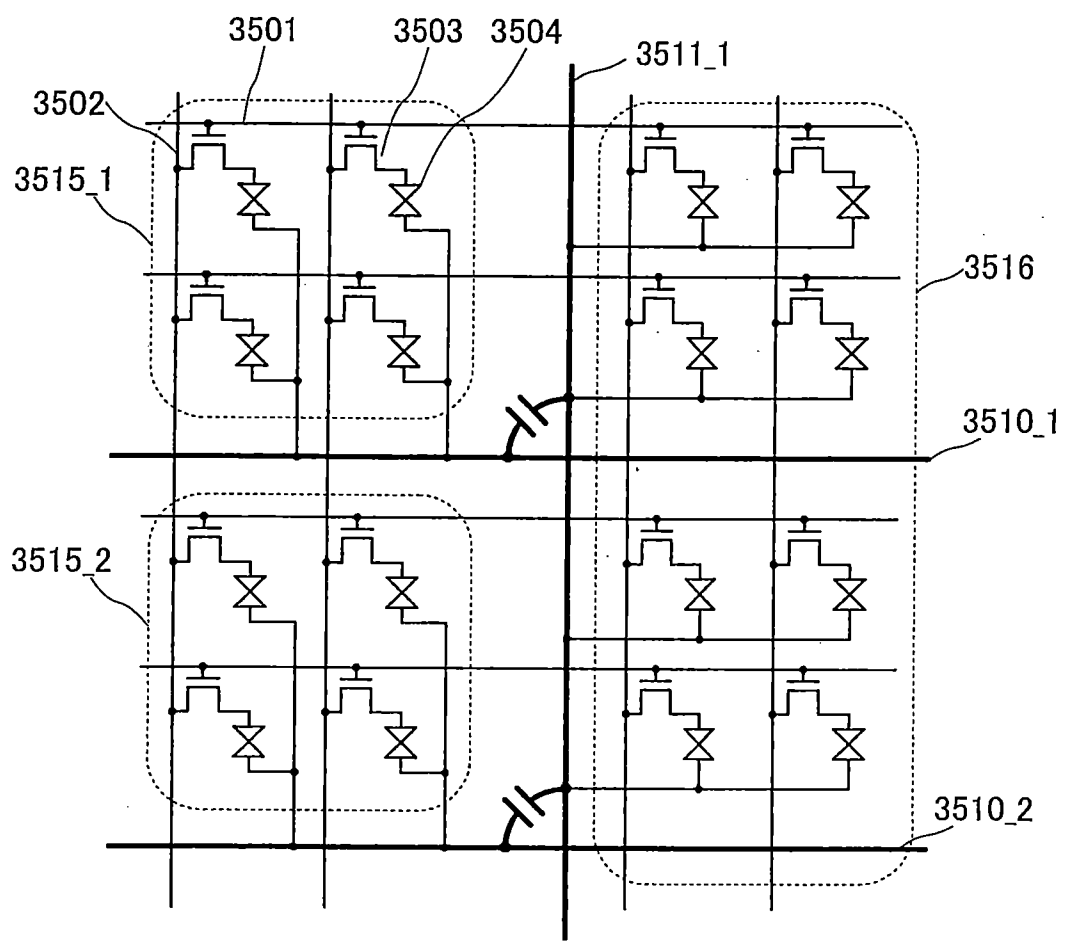


圖 7B

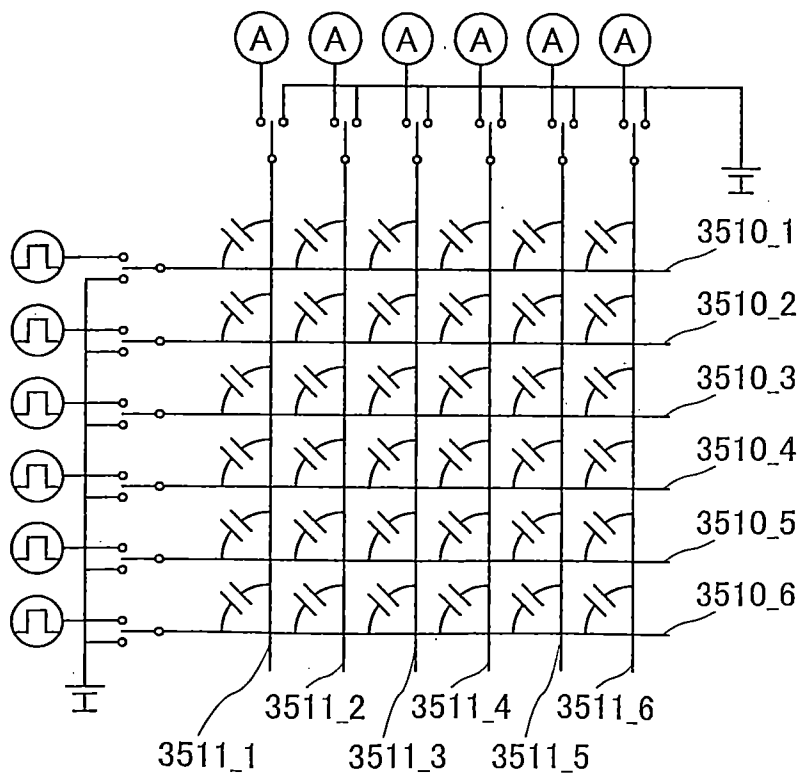


圖 8A

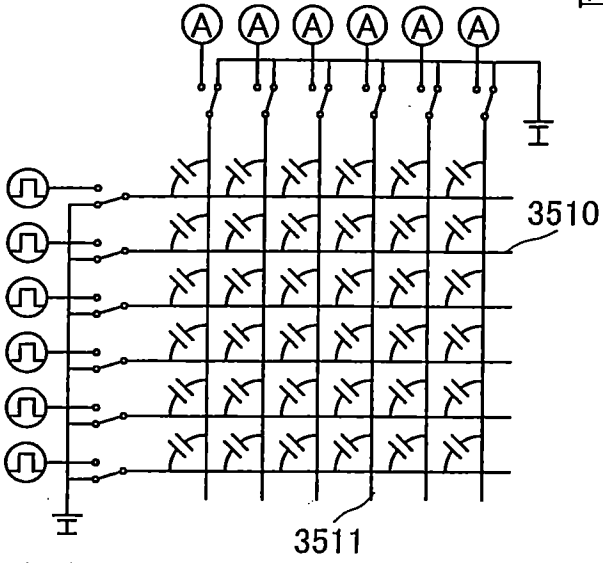


圖 8B

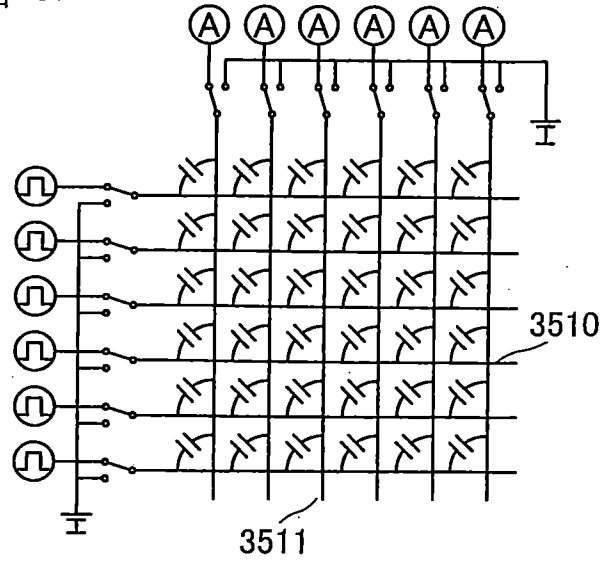


圖 8C

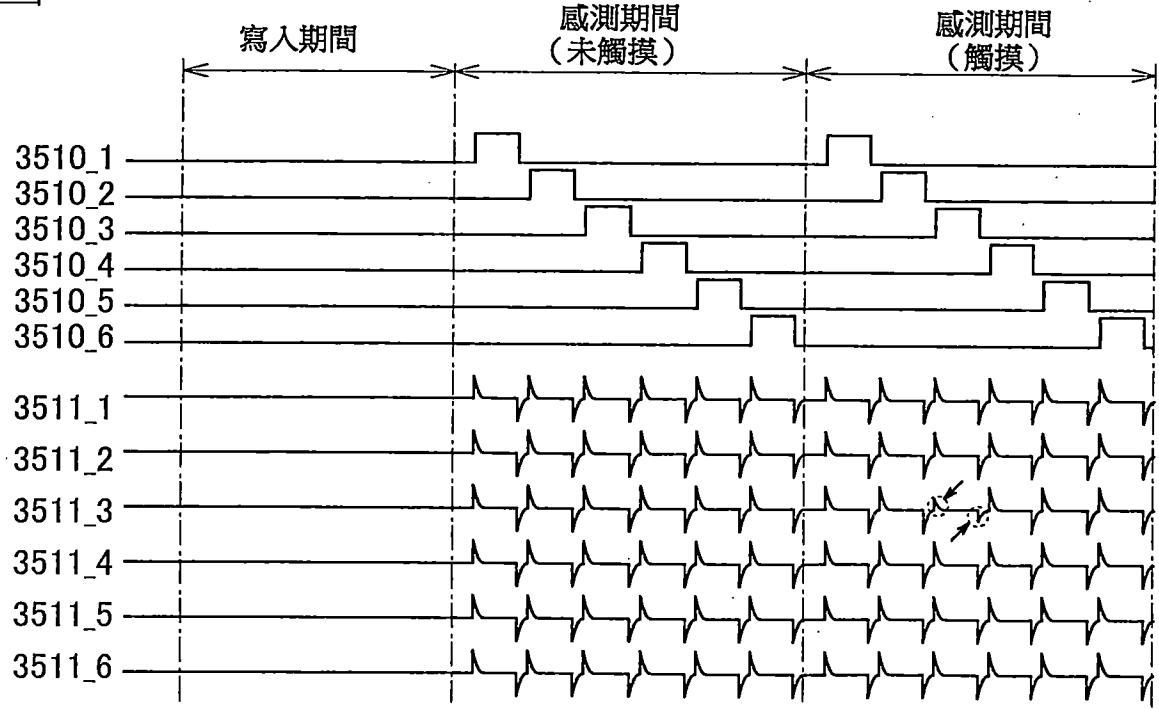


圖 8D

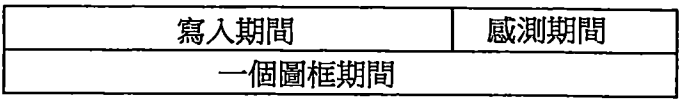
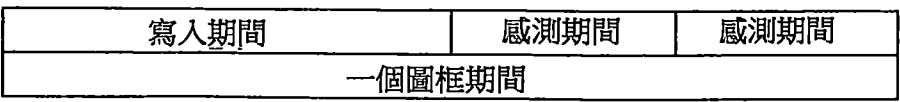


圖 8E



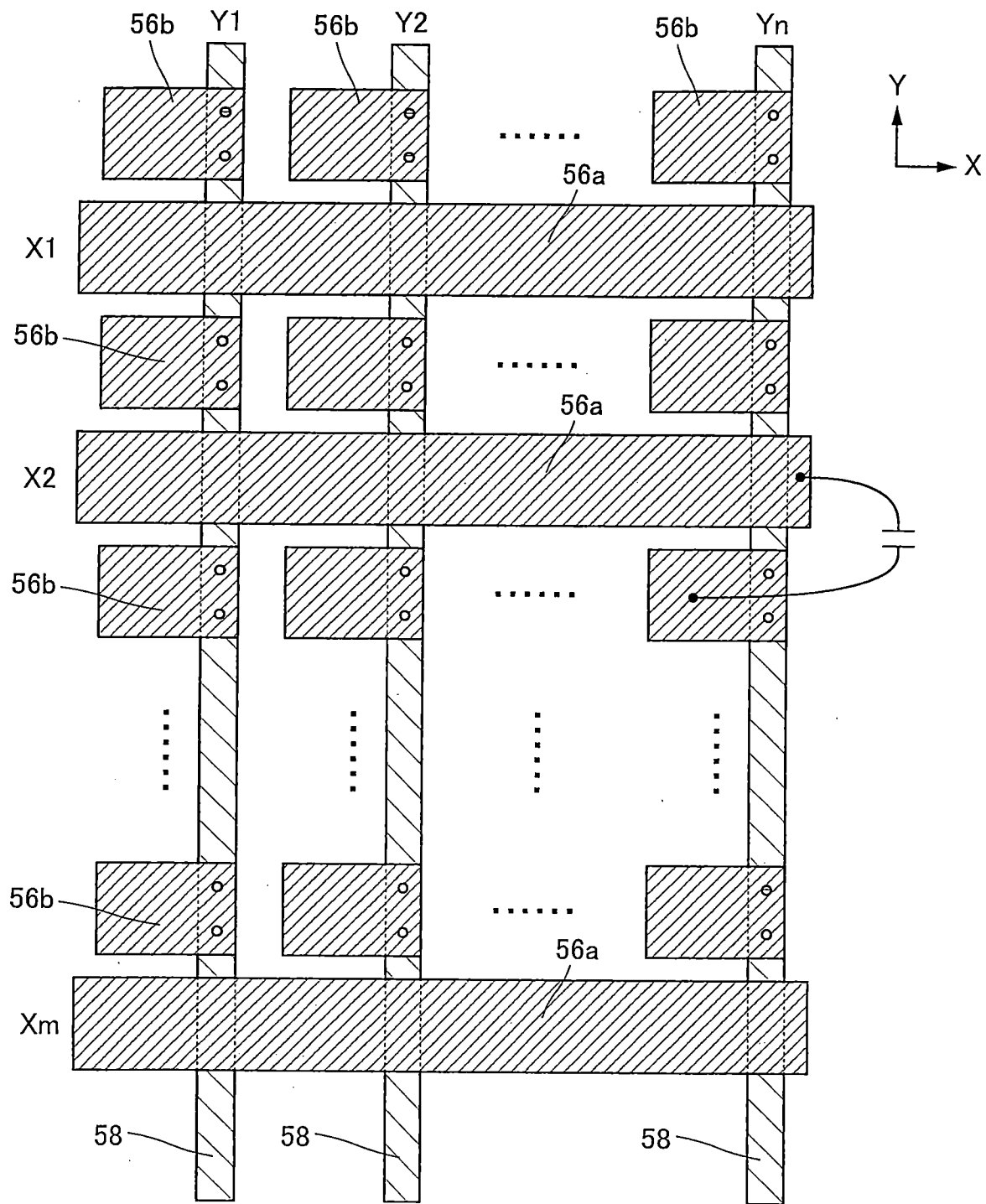


圖 9A

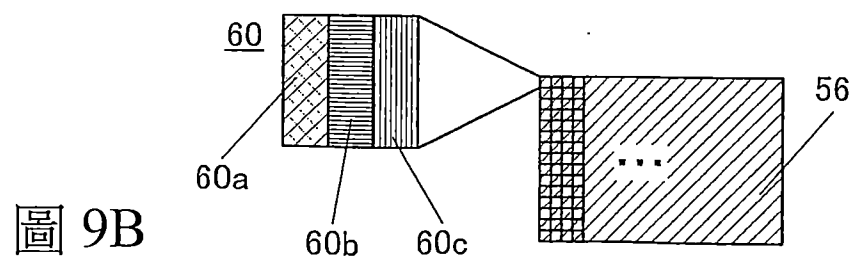


圖 9B

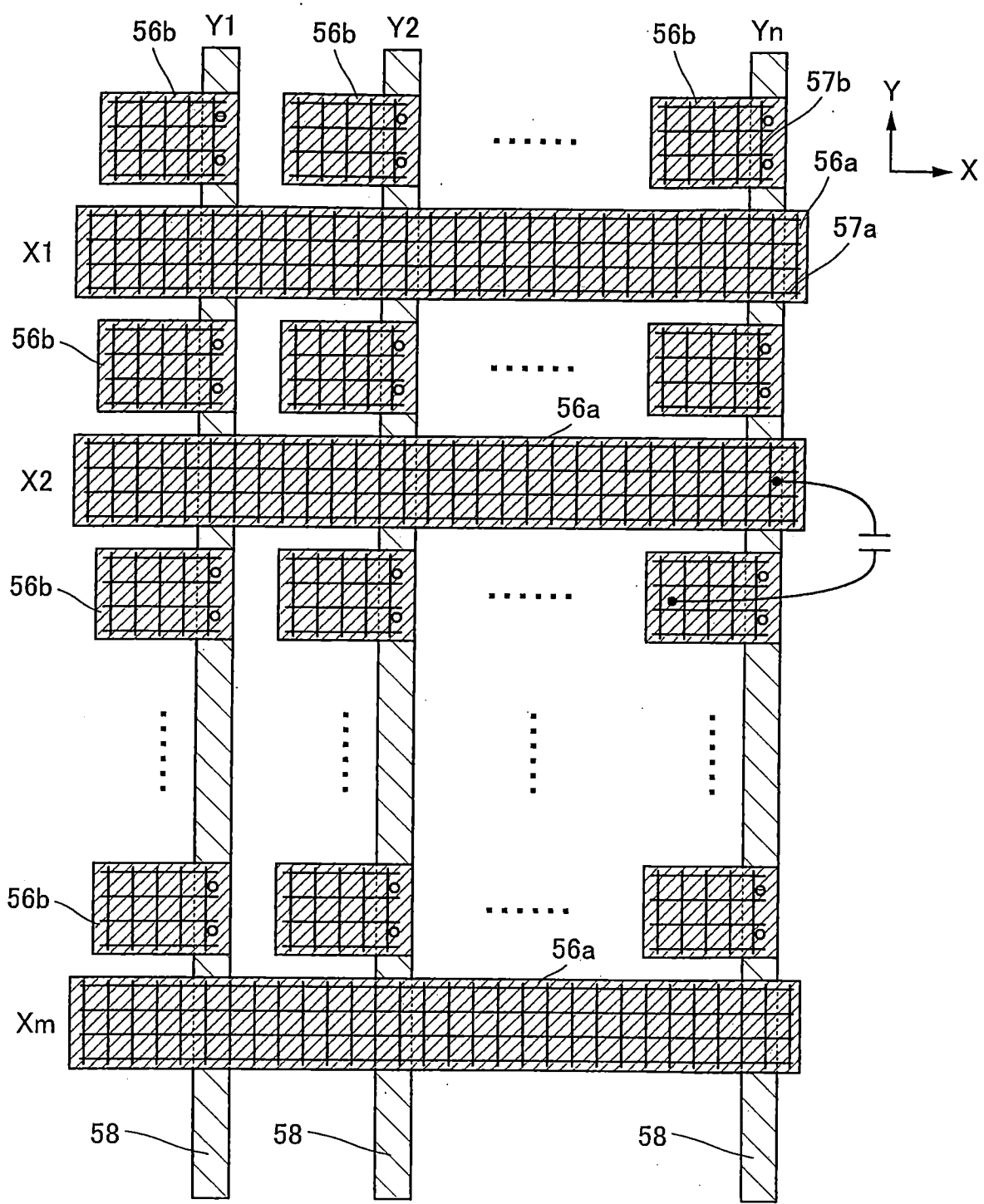


圖 10

圖 11A

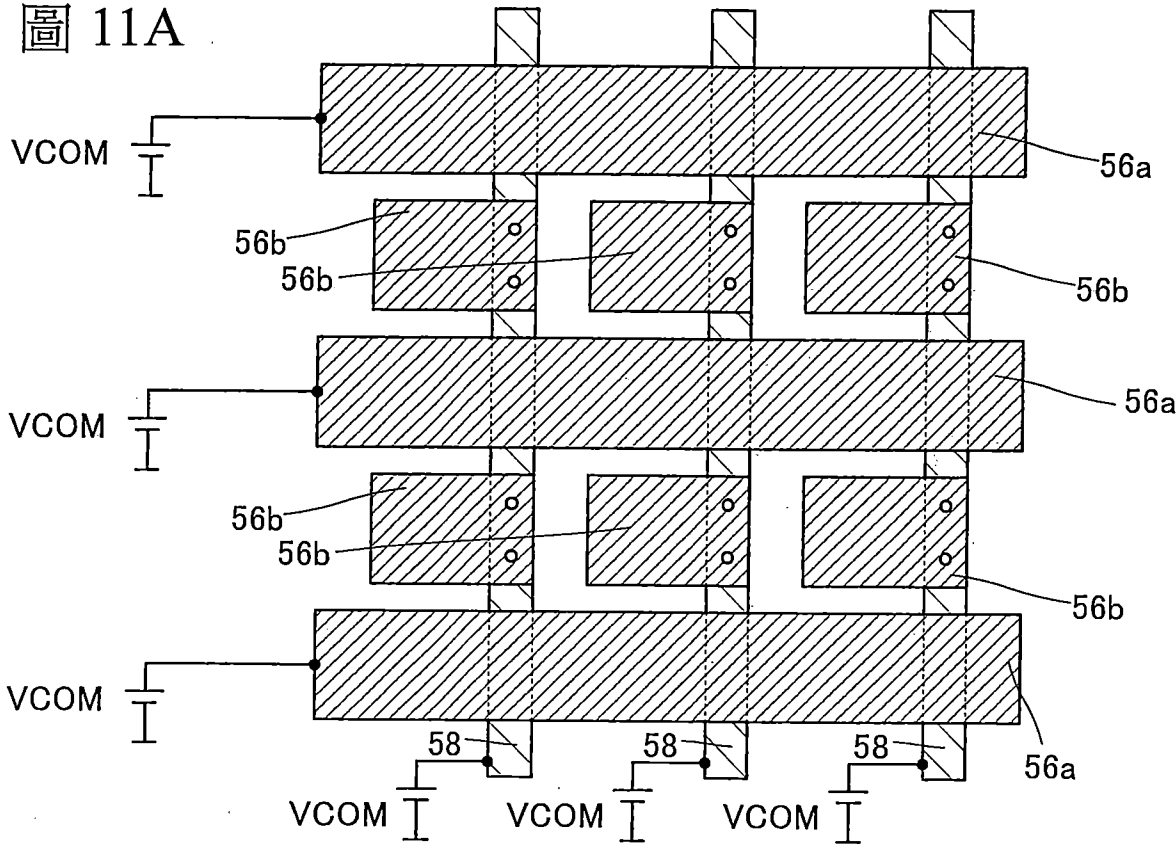
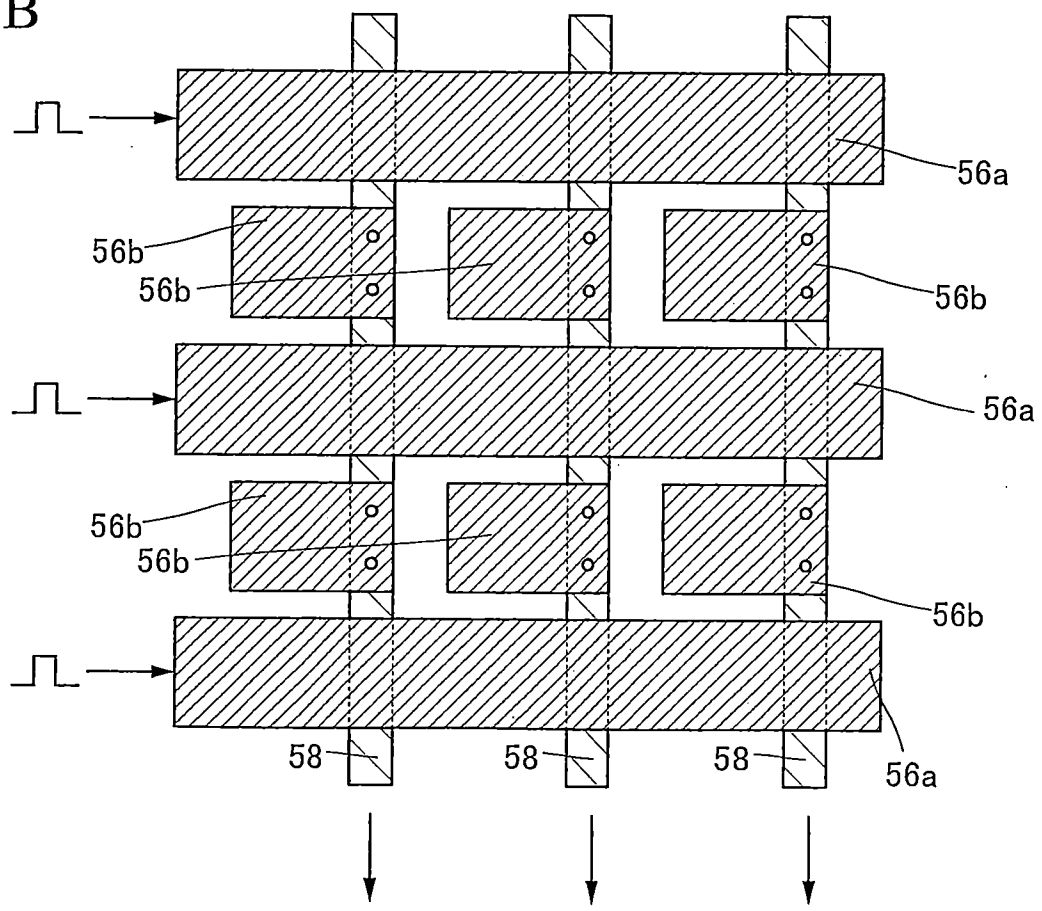
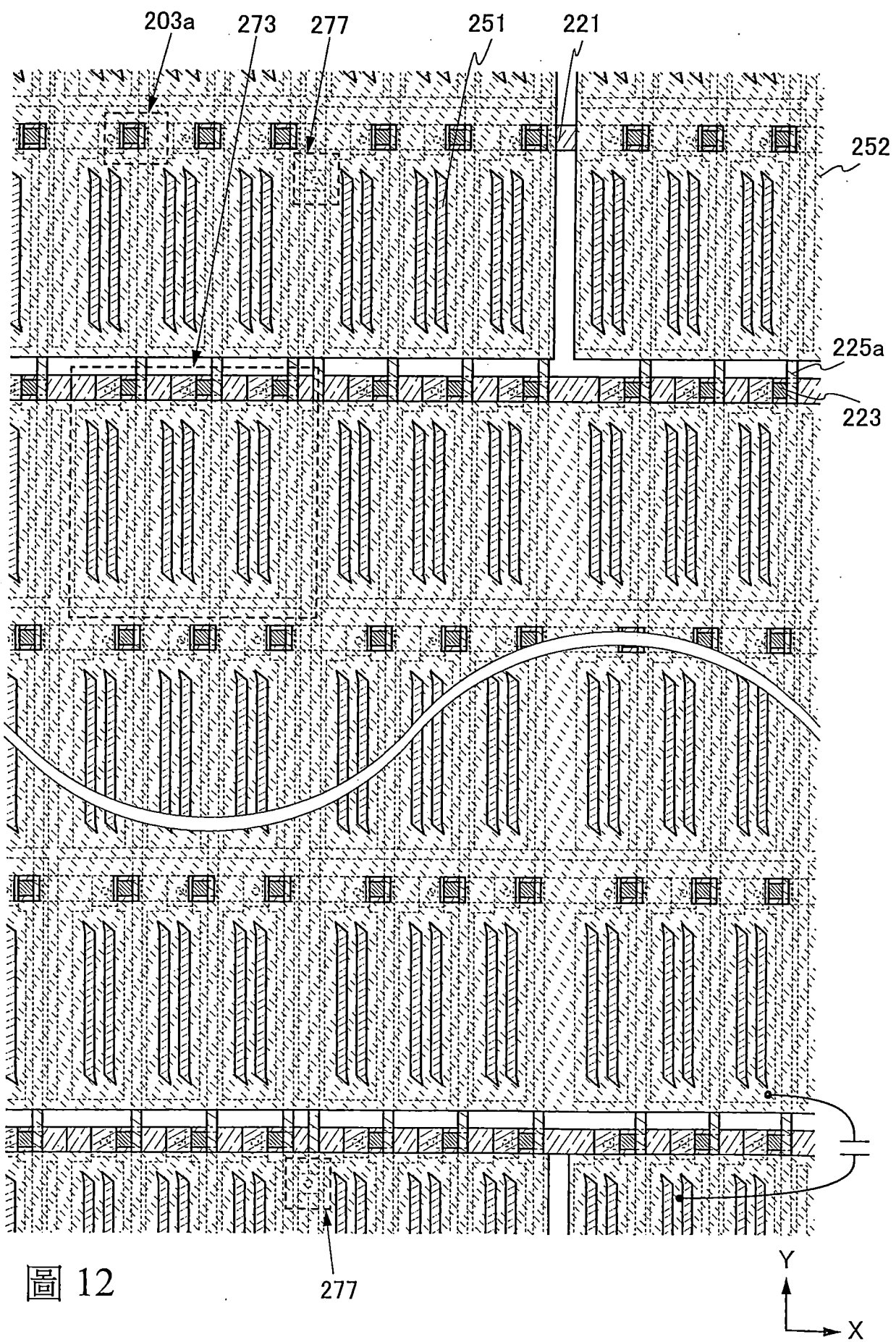


圖 11B





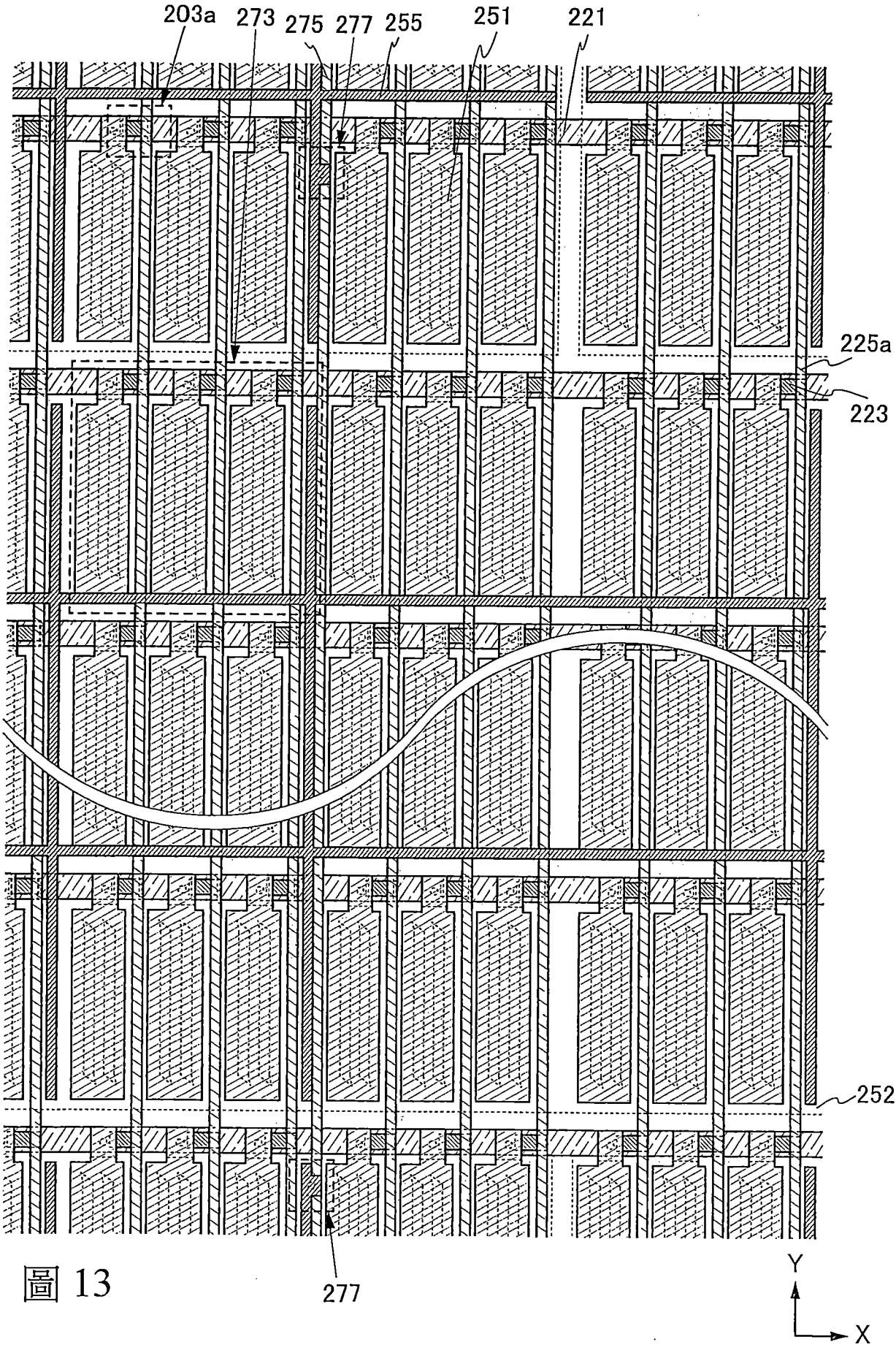


圖 13

圖 14A

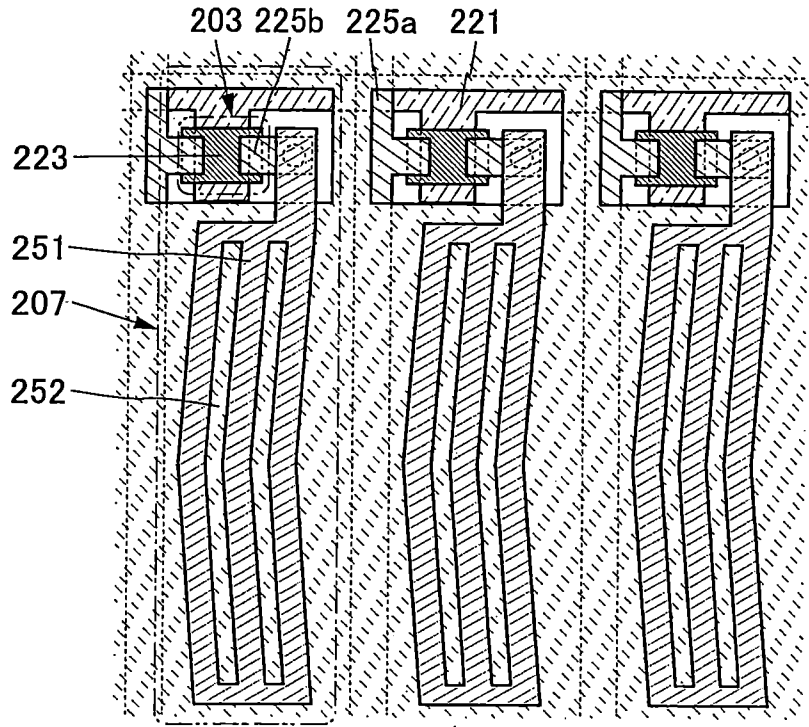


圖 14B

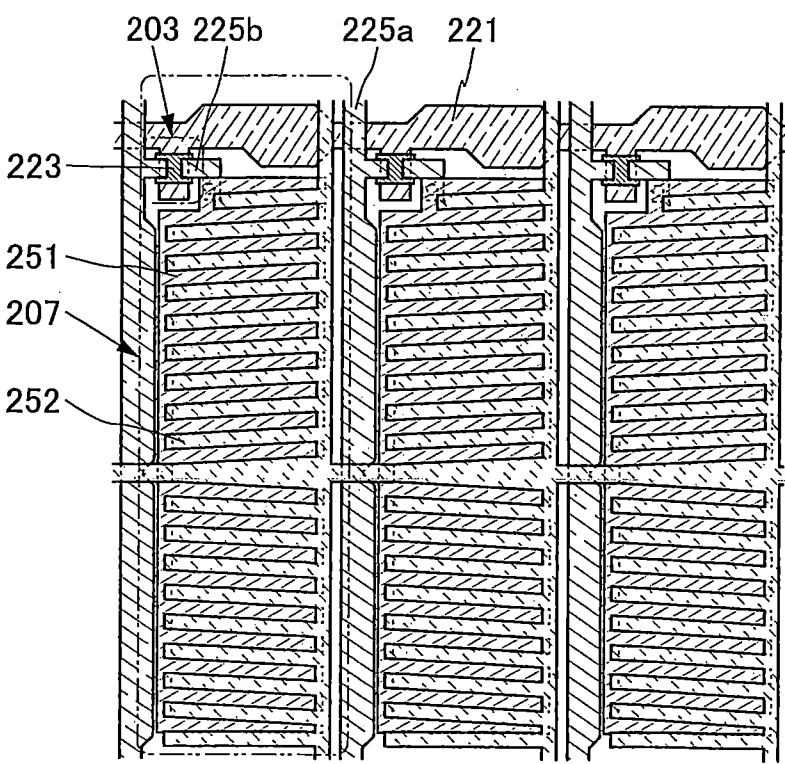


圖 15

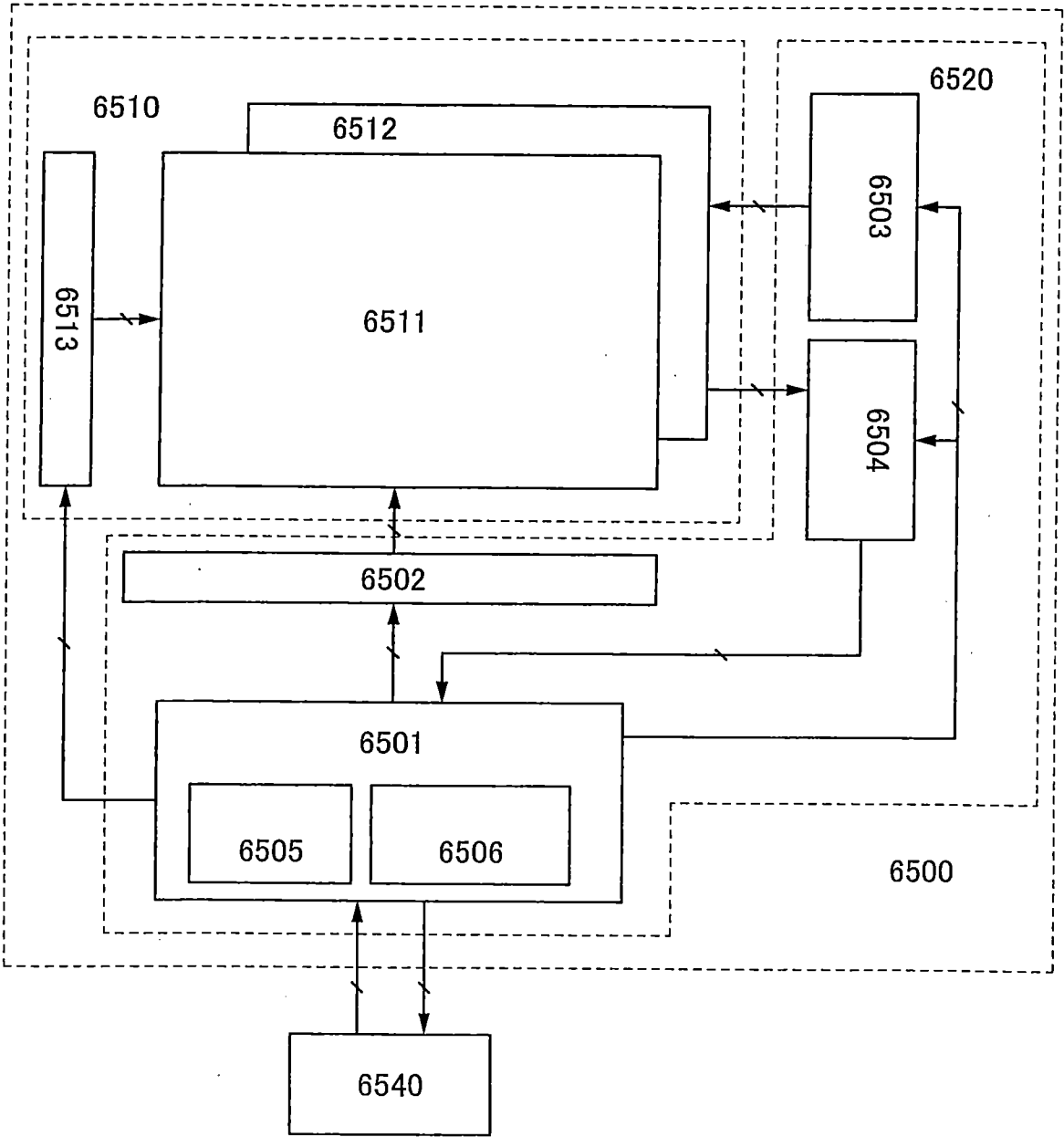


圖 16A

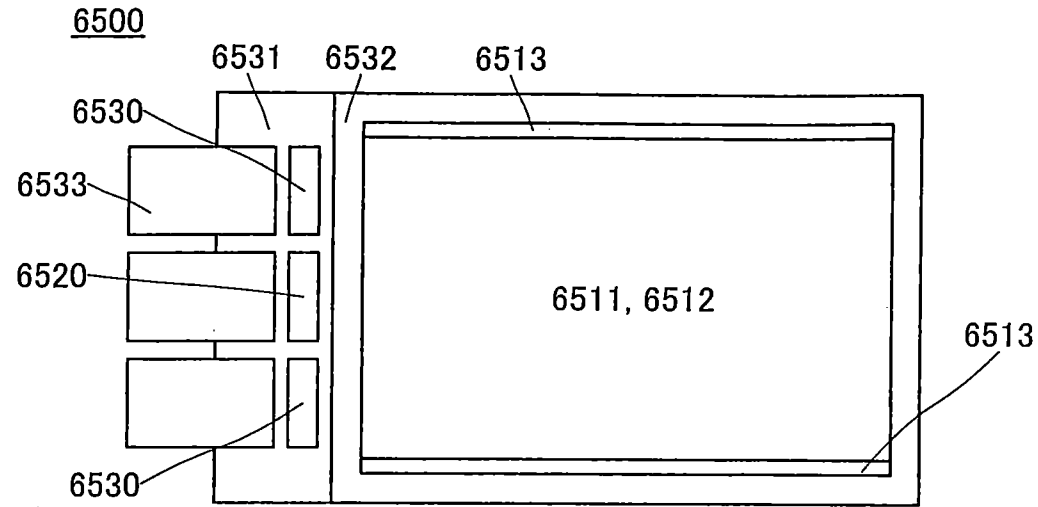


圖 16B

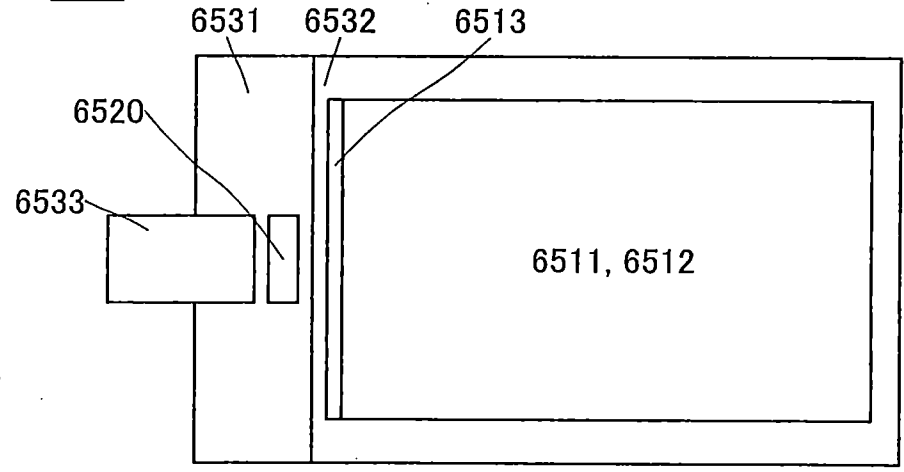


圖 16C

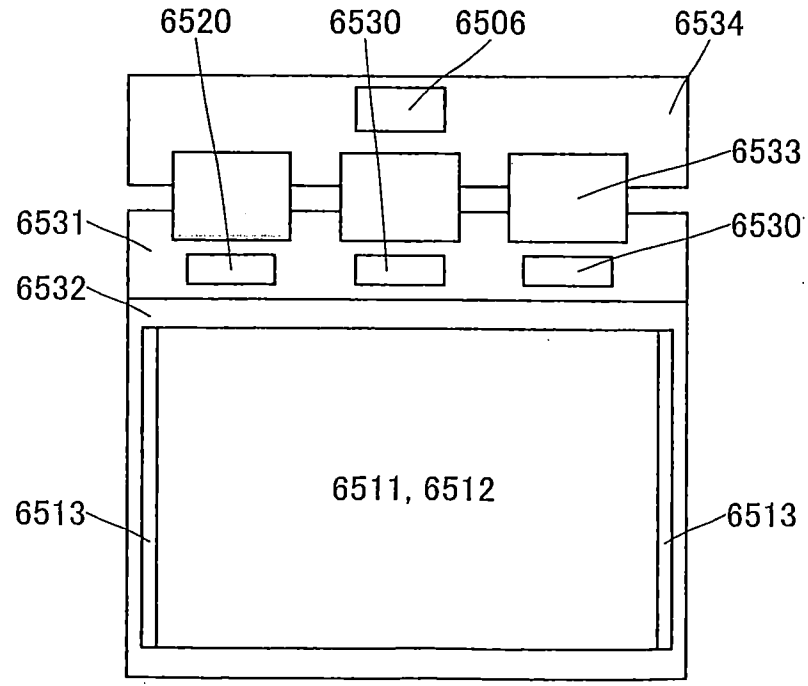


圖 17A

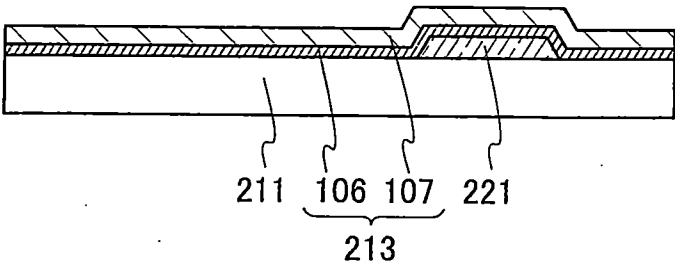


圖 17B

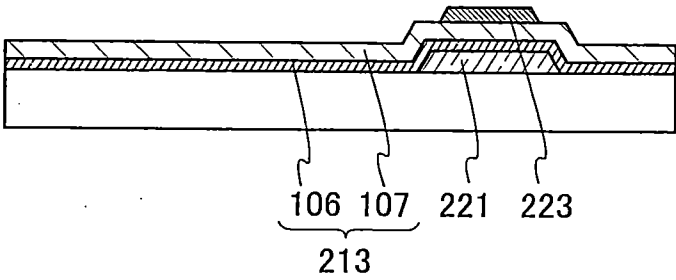


圖 17C

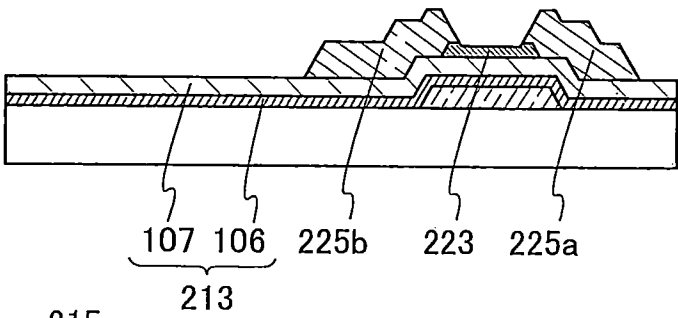


圖 17D

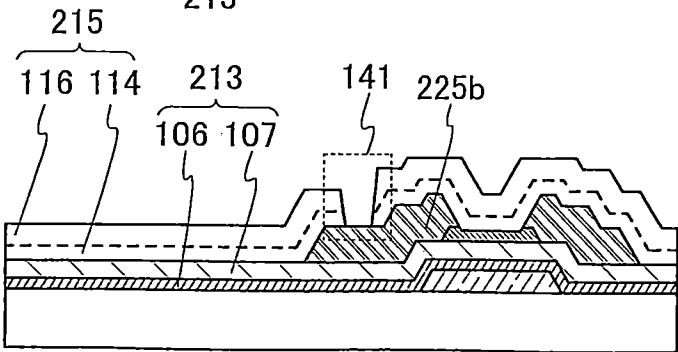


圖 18A

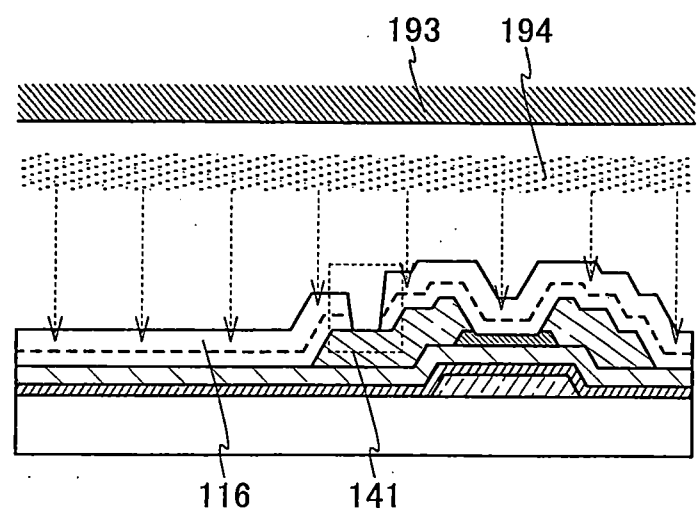


圖 18B

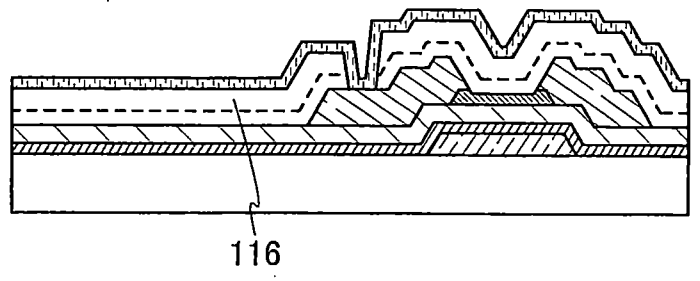


圖 18C

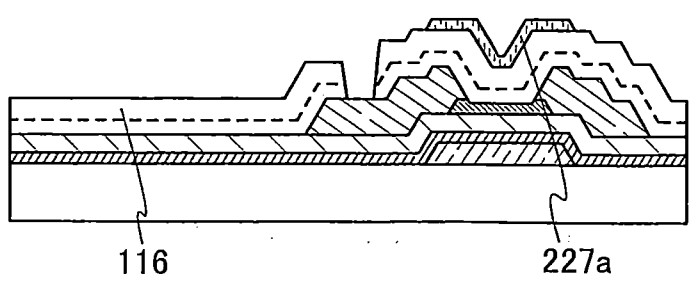


圖 19A

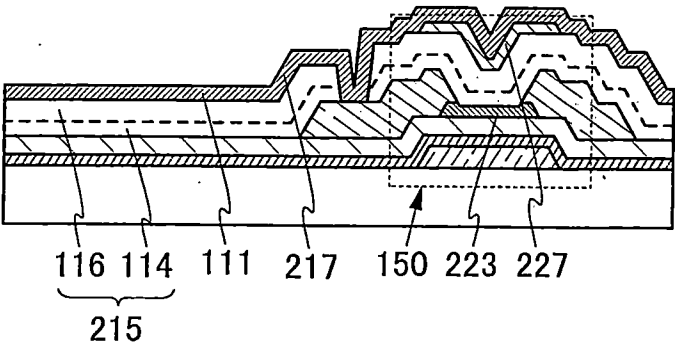


圖 19B

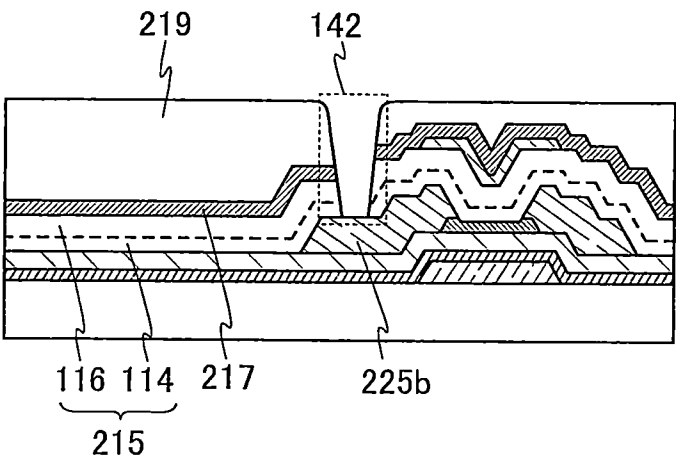


圖 19C

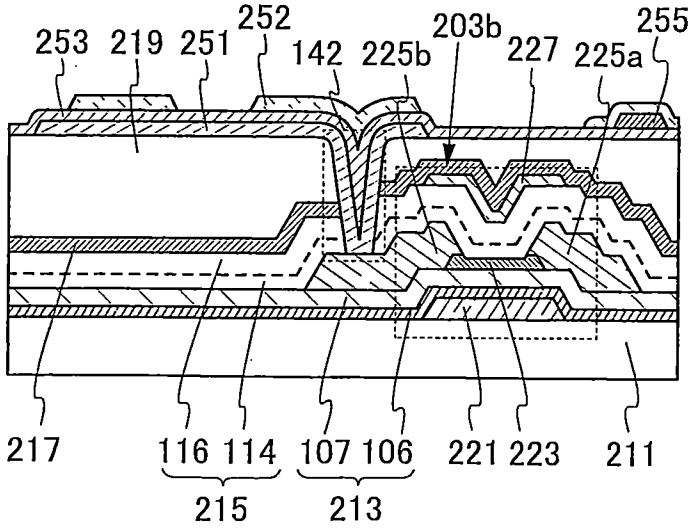


圖 20

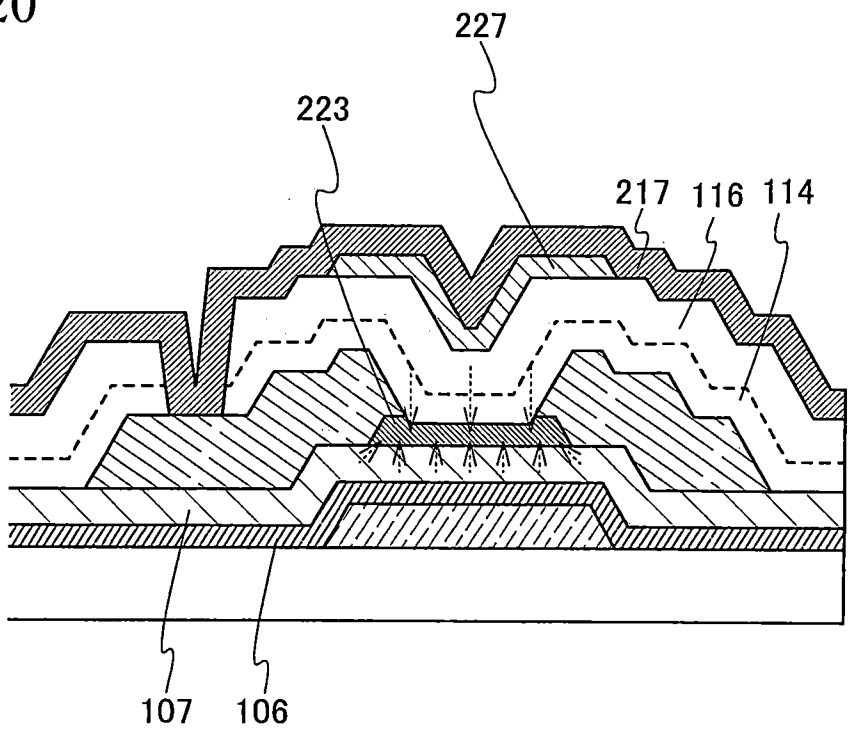


圖 21

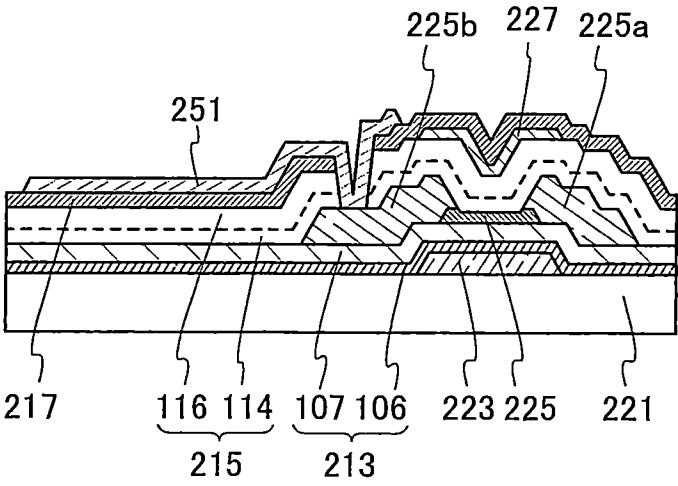


圖 22A

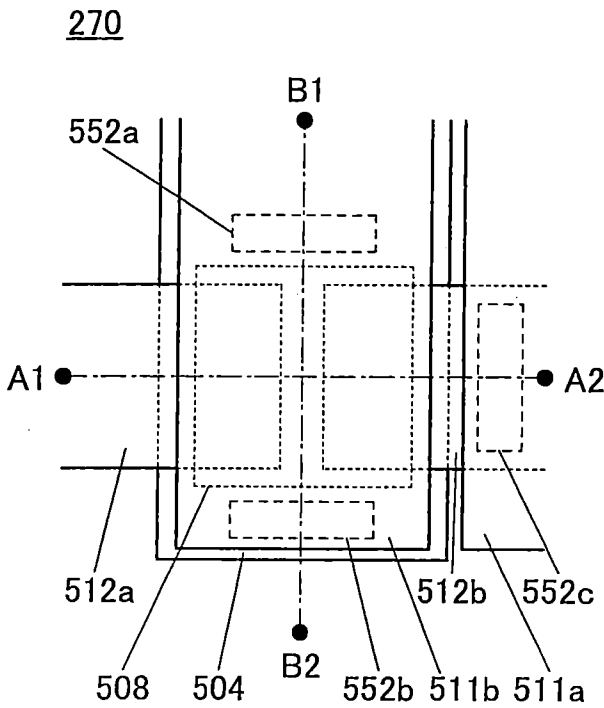


圖 22B

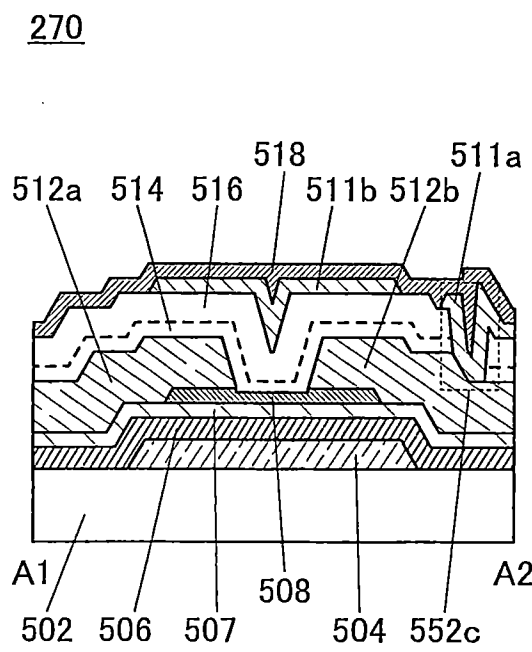


圖 22C

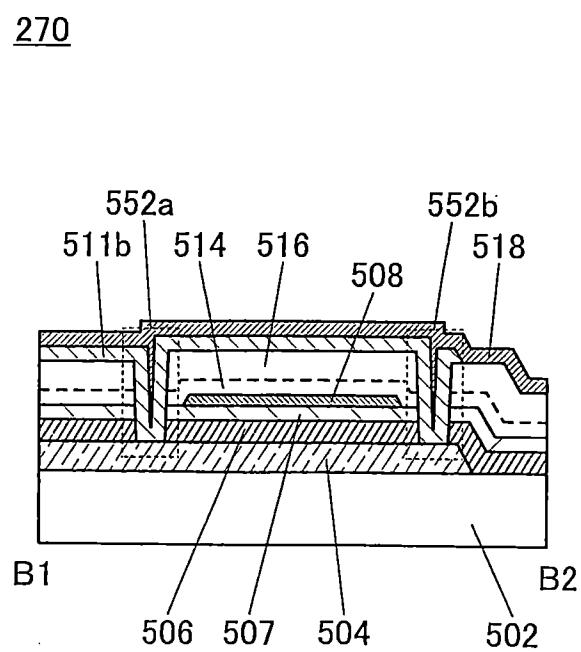


圖 23A

270A

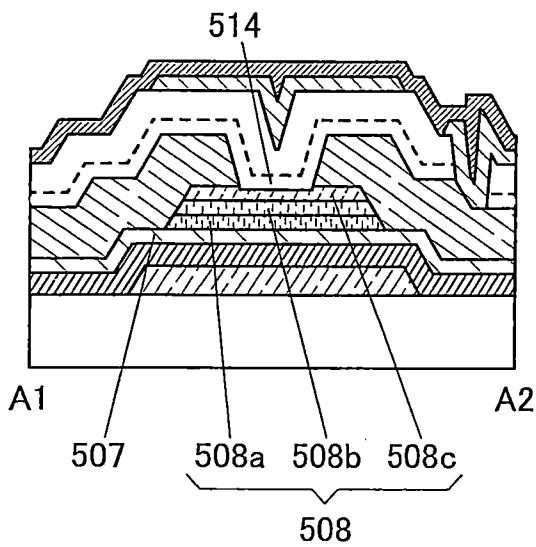


圖 23B

270A

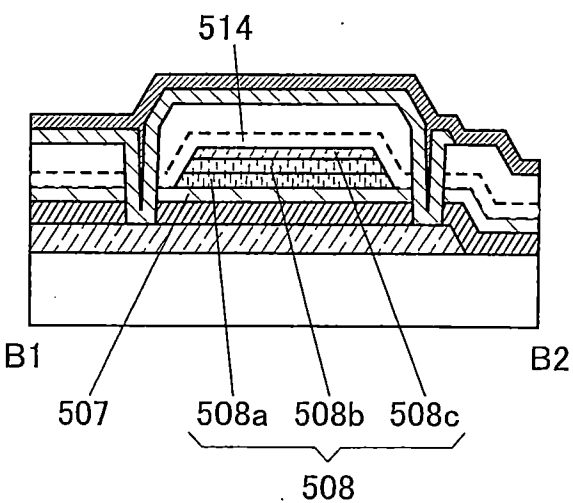


圖 23C

270B

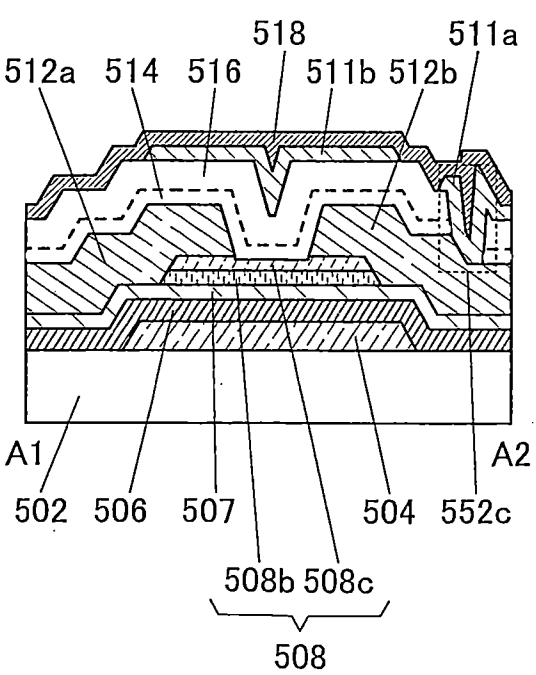


圖 23D

270B

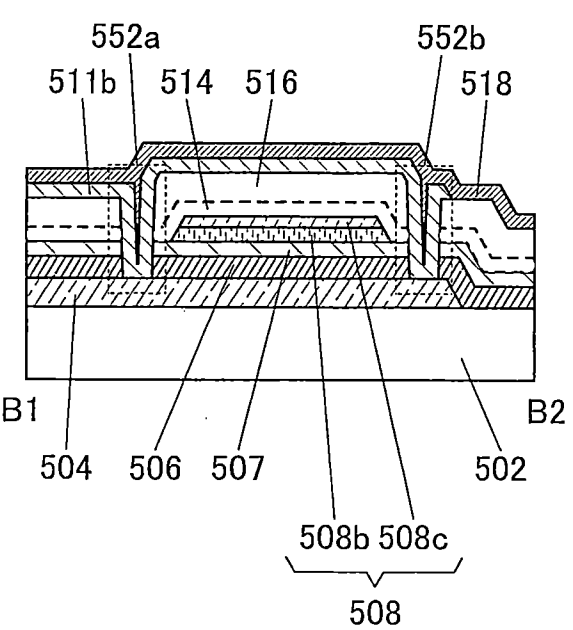


圖 24A

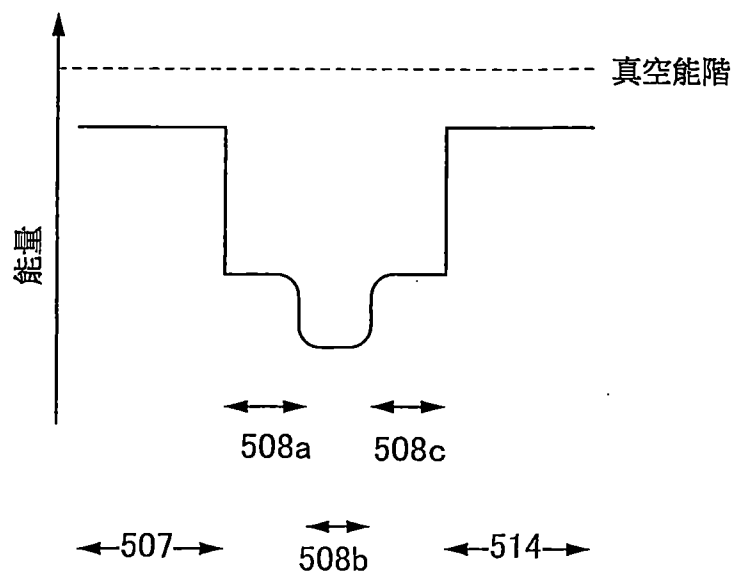


圖 24B

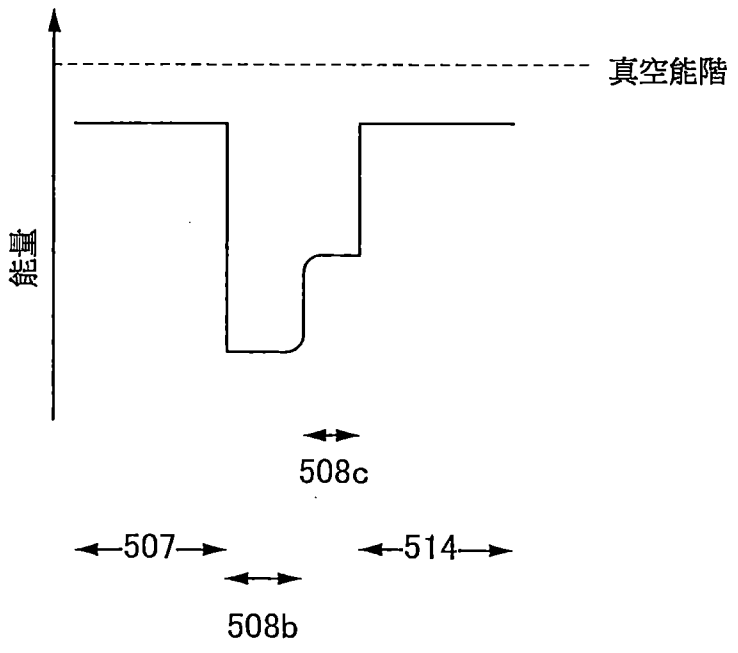


圖 25A

270B

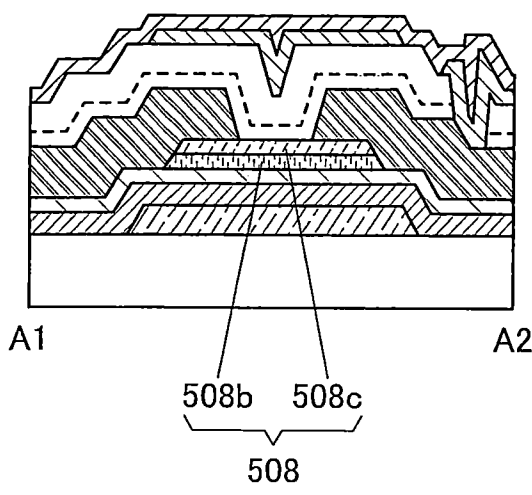


圖 25B

270B

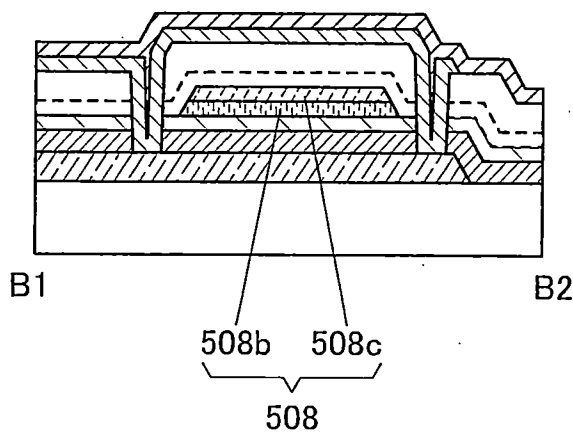


圖 25C

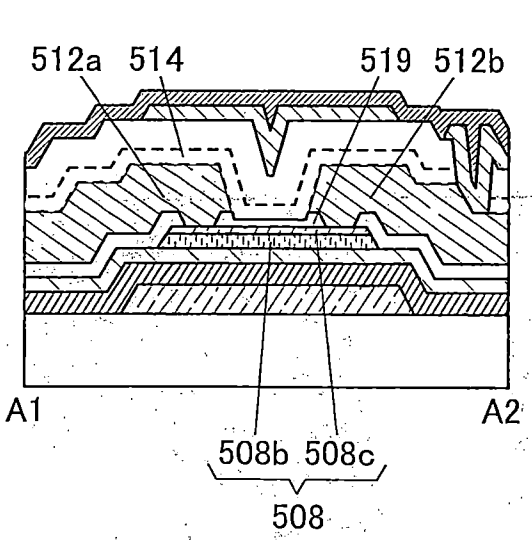


圖 25D

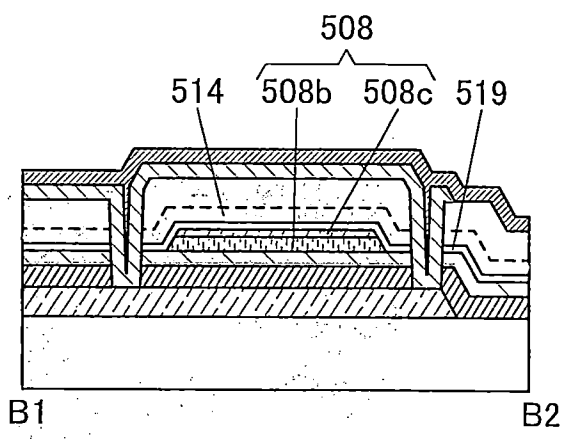


圖 30

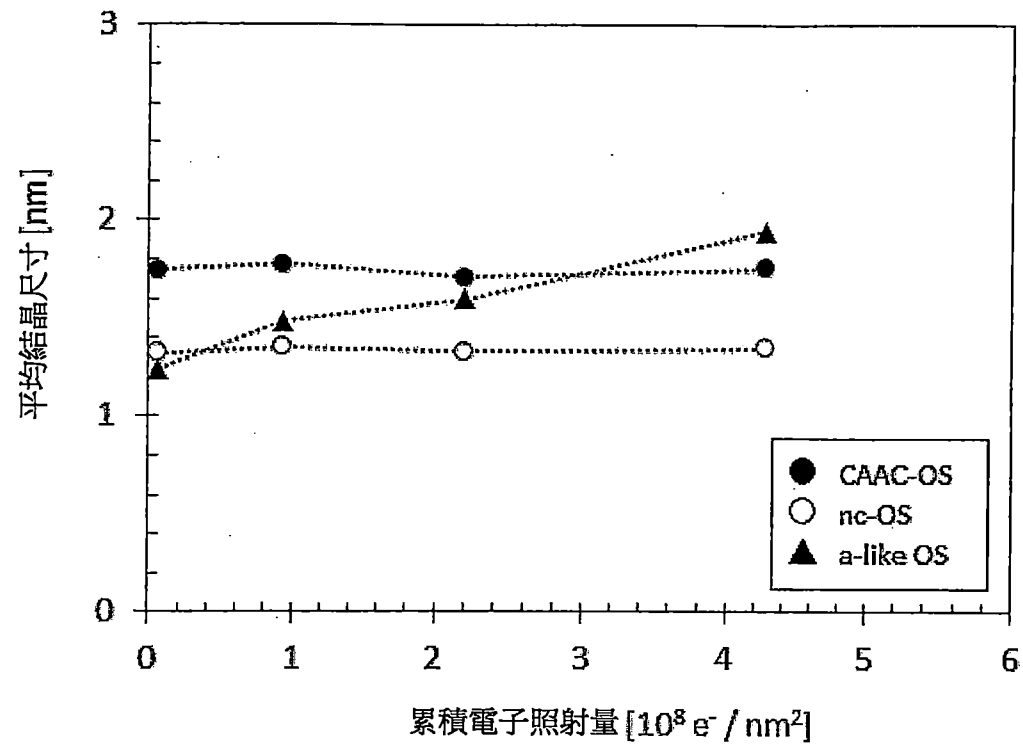


圖 31

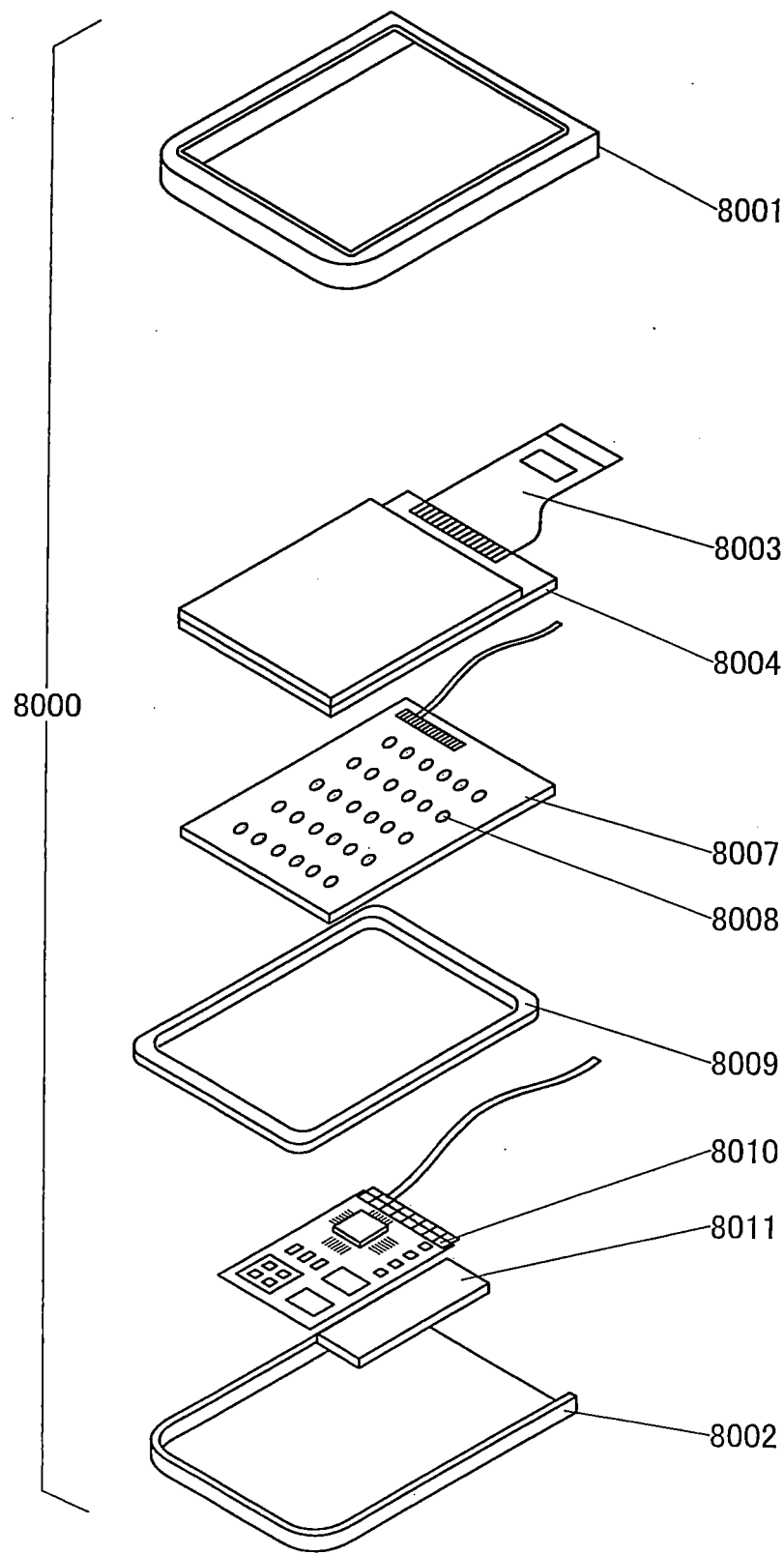


圖 32A

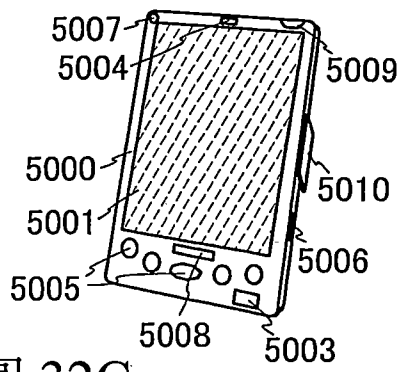


圖 32B

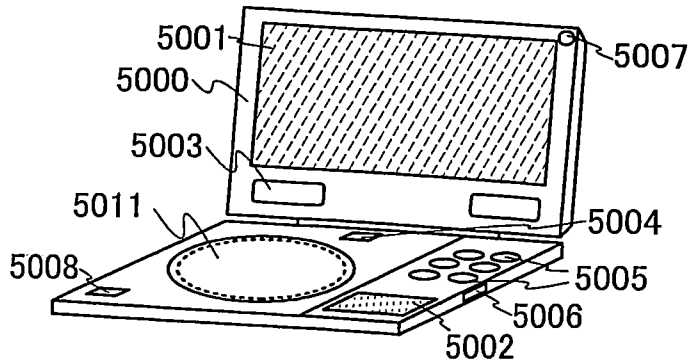


圖 32C

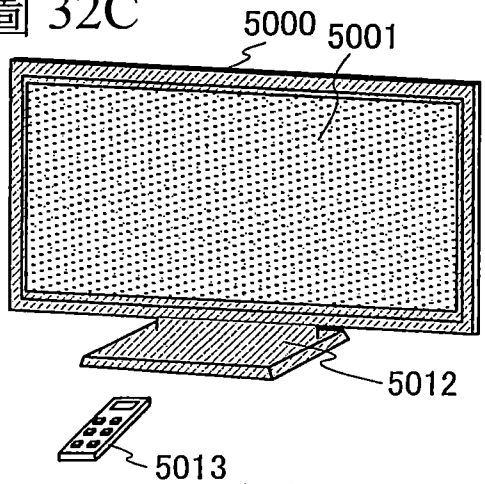


圖 32D

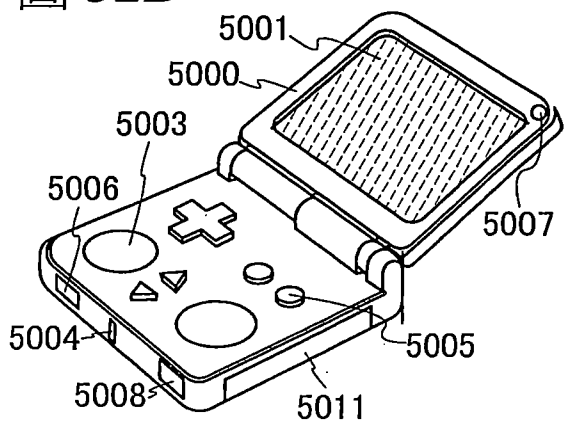


圖 32E

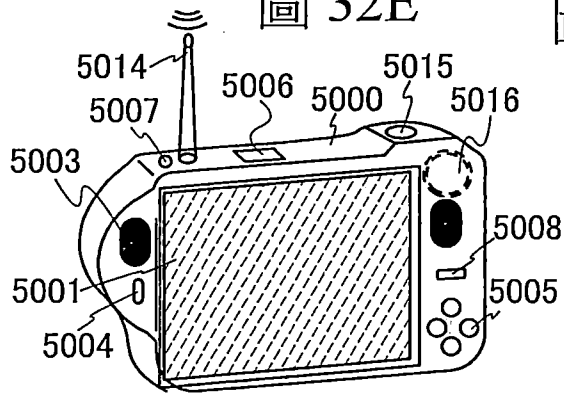


圖 32F

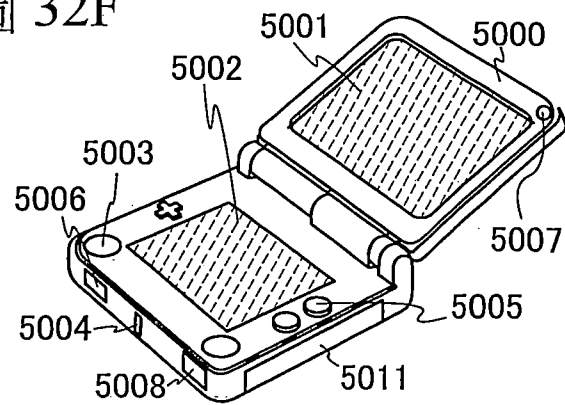


圖 32G

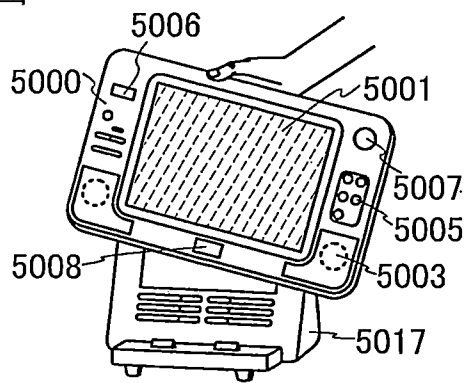


圖 32H

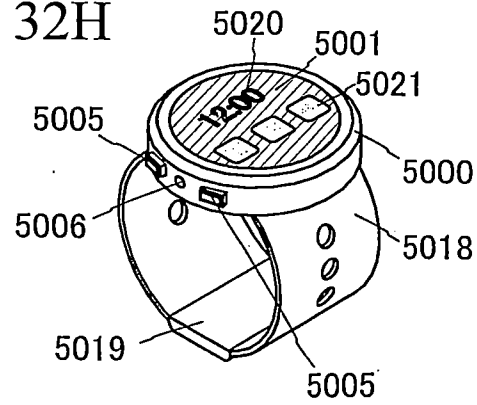


圖 33A

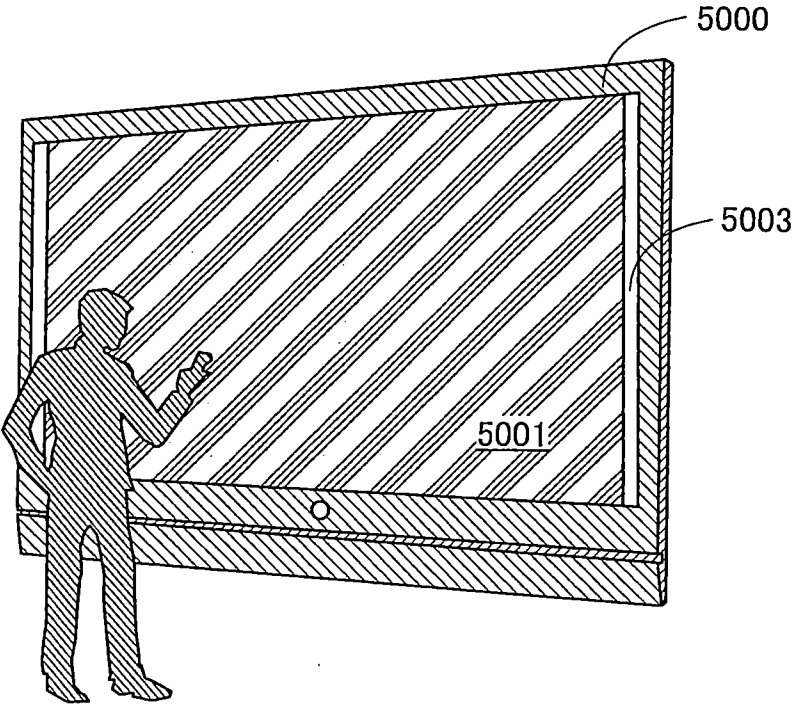


圖 33B

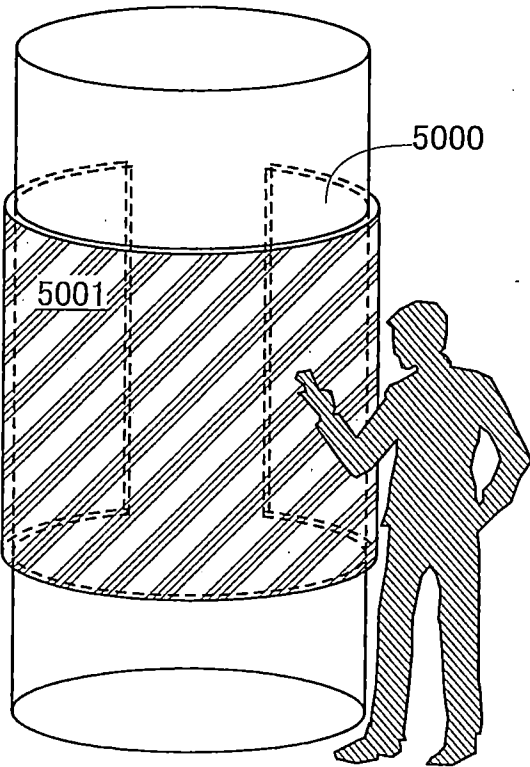


圖 34

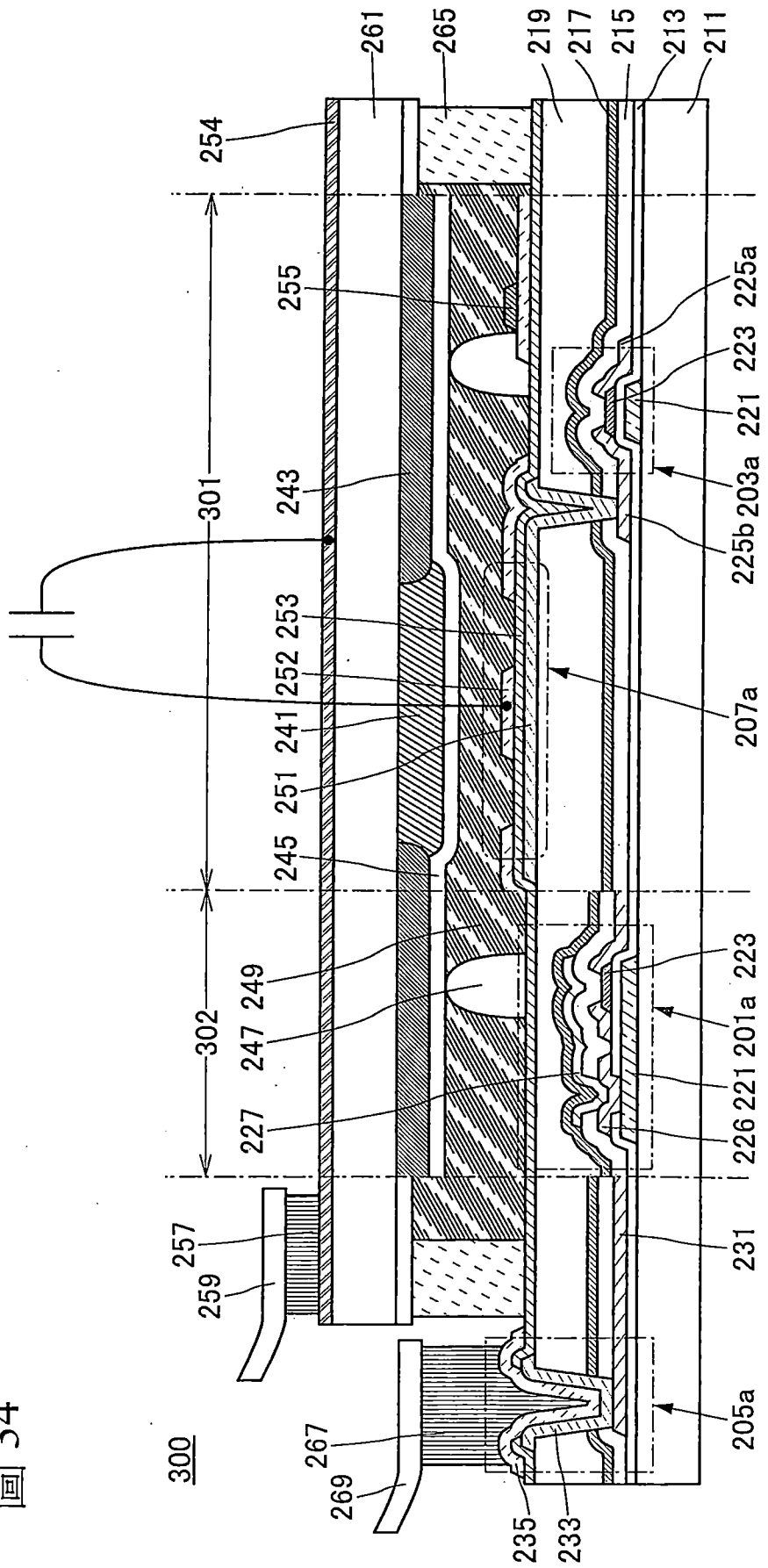
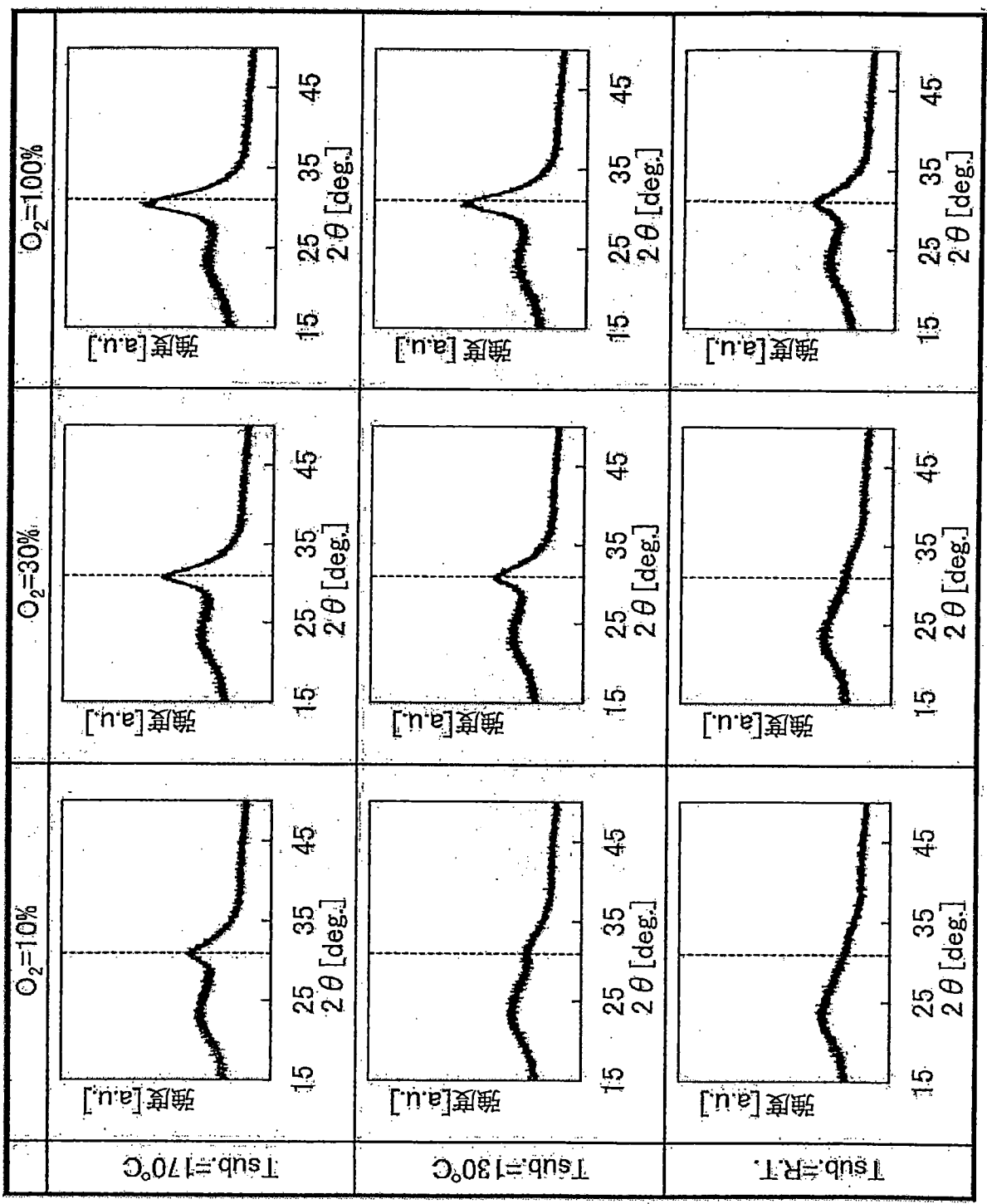


圖 36



申請專利範圍

1. 一種裝置，包含：

第一電晶體；

第二電晶體；

該第一電晶體以及該第二電晶體上的第一絕緣膜；

該第一絕緣膜上的第一像素電極；

該第一絕緣膜上的第二像素電極；

該第一絕緣膜上的第一共用電極；

該第一絕緣膜上的第二共用電極；

該第一像素電極與該第一共用電極之間以及該第二像素電極與該第二共用電極之間的第二絕緣膜；以及

該第一像素電極、該第二像素電極、該第一共用電極及該第二共用電極上的液晶，

其中，該第一共用電極被用作感測元件的一個電極，以及

其中，該第二共用電極被用作該感測元件的另一個電極。

2. 根據申請專利範圍第 1 項之裝置，更包含：

與該第一共用電極接觸的輔助佈線，

其中該輔助佈線具有比該第一共用電極低的電阻。

3. 根據申請專利範圍第 1 項之裝置，更包含：

該第一絕緣膜下的信號線。

4. 根據申請專利範圍第 1 項之裝置，其中該第一電晶體以及該第二電晶體各包含含有氧化物半導體的通道形

成區。

5. 根據申請專利範圍第 1 項之裝置，其中該第一電晶體以及該第二電晶體各包含含有銦、鎵、及鋅的通道形成區域。

6. 根據申請專利範圍第 1 項之裝置，

其中該第一共用電極位於該第一像素電極上，以及
其中該第二共用電極位於該第二像素電極上。

7. 根據申請專利範圍第 1 項之裝置，

其中該第一共用電極位於該第一像素電極下，以及
其中該第二共用電極位於該第二像素電極下。