



(21)申請案號：100100048

(22)申請日：中華民國 100 (2011) 年 01 月 03 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L29/788 (2006.01)

H01L27/115 (2006.01)

H01L21/336 (2006.01)

H01L21/8247(2006.01)

(71)申請人：華亞科技股份有限公司 (中華民國) INOTERA MEMORIES, INC. (TW)

桃園縣龜山鄉復興三路 667 號

(72)發明人：李宗翰 LEE, TZUNG HAN (TW) ; 李中元 LEE, CHUNG YUAN (TW)

(74)代理人：吳豐任；戴俊彥

申請實體審查：有 申請專利範圍項數：18 項 圖式數：9 共 28 頁

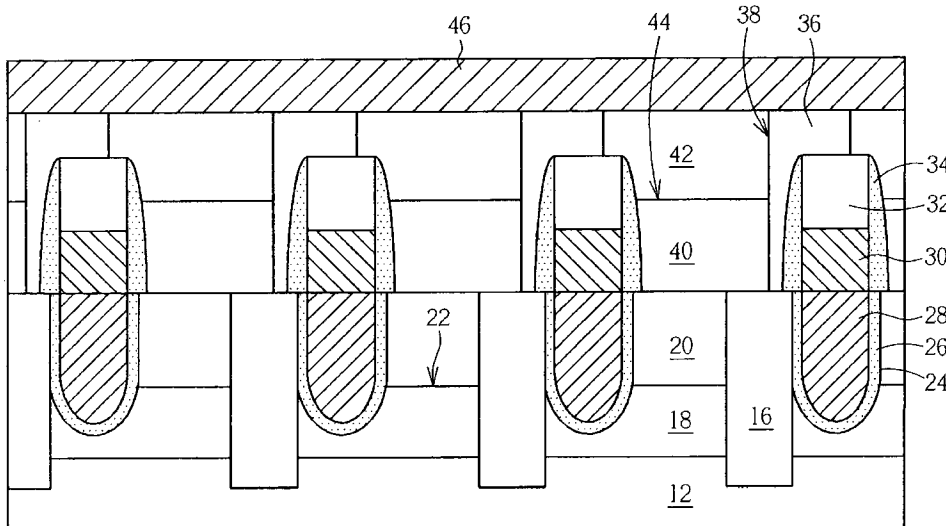
(54)名稱

具有浮置體的記憶體結構及其製法

MEMORY STRUCTURE HAVING A FLOATING BODY AND METHOD OF FABRICATING THE SAME

(57)摘要

本發明提供一種具有浮置體的記憶體結構，包括一基底，其包括一主動區及一絕緣結構，絕緣結構圍繞主動區；一第一源/汲極區位於主動區的基底內；一第一浮置體位於第一源/汲極區的上方的基底內；一第二浮置體位於第一浮置體上；一第二源/汲極位於第二浮置體上；及一溝渠式閘極結構位於基底中且位於第一浮置體旁。本發明亦提供一種製造具有浮置體的記憶體結構的方法。



- 12：基底
- 16：絕緣結構
- 18：第一源/汲極
- 20：第一浮置體
- 22：第一介面
- 24：溝渠
- 26：閘極介電層
- 28：閘極
- 30：字元線
- 32：蓋層
- 34：側壁子
- 36：介電層
- 38：開口
- 40：第二浮置體
- 42：第二源/汲極
- 44：第二介面
- 46：位元線

六、發明說明：

【發明所屬之技術領域】

本發明有關一種半導體結構，特別是有關一種動態隨機存取記憶體(DRAM)，其具有浮置體(floating body)結構，及其製法。

【先前技術】

傳統的動態隨機存取記憶體主要是由一個電容器和一個電晶體組成。隨著各種電子產品朝小型化發展之趨勢，基於傳統的動態隨機存取記憶體中的電容器，佔據了大部分可利用的空間，使得動態隨機存取記憶體之體積無法再縮小，而研發出一種無電容器動態隨機存取記憶體。習知之無電容器動態隨機存取記憶體主要是由一設置在矽覆絕緣(silicon-on-insulator, SOI)半導體基底上的金氧半導體電晶體所構成，利用金氧半導體電晶體在矽覆絕緣半導體基底上的浮置體作為電荷儲存區，源/汲極分別設置於基底中而位於浮置體橫向的兩端。因為其浮置體取代了傳統體積龐大、結構複雜的電容器，而省下一些空間。

然而，於小型化發展之趨勢下，對於更小尺寸的新穎的記憶體結構及新穎而更便利的製法仍有所需求。

【發明內容】

本發明之一目的是提供一種具有浮置體的記憶體結構及其製

法，該記憶體具有相對很小的尺寸，並且製法簡單。

於本發明之一態樣，依據本發明之具有浮置體的記憶體結構包括一基底，其包括一主動區(active area)及一絕緣結構，絕緣結構圍繞主動區；一第一源/汲極區位於主動區的基底內；一第一浮置體位於第一源/汲極區的上方的基底內，第一浮置體與第一源/汲極具有一第一接面(junction)；一第二浮置體位於第一浮置體上；一第二源/汲極位於第二浮置體上，第二源/汲極與第二浮置體具有一第二接面；及一溝渠式閘極結構位於基底中且位於第一浮置體旁。

於本發明之另一態樣，依據本發明之製造具有浮置體的記憶體的方法，包括有下列步驟。提供一基底，其包括一主動區及一絕緣結構，絕緣結構圍繞主動區。於主動區的基底內摻雜一第一型摻質而形成一第一源/汲極。於第一源/汲極的上方的基底內摻雜一第二型摻質而形成一第一浮置體，第一浮置體與第一源/汲極具有一第一接面。於主動區的一側部的基底中形成一溝渠。於溝渠中形成一閘極結構。於基底上全面覆蓋一介電層。於第一介電層形成一開口以露出第一浮體。於開口中，形成一半導體材料層，其並摻雜有第二摻質而使一下部成為一第二浮置體，第二浮置體與第一浮置體合而為一個浮置體。於第二浮置體的上方的半導體材料層中摻雜第一型摻質而形成一第二源/汲極，第二源/汲極與第二浮置體具有一第二接面。

【實施方式】

如第 1 圖之流程圖所示，並請參閱第 2 至 9 圖，依據本發明之製造具有浮置體的記憶體的方法包括下列所述。首先，進行步驟 101，請參閱第 2 圖，提供一基底 12，基底為例如一般半導體基底即可，而矽覆絕緣層基板也可使用。將基底界定出一主動區 14 及一絕緣結構 16。絕緣結構 16 圍繞主動區 14，以將主動區 14 電絕緣。於製作一記憶胞陣列時，可於基底上界定複數個主動區 14，形成一陣列，各主動區 14 之間有隔離結構 16 以將主動區 14 隔開。隔離結構 16 可為例如淺溝隔離結構(shallow trench isolation, STI)。

然後進行步驟 102，如第 3 圖所示，於主動區 14 的基底 12 內摻雜一第一型摻質而形成一第一源/汲極 18。可利用例如離子植入製程於基底 12 內植入第一型摻質，例如 n 型摻質，濃度較佳相對較濃，意即為 n^+ 型摻雜，以形成源/汲極。可於整個主動區 14 的面積範圍的基底植入摻質，因此不需要設置遮罩，即可於每一主動區達成摻質的植入。摻質濃度可依所需而定。然後進行步驟 103，於第一源/汲極 18 的上方的基底 12 內摻雜一第二型摻質而形成一第一浮置體 20。第二型摻質為與第一型摻質相反電性的摻質，而濃度相對較低。換言之，當第一型摻質為 n 型摻質時，第二型摻質為 p 型摻質，較佳為 p^- 型摻雜；而當第一型摻質為 p 型摻質時，第二型摻質為 n 型摻質，較佳為 n^- 型摻雜。第一浮置體 20 也是可經由於整個主動區 14 的面積範圍的基底(位於源/汲極 18 上方)植入摻質而形成，因此也不需要別設置遮罩。在第二型摻質植入基底形成第一浮置體 20

之後，第一浮置體 20 與第一源/汲極 18 之間形成一第一接面 22。

然後進行步驟 104，請參閱第 4 圖，其為本發明之一態樣之一具體實施例，於主動區 14 的一側部的基底 12 中形成一溝渠 24，此可經由例如習知的蝕刻技術而達成。使溝渠 24 的側壁的一部分由第一浮體 20 所構成，並使溝渠 24 的底部位於第一源/汲極 18 的區域中。再者，可使溝渠 24 的另一側壁的一部分由絕緣結構 16 構成，如此，溝渠 24 即占滿主動區 14 的一側部面積。進行步驟 105，於溝渠 24 中形成一閘極結構，例如，於溝渠 24 的側壁與底部形成一閘極介電層 26。於溝渠 24 中形成一閘極 28，並填滿溝渠 24。如此形成的閘極結構即位於第一浮體旁，與第一浮體縱向比鄰，閘極介電層 26 位於閘極 28 與第一浮置體 20 之間，並具有直立式的閘極通道。雖然此處所舉的具體實施例是先形成第一源/汲極與第一浮置體，再形成溝渠，但本發明的範疇並不排除先形成溝渠及閘極結構之後再摻入摻質以形成第一源/汲極與第一浮置體。

然後，於閘極 28 上方形成一字元線 30。此可利用例如習知之電鍍或沉積與蝕刻製程而完成，視字元線的材質而定。字元線的材質可為例如鎢。在一記憶胞陣列的製造中，字元線 30 係將同一行的記憶胞的閘極 28 予以電連接，於此具體實施例中，是直接與同一行的各閘極直接連接。更詳言之，例如，使字元線 30 跨越絕緣結構 16 以連接相鄰的記憶胞的閘極 28。於字元線 30 上覆蓋一蓋層 32，蓋層的材質可包括例如氮化矽材質，以達絕緣與進一步阻障水氣的

功能。然後於字元線 30 的二側分別形成一側壁子 34。側壁子的材質亦可為氮化矽材質。

然後進行步驟 106，於基底 12 上全面覆蓋一介電層 36。其可為通常層間介電層常用的材質，例如氧化物。然後進行步驟 107，於介電層 36 形成一開口 38 以露出第一浮體 20，可露出第一浮體 20 整個頂部面積。此可經由例如使用遮罩的蝕刻而達成。但於製程的特徵尺寸規格下，亦可不限於僅曝露第一浮體 20，而可同時曝露字元線結構及/或閘極結構及/或絕緣結構 16。字元線及閘極已受側壁子 34 與蓋層 32 的良好保護，因此不會妨害閘極與字元線的絕緣。

然後進行步驟 108，請參閱第 5 圖，於開口 38 中，形成一半導體材料層，使半導體材料層的至少一下部摻雜有第二摻質而成為第二浮置體 40。第二浮置體 40 與第一浮置體 20 合而為一個浮置體。半導體材料層的方法可舉例有以一磊晶製程於開口 38 內成長一與第一浮置體相同材料的磊晶層。若第一浮置體是具有第二摻質的矽層，則磊晶層亦是，因此，可直接以磊晶層的下部為第二浮置體 40；或是以一沉積製程於開口 38 形成一半導體材料層，例如多晶矽層，可視需要進行回蝕刻，再於半導體材料層的下部中摻雜第二型摻質，而形成第二浮置體 40。如此，即使第一浮置體 20 的體積不大而帶電量小，但是加上第二浮置體 40 的電量，則可增加總電量。

然後進行步驟 109，於第二浮置體 40 的上方的半導體材料層中

摻雜第一型摻質而形成第二源/汲極 42。若開口 38 也曝露部份字元線結構，則所形成的第二源/汲極 42 會有一部分位於字元線結構的正上方。第二源/汲極 42 與第二浮置體 40 具有一第二接面 44。在進行第二浮置體 40 (若有需要的話)與第二源/汲極 42 的離子植入時，亦不需要遮罩的設置。

第 9 圖顯示一平面示意圖，其相對應於如第 5 圖所示的具有浮置體的記憶體結構的剖面示意圖，以幫助更了解本發明。

於本發明之製造具有浮置體的記憶體的方法中，可進一步包括於第二源/汲極 42 上方形成一位元線，使位元線與第二源/汲極電連接。此包括直接連接或經由一導電結構(例如導電插塞)電連接。如第 5 圖所示，是形成一位元線 46 與第二源/汲極 42 直接連接。在一記憶胞陣列的製造中，使位元線 46 跨越介電層 36 以將同一列的記憶胞的第二源汲極 42 予以電連接。可視位元線的材質利用例如習知之電鍍或沉積與蝕刻製程而完成位元線的製作。

依據本發明的製造具有浮置體的記憶體的方法，其閘極結構的製造可有許多態樣，第 6 圖顯示另一態樣。於上述步驟 104 於主動區 14 的一側部的基底 12 中形成一溝渠 24 後，進行步驟 105，於溝渠 24 中形成一閘極結構。閘極結構的製作可為，例如，於溝渠 24 的側壁與底部形成一閘極介電層 26。於溝渠 24 中形成一閘極 48，但不填滿溝渠 24。然後，於閘極 48 上方覆蓋一蓋層 50。可在溝渠

製作時，使溝渠 24 貫穿整行的主動區 14 與絕緣結構 16，如此在製作閘極結構時，閘極 48 的填入，即相當於形成一條埋入式字元線。填入的導電材料可為一或多種。這樣的方式是使溝渠整條貫穿，即，於絕緣結構 16 的溝渠底部與於主動區 14 的溝渠底部同高。另外的方式可為僅溝渠的上部貫穿，即，於絕緣結構 16 的溝渠底部高於主動區 14 的溝渠底部，因此可於溝渠下部(位於主動區 14)填入閘極材料，而於溝渠上部(位於主動區 14 及絕緣結構 16)填入字元線材料，形成埋入式字元線，二者材料可相同或不同，再於字元線上方覆蓋蓋層 50。若需要時，可在字元線兩側形成側壁子。

然後進行步驟 106，於基底 12 上全面覆蓋一介電層 52，然後進行步驟 107，於介電層 52 形成一開口 54 以露出第一浮體 20。同上述，可不限於僅曝露第一浮體 20，亦可曝露第一浮體 20 所鄰接的閘極結構(包括字元線結構)及絕緣結構 16，但並不妨害閘極與字元線的絕緣。然後進行如上述之步驟 108，請參閱第 7 圖，於開口 54 中形成一半導體材料層，並使半導體材料層的下部中摻雜有第二型摻質而形成第二浮置體 40。如此，第二浮置體 40 會有一部分位於閘極結構及字元線結構的正上方。進行如上述之步驟 109，於第二浮置體 40 的上方的半導體材料層中摻雜第一型摻質而形成第二源/汲極 42。如上述，可進一步於第二源/汲極 42 上方形成一位元線 46，使與第二源/汲極 42 電連接。

如第 7 圖所示的本發明之具有浮置體的記憶體結構的一具體實

施例中，其閘極結構是位於基底原始表面以下，但閘極結構並不侷限於位於基底原始表面以下，亦可將其製作在基底中並延伸至基底原始表面上方，如第 8 圖顯示之態樣。其可經由例如在如上述的步驟 104 形成溝渠之後，於溝渠中形成閘極介電層及填滿閘極材料，於基板上形成介電層，於介電層形成開口與該填滿閘極材料的溝渠銜接，再繼續完成閘極結構的上部，可再沉積或不再沉積介電層於所完成的閘極結構上方，將沉積於第一浮置體 20 上方的介電層移除，形成開口，如上述之步驟 107，然後如上述步驟 108 及 109 完成記憶體結構的製作。如此，延伸至基底原始表面上方的閘極結構的部分即位於第二浮置體 40 旁。

本發明之具有浮置體的記憶體因為源/汲極位於浮置體的上下兩端，各部件的橫向尺寸甚至可小至製程的特徵尺寸，因此記憶體的橫向尺寸小，並且可使用本發明之製造具有浮置體的記憶體的方法便利的製得。浮置體與位於其上下兩端的源/汲極具有接合面(例如 npn 或 pnp)，而有能階存在，例如兩端的源汲極為 n^+ 型摻雜而都可提供電荷，調整字元線與位元線電位差，可將電荷留置在浮置體。其浮置體貯存的電量僅需 2 至 5 飛法拉(Femtofarad, fF)即可作用，而當需要更大電量時，可僅增加浮置體的高度即可達成，不必增加記憶單元的總面積。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖顯示依據本發明之製造具有浮置體的記憶體結構的方法的一具體實施例的流程圖。

第 2 圖顯示依據本發明之製造具有浮置體的記憶體結構的方法的一具體實施例的主動區配置圖。

第 3 至 5 圖顯示依據本發明之製造具有浮置體的記憶體結構的方法的一具體實施例的剖面示意圖。

第 6 及 7 圖顯示依據本發明之製造具有浮置體的記憶體結構的方法的另一具體實施例的剖面示意圖。

第 8 圖顯示依據本發明之製造具有浮置體的記憶體結構的方法的又另一具體實施例的剖面示意圖。

第 9 圖顯示依據第 5 圖所示之一具體實施例的平面配置示意圖。

【主要元件符號說明】

12	基底	14	主動區
16	絕緣結構	18	第一源/汲極
20	第一浮置體	22	第一接面
24	溝渠	26	閘極介電層
28	閘極	30	字元線
32	蓋層	34	側壁子
36	介電層	38	開口
40	第二浮置體	42	第二源/汲極

44 第二接面

48 閘極

52 介電層

46 位元線

50 蓋層

54 開口

101、102、103、104、105、106、107、108、109 步驟

201230332

of fabricating a memory structure having a floating body is also provided.

七、申請專利範圍：

1. 一種具有浮置體的記憶體結構，包括：

一基底，其包括一主動區及一絕緣結構，該絕緣結構圍繞該主動區；

一第一源/汲極區位於該主動區的該基底內；

一第一浮置體位於該第一源/汲極區的上方的該基底內，該第一浮置體與該第一源/汲極具有一第一接面；

一第二浮置體位於該第一浮置體上；

一第二源/汲極位於該第二浮置體上，該第二源/汲極與該第二浮置體具有一第二接面；及

一溝渠式閘極結構位於該基底中且位於該第一浮置體旁。

2. 如請求項 1 所述之具有浮置體的記憶體結構，其中一半導體材料層位於該第一浮置體上，該第二浮置體係位於該半導體材料層的一下部，及該第二源/汲極係位於該半導體材料層的一上部，而在該第二浮置體的上方，該第二源/汲極與該第二浮置體具有一第二接面。

3. 如請求項 1 所述之具有浮置體的記憶體結構，其中，該溝渠式閘極結構包括：

一閘極；及

一閘極介電層，其位於該基底與該閘極之間；以及

該具有浮置體的記憶體結構進一步包括一字元線結構，其位於該閘極上方，且位於該第二浮置體旁。

4. 如請求項 3 所述之具有浮置體的記憶體結構，其中該第二源/汲極之一部分位於該字元線結構正上方。

5. 如請求項 1 所述之具有浮置體的記憶體結構，其中，該溝渠式閘極結構位於一溝渠中，該溝渠式閘極結構包括：

一閘極；及

一閘極介電層，其位於該基底與該閘極之間；以及

該具有浮置體的記憶體結構進一步包括一字元線結構，該字元線結構位於該閘極上方且位於該溝渠中。

6. 如請求項 5 所述之具有浮置體的記憶體結構，其中該第二浮置體的一部分位於該字元線結構正上方。

7. 如請求項 1 所述之具有浮置體的記憶體結構，其中，該溝渠式閘極結構包括：

一閘極，該閘極同時做為一字元線；

一閘極介電層，其位於該基底與該閘極之間；及

一蓋層，其覆蓋於該閘極上。

8. 如請求項 7 所述之具有浮置體的記憶體結構，其中該第二浮置體的一部分位於該閘極結構正上方。

9. 如請求項 1 所述之具有浮置體的記憶體結構，其中，該溝渠式閘

極結構由該基底延伸至該基底上方，而位於該第二浮置體旁。

10. 如請求項 1 所述之具有浮置體的記憶體結構，進一步包括一位元線，其位於該第二源/汲極上方且與該第二源/汲極電連接。

11. 如請求項 1 所述之具有浮置體的記憶體結構，其中該閘極結構的一側與該絕緣結構相接，及其底部位於該第一源/汲極中。

12. 一種製造具有浮置體的記憶體的方法，包括有：

提供一基底，其包括一主動區及一絕緣結構，該絕緣結構圍繞該主動區；

於該主動區的該基底內摻雜一第一型摻質而形成一第一源/汲極；

於該第一源/汲極的上方的該基底內摻雜一第二型摻質而形成一第一浮置體，該第一浮置體與該第一源/汲極具有一第一界面；

於該主動區的一側部的該基底中形成一溝渠；

於該溝渠中形成一閘極結構；

於該基底上全面覆蓋一介電層；

於該第一介電層形成一開口以露出該第一浮體；

於該開口中，形成一半導體材料層，其並摻雜有該第二摻質而使一下部成為一第二浮置體，該第二浮置體與該第一浮置體合而為一個浮置體；及

於該第二浮置體的上方的該半導體材料層中摻雜該第一型摻質而形成一第二源/汲極，該第二源/汲極與該第二浮置體具有一第二界面。

13. 如請求項 12 所述之製造具有浮置體的記憶體的方法，進一步包括於該第二源/汲極上方形成一位元線，並使該位元線與該第二源/汲極電連接。

14. 如請求項 12 所述之製造具有浮置體的記憶體的方法，其中形成該閘極結構包括下列步驟：

於該溝渠的側壁與底部形成一閘極介電層，

於該溝渠中形成一閘極，並做為一字元線，及

於該字元線上覆蓋一蓋層。

15. 如請求項 12 所述之製造具有浮置體的記憶體的方法，其中以該絕緣結構做為該溝渠之一側壁，及以該第一浮置體及該第一源/汲極做為該溝渠之另一側邊及底部。

16. 如請求項 12 所述之製造具有浮置體的記憶體的方法，其中形成該閘極結構包括下列步驟：

於該溝渠的側壁與底部形成一閘極介電層，

於該溝渠中形成一閘極，並填滿該溝渠，

於該閘極上方形成一字元線，

於該字元線上覆蓋一蓋層，及

於該字元線的二側分別形成一側壁子。

17. 如請求項 12 所述之製造具有浮置體的記憶體的方法，其中形成該半導體材料層的步驟包括以一磊晶製程於該開口內成長與該第一浮置體相同的磊晶層而成為該半導體材料層。

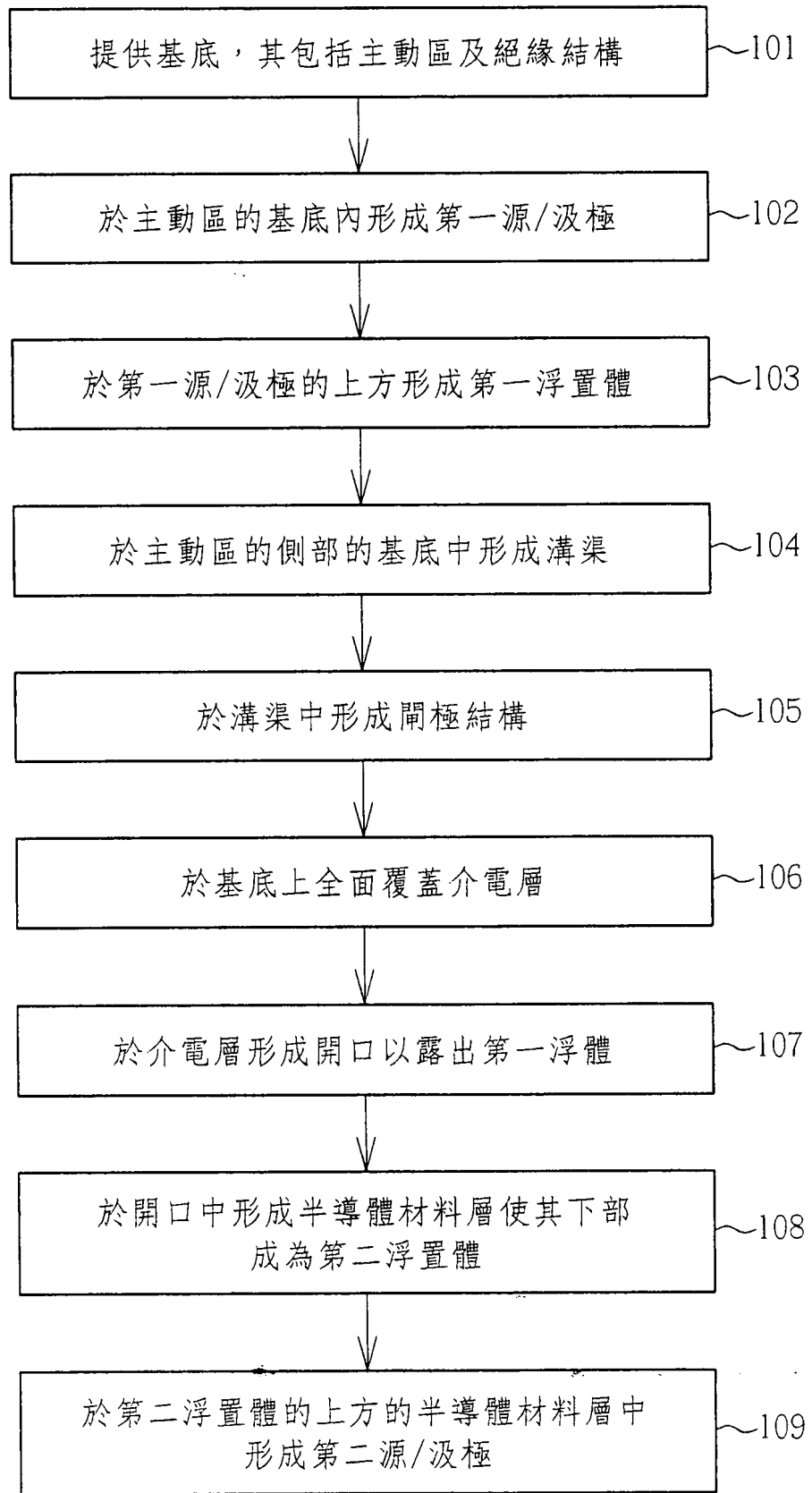
18. 如請求項 12 所述之製造具有浮置體的記憶體的方法，其中形成該半導體材料層的步驟包括以一沉積製程於該開口內沉積該半導體材料層而於其一下部中摻雜該第二型摻質而形成。

八、圖式：

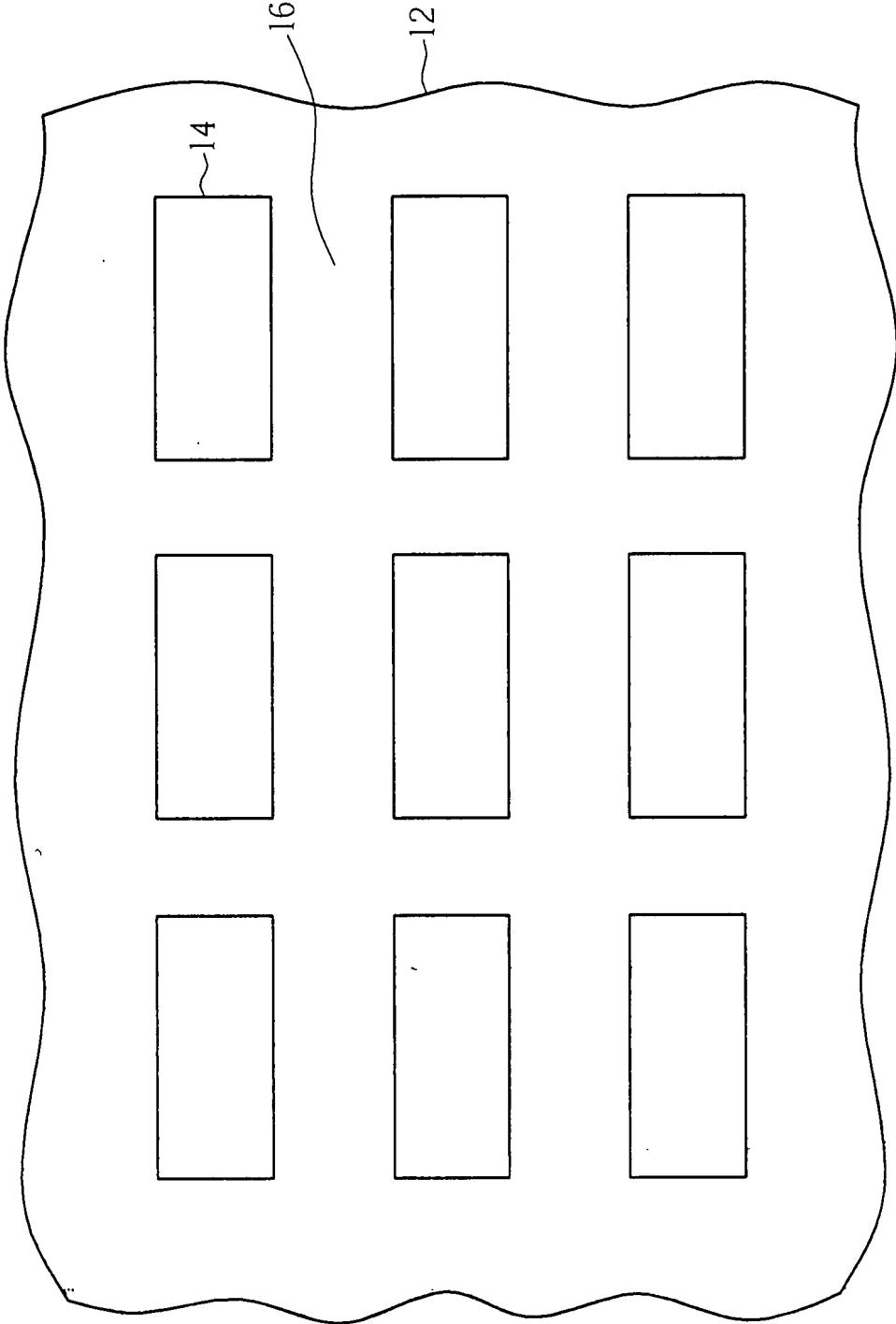
17. 如請求項 12 所述之製造具有浮置體的記憶體的方法，其中形成該半導體材料層的步驟包括以一磊晶製程於該開口內成長與該第一浮置體相同的磊晶層而成為該半導體材料層。

18. 如請求項 12 所述之製造具有浮置體的記憶體的方法，其中形成該半導體材料層的步驟包括以一沉積製程於該開口內沉積該半導體材料層而於其一下部中摻雜該第二型摻質而形成。

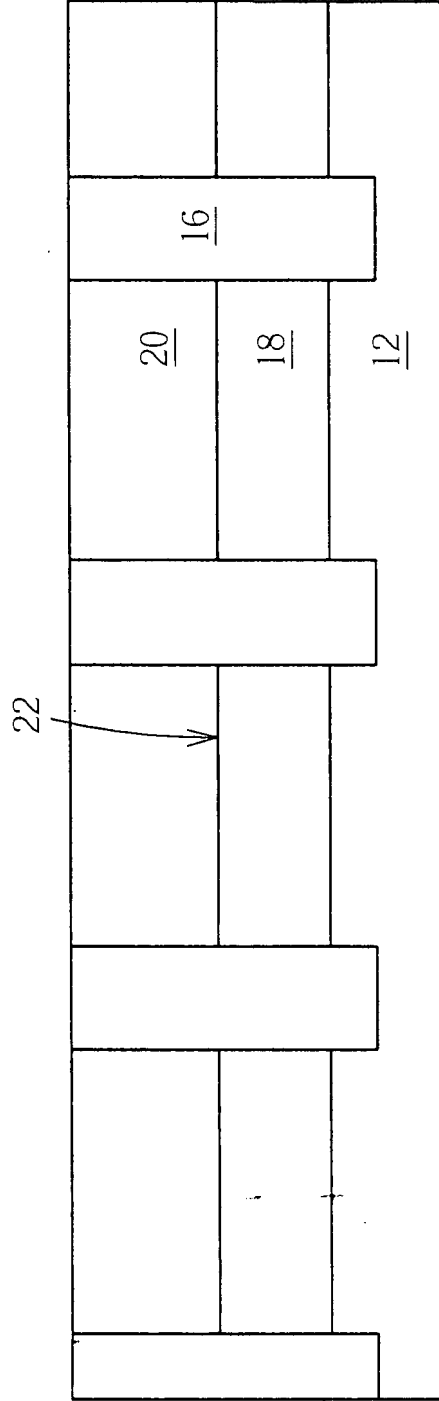
八、圖式：



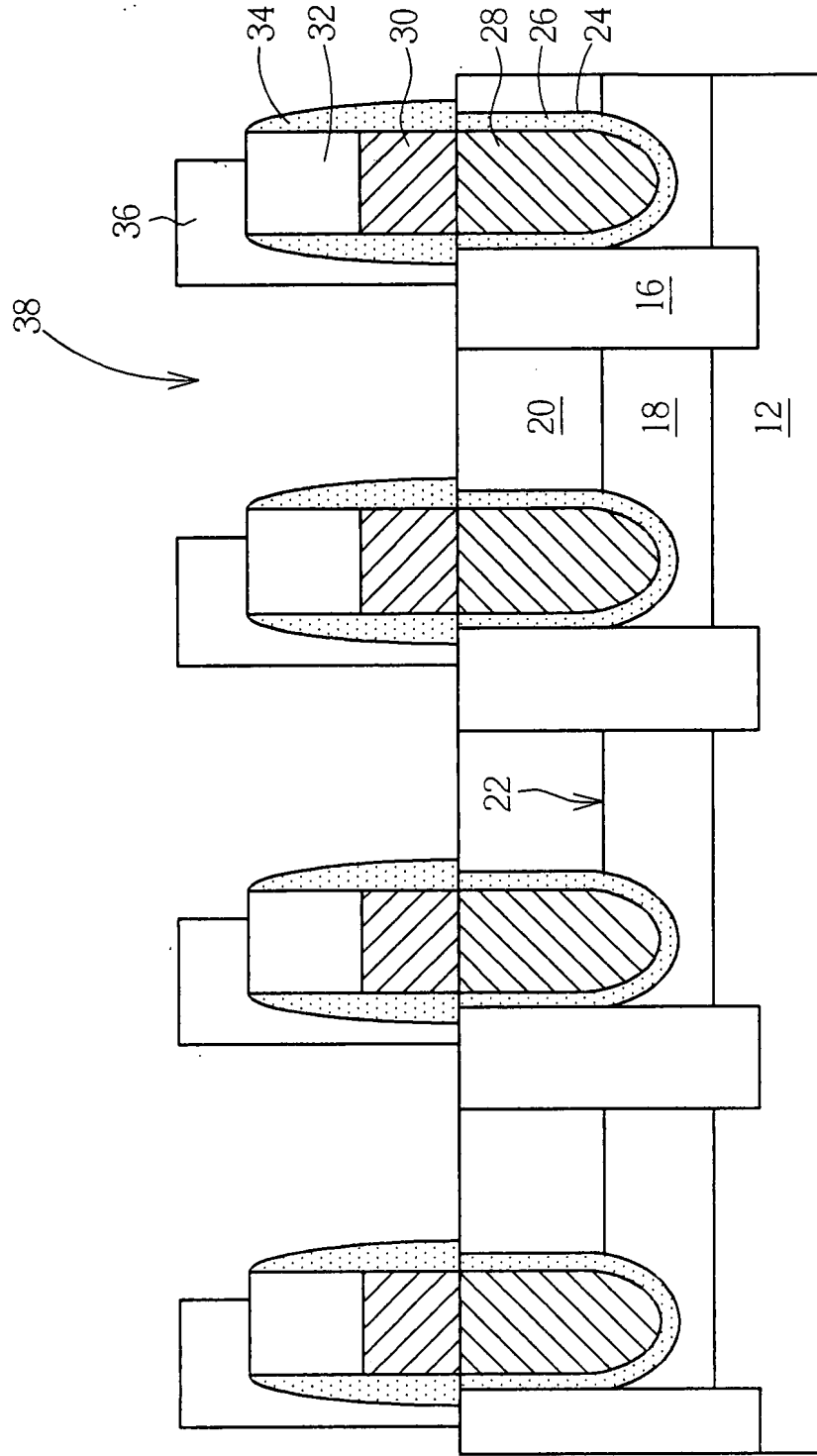
第1圖



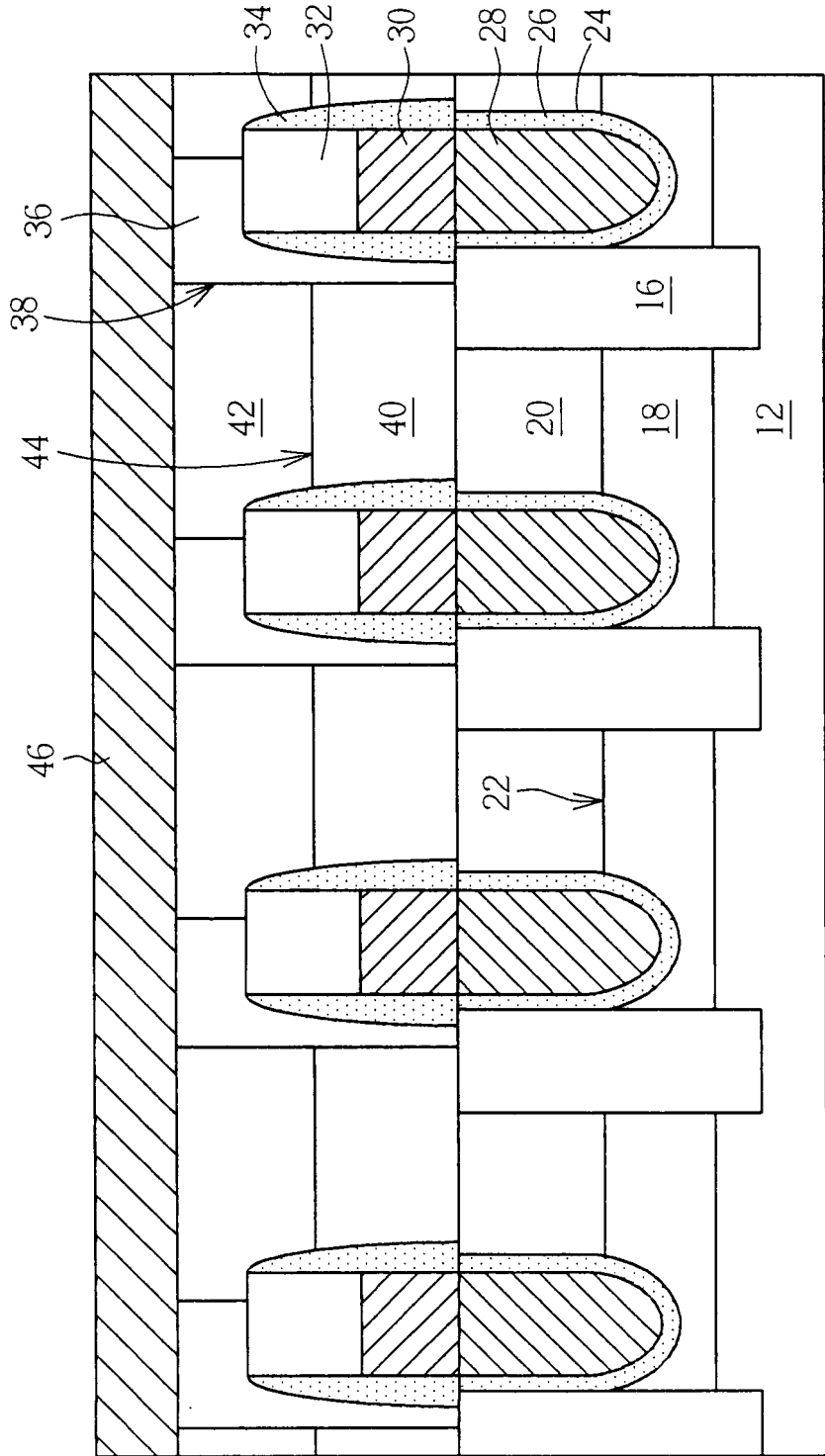
第2圖



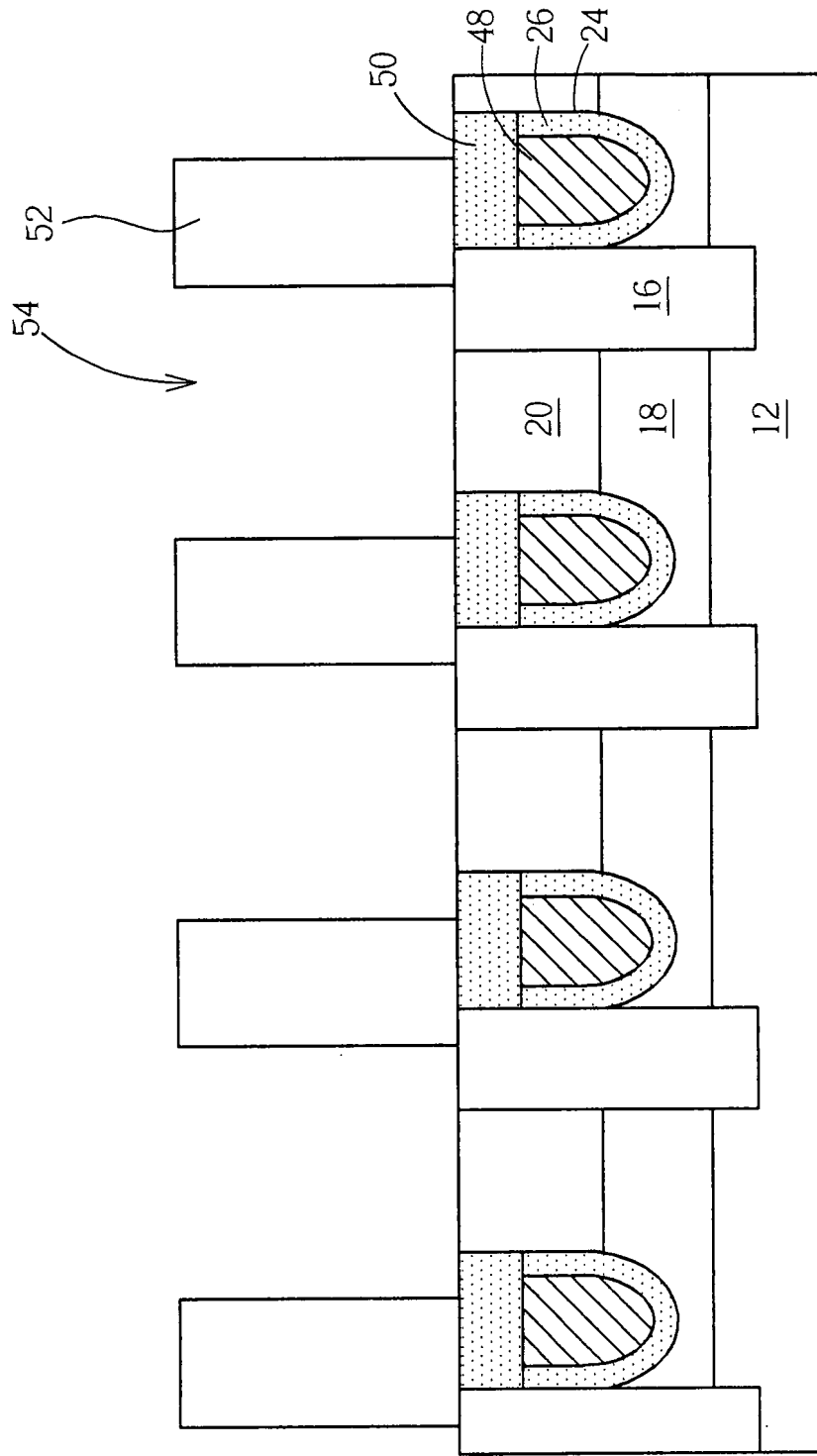
第3圖



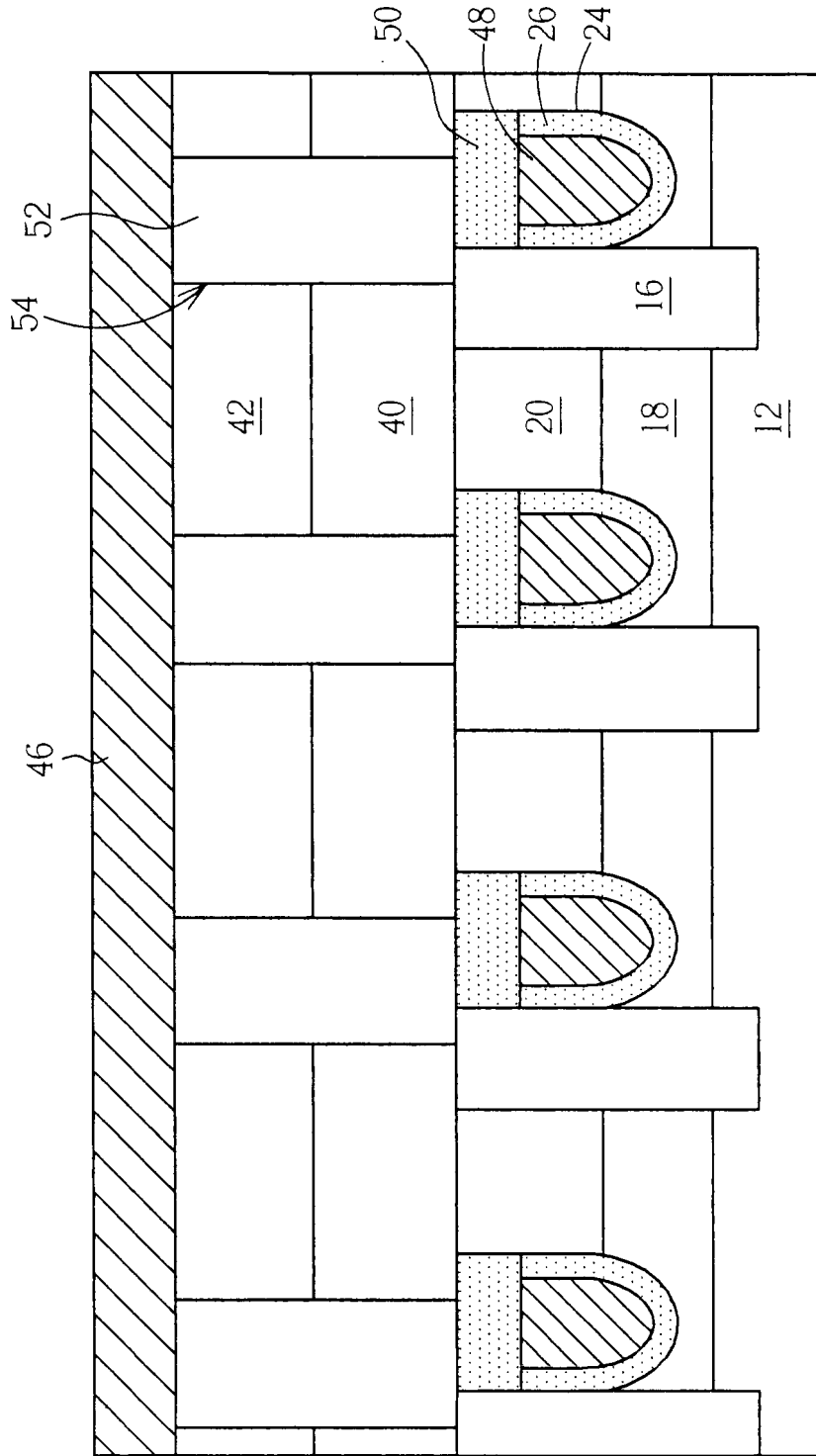
第4圖



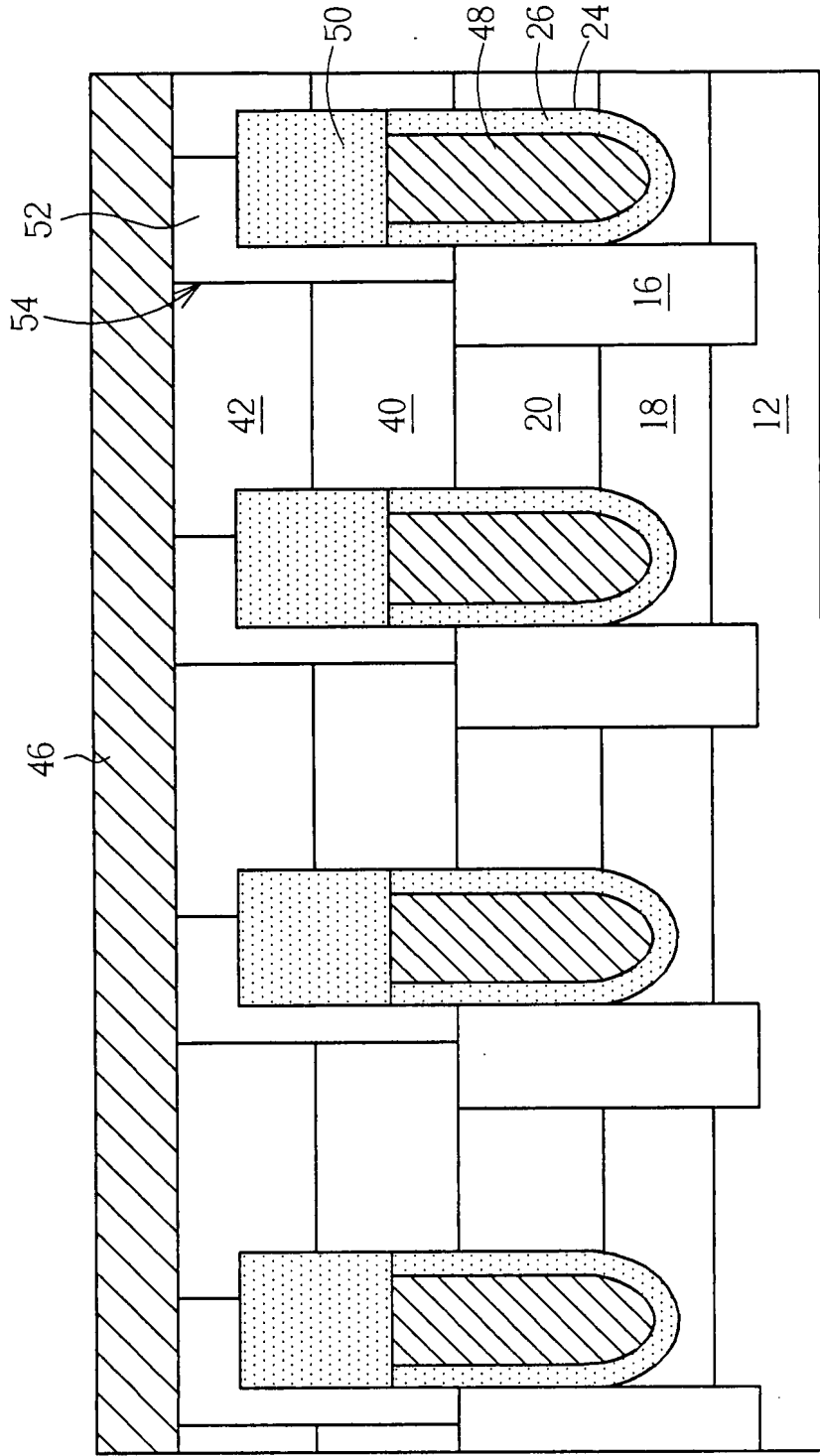
第5圖



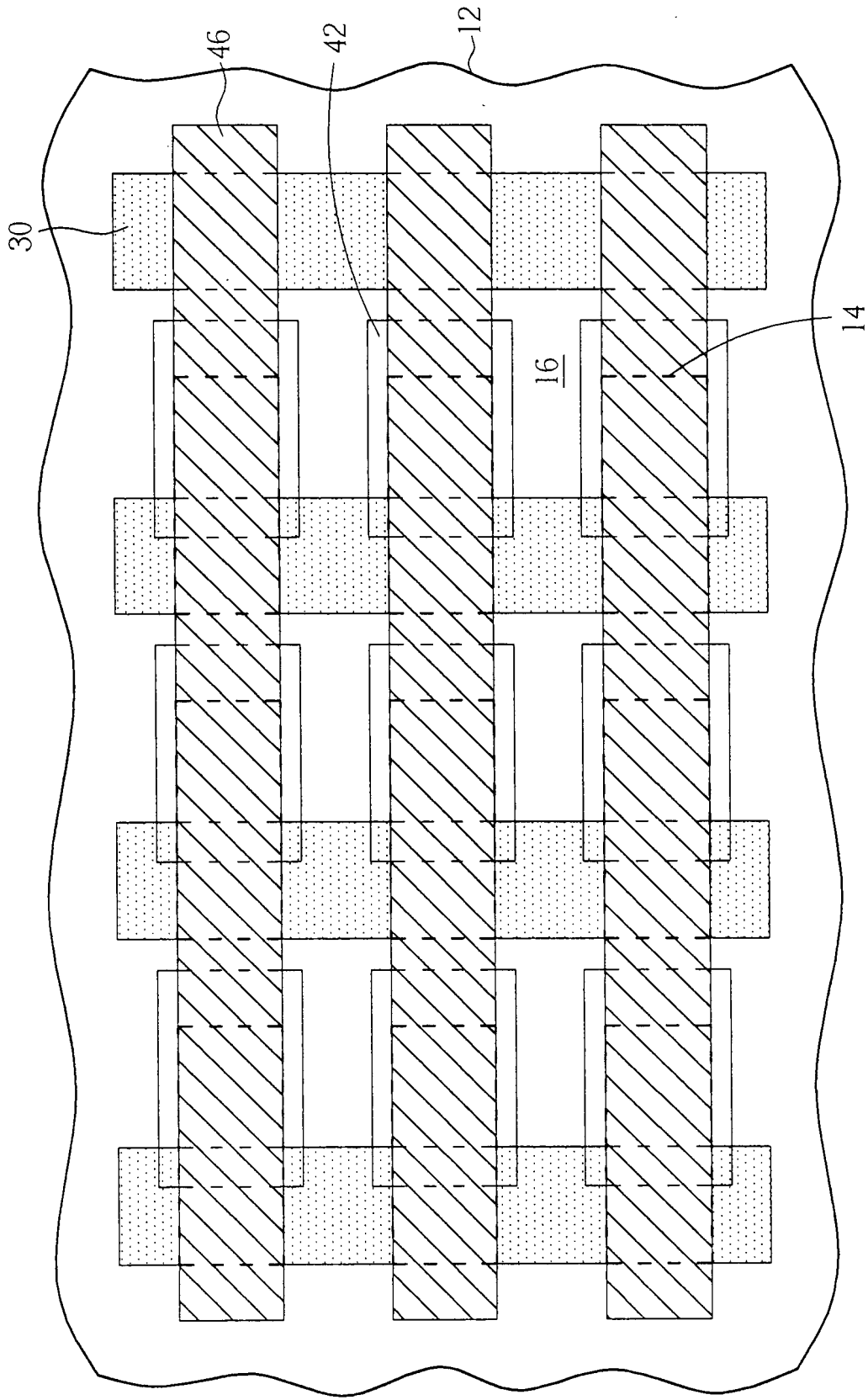
第6圖



第7圖



第8圖



第9圖

四、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

12	基底	14	主動區
16	絕緣結構	18	第一源/汲極
20	第一浮置體	22	第一接面
24	溝渠	26	閘極介電層
28	閘極	30	字元線
32	蓋層	34	側壁子
36	介電層	38	開口
40	第二浮置體	42	第二源/汲極
44	第二接面	46	位元線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明有關一種半導體結構，特別是有關一種動態隨機存取記憶體(DRAM)，其具有浮置體(floating body)結構，及其製法。

【先前技術】

傳統的動態隨機存取記憶體主要是由一個電容器和一個電晶體組成。隨著各種電子產品朝小型化發展之趨勢，基於傳統的動態隨機存取記憶體中的電容器，佔據了大部分可利用的空間，使得動態隨機存取記憶體之體積無法再縮小，而研發出一種無電容器動態隨機存取記憶體。習知之無電容器動態隨機存取記憶體主要是由一設置在矽覆絕緣(silicon-on-insulator, SOI)半導體基底上的金氧半導體電晶體所構成，利用金氧半導體電晶體在矽覆絕緣半導體基底上的浮置體作為電荷儲存區，源/汲極分別設置於基底中而位於浮置體橫向的兩端。因為其浮置體取代了傳統體積龐大、結構複雜的電容器，而省下一些空間。

然而，於小型化發展之趨勢下，對於更小尺寸的新穎的記憶體結構及新穎而更便利的製法仍有所需求。

【發明內容】

本發明之一目的是提供一種具有浮置體的記憶體結構及其製

四、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

12	基底	16	絕緣結構
18	第一源/汲極	20	第一浮置體
22	第一接面	24	溝渠
26	閘極介電層	28	閘極
30	字元線	32	蓋層
34	側壁子	36	介電層
38	開口	40	第二浮置體
42	第二源/汲極	44	第二接面
46	位元線		

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無