

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年12月29日(29.12.2022)



(10) 国際公開番号

WO 2022/269677 A1

- (51) 国際特許分類:
G06F 11/20 (2006.01)
- (21) 国際出願番号: PCT/JP2021/023377
- (22) 国際出願日: 2021年6月21日(21.06.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).
- (72) 発明者: 伊藤 猛(ITO, Tsuyoshi); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 有川 勇輝(ARIKAWA,

Yuki); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 竹谷 勉(TAKEYA, Tsutomu); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 田仲 顕至(TANAKA, Kenji); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP).

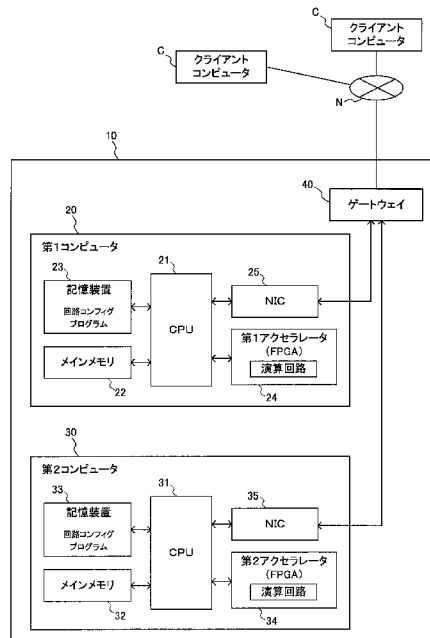
(74) 代理人: 山川 茂樹, 外(YAMAKAWA, Shigeki et al.); 〒1006104 東京都千代田区永田町2丁目11番1号 山王パークタワー4階 山川国際特許事務所内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: COMPUTING SYSTEM

(54) 発明の名称: コンピューティングシステム

[図1]



20 Premier ordinateur
22, 32 Mémoire principale
23, 33 Dispositif de stockage, programme de configuration de circuit
24 Premier accélérateur (FPGA), circuit arithmétique
25, 35 NIC
30 Second ordinateur
34 Second accélérateur (FPGA), circuit arithmétique
40 Passerelle
C Ordinateur client

(57) Abstract: A computing system (10) is provided with: a first computer (20) for writing an arithmetic circuit in a reconfigurable first region provided to a first accelerator (24); and, a second computer (30) for writing an arithmetic circuit in a reconfigurable second region that is provided to a second accelerator (34) different from the first accelerator (24) and has the same circuit arrangement as the first region. When the first computer (20) writes a new arithmetic circuit in the first region, the second computer (30) writes a new arithmetic circuit in a partial region of the second region that

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

is located at the same position as an unwritten partial region of the first region. The first computer (20) does not write the new arithmetic circuit in the first region when the new arithmetic circuit is not written normally, and writes the new arithmetic circuit in the unwritten partial region of the first region when the new arithmetic circuit is written normally. With the above configuration, the likelihood of problems such as a write-destination accelerator not operating normally when an arithmetic circuit is written can be lessened.

(57) 要約: コンピューティングシステム(10)は、第1アクセラレータ(24)が備える再構成可能な第1領域に演算回路を書き込む第1コンピュータ(20)と、第1アクセラレータ(24)とは異なる第2アクセラレータ(34)が備える、再構成可能で第1領域と同じ回路配置の第2領域に演算回路を書き込む第2コンピュータ(30)と、を備える。第2コンピュータ(30)は、第1コンピュータ(20)が第1領域に新たな演算回路を書き込む際に、第2領域のうち、第1領域の未書き込みの部分領域と同じ位置の部分領域に新たな演算回路を書き込む。第1コンピュータ(20)は、前記新たな演算回路が正常に書き込まれないときに、第1領域に前記新たな演算回路を書き込まず、前記新たな演算回路が正常に書き込まれたときに、第1領域の前記未書き込みの部分領域に前記新たな演算回路を書き込む。これにより、演算回路を書き込んだときに書き込み先のアクセラレータが正常に動作しないといった不都合を生じ難くすることができる。

明 細 書

発明の名称： コンピューティングシステム

技術分野

[0001] 本発明は、コンピューティングシステムに関する。

背景技術

[0002] 近年、コンピュータが行う処理の一部を、CPUではなく、回路を再構成可能なアクセラレータに実行させることで、処理の高速化を図り、インターネット上での仮想現実又は人工知能などを実現する技術が開発されている。このような技術を開示する特許文献1には、コンピュータのFPGAアクセラレータに書き込まれる回路を、当該FPGAアクセラレータにより実行させる処理に応じて適宜書き換える技術が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2018-206195号公報

発明の概要

発明が解決しようとする課題

[0004] 上記特許文献1に記載の技術では、新たな演算回路がこのFPGAアクセラレータに直接書き込まれるため、新たな演算回路がこのFPGAアクセラレータに正常に書き込まれなかった場合、FPGAアクセラレータが正常に動作しないといった不都合が生じ得る。

[0005] 本発明は、演算回路を書き込んだときに書き込み先のアクセラレータが正常に動作しないといった不都合を生じ難くすることを目的とする。

課題を解決するための手段

[0006] 上述した課題を解決するために、本発明に係るコンピューティングシステムは、第1アクセラレータが備える再構成可能な第1領域に演算回路を書き込むように構成された第1コンピュータと、前記第1アクセラレータとは異なる第2アクセラレータが備える、再構成可能で前記第1領域と同じ回路配

置の第2領域に演算回路を書き込むように構成された第2コンピュータと、を備え、前記第2コンピュータは、前記第1コンピュータが前記第1領域に新たな演算回路を書き込む際に、前記第2領域のうち、前記第1領域の未書き込みの部分領域と同じ位置の部分領域に新たな演算回路を書き込むように構成されており、前記第1コンピュータは、前記新たな演算回路が正常に書き込まれないときに、前記第1領域に前記新たな演算回路を書き込まず、前記新たな演算回路が正常に書き込まれたときに、前記第1領域の前記未書き込みの部分領域に前記新たな演算回路を書き込む、ように構成されている。

発明の効果

[0007] 本発明によれば、演算回路を書き込んだときに書き込み先のアクセラレータが正常に動作しないといった不都合を生じ難くすることができる。

図面の簡単な説明

[0008] [図1]図1は、本発明の一実施形態に係るコンピューティングシステムのハードウェア構成図である。

[図2]図2は、第1アクセラレータと第2アクセラレータの構成図である。

[図3]図3は、アクセラレータ制御管理処理のフローチャートである。

[図4]図4は、第1アクセラレータと第2アクセラレータの構成図である。

[図5]図5は、第1アクセラレータと第2アクセラレータの構成図である。

[図6]図6は、書き込み処理のフローチャートである。

[図7]図7は、第2アクセラレータの第2領域の書き込み領域を変更する様子を示す構成図である。

[図8]図8は、図1の変形例に係るコンピューティングシステムのハードウェア構成図である。

発明を実施するための形態

[0009] 以下、本発明の実施の形態に係るコンピューティングシステム10等を、図面を参照して説明する。

[0010] 図1に示すように、コンピューティングシステム10は、第1コンピュータ20と、第2コンピュータ30と、コンピュータ20及び30と不図示の

L A N (Local Area Network)などを介して通信可能に接続された第3コンピュータとしてのゲートウェイ40と、を備える。ゲートウェイ40は、インターネット等のネットワークNに接続されている。ゲートウェイ40は、コンピュータ20及び30と、ネットワークNに接続された、コンピューティングシステム10を利用するユーザのクライアントコンピュータCと、の間でやり取りされるデータ、ここでは画像などを中継する。

[0011] コンピュータ20～40は、複数のクライアントコンピュータCそれぞれからの依頼に対して各種処理を行うコンピュータネットワークのノードとして動作する。ここでは、各クライアントコンピュータCは、コンピューティングシステム10に画像を送信し、当該画像に対する画像処理を依頼するものとする。コンピューティングシステム10は、送信されてきた画像に対して画像処理を行って、画像処理後の画像を、画像の送信元のクライアントコンピュータCに返信する。後述のように、画像処理は、主に第1コンピュータ20により行われる。

[0012] 第1コンピュータ20は、CPU (Central Processing Unit) 21、CPU 21のメインメモリとして機能するDRAM (Dynamic Random Access Memory) などのRAM 22、及び、不揮発性の記憶装置23を備える。第1コンピュータ20は、さらに、FPGA (Field Programmable Gate Array) からなる第1アクセラレータ24、及び、ネットワークカードであるNIC (Network Interface Card) 25を備える。記憶装置23は、ハードディスク、又はSSD (Solid State Drive) などの補助記憶装置である。CPU 21が第1コンピュータ20外部のゲートウェイなどとデータをやり取りする場合、このやり取りはNIC 25経由で行われる。CPU 21は、記憶装置23に記憶され、RAM 22に読み出されたプログラムを実行することで後述の処理を行う。

[0013] 第2コンピュータ30は、第1コンピュータ20と同じコンピュータにより構成されている（プログラム等は異なる）。図2に示すように、第2コンピュータ30は、CPU 31、RAM 32、記憶装置33、第2アクセラレ

ータ34、及び、NIC35を備える。

[0014] 各コンピュータ20及び30としては、例えば、Super Micro Computer社製のSYS-4028GR-TR2サーバが採用される。このサーバのCPUマザーボードには、CPUとして、Intel社製のXeon（登録商標）CPUプロセッサのE5-2600V4が2台搭載されており、RAMとして、アイ・オー・データ機器社製のDDR4-2400 DIMM 32GBのメモリカードが8枚搭載されている。また、CPUマザーボードにはPCI Express 3.0（Gen3）の16レーンスロットのドーターボードが実装され、このスロットに、アクセラレータとして、Xilinx社製のALVEO U250が1台搭載され、NICとして、Mellanox Technologies社製のConnectX-4 VPI MCX455A-ECATが1枚搭載されている。

[0015] 第1コンピュータ20では、複数種類の画像処理が実行される。実行可能な複数種類の画像処理のうちの一部は、CPU21が記憶装置23に記憶された画像処理プログラムを実行することで行われる。第1コンピュータ20により実行可能な複数種類の画像処理のうちの残りは、第1アクセラレータ24の再構成可能な第1領域に書き込まれることで当該第1領域に構成された演算回路により実行される。演算回路は、CPU21が、記憶装置23に記憶された当該演算回路を表す回路コンフィグ（ビットストリームファイル）を第1領域の一部に適用することにより、当該第1領域に書き込まれる。

[0016] ここでは、CPU21が記憶装置23に記憶された画像処理プログラムを実行することで行われる画像処理の1つを、画像の各ピクセルをソートするピクセルソート処理であるとする。さらに、演算回路により実行される画像処理を、ピクセルソート後の画像をグレースケール画像に変換するグレースケール変換処理とする。

[0017] 第2コンピュータ30の第2アクセラレータ34は、第1アクセラレータ24の第1領域と同じ回路配置（スイッチセル、LUT（Look Up Table）、及び、配線が同じ配置）の再構成可能な第2領域を有する。第2領域には、

第1 アクセラレータ24と同じ位置に同じ演算回路が書き込まれる。具体的に、記憶装置33には、第1 コンピュータ20と同様の回路コンフィグが記憶されている。第1 コンピュータ20のCPU21は、第1 アクセラレータ24に書き込んだ演算回路の種類及び第1 領域における書き込み位置を、ゲートウェイ40に通知する。ゲートウェイ40は、第1 コンピュータ20から通知された演算回路の種類及び書き込み位置を第2 コンピュータ30に通知する。第2 コンピュータ30のCPU31は、この通知に基づいて、同じ回路コンフィグを第2 アクセラレータ34の第2 領域に適用し、同じ演算回路を同じ位置に書き込む。このようにして、第1 領域と第2 領域で再構成される演算回路が同じとなっている。なお、後述のように、第2 アクセラレータ34にすでに同じ演算回路が同じ位置に書き込まれている場合、第2 コンピュータ30での演算回路の書き込みは行われない。

[0018] 記憶装置33及び43には、複数種類の回路コンフィグが登録されており、ここでは、その1つであるグレースケール変換処理を実行する演算回路を表す回路コンフィグが、各アクセラレータ24及び34に適用されているものとする。記憶装置33及び43に登録されている回路コンフィグは、ゲートウェイ40にも登録されている。つまり、ゲートウェイ40は、各アクセラレータ24及び34に書き込むことができる演算回路の種類を把握している。また、ゲートウェイ40は、第1 コンピュータ20のCPU21からの上記通知に基づいて、領域R1及びR2の書き込み済み領域及び未書き込み領域を把握しているものとする。

[0019] ここでは、図2に示すように、各アクセラレータ24及び34の第1 領域R1及び第2 領域R2のそれぞれが、3×3の9つのブロックを有するものとする。そして、第1 領域R1及び第2 領域R2のそれぞれには、左上側の4つのブロックを使って、グレースケール変換処理を実行する演算回路が書き込まれているものとする。つまり、図2において、ドットが付されたブロックは、演算回路が書き込み済みで、白色のブロックは、演算回路が未書き込みである。

- [0020] ゲートウェイ 40 は、サーバコンピュータなどからなり、CPU、メインメモリ、不揮発性の記憶装置、及び、NICなどを備える（図示略）。ゲートウェイ 40 は、図 3 に示すアクセラレート制御管理処理を実行する。
- [0021] 図 3 に示す処理において、ゲートウェイ 40 は、まず、画像とこの画像を処理する画像処理の種類を指定する指定情報とを含む画像処理依頼を複数のクライアントコンピュータ C のいずれかから受信するまで待機する（ステップ S 11）。受信有りの場合、ゲートウェイ 40 は、指定情報により指定される種類の画像処理が可能であるかを第 1 コンピュータ 20 に問い合わせる（ステップ S 12）。第 1 コンピュータ 20 は、問い合わせを受けた画像処理を行うことが可能であるか判別する。画像処理依頼の指定情報が、ピクセルソート処理及びグレースケール処理であるとする、第 1 コンピュータ 20 の CPU 21 は、画像処理依頼の画像処理を行うことができると判別し、その旨をゲートウェイ 40 に返信する。
- [0022] 画像処理依頼の画像処理が可能である旨の返信があった場合（ステップ S 13 ; Yes）、ゲートウェイ 40 は、画像処理依頼に含まれる画像を第 1 コンピュータ 20 に供給し、可能との返信があった画像処理の実行を指示する（ステップ S 14）。この場合、CPU 21 は、受信した画像に対して、プログラムの実行により、ピクセルソートを行い、演算回路により、ソート後の画像に対してグレースケール変換する。その後、CPU 21 は、グレースケール変換した画像をゲートウェイ 40 に返信する。ゲートウェイ 40 は、返信されてきた画像を、ネットワーク N を介して、画像処理依頼の依頼元のクライアントコンピュータ C に返信する（ステップ S 15）。
- [0023] 画像処理依頼の指定情報が、ピクセルソート処理及びグレースケール処理以外の例えば、動画ソースの切り取り処理であるとする、第 1 コンピュータ 20 の CPU 21 は、当該処理を行うことができないとゲートウェイ 40 に返信する。ゲートウェイ 40 は、この返信があったとき（ステップ S 13 ; No）、第 1 コンピュータ 20 の第 1 アクセラレータ 24 に、画像処理依頼の画像処理を実行する新たな演算回路を書き込めるかを判別する（ステップ

S 1 6)。ゲートウェイ 4 0 は、この判別において、切り取り処理を行う演算回路を表す回路コンフィグが第 1 コンピュータ 2 0 の記憶装置 2 3 に記憶されているかを判別する。さらに、ゲートウェイ 4 0 は、第 1 アクセラレータ 2 4 の第 1 領域 R 1 の未書き込み領域がこの演算回路を書き込み可能な領域を含むかを判別する。

[0024] 新たな演算回路の書き込みが不可の場合、つまり、前記 2 つの判別の結果の少なくとも一方が否定の場合（ステップ S 1 6 ; N o）、ゲートウェイ 4 0 は、処理不可の旨を、今回の画像処理依頼の送信元のクライアントコンピュータ C に返信する（ステップ S 1 7）。

[0025] 2 つの判別結果の両者が肯定の場合（回路コンフィグが記憶装置 2 3 に記憶され、演算回路が書き込み可能の場合）、ゲートウェイ 4 0 は、第 2 コンピュータ 3 0 に、画像処理依頼の指定情報が指定する種類の画像処理、つまり、動画ソースの切り取り処理を行う演算回路の書き込み指令を行う（ステップ S 1 8）。この指令があったとき、第 2 コンピュータ 3 0 の C P U 3 1 は、この切り取り処理の演算回路を表す回路コンフィグを記憶装置 3 3 から読み出し、読み出した回路コンフィグを第 2 アクセラレータ 3 4 の未書き込み領域に適用することでこの領域に演算回路を書き込む（図 4 参照）。書き込み位置は、ゲートウェイ 4 0 により指定される。その後、C P U 3 1 は、所定のプログラムを実行して、この演算回路用のテストデータを生成するテストデータ生成部として動作し、当該テストデータを演算回路に入力して、この演算回路を試験動作させ、この演算回路の正常性を確認する。なお、テストデータ生成部は、第 2 コンピュータ 3 0 の外部、例えば、ゲートウェイ 4 0 内の C P U などにより構成されてもよい。C P U 3 1 は、演算回路が正常に動作する又は動作しない場合、その旨をゲートウェイ 4 0 に通知する。

[0026] 演算回路が正常に動作する旨の通知があった場合（ステップ S 1 9 ; Y e s）、ゲートウェイ 4 0 は、上記の画像処理依頼の指定情報が指定する種類の画像処理、つまり、動画ソースの切り取り処理を行う演算回路の第 1 アクセラレータ 2 4 への書き込み指令を第 1 コンピュータ 2 0 に対して行う（ス

テップS 20)。さらにゲートウェイ40は、当該画像処理依頼に含まれる画像、及び、新たな演算回路での画像処理の指示を第1コンピュータ20に送信する(ステップS 21)。第1コンピュータ20のCPU21は、前記の書き込み指令により、回路コンフィグを第1アクセラレータ24に適用して演算回路を書き込み(図5参照)、かつ、画像を、当該演算回路に入力し、演算回路が出力する画像処理後の画像を取得する。CPU21は、取得した画像をゲートウェイ40に返信する。ゲートウェイ40は、返信されてきた画像を、ネットワークNを介して、画像処理依頼の依頼元のクライアントコンピュータCに返信する(ステップS 22)。

[0027] 演算回路が正常に動作しない旨の通知があった場合(ステップS 19; No)、ゲートウェイ40は、処理不可の旨を、今回の画像処理依頼の送信元のクライアントコンピュータCに返信する(ステップS 17)。

[0028] 以上のような一連の処理により、クライアントコンピュータCから依頼された画像処理を行う演算回路が、第1コンピュータ20の第1アクセラレータ24に書き込まれていない場合には、この演算回路を第1アクセラレータ24に書き込む。この書き込みの際、まず、第2コンピュータ30が、第2領域R2のうち、第1領域R1の未書き込みの部分領域と同じ位置の部分領域に新たな演算回路を書き込む。そして、第1コンピュータ20は、第2領域R2に前記新たな演算回路が正常に書き込まれたときにのみ、第1領域R1の前記未書き込みの部分領域にこの新たな演算回路を書き込む。これにより、第1アクセラレータ24に演算回路が正常に書き込まれる可能性が高く、第1アクセラレータ24に演算回路を直接書き込んだときに演算回路が正常に書き込まれずに第1アクセラレータ24が正常に動作しないといった不都合が生じ難くなっている。

[0029] さらに、上記では、第2領域R2に新たな演算回路が書き込まれたとき、この演算回路を動作させる。そして、この演算回路が正常に動作したときに、第2領域R2にこの演算回路が正常に書き込まれたとして、第1コンピュータ20の第1アクセラレータ24にこの演算回路が書き込まれる。これに

より、例えば、コンピューティングシステム 10 に対して、ユーザ A がピクセルソート処理及びグレースケール変換処理の依頼を行い、ピクセルソート処理及びグレースケール処理の実行中において、ユーザ B が動画ソースの切り取り処理の依頼を行ったときであっても、好適に演算回路が書き込まれる。つまり、第 1 アクセラレータ 24 が動作中又は第 1 コンピュータ 20 の CPU 21 が他の処理を実行中であっても、新たな演算回路の試験のための動作などが、第 2 コンピュータ 30 の第 2 アクセラレータ 34 で行われるので、当該試験の動作による第 1 アクセラレータ 24 への影響及び第 1 コンピュータ 20 への影響（トラヒックへの影響など）を抑制できる。従って、第 1 コンピュータ 20 の信頼性を担保しながら新たな演算回路を第 1 アクセラレータ 24 に導入できる。これにより、新たな演算回路の導入時における第 1 コンピュータ 20 の信頼性の低下といった従来の不都合を解消できる。なお、上記試験のための動作を行わず、演算回路が第 2 アクセラレータ 34 に異常なく書き込んだ時点で、第 2 領域 R 2 に前記新たな演算回路が正常に書き込まれたとしてもよい。

[0030] 上記実施の形態では、図 5 に示すように、第 1 アクセラレータ 24 の第 1 領域 R 1 に書き込んだ演算回路と、第 2 アクセラレータ 34 の第 2 領域 R 2 に書き込んだ演算回路とを、書き込み位置を含めて同じにしているが、両領域 R 1 及び R 2 で書き込み済みの部分と、未書き込みの部分とを同じ位置とすればよく、第 2 領域 R 2 には例えばダミーの回路が書き込まれてもよい。ただし、図 5 に示すように、第 1 アクセラレータ 24 の第 1 領域 R 1 に書き込んだ演算回路と、第 2 アクセラレータ 34 の第 2 領域 R 2 に書き込んだ演算回路とを、書き込み位置を含めて同じにする方がよい。これにより、第 2 コンピュータ 30 において、すでに書き込み済みの演算回路と、新たに書き込んだ演算回路とを並行して試験動作させることができる。そして、第 2 コンピュータ 30 において、新たに書き込んだ演算回路と他の演算回路とを並行して試験動作し、各試験動作において異常がないときに限って、第 1 アクセラレータ 24 に当該新たな演算回路を書き込んでもよい。これにより、第

1 アクセラレータ 24 に、既存の演算回路に悪影響を与えずに新たな演算回路を書き込むことができる。

[0031] ステップ S 13 で返信が画像処理不可の旨である場合（ステップ S 13 ; No）などにおいて、ゲートウェイ 40 がその旨をクライアントコンピュータ C に通知した場合、クライアントコンピュータ C は、その画像処理を行う演算回路の回路コンフィグを新たに生成して書き込む書き込み指示を、ネットワーク N を介してゲートウェイ 40 に供給してもよい。当該指示は、当該演算回路の回路コンフィグを生成するためのプログラムとともにゲートウェイ 40 に供給される。このプログラムは、回路コンフィグの元となるハードウェア記述言語などを含んでもよい。書き込み指示を受けたゲートウェイ 40 は、第 2 コンピュータ 30 とともに図 6 に示す書き込み処理を実行する。

[0032] 図 6 に示す書き込み処理において、ゲートウェイ 40 は、まず、第 2 コンピュータ 30 の第 2 アクセラレータ 34 の第 2 領域 R 2 の未書き込み部分に、新たな演算回路を書き込む書き込み領域を確保する（ステップ S 51）。この確保により、当該書き込み領域に別の回路が書き込まれるなどが防止される。書き込み領域の大きさは、書き込み指示とともに供給されるプログラム（ハードウェア記述言語など）の規模から特定される。ここでは、図 7 の点線で示す部分が書き込み領域として確保されたものとする。第 1 コンピュータ 20 の第 1 アクセラレータ 24 の第 1 領域 R 1 の未書き込み部分と同じ位置にある。なお、帯域輻輳による性能劣化を回避するため、ゲートウェイ 40 は、確保する書き込み領域の入出力端子として、第 1 アクセラレータ 24 の未使用の入出力端子と同じ位置にある入出力端子を確保するとよい。書き込み領域が確保できなかった場合、ゲートウェイ 40 は、その旨をクライアントコンピュータ C に返信する。

[0033] その後、ゲートウェイ 40 は、書き込み指示とともに供給されたプログラムを第 2 コンピュータ 30 に供給し、第 2 コンピュータ 30 の CPU 31 は、供給されたプログラムを実行して、ステップ S 51 で確保された書き込み領域で演算回路を構成するための回路コンフィグを生成する（ステップ S 5

2)。回路コンフィグの生成は、前記プログラムに含まれるハードウェア記述言語の論理合成、配置配線などの処理を適宜含む。その後、CPU 31は、生成した回路コンフィグを、現在確保されている書き込み領域に適用して、当該領域に演算回路を書き込む（ステップS 53。図4参照）。

[0034] その後、第2コンピュータ30のCPU 31は、ステップS 53で書き込んだ演算回路を動作させて、この演算回路が正常に動作するかどうか試験する（ステップS 54）。CPU 31は、テストパターン（テストデータ）を演算回路に入力して動作させることで正常に動作するかの試験を行う。前記の試験では、フレームロスの発生確率が所定基準よりも高いとき、又は、正常動作シナリオと異なる動作が行われたとき、例えば、演算回路に入力する規定のリクエストに対する応答の中身が異なったときなどに、演算回路が正常に動作していないと判断される。なお、正常に動作しているか否かの判断基準は、予め定められているとよい。これにより、効率的な判断が可能となる。テストパターンは、テストパターンを生成するテストパターン生成装置として動作する第2コンピュータ30のCPU 31により生成されてもよいし、第2コンピュータ30に接続されたテストパターン生成装置から取得してもよい。テストパターンは、書き込み指示とともにゲートウェイ40を介して第2コンピュータ30に供給されてもよい。テストパターンの生成には、FPGAを用いるとよい。これにより、高負荷なテストパターンが容易に生成される。

[0035] CPU 31は、演算回路の動作に異常がある場合、演算回路の修正が可能であるか否かを判別する（ステップS 55）。修正が可能であれば（ステップS 55；Yes）、CPU 31は、回路コンフィグを修正し、修正した回路コンフィグを第2領域R 2に適用して、修正後の演算回路を第2領域R 2の同じ位置に書き込む（ステップS 56）。CPU 31は、演算回路が修正可能である場合、演算回路の修正が必要である旨を、ゲートウェイ40などを介してクライアントコンピュータCに送信してもよい。回路コンフィグの修正は、回路コンフィグを生成するもとのプログラムの修正及び修正したプ

ログラムに基づく回路コンフィグの生成であってもよい。回路コンフィグの修正は、ハードウェア記述言語の修正と、修正後のハードウェア記述言語に基づく論理合成及び配置配線と、であってもよい。

[0036] CPU 31は、演算回路の修正が困難な場合（ステップS55；No）は、第2領域における他の未書き込み部分を新たな書き込み領域として確保し（ステップS57。例えば、図7参照）、ステップS52以降の処理を行う。

[0037] CPU 31は、演算回路の動作に異常がなかった場合（ステップS54；Yes）、この演算回路の回路コンフィグを、演算回路の書き込み位置とともに、ゲートウェイ40を介して第1コンピュータ20に転送する（ステップS58）。第1コンピュータ20は、転送されてきた回路コンフィグを第1アクセラレータ24に適用し、上記異常のなかった演算回路を上記書き込み位置に書き込む。

[0038] 上記一連の処理により、第2コンピュータ30の第2アクセラレータ34に、本来第1コンピュータ20の第1アクセラレータ24に書き込む演算回路が一度書き込まれ、この演算回路の動作確認（ここでは、上記テストパターンにより試験）がなされてから、この演算回路が第1アクセラレータ24に書き込まれる。従って、演算回路の書き込み処理開始時に、すでに第1コンピュータ20の第1アクセラレータ24での処理又は第1コンピュータ20のCPU21によってプログラムを実行する他の処理が実行中であっても、演算回路の書き込みが第1アクセラレータ24の処理又は第1コンピュータ20のCPU21の処理に影響を与えることを抑制でき、信頼性の高いコンピューティングシステム10が実現される。さらに上記では、論理合成などが第2コンピュータ30側で実行されるので、第1コンピュータ20で論理合成などを行う必要がなくなり、第1コンピュータ20の処理負担が軽減される。

[0039] コンピューティングシステム10の他の変形例について図8を参照して説明する。なお、図8では、アクセラレータに注目した図であり、CPUなど

は省略されている。

[0040] 第1コンピュータ20は、第1-1コンピュータ20Aと、第1-2コンピュータ20Bと、備える。第1-1コンピュータ20Aは、複数のアクセラレータ24-1及び24-2を備える。第1-2コンピュータ20Bは、複数のアクセラレータ24-3及び24-4を備える。第1-1コンピュータ20Aと第1-2コンピュータ20Bとは、不図示のLAN、インターネットなどのネットワークで接続されており、アクセラレータ24-1～24-4は、全体で1の第1アクセラレータ24となっている。

[0041] 第2コンピュータ30は、N（ここでは、8つ）個のアクセラレータ34-1～34-Nを備える。アクセラレータ34-1～34-Nは、バスA1～A_n（ $n = N * (N - 1) / 2$ ）により相互接続されている。さらに、アクセラレータ34-1～34-Nは、バスA1～A_nとは分離されたバスB1～B_n（ $n = N * (N - 1) / 2$ ）により相互接続されている。バスA1～A_nは、アクセラレータ34-1～34-Nがチェーンを構成するようにアクセラレータ34-1～34-Nを接続する。バスB1～B_nは、前記チェーンの起点（入力）及び終点（出力）を構成するようにアクセラレータ34-1～34-Nを接続する。これら構成を実現するため、バスA1～A_n及びバスB1～B_nの一部は、適宜使用されないように遮断されてもよい。このような相互接続により、アクセラレータ34-1～34-Nは、全体で1の第2アクセラレータ34となっており、後述するチェーンの経路を模擬している。

[0042] アクセラレータ24-1～24-4からなる第1アクセラレータ24と、アクセラレータ34-1～34-Nからなる第2アクセラレータ34とは、全体で同じ回路配置の再構成可能な第1領域及び第2領域をそれぞれ有するものとみなせる。

[0043] 次に、この変形例のコンピューティングシステム10の動作について説明する。ここでは、ユーザAにより第1-1コンピュータ20Aの2つのアクセラレータ24-1及び24-2に、演算回路X1及びX2が書き込まれて

いるとする。アクセラレータ24-1の演算回路X1は、処理対象の画像について前処理を行う。演算回路X2は、演算回路X1で前処理した画像を元に、画像内容を推論する。演算回路X1及びX2は、チェーン構成を取っている。この状態で、演算回路X1及びX2による処理のみが実行されており、第1-1コンピュータ20Aは運用中の状態であるとする。

[0044] この際に、ユーザBが操作するクライアントコンピュータCから新たな画像処理が、ゲートウェイ40に要求されたとする。要求された画像処理が第1コンピュータ20で行うことができる場合、ゲートウェイ40は、クライアントコンピュータCの通信先を第1コンピュータ20とするが、今回の画像処理は新しい処理であるので、第1コンピュータ20で実行できない。このとき、ゲートウェイ40は、クライアントコンピュータCの通信先を第2コンピュータ30に切り替える。このとき、ユーザBのクライアントコンピュータCは、ユーザBの要求する画像処理の演算回路を表す回路コンフィグを生成するためのプログラムを第2コンピュータ30に供給する。

[0045] ユーザBが要求する画像処理は、ユーザAと同様のチェーン処理で、画像の前処理を行ってから、画像の推論処理を行う処理であるとする。第2コンピュータ30のCPU31は、クライアントコンピュータCからのプログラムの内容から、前処理の処理量が、推論の処理量よりも小さいことを判別する。この見積もりから、第1コンピュータ20の未書き込み部分で、例えば、図8の書き込み領域Y1を、画像の前処理を行う演算回路を書き込む書き込み領域とし、未書き込み領域Y2を、前処理後の推論処理を行う演算回路を書き込む書き込み領域とし仮設定する。第1アクセラレータ24と第2アクセラレータ34の各書き込み済み部分及び未書き込み部分は共有されている。CPU31は、前記仮設定の結果をもとに、第2アクセラレータ34の未書き込み領域Y1及びY2の対応する領域に、ユーザBの演算回路を書き込む。書き込み後は、演算回路の正常動作（長期安定動作を含む）が確認される。十分な検査後、書き込み領域Y1及びY2に演算回路が書き込まれ、第2アクセラレータ34の正常動作が可能となる。なお、ユーザBの演算回

路とユーザAの演算回路とが第2アクセラレータ34に書き込まれていることで、例えば、システムの運用側が、第1コンピュータ20で実際に使用されるデータを第2コンピュータ30側に転写して第2アクセラレータ34に入力することで、ユーザB側の新たな演算回路の書き込みにより、すでに書き込まれているユーザA側の演算回路の動作に影響があるかを動作確認できる。

[0046] ここでは、バスA1～Anは、全体で、1つの光伝送路及び複数の光フィルタで構成されるバスとなっている。同様に、バスB1～Bnも、1つの光伝送路及び複数の光フィルタで構成されるバスとするとよい。バス内では、異なる複数の光波長が使用される光波長多重通信が行われる。このように、複数のアクセラレータ同士は、通信を行うアクセラレータの組それぞれで異なる波長の光で通信可能に、一の伝送路に接続されているとよい。この構成によれば、電気スイッチのような振り分け用のIDを接続間のチェーン内の各種バスに付与しなくても良いので、低遅延化が可能であるというメリットがある。

[0047] コンピューティングシステム10のハードウェア構成は任意である。例えば、第1コンピュータ20、第2コンピュータ30、ゲートウェイ40のうちの少なくとも2つは、同じコンピュータにより実現されてもよい。例えば、第1コンピュータ20のCPU21がゲートウェイ40として機能して、ゲートウェイ40の処理を実行してもよい。第1コンピュータ20、第2コンピュータ30が行う処理は、画像処理に限定されず、他の処理であってもよい。第2アクセラレータ34に加え又は代えて第1アクセラレータ24も、図8の第2アクセラレータ34と同様に相互接続された複数のアクセラレータを備えてもよい。これによって第1アクセラレータ24で、チェーンの経路を模擬してもよい。

[0048] (本発明の範囲)

以上、実施の形態及び変形例を参照して本発明を説明したが、本発明は、上記の実施の形態及び変形例に限定されるものではない。例えば、本発明に

は、本発明の技術思想の範囲内で当業者が理解し得る、上記の実施の形態及び変形例に対する様々な変更が含まれる。上記実施の形態及び変形例に挙げた各構成は、矛盾の無い範囲で適宜組み合わせることができる。

符号の説明

[0049] 10…コンピューティングシステム、20, 20A, 20B…第1コンピュータ、22…メインメモリ、24…第1アクセラレータ、24-1~4…アクセラレータ、30…第2コンピュータ、34…第2アクセラレータ、34-1~N…アクセラレータ、40…ゲートウェイ、A1~An…バス、B1~Bn…バス、C…クライアントコンピュータ、N…ネットワーク、R1…第1領域、R2…第2領域、X1, X2…演算回路、Y1, Y2…領域。

請求の範囲

- [請求項1] 第1 アクセラレータが備える再構成可能な第1 領域に演算回路を書き込むように構成された第1 コンピュータと、
- 前記第1 アクセラレータとは異なる第2 アクセラレータが備える、再構成可能で前記第1 領域と同じ回路配置の第2 領域に演算回路を書き込むように構成された第2 コンピュータと、を備え、
- 前記第2 コンピュータは、前記第1 コンピュータが前記第1 領域に新たな演算回路を書き込む際に、前記第2 領域のうち、前記第1 領域の未書き込みの部分領域と同じ位置の部分領域に新たな演算回路を書き込むように構成されており、
- 前記第1 コンピュータは、前記新たな演算回路が正常に書き込まれないときに、前記第1 領域に前記新たな演算回路を書き込まず、前記新たな演算回路が正常に書き込まれたときに、前記第1 領域の前記未書き込みの部分領域に前記新たな演算回路を書き込む、ように構成されている、
- コンピューティングシステム。
- [請求項2] 前記第2 コンピュータは、前記新たな演算回路を書き込む際に前記新たな演算回路を動作させ、
- 前記新たな演算回路が正常に書き込まれたときは、前記演算回路が正常に動作したときを含む、
- 請求項1 に記載のコンピューティングシステム。
- [請求項3] 前記第2 コンピュータが前記新たな演算回路を動作させる際に、当該新たな演算回路に入力するテストデータを生成する生成部をさらに備える、
- 請求項2 に記載のコンピューティングシステム。
- [請求項4] 前記第2 コンピュータは、前記第1 領域と前記第2 領域とにおける同じ位置に同じ内容の演算回路が書き込み済みのときに、当該書き込み済みの演算回路と前記新たな演算回路とを並行して試験動作させる

ように構成され、

前記第1コンピュータは、前記書き込み済みの演算回路と前記新たな演算回路とが正常に試験動作したときに、前記第1アクセラレータの前記未書き込みの部分領域に前記新たな演算回路を書き込むように構成されている、

請求項1から3のいずれか1項に記載のコンピューティングシステム。

[請求項5] 前記第1コンピュータによる前記第1領域への演算回路の書き込みと、前記第2コンピュータによる前記第2領域への演算回路の書き込みと、を制御する第3コンピュータをさらに備え、

前記第3コンピュータは、

前記第2コンピュータに前記新たな演算回路の書き込みを行わせ、

前記新たな演算回路が正常に書き込まれたときに、前記第1コンピュータに、前記新たな演算回路の書き込みを行わせる、

請求項1から4のいずれか1項に記載のコンピューティングシステム。

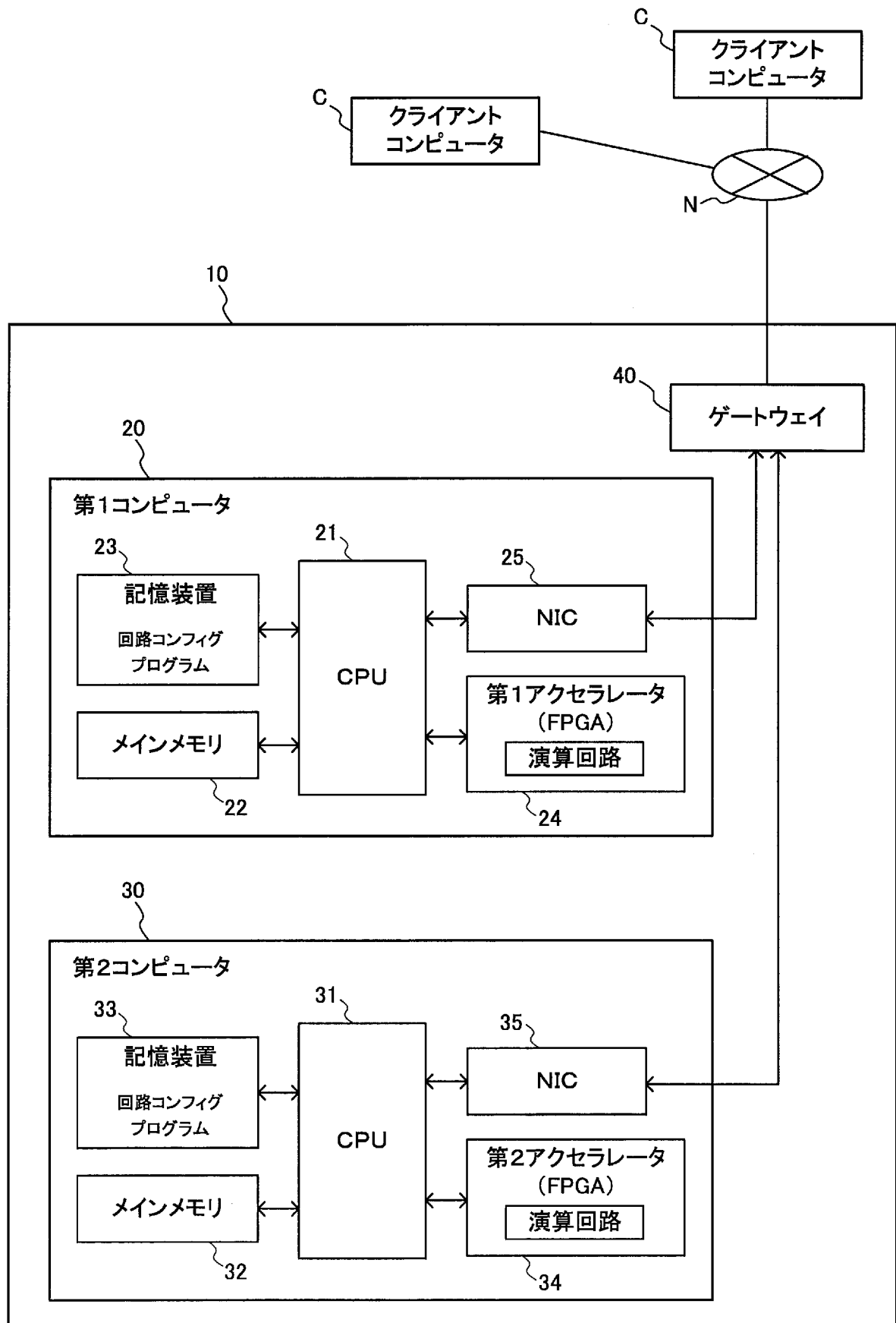
[請求項6] 前記第1アクセラレータと前記第2アクセラレータとのうちの少なくとも一方は、前記第1領域又は第2領域を構成する、相互接続された複数のFPGAアクセラレータを含んで構成されている、

請求項1から5のいずれか1項に記載のコンピューティングシステム。

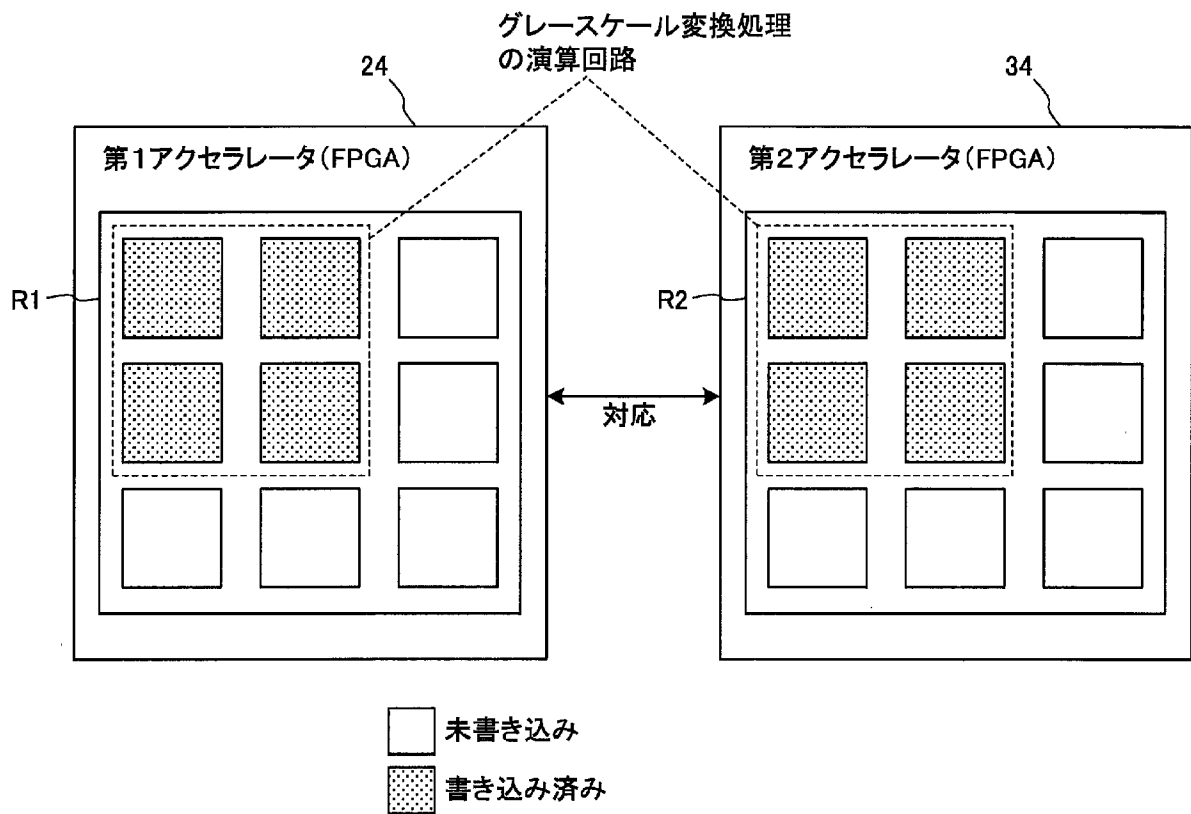
[請求項7] 複数のアクセラレータ同士は、通信を行うアクセラレータの組それぞれで異なる波長の光で通信可能に、一の伝送路に接続されている、

請求項6に記載のコンピューティングシステム。

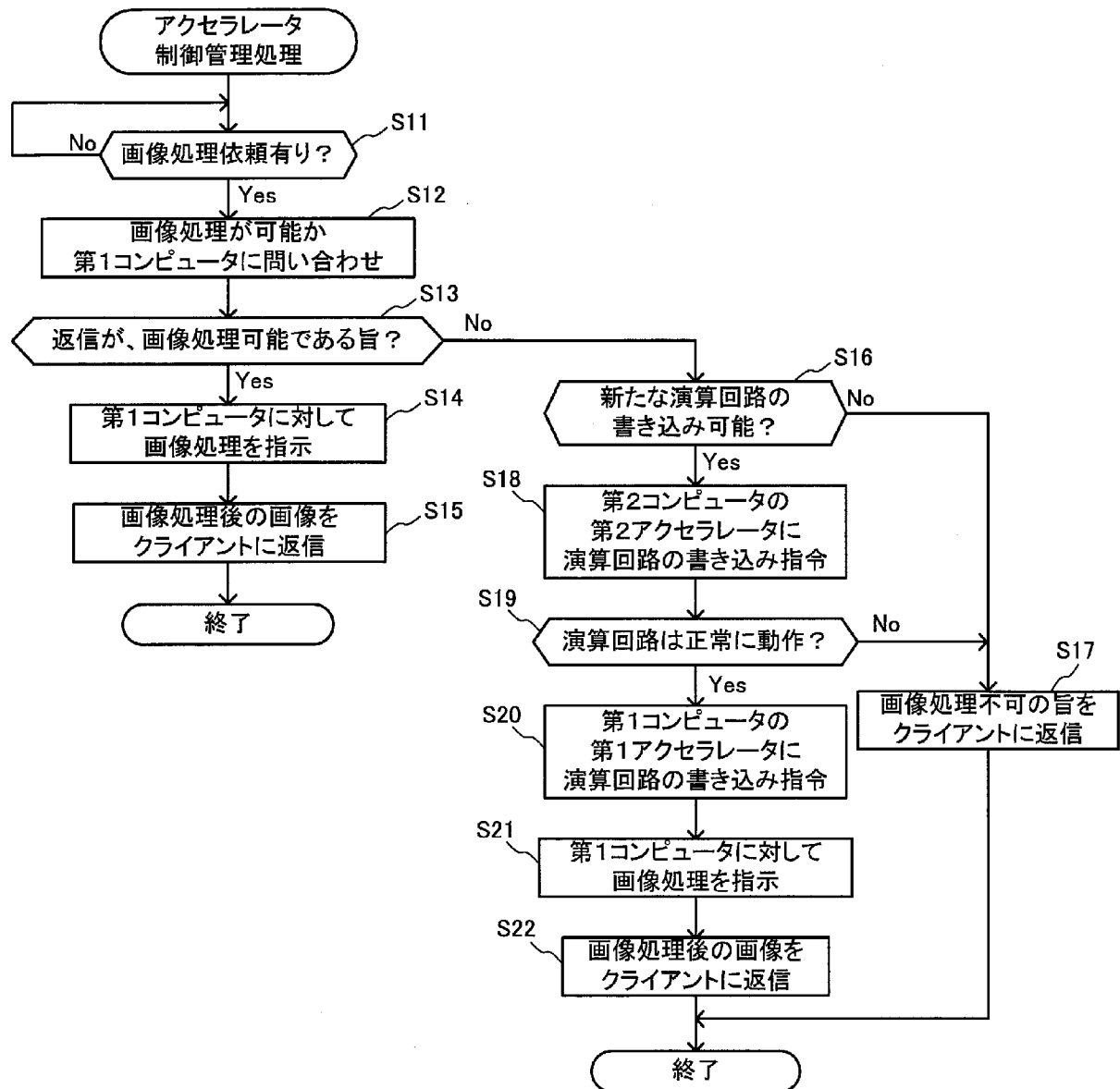
[図1]



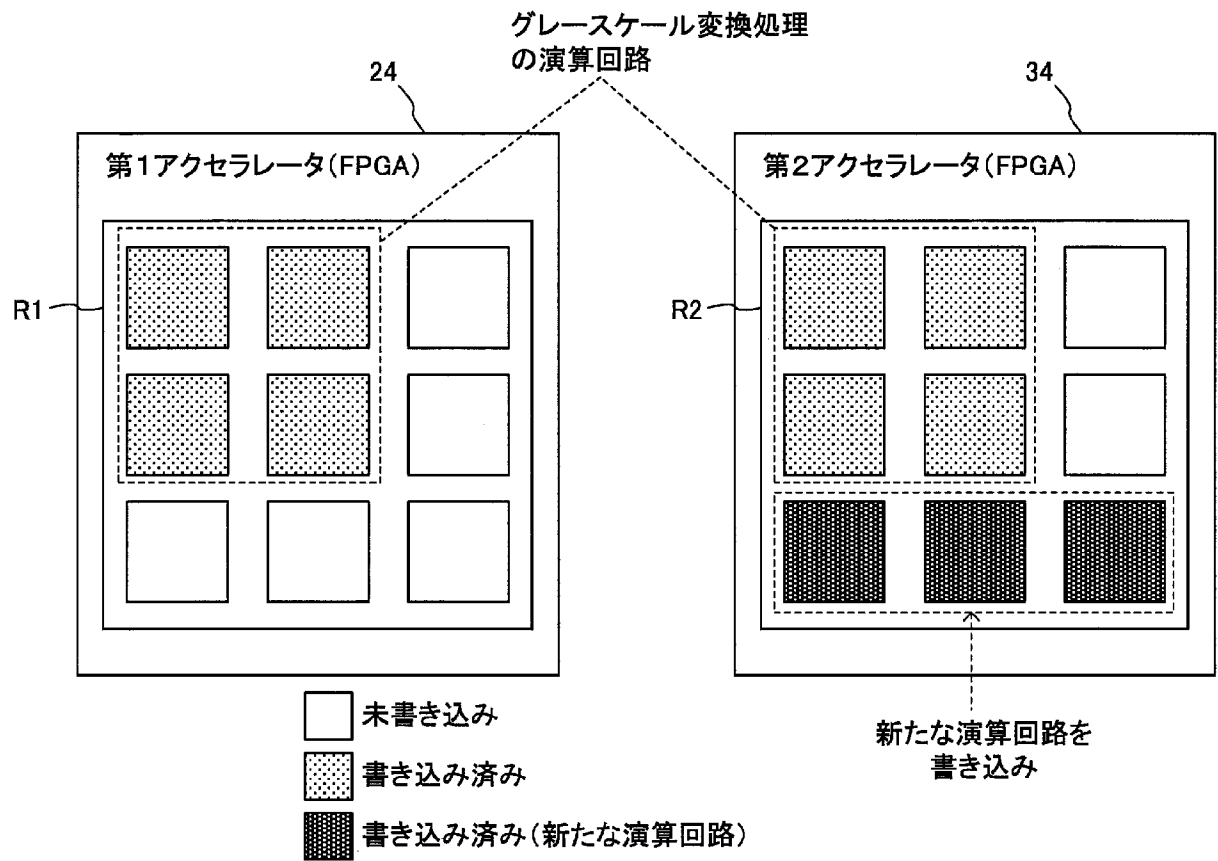
[図2]



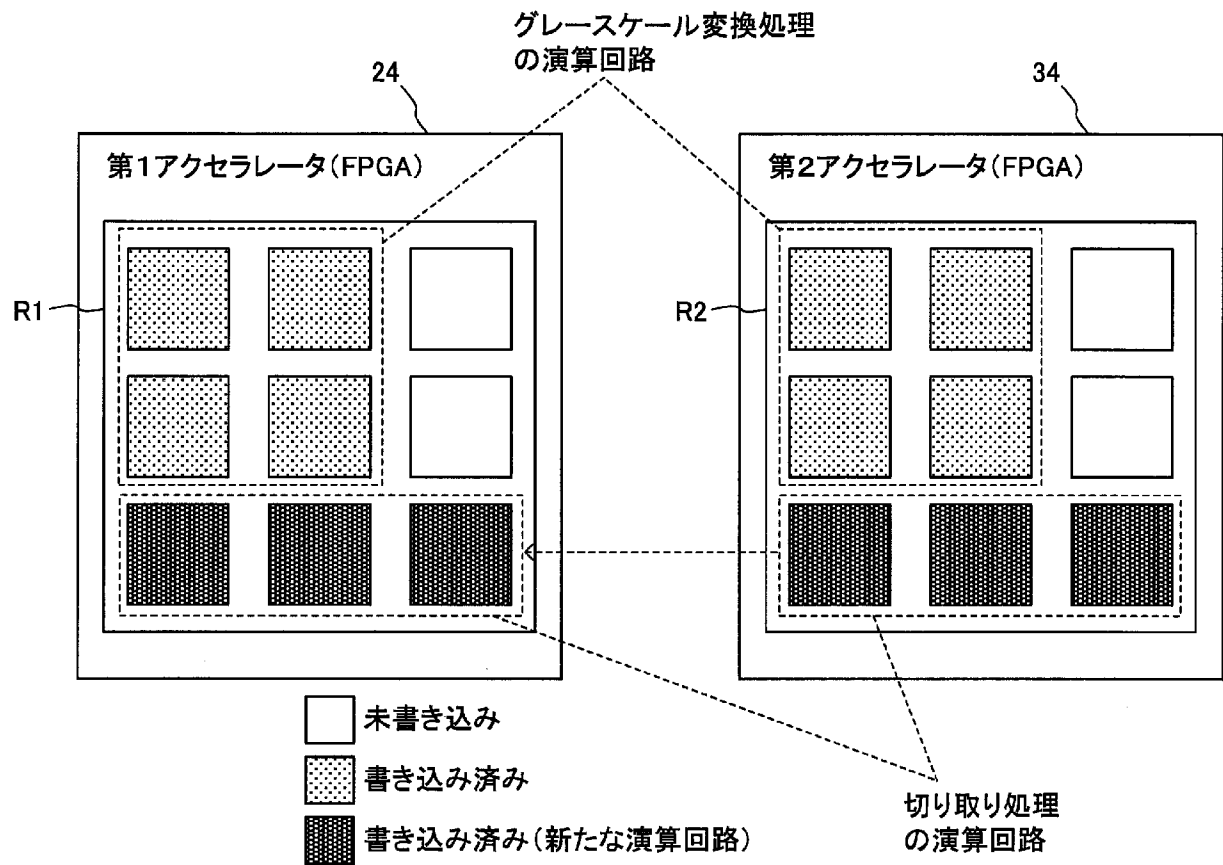
[図3]



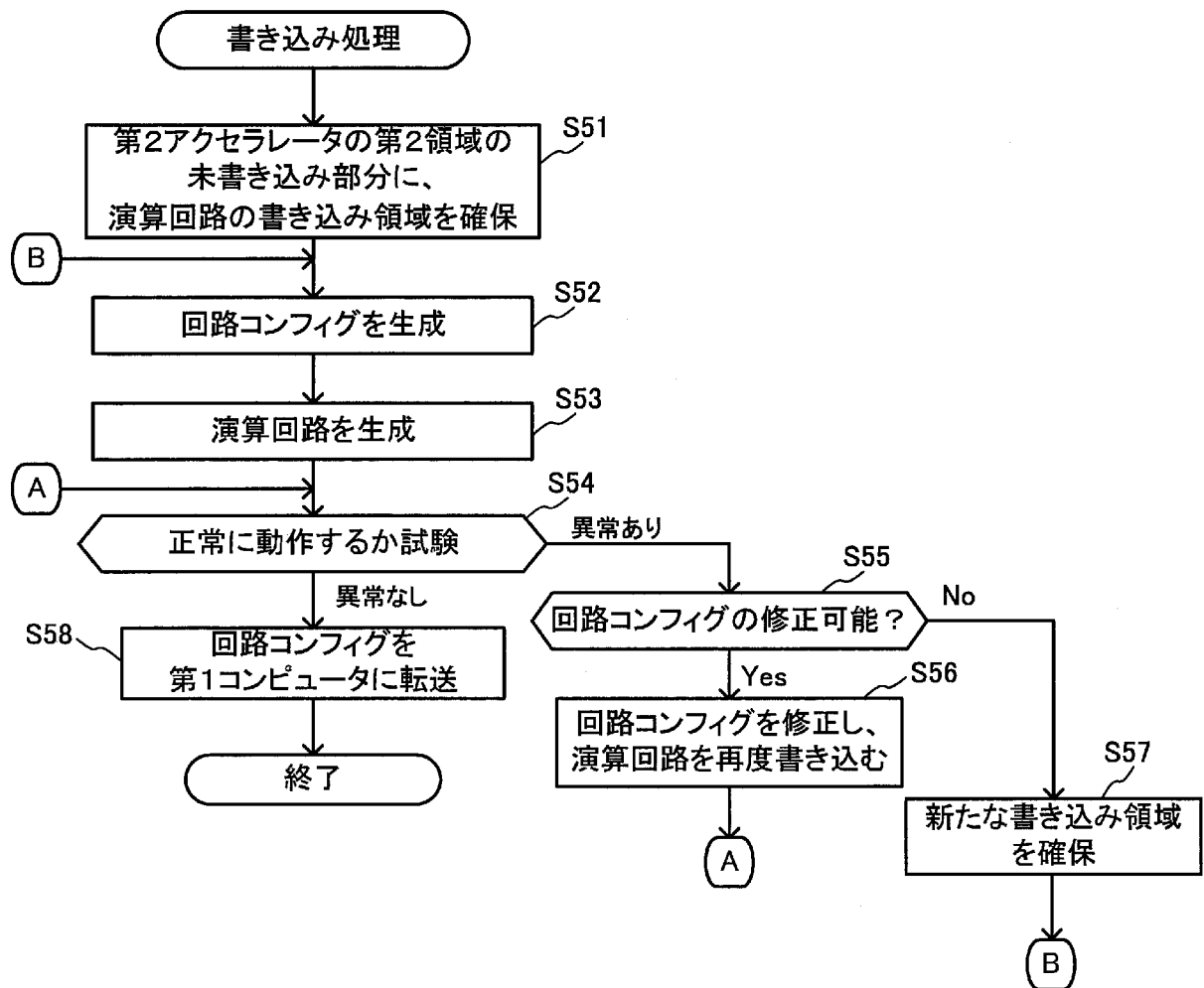
[図4]



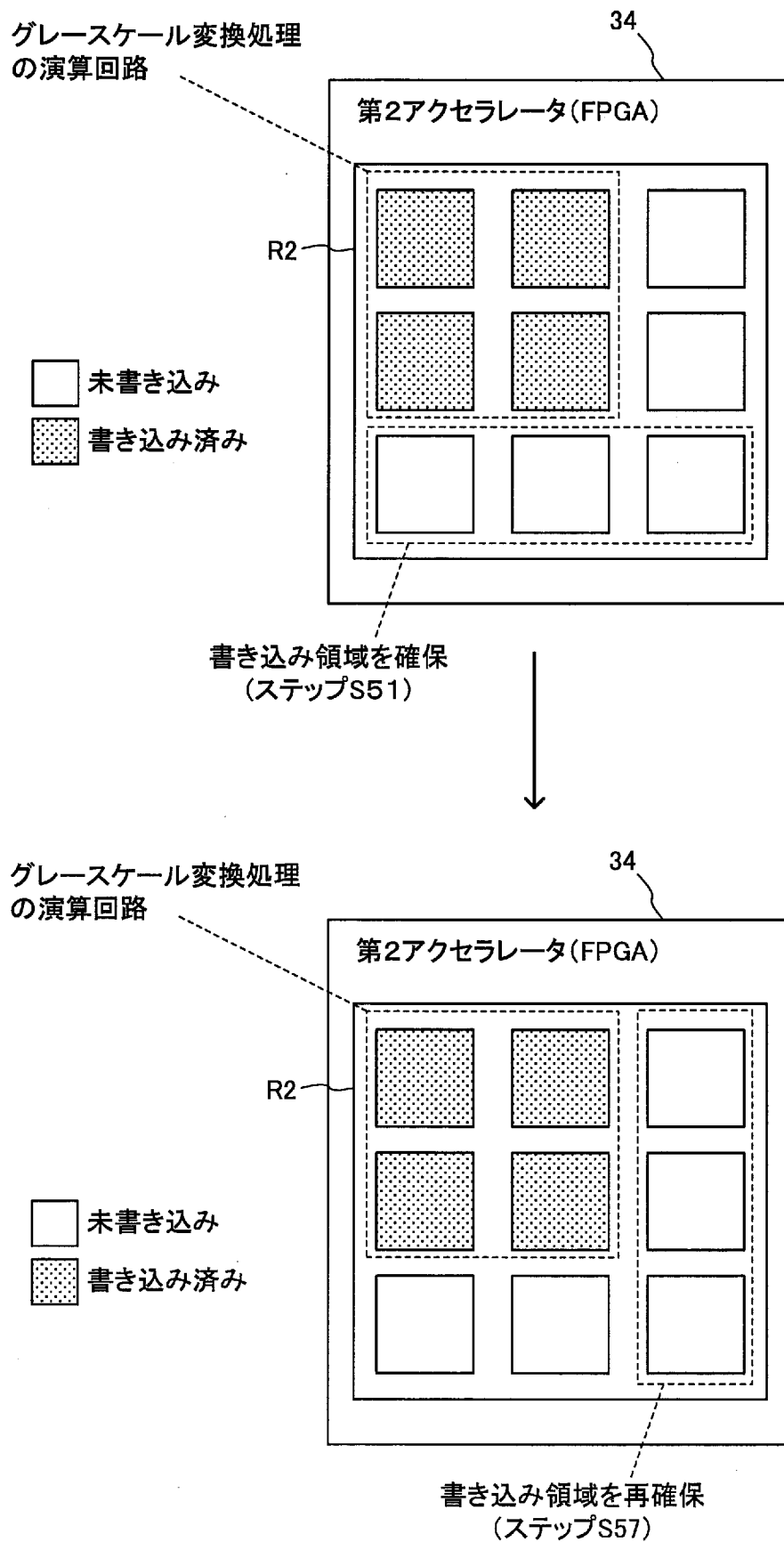
[図5]



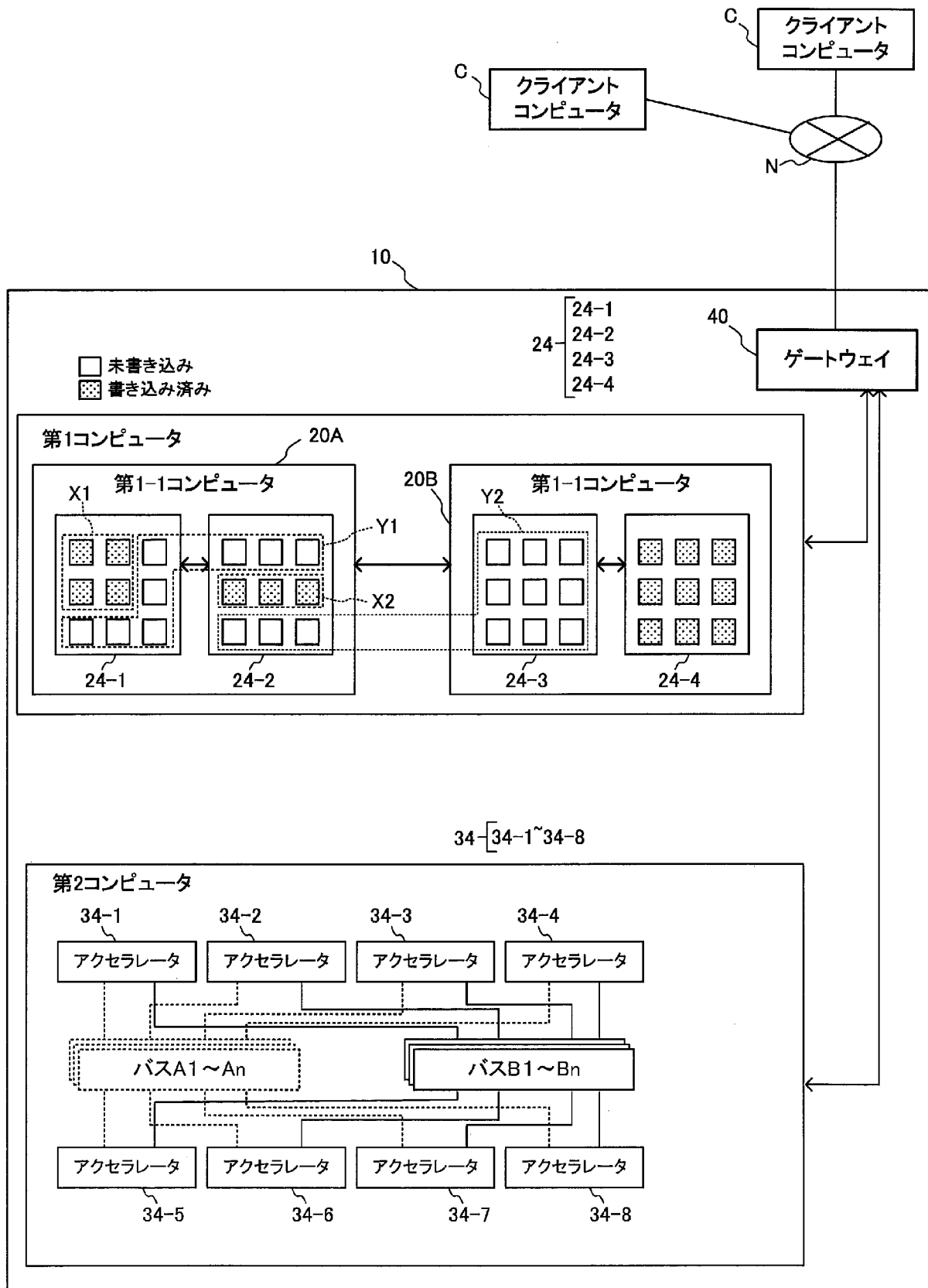
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/023377

A. CLASSIFICATION OF SUBJECT MATTER

G06F 11/20(2006.01)i

FI: G06F11/20 620

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F11/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-045318 A (FUJI XEROX CO LTD) 02 March 2017 (2017-03-02) paragraphs [0031], [0049]-[0051], [0053]-[0054], [0061]-[0062], [0065]	1-7
A	JP 2018-165908 A (FUJITSU LTD) 25 October 2018 (2018-10-25) abstract, fig. 5	1-7
A	JP 2017-120966 A (RICOH CO LTD) 06 July 2017 (2017-07-06) abstract, fig. 3	1-7
A	JP 2005-115566 A (MURATA MACHINERY LTD) 28 April 2005 (2005-04-28) abstract	3

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
12 July 2021 (12.07.2021)

Date of mailing of the international search report
20 July 2021 (20.07.2021)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/023377

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2017-045318 A	02 Mar. 2017	US 2017/0061266 A1 paragraphs [0026], [0044]-[0046], [0048]-[0049], [0056]-[0057], [0060]	
JP 2018-165908 A	25 Oct. 2018	WO 2018/179739 A1 abstract, fig. 5	
JP 2017-120966 A	06 Jul. 2017	(Family: none)	
JP 2005-115566 A	28 Apr. 2005	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G06F 11/20(2006.01)i FI: G06F11/20 620														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G06F11/20 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2017-045318 A（富士ゼロックス株式会社）02.03.2017（2017 - 03 - 02） 段落[0031], [0049]-[0051], [0053]-[0054], [0061]-[0062]及び[0065]	1-7												
A	JP 2018-165908 A（富士通株式会社）25.10.2018（2018 - 10 - 25） 要約及び図5	1-7												
A	JP 2017-120966 A（株式会社リコー）06.07.2017（2017 - 07 - 06） 要約及び図3	1-7												
A	JP 2005-115566 A（村田機械株式会社）28.04.2005（2005 - 04 - 28） 要約	3												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 12.07.2021	国際調査報告の発送日 20.07.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 坂庭 剛史 5B 9288 電話番号 03-3581-1101 内線 3545													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/023377

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-045318	A	02.03.2017	US 2017/0061266 A1 段落[0026], [0044]- [0046], [0048]-[0049], [0056]-[0057]及び[0060]	
JP	2018-165908	A	25.10.2018	WO 2018/179739 A1 要約及び図5	
JP	2017-120966	A	06.07.2017	(ファミリーなし)	
JP	2005-115566	A	28.04.2005	(ファミリーなし)	