

(11) 特許出願公開番号

特開2017-163378

(P2017-163378A)

(43) 公開日 平成29年9月14日(2017.9.14)

(51) Int. Cl.		F I	テーマコード (参考)	
H03M	7/32	H03M	7/32	2G029
G01R	23/10	G01R	23/10	5J064

審査請求 未請求 請求項の数 13 O L (全 17 頁)

(21) 出願番号 特願2016-46727 (P2016-46727)
(22) 出願日 平成28年3月10日 (2016. 3. 10)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区新宿四丁目1番6号

(74) 代理人 100091292
弁理士 増田 達哉

(74) 代理人 100091627
弁理士 朝比 一夫

(72) 発明者 轟原 正義
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

Fターム(参考) 2G029 AA04 AC07 AC08 AD01 AD08
AE19 AF07
5J064 BA03 BC05 BC24

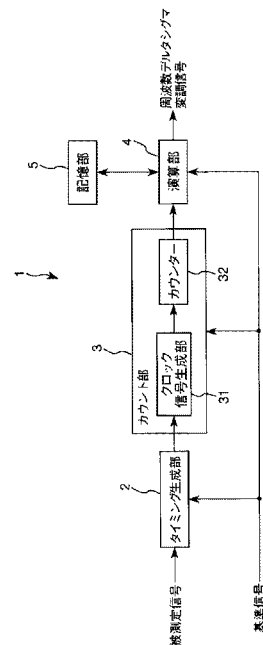
(54) 【発明の名称】 周波数デルタシグマ変調信号出力装置

(57) 【要約】

【課題】簡易かつ小規模な回路で、アイドルトーンに起因する量子化雑音を抑制することができる周波数デルタシグマ変調信号出力装置を提供すること。

【解決手段】基準信号に基づいて被測定信号を周波数デルタシグマ変調し、周波数デルタシグマ変調信号を出力する周波数デルタシグマ変調信号出力装置であって、前記被測定信号の反転時と前記基準信号の反転時との間である測定期間を特定するタイミング生成部と、前記測定期間において、クロック信号をカウントするカウント部と、前記カウント部のカウント値に基づいて、周波数デルタシグマ変調信号を生成する演算部と、を備える。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

基準信号に基づいて被測定信号を周波数デルタシグマ変調し、周波数デルタシグマ変調信号を出力する周波数デルタシグマ変調信号出力装置であって、

前記被測定信号の反転時と前記基準信号の反転時との間である測定期間を特定するタイミング生成部と、

前記測定期間において、クロック信号をカウントするカウント部と、

前記カウント部のカウント値に基づいて、周波数デルタシグマ変調信号を生成する演算部と、を備えることを特徴とする周波数デルタシグマ変調信号出力装置。

【請求項 2】

10

前記カウント部は、前記クロック信号を生成するクロック信号生成部と、

前記クロック信号をカウントするカウンタと、を備える請求項 1 に記載の周波数デルタシグマ変調信号出力装置。

【請求項 3】

前記クロック信号生成部は、電圧制御発振器またはインバータ発振器を備える請求項 2 に記載の周波数デルタシグマ変調信号出力装置。

【請求項 4】

前記演算部は、前記基準信号の所定周期の期間に含まれる前記クロック信号の数から前記カウント値を減算し、前記減算した値に基づいて、前記周波数デルタシグマ変調信号を生成する請求項 1 ないし 3 のいずれか 1 項に記載の周波数デルタシグマ変調信号出力装置。

20

【請求項 5】

前記演算部は、前記基準信号の所定周期の期間に含まれる前記クロック信号の数から前記カウント値を減算し、前記減算した値と、前記カウント部のカウント値とに基づいて、前記周波数デルタシグマ変調信号を生成する請求項 1 ないし 3 のいずれか 1 項に記載の周波数デルタシグマ変調信号出力装置。

【請求項 6】

前記基準信号の所定周期の期間に含まれる前記クロック信号の数を記憶する記憶部を備える請求項 1 ないし 5 のいずれか 1 項に記載の周波数デルタシグマ変調信号出力装置。

【請求項 7】

30

前記基準信号の所定周期の期間において、前記クロック信号をカウントし、前記記憶部に記憶されている前記数を前記カウントして得られた数に更新する請求項 6 に記載の周波数デルタシグマ変調信号出力装置。

【請求項 8】

前記クロック信号の周波数は、前記基準信号の周波数の 2 以上の整数倍である請求項 1 ないし 7 のいずれか 1 項に記載の周波数デルタシグマ変調信号出力装置。

【請求項 9】

前記被測定信号の周波数の 2 倍が前記基準信号の周波数以下である場合は、前記測定期間のみ前記カウント部を動作させる請求項 1 ないし 8 のいずれか 1 項に記載の周波数デルタシグマ変調信号出力装置。

40

【請求項 10】

前記被測定信号の周波数の 2 倍が前記基準信号の周波数よりも大きい場合に、下記 (1) 式を満たし、2 以上の整数である分周比 m を求め、前記被測定信号の周波数を $1/m$ に分周して分周信号を生成する分周信号生成部を備え、

前記被測定信号として前記分周信号を用い、

前記測定期間のみ前記カウント部を動作させる請求項 1 ないし 8 のいずれか 1 項に記載の周波数デルタシグマ変調信号出力装置。

(被測定信号の周波数) $\times 2/m \leq$ 基準信号の周波数 $\dots (1)$

【請求項 11】

前記分周信号生成部は、前記被測定信号の反転のタイミングに同期し、互いに位相の異

50

なる複数の前記分周信号を生成し、

前記被測定信号として前記複数の分周信号を用いる請求項 10 に記載の周波数デルタシグマ変調信号出力装置。

【請求項 12】

前記カウント部は、前記カウント値が所定値に達すると、前記カウント値をリセットし、前記クロック信号のカウントを再開する請求項 1 ないし 8 のいずれか 1 項に記載の周波数デルタシグマ変調信号出力装置。

【請求項 13】

前記演算部の後段にフィルターを備える請求項 1 ないし 12 のいずれか 1 項に記載の周波数デルタシグマ変調信号出力装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、周波数デルタシグマ変調信号出力装置に関するものである。

【背景技術】

【0002】

基準信号の周波数と被測定信号の周波数との比を示す周波数デルタシグマ変調信号を生成する周波数デルタシグマ変調信号出力装置が知られている。

【0003】

周波数デルタシグマ変調信号出力装置は、周波数デルタシグマ変調部（以下、「FDSM (Frequency Delta Sigma Modulator)」と言う）を有し、その FDSM により、基準信号を用いて被測定信号を周波数デルタシグマ変調し、周波数デルタシグマ変調信号を生成し、出力する。

20

【0004】

この周波数デルタシグマ変調信号出力装置では、アイドルトーンと呼ばれる周期的な量子化雑音が発生する。すなわち、FDSM の出力信号は、被測定信号のベースバンド信号成分にアイドルトーンが重畳した信号となる。

【0005】

特許文献 1 には、周波数デルタシグマ変調信号におけるアイドルトーンを抑制するため、並列に接続された複数の FDSM を備える周波数デルタシグマ変調信号出力装置が開示されている。この装置では、複数の FDSM に、互いに位相のずれた被測定信号を入力することにより、各 FDSM の出力信号に重畳されるアイドルトーンを時間的に分散させる。これにより、周波数デルタシグマ変調信号に重畳されるアイドルトーンに起因する量子化雑音が抑制され、周波数デルタシグマ変調信号の SN 比を向上させることができる。

30

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2015-220552 号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0007】

しかしながら、特許文献 1 に記載の装置では、並列に接続された複数の FDSM を用いて回路を構成するので、回路規模が大きくなり、また、回路構成が複雑になるという問題がある。また、動作周波数を高めることにより精度が向上するが、動作周波数を高めることで消費電力が増大するという問題がある。

【0008】

本発明の目的は、簡易かつ小規模な回路で、アイドルトーンに起因する量子化雑音を抑制することができる周波数デルタシグマ変調信号出力装置を提供することにある。

【課題を解決するための手段】

【0009】

50

本発明は、上述の課題の少なくとも一部を解決するためになされたものであり、以下の形態または適用例として実現することが可能である。

【0010】

本発明の周波数デルタシグマ変調信号出力装置は、基準信号に基づいて被測定信号を周波数デルタシグマ変調し、周波数デルタシグマ変調信号を出力する周波数デルタシグマ変調信号出力装置であって、

前記被測定信号の反転時と前記基準信号の反転時との間である測定期間を特定するタイミング生成部と、

前記測定期間において、クロック信号をカウントするカウント部と、

前記カウント部のカウント値に基づいて、周波数デルタシグマ変調信号を生成する演算部と、を備えることを特徴とする。

10

【0011】

これにより、アイドルトーンに起因する量子化雑音を抑制することができる。また、並列に接続された複数のFDSMを用いる周波数デルタシグマ変調信号出力装置に比べて、回路規模を小さくすることができ、また、回路構成を簡素化することができる。

【0012】

本発明の周波数デルタシグマ変調信号出力装置では、前記カウント部は、前記クロック信号を生成するクロック信号生成部と、

前記クロック信号をカウントするカウンタと、を備えることが好ましい。

【0013】

これにより、高い周波数のクロック信号を生成することが可能となり、これによって実効的な並列数が増加し、周波数デルタシグマ変調信号のSN比を向上させることができる。

20

【0014】

本発明の周波数デルタシグマ変調信号出力装置では、前記クロック信号生成部は、電圧制御発振器またはインバータ発振器を備えることが好ましい。

【0015】

これにより、高い周波数のクロック信号を生成することが可能となり、これによって実効的な並列数が増加し、周波数デルタシグマ変調信号のSN比を向上させることができる。

30

【0016】

また、インバータ発振器を用いる場合は、動作の開始と停止とを容易に制御することができ、各タイミングの誤差を低減することができる。

【0017】

本発明の周波数デルタシグマ変調信号出力装置では、前記演算部は、前記基準信号の所定周期の期間に含まれる前記クロック信号の数から前記カウント値を減算し、前記減算した値に基づいて、前記周波数デルタシグマ変調信号を生成することが好ましい。

これにより、適切に周波数デルタシグマ変調信号を生成することができる。

【0018】

本発明の周波数デルタシグマ変調信号出力装置では、前記演算部は、前記基準信号の所定周期の期間に含まれる前記クロック信号の数から前記カウント値を減算し、前記減算した値と、前記カウント部のカウント値とに基づいて、前記周波数デルタシグマ変調信号を生成することが好ましい。

40

これにより、適切に周波数デルタシグマ変調信号を生成することができる。

【0019】

本発明の周波数デルタシグマ変調信号出力装置では、前記基準信号の所定周期の期間に含まれる前記クロック信号の数を記憶する記憶部を備えることが好ましい。

【0020】

これにより、必要時に、基準信号の所定周期の期間に含まれるクロック信号の数の情報を使用することができる。

50

【0021】

本発明の周波数デルタシグマ変調信号出力装置では、前記基準信号の所定周期の期間において、前記クロック信号をカウントし、前記記憶部に記憶されている前記数を前記カウントして得られた数に更新することが好ましい。

【0022】

これにより、クロック信号の周波数が不明の場合や、温度特性等の影響でクロック信号の周波数が変動した場合でも、基準信号の所定周期の期間に含まれるクロック信号の数として適切な値が得られる。

【0023】

本発明の周波数デルタシグマ変調信号出力装置では、前記クロック信号の周波数は、前記基準信号の周波数の2以上の整数倍であることが好ましい。

10

【0024】

これにより、クロック信号と基準信号とが同期し、クロック信号の適切なカウント値を得ることができる。

【0025】

また、クロック信号の周波数が基準信号の何倍であるかが既知であれば、基準信号の所定周期の期間に含まれるクロック信号の数を求める必要がない。

【0026】

本発明の周波数デルタシグマ変調信号出力装置では、前記被測定信号の周波数の2倍が前記基準信号の周波数以下である場合は、前記測定期間のみ前記カウント部を動作させることが好ましい。

20

【0027】

これにより、全期間ではなく、測定期間のみにおいてカウント部によりクロック信号のカウントを行うので、消費電力を低減することができる。

【0028】

本発明の周波数デルタシグマ変調信号出力装置では、前記被測定信号の周波数の2倍が前記基準信号の周波数よりも大きい場合に、下記(1)式を満たし、2以上の整数である分周比 m を求め、前記被測定信号の周波数を $1/m$ に分周して分周信号を生成する分周信号生成部を備え、

前記被測定信号として前記分周信号を用い、

30

前記測定期間のみ前記カウント部を動作させることが好ましい。

(被測定信号の周波数) $\times 2/m \leq$ 基準信号の周波数 $\cdots (1)$

【0029】

これにより、被測定信号の周波数の2倍が基準信号の周波数よりも大きい場合でも周波数デルタシグマ変調信号を生成することができる。

【0030】

また、全期間ではなく、測定期間のみにおいてカウント部によりクロック信号のカウントを行うので、消費電力を低減することができる。

【0031】

本発明の周波数デルタシグマ変調信号出力装置では、前記分周信号生成部は、前記被測定信号の反転のタイミングに同期し、互いに位相の異なる複数の前記分周信号を生成し、前記被測定信号として前記複数の分周信号を用いることが好ましい。

40

【0032】

これにより、被測定信号に含まれる情報を漏らさず利用できるので、周波数デルタシグマ変調信号のSN比を向上させることができる。

【0033】

本発明の周波数デルタシグマ変調信号出力装置では、前記カウント部は、前記カウント値が所定値に達すると、前記カウント値をリセットし、前記クロック信号のカウントを再開することが好ましい。

【0034】

50

これにより、演算部では、測定期間内においてカウント値をリセットしない場合とは異なるアルゴリズムで処理を行うことができる。これによって、例えば、前記被測定信号として複数の分周信号を用いる場合と同等の効果を、前記複数の分周信号を用いることなく、得ることができる。これにより、前記被測定信号として複数の分周信号を用いる場合に比べて、演算処理数を低減することができる。

【0035】

本発明の周波数デルタシグマ変調信号出力装置では、前記演算部の後段にフィルターを備えることが好ましい。

【0036】

これにより、周波数デルタシグマ変調信号に含まれるノイズ成分を除去することができ、周波数デルタシグマ変調信号のS/N比を向上させることができる。

【図面の簡単な説明】

【0037】

【図1】本発明の周波数デルタシグマ変調信号出力装置の第1実施形態を示すブロック図である。

【図2】図1に示す周波数デルタシグマ変調信号出力装置の動作を説明するためのタイミングチャートである。

【図3】本発明の周波数デルタシグマ変調信号出力装置の第2実施形態を示すブロック図である。

【図4】図3に示す周波数デルタシグマ変調信号出力装置の動作を説明するためのタイミングチャートである。

【図5】図3に示す周波数デルタシグマ変調信号出力装置の動作を説明するためのタイミングチャートである。

【図6】本発明の周波数デルタシグマ変調信号出力装置の第3実施形態の動作を説明するためのタイミングチャートである。

【図7】本発明の周波数デルタシグマ変調信号出力装置の第4実施形態を示すブロック図である。

【図8】従来の周波数デルタシグマ変調信号出力装置を示すブロック図である。

【発明を実施するための形態】

【0038】

以下、本発明の周波数デルタシグマ変調信号出力装置を添付図面に示す好適な実施形態に基づいて詳細に説明する。

【0039】

<第1実施形態>

図1は、本発明の周波数デルタシグマ変調信号出力装置の第1実施形態を示すブロック図である。図2は、図1に示す周波数デルタシグマ変調信号出力装置の動作を説明するためのタイミングチャートである。図8は、従来の周波数デルタシグマ変調信号出力装置を示すブロック図である。

【0040】

なお、以下の説明では、信号のレベルが「ロー」の場合を「0」、信号のレベルが「ハイ」の場合を「1」とも言う。

【0041】

また、信号の反転には、信号の立ち上がり、すなわち、信号が「0」から「1」になる場合と、信号の立ち下がり、すなわち、信号が「1」から「0」になる場合と、信号の立ち上がりおよび立ち下がりの両方、すなわち、信号が「0」から「1」になる場合および信号が「1」から「0」になる場合の両方が含まれる。但し、以下の説明では、これらのうちの1つを例に挙げて説明を行う。

【0042】

図1に示す周波数デルタシグマ変調信号出力装置1は、周波数が既知である基準信号に基づいて被測定信号を周波数デルタシグマ変調し、基準信号の周波数と被測定信号の周波

10

20

30

40

50

数との比に対応した周波数デルタシグマ変調信号を出力する装置である。

【0043】

図1に示すように、周波数デルタシグマ変調信号出力装置1は、被測定信号の反転時と基準信号の反転時との間である測定期間を特定するタイミング生成部2と、測定期間において、クロック信号をカウントするカウント部3と、カウント部3のクロック信号のカウント値に基づいて、周波数デルタシグマ変調信号を生成する演算部4と、各情報を記憶する記憶部5とを備えている。タイミング生成部2と、カウント部3と、演算部4とは、出力側に向けてこの順序で接続されている。

【0044】

記憶部5には、基準信号の所定周期の期間に含まれるクロック信号の数、本実施形態では、基準信号の1周期の期間に含まれるクロック信号の数が記憶される。

10

【0045】

これにより、必要時に、基準信号の1周期の期間に含まれるクロック信号の数の情報を使用することができる。

【0046】

なお、クロック信号の数とは、クロック信号のパルス数のことである。また、精度の向上という観点からは、クロック信号の周波数は、高いほど好ましい。

【0047】

また、記憶部5に記憶されている前記クロック信号の数は、必要に応じて更新される。すなわち、基準信号の所定周期の期間、本実施形態では、基準信号の1周期の期間において、クロック信号をカウントし、記憶部5に記憶されている数を前記カウントして得られた数に更新する。

20

【0048】

これにより、クロック信号の周波数が不明の場合や、温度特性等の影響でクロック信号の周波数が変動した場合でも、基準信号の所定周期の期間に含まれるクロック信号の数として適切な値が得られる。

【0049】

また、カウント部3は、クロック信号を生成するクロック信号生成部31と、クロック信号生成部31から出力されたクロック信号をカウントするカウンタ32とを備えている。

30

【0050】

クロック信号生成部31としては、クロック信号を生成する機能を有していれば特に限定されず、例えば、電圧制御発振器(VCO)、インバータ発振器等、または、電圧制御発振器またはインバータ発振器を備える回路等が挙げられる。

【0051】

これにより、高い周波数のクロック信号を生成することが可能となり、これによって実効的な並列数が増加し、周波数デルタシグマ変調信号のSN比を向上させることができる。

【0052】

また、インバータ発振器を用いる場合は、動作の開始と停止とを容易に制御することができ、各タイミングの誤差を低減することができる。

40

【0053】

この周波数デルタシグマ変調信号出力装置1では、回路およびアルゴリズムで、図8に示す周波数デルタシグマ変調信号出力装置100と等価な装置を実現している。周波数デルタシグマ変調信号出力装置100は、例えば、互いに位相のずれた被測定信号を入力することにより、各FDSM102の出力信号OUTに重畳されるアイドルトーンを時間的に分散させるように構成されている。したがって、周波数デルタシグマ変調信号出力装置1では、同様に、アイドルトーンに起因する量子化雑音を抑制することができる。

【0054】

以下、周波数デルタシグマ変調信号出力装置100について簡単に説明する。

50

周波数デルタシグマ変調信号出力装置 100 は、位相調整部 101 と、並列に接続された複数の周波数デルタシグマ変調部 102（以下、「FDSM (Frequency Delta Sigma Modulator)」と言う）と、加算器 103 とを備えている。

【0055】

位相調整部 101 は、被測定信号 F_x と基準信号 F_c との位相を相対的に調整して、 n 組の被測定信号および基準信号 (F_{x1} , F_{c1})、(F_{x2} , F_{c2})、 $\dots$ (F_{xj} , F_{cj})、 $\dots$ (F_{xn} , F_{cn}) を生成する。なお、 n は、2 以上の整数である。また、 j は、1～ n のうちの任意の数であるが、図 8 では、3 以上、 $n-1$ 以下の任意の数をイメージしている。また、以下では、1 例として、基準信号は共通であり、各被測定信号の位相が互いにずれている場合を例に挙げて説明する。

10

【0056】

FDSM 102 は、ビットストリーム構成の FDSM、すなわち、出力信号をビットストリーム形式で出力する FDSM である。

【0057】

FDSM 102 は、基準信号 F_{cj} の立ち上がりエッジに同期して被測定信号 F_{xj} をラッチして第 1 データ d_1 を出力する第 1 ラッチ 122 と、基準信号 F_{cj} の立ち上がりエッジに同期して第 1 データ d_1 をラッチして第 2 データ d_2 を出力する第 2 ラッチ 123 と、第 1 データ d_1 と第 2 データ d_2 の排他的論理和を演算して出力信号 OUT (出力データ) を生成する排他的論理和回路 125 とを備える。この例では、立ち上がりエッジでラッチ動作を行う場合を想定しているが、立ち下りエッジもしくは、立ち上がりエッジと立ち下りエッジの両方でラッチ動作を行ってもよい。なお、第 1 ラッチ 122 および第 2 ラッチ 123 は、例えば、D フリップフロップ回路等で構成される。

20

【0058】

この FDSM 102 は、第 1 ラッチ 122 によって被測定信号 F_{xj} の「ハイ」もしくは「ロー」の状態を保持し、基準信号 F_{cj} が 1 周期推移する間の反転回数の偶奇を出力信号 OUT として出力する。すなわち、反転回数が偶数であれば「0」、奇数であれば「1」を出力する。

【0059】

加算器 103 は、各 FDSM 102 の出力信号 OUT を加算し、周波数デルタシグマ変調信号として出力する。

30

【0060】

次に、周波数デルタシグマ変調信号出力装置 1 の原理について説明する。

また、ここでは、周波数デルタシグマ変調信号出力装置 100 における FDSM 102 の並列数が 16 の場合、すなわち、16 個の FDSM 102 が並列に接続された場合と等価な回路を例に挙げて説明する。なお、基準信号の 1 周期の期間に含まれるクロック信号の個数は、前記並列数に等しい。したがって、クロック信号は、基準信号の 1 周期の期間に、16 個含まれている。また、基準信号とクロック信号とは同期していることが好ましい。

【0061】

図 2 に示すように、互いに位相のずれた 16 個の被測定信号 $F_{x1} \sim F_{x16}$ は、「0」から「1」に切り換わるクロック信号 1 つ分ずつタイミングがずれている。なお、「1」から「0」に切り換わるタイミングも同様である。

40

【0062】

まずは、1 つ目の FDSM 102 に入力される被測定信号 F_{x1} に基づいて周波数デルタシグマ変調信号を生成する場合について説明する。

【0063】

この場合は、測定期間 A として、基準信号の立ち上がり C から、被測定信号 F_{x1} の立ち上がり、すなわち、被測定信号 F_{x1} が「0」から「1」への切り換わり D までの期間が設定されている。

【0064】

50

測定期間 A における被測定信号 F x 1 の「0」の数は、5 個である。この場合、基準信号の立ち上がり C における四角形で囲まれた「0」は、含めないこととする。これは、以降の説明でも同様である。

【0065】

また、並列数である「16」から測定期間 A における被測定信号 F x 1 の「0」の数である「5」を減算した値（差）は、「11」である。

【0066】

なお、後述する測定期間 B における被測定信号 F x 1 の「1」の数は、11 個である。この場合、基準信号の立ち上がり E における四角形で囲まれた「1」は、含めることとする。これは、以降の説明でも同様である。

10

【0067】

一方、16 個の FDSM102 から出力される各出力信号 OUT のうち、値が「1」である出力信号 OUT の数は、「11」である。この「11」は、周波数デルタシグマ変調信号出力装置 100 から出力される周波数デルタシグマ変調信号が示す値であり、前記減算した値「11」と一致する。

【0068】

また、次のラッチタイミングで、16 個の FDSM102 から出力される各出力信号 OUT のうち、値が「1」である出力信号 OUT の数は、「5」である。この「5」は、周波数デルタシグマ変調信号出力装置 100 から出力される周波数デルタシグマ変調信号の前記「11」の次に示す値であり、測定期間 A における被測定信号 F x 1 の「0」の数である「5」と一致する。

20

【0069】

また、被測定信号の 1 周期のうちの他の期間では、周波数デルタシグマ変調信号出力装置 100 から出力される次の周波数デルタシグマ変調信号は、「0」である。

【0070】

なお、他の 15 個の FDSM102 に入力される被測定信号 F x 1 に基づいて周波数デルタシグマ変調信号を生成する場合も同様である。

【0071】

そこで、周波数デルタシグマ変調信号出力装置 1 では、カウント部 3 により、測定期間 A における被測定信号 F x 1 の「0」の数をカウントし、演算部 4 において、「16」から前記カウント部 3 のカウント値を減算することで、16 個の FDSM102 から出力される各出力信号 OUT のうち、値が「1」である出力信号 OUT の数を求める。すなわち、前記減算した値を周波数デルタシグマ変調信号が示す値とする。

30

【0072】

また、前記カウント部 3 のカウント値を次に周波数デルタシグマ変調信号が示す値とする。また、被測定信号の 1 周期のうちの他の期間では、周波数デルタシグマ変調信号が示す値を「0」とする。

【0073】

演算部 4 は、基準信号の所定周期の期間に含まれる前記クロック信号の数、本実施形態では、基準信号の 1 周期の期間に含まれるクロック信号の数からカウント部 3 のクロック信号のカウント値を減算する。そして、前記減算した値と、前記カウント部 3 のクロック信号のカウント値とに基づいて、周波数デルタシグマ変調信号を生成する。

40

これにより、適切に周波数デルタシグマ変調信号を生成することができる。

【0074】

また、周波数デルタシグマ変調信号出力装置 1 では、少なくとも測定期間 A においてカウント部 3 を動作させればよいが、本実施形態では、被測定信号の周波数の 2 倍が基準信号の周波数以下である場合は、測定期間の一例である測定期間 A のみカウント部 3 を動作させる。

【0075】

これにより、全期間カウントを行うのではなく、測定期間 B においてカウント部 3 の動

50

作を停止できるので、消費電力を低減することができる。

【0076】

次に、周波数デルタシグマ変調信号出力装置1の動作について説明する。

まず、被測定信号は、タイミング生成部2に入力される。また、基準信号は、タイミング生成部2、カウンタ部3および演算部4に入力される。

【0077】

タイミング生成部2では、測定期間Aが特定される。また、タイミング生成部2は、測定期間Aのみににおいて、クロック信号生成部31を動作状態とする信号をクロック信号生成部31に出力する。これにより、クロック信号生成部31は、測定期間Aのみににおいて、動作し、クロック信号を生成する。

10

【0078】

そして、カウンタ32は、前記クロック信号をカウントし、カウンタ32のカウント値は、演算部4に入力される。

【0079】

演算部4は、基準信号の所定期間の期間に含まれるクロック信号の数、本実施形態では、基準信号の1周期の期間に含まれるクロック信号の数である「16」からカウンタ部3のクロック信号のカウント値を減算する。そして、前記減算した値と、前記カウンタ部3のカウント値とに基づいて、周波数デルタシグマ変調信号を生成する。

【0080】

なお、前記減算した値と、前記カウンタ部3のカウント値とのうちの一方に基づいて、周波数デルタシグマ変調信号を生成してもよい。

20

【0081】

具体的には、演算部4は、前記減算した値を周波数デルタシグマ変調信号が示す値として出力し、また、前記カウンタ部3のカウント値を次に周波数デルタシグマ変調信号が示す値として出力する。また、演算部4は、被測定信号の1周期のうちの他の期間では、「0」を周波数デルタシグマ変調信号が示す値として出力する。これにより、適切に周波数デルタシグマ変調信号を生成することができる。

【0082】

このようにして、周波数デルタシグマ変調信号出力装置1では、周波数デルタシグマ変調信号が生成され、出力される。

30

【0083】

ここで、前記の説明では、測定期間Aを設定したが、これに限らず、例えば、測定期間Bとして、被測定信号F x 1の立ち上がりDから、基準信号の立ち上がりEまでの期間を設定してもよい。

【0084】

この場合は、カウンタ部3により、測定期間Bにおける被測定信号F x 1の「1」の数をカウントする。そして、前記カウンタ部3のカウント値を周波数デルタシグマ変調信号が示す値とする。

【0085】

また、演算部4において、「16」から前記カウンタ部3のカウント値を減算することで、16個のFDSM102から出力される各出力信号OUTのうち、値が「0」である出力信号OUTの数を求める。そして、前記減算した値を次に周波数デルタシグマ変調信号が示す値とする。また、被測定信号の1周期のうちの他の期間では、周波数デルタシグマ変調信号が示す値を「0」とする。

40

【0086】

以上説明したように、周波数デルタシグマ変調信号出力装置1によれば、アイドルトンに起因する量子化雑音を抑制することができる。

【0087】

また、並列に接続された複数のFDSMを用いる周波数デルタシグマ変調信号出力装置に比べて、回路規模を小さくすることができ、また、回路構成を簡素化することができる

50

。

【0088】

また、並列に接続された複数のFDSMを用いる周波数デルタシグマ変調信号出力装置では、FDSMの数を増加させると、回路規模がさらに大きくなり、回路構成がさらに複雑になるが、この周波数デルタシグマ変調信号出力装置1では、回路構成を変更する必要がなく、アルゴリズムを変更することで対応することができる。このため、周波数デルタシグマ変調信号出力装置1は、汎用性が広く、種々の場合に適切に対応することができる。

。

【0089】

また、全期間ではなく、所定の測定期間のみにおいてカウント部3によりクロック信号のカウントを行うので、消費電力を低減することができる。

10

【0090】

ここで、他の構成例として、クロック信号の周波数を基準信号の周波数の2以上の整数倍とする構成が挙げられる。この場合、クロック信号と基準信号とは同期している。なお、このような関係のクロック信号および基準信号を生成するには、例えば、基準信号を通過してクロック信号としたり、また、クロック信号を分周して基準信号とする。

【0091】

これにより、クロック信号の適切なカウント値を得ることができる。また、クロック信号の周波数が基準信号の周波数の何倍であるかが既知であれば、基準信号の1周期の期間に含まれるクロック信号の数を求める必要がない。

20

【0092】

＜第2実施形態＞

図3は、本発明の周波数デルタシグマ変調信号出力装置の第2実施形態を示すブロック図である。図4および図5は、それぞれ、図3に示す周波数デルタシグマ変調信号出力装置の動作を説明するためのタイミングチャートである。

【0093】

以下、第2実施形態について、前述した実施形態との相違点を中心に説明し、同様の事項については、その説明を省略する。

【0094】

図3に示すように、第2実施形態の周波数デルタシグマ変調信号出力装置1は、さらに、分周信号生成部6を備えている。

30

【0095】

この周波数デルタシグマ変調信号出力装置1では、被測定信号の周波数の2倍が基準信号の周波数よりも大きい場合に、分周信号生成部6により、下記(1)式を満たし、2以上の整数である分周比mを求め、被測定信号の周波数を $1/m$ に分周して分周信号を生成する。

【0096】

(被測定信号の周波数) $\times 2/m \leq$ 基準信号の周波数 $\cdots (1)$

また、被測定信号として前記分周信号を用いる。また、測定期間のみカウント部3を動作させる。

40

【0097】

これにより、被測定信号の周波数の2倍が基準信号の周波数よりも大きい場合でも周波数デルタシグマ変調信号を生成することができる。

【0098】

また、全期間ではなく、測定期間のみにおいてカウント部3によりクロック信号のカウントを行うので、消費電力を低減することができる。

【0099】

また、本実施形態では、分周信号生成部6は、被測定信号の反転のタイミングに同期し、互いに位相の異なる複数の分周信号を生成する。そして、被測定信号として前記複数の分周信号を用いる。

50

【0100】

これにより、被測定信号に含まれる情報を漏らさず利用できるので、周波数デルタシグマ変調信号のSN比を向上させることができる。

【0101】

以下、本実施形態では、分周比mが、10の場合を例に挙げて説明する。なお、第1～第10の分周信号は、それぞれ、図4に示す通りである。

【0102】

この周波数デルタシグマ変調信号出力装置1では、第1～第10の分周信号について、前記第1実施形態の被測定信号と同様の処理を行う。

【0103】

そして、図5に示すように、演算部4は、基準信号の立ち上がり、すなわち、ラッチタイミングにおいて、第1～第10の分周信号の値の総和を求め、周波数デルタシグマ変調信号を生成する。図示の構成では、周波数デルタシグマ変調信号の値は、「36」、「36」、「37」となっている。

【0104】

以上のような第2実施形態によっても、前述した第1実施形態と同様の効果を発揮することができる。

【0105】

なお、本実施形態では、10個の分周信号をすべて用いているが、本発明では、これに限定されず、10個の分周信号のうちの一部、すなわち、少なくとも1つを用いればよい。

【0106】

<第3実施形態>

図6は、本発明の周波数デルタシグマ変調信号出力装置の第3実施形態の動作を説明するためのタイミングチャートである。

【0107】

以下、第3実施形態について、前述した実施形態との相違点を中心に説明し、同様の事項については、その説明を省略する。

【0108】

第3実施形態の周波数デルタシグマ変調信号出力装置1では、複数の分周信号を用いることなく、第2実施形態と等価な装置を実現している。

【0109】

この場合、前述した実施形態と異なる点は、カウント部3は、カウント値が所定値に達すると、カウント値をリセットし、クロック信号のカウントを再開する。

【0110】

具体的には、図6に示すように、カウント部3は、クロック信号のカウントを連続で行い、そのクロック信号のカウントは、「0」から「15」まで行き、「15」の後には、「0」にリセットして再開する。なお、「15」の後の「0」のカウントも、他の値のカウントと、同一のタイミングで行う。

【0111】

これにより、演算部4で後述する処理を行うことで、第2実施形態と同等の効果を、複数の分周信号を用いることなく、得ることができる。これにより、第2実施形態に比べて、演算処理数を低減することができる。

【0112】

次に、周波数デルタシグマ変調信号出力装置1の動作について説明する。

まず、基準信号の立ち上がりF、ラッチタイミングQ、R、SおよびTで、それぞれ、クロック信号のカウント値が「0」にリセットされる。なお、ラッチタイミングQ、R、SおよびTは、それぞれ、基準信号の立ち上がりである。

【0113】

また、図示されている範囲では、測定期間は、基準信号の立ち上がりFと被測定信号の

10

20

30

40

50

立ち上がりHとの間の期間と、基準信号の立ち上がりFと被測定信号の立ち下がりIとの間の期間と、基準信号の立ち上がりFと被測定信号の立ち上がりJとの間の期間と、基準信号の立ち上がりFと被測定信号の立ち下がりKとの間の期間と、基準信号の立ち上がりFと被測定信号の立ち上がりLとの間の期間と、基準信号の立ち上がりFと被測定信号の立ち下がりMとの間の期間と、基準信号の立ち上がりFと被測定信号の立ち上がりNとの間の期間と、基準信号の立ち上がりFと被測定信号の立ち下がりOとの間の期間と、基準信号の立ち上がりFと被測定信号の立ち上がりPとの間の期間とに設定されている。

【0114】

まず、被測定信号の立ち下がりGでのクロック信号のカウント値nは、「0」、立ち上がりHでのクロック信号のカウント値nは、「7」、立ち下がりIでのクロック信号のカウント値nは、「14」、立ち上がりJでのクロック信号のカウント値nは、「5」、立ち下がりKでのクロック信号のカウント値nは、「12」、立ち上がりLでのクロック信号のカウント値nは、「3」、立ち下がりMでのクロック信号のカウント値nは、「10」、立ち上がりNでのクロック信号のカウント値nは、「1」、立ち下がりOでのクロック信号のカウント値nは、「8」、立ち上がりPでのクロック信号のカウント値nは、「15」である。

【0115】

これにより、演算部4では、カウント値nが「0」の情報に基づいて、基準信号の立ち上がりFの次のラッチタイミングQでは、「16-0」、すなわち、「16」が対応付けられる。また、次のラッチタイミングRでは、「0」が対応付けられる。

【0116】

同様にして、カウント値nが「7」の情報に基づいて、ラッチタイミングQでは、「16-7」、すなわち、「9」が対応付けられ、また、ラッチタイミングRでは、「7」が対応付けられる。

【0117】

同様にして、カウント値nが「14」の情報に基づいて、ラッチタイミングQでは、「16-14」、すなわち、「2」が対応付けられ、また、ラッチタイミングRでは、「14」が対応付けられる。

【0118】

同様にして、カウント値nが「5」の情報に基づいて、ラッチタイミングRでは、「16-5」、すなわち、「11」が対応付けられ、また、ラッチタイミングSでは、「5」が対応付けられる。

【0119】

同様にして、カウント値nが「12」の情報に基づいて、ラッチタイミングRでは、「16-12」、すなわち、「4」が対応付けられ、また、ラッチタイミングSでは、「12」が対応付けられる。

【0120】

同様にして、カウント値nが「3」の情報に基づいて、ラッチタイミングSでは、「16-3」、すなわち、「13」が対応付けられ、また、ラッチタイミングTでは、「3」が対応付けられる。

【0121】

同様にして、カウント値nが「10」の情報に基づいて、ラッチタイミングSでは、「16-10」、すなわち、「6」が対応付けられ、また、ラッチタイミングTでは、「10」が対応付けられる。以下、説明は、省略する。

【0122】

そして、演算部4では、各ラッチタイミングにおいて、対応付けられた値を加算する。

まず、ラッチタイミングQでは、情報が足りず、周波数デルタシグマ変調信号出力の値は、不定である。

【0123】

また、ラッチタイミングRでは、「0」、「7」、「14」、「11」および「4」が

10

20

30

40

50

加算され、その加算された値「36」が、周波数デルタシグマ変調信号の値となる。

【0124】

また、ラッチタイミングSでは、「5」、「12」、「13」および「6」が加算され、その加算された値「36」が、周波数デルタシグマ変調信号の値となる。以下、説明は、省略する。

【0125】

このようにして、周波数デルタシグマ変調信号出力装置1では、周波数デルタシグマ変調信号が生成され、出力される。

【0126】

以上のような第3実施形態によっても、前述した第1実施形態と同様の効果を発揮することができる。

10

【0127】

<第4実施形態>

図7は、本発明の周波数デルタシグマ変調信号出力装置の第4実施形態を示すブロック図である。

【0128】

以下、第4実施形態について、前述した実施形態との相違点を中心に説明し、同様の事項については、その説明を省略する。

【0129】

図7に示すように、第4実施形態の周波数デルタシグマ変調信号出力装置1は、タイミング生成部2と、カウント部3と、演算部4と、記憶部5と、フィルターの一例であるローパスフィルター7とを備えている。タイミング生成部2と、カウント部3と、演算部4と、ローパスフィルター7とは、出力側に向かってこの順序で接続されている。すなわち、周波数デルタシグマ変調信号出力装置1は、演算部4の後段にローパスフィルター7を備えている。

20

【0130】

ローパスフィルター7としては、特に限定されず、例えば、一般的なローパスフィルターや、ラグリードフィルター、ラグフィルター等が挙げられる。

【0131】

また、ローパスフィルターのカットオフ周波数（遮断周波数）は、特に限定されず、諸条件に応じて適宜設定される。

30

【0132】

このローパスフィルター7により、所定のカットオフ周波数以上の周波数成分が遮断または低減される。これにより、周波数デルタシグマ変調信号に含まれる高周波ノイズ成分を除去することができ、周波数デルタシグマ変調信号のS/N比を向上させることができる。

【0133】

また、基準信号の周波数は、ローパスフィルター7のカットオフ周波数よりも高く設定される。これにより、周波数デルタシグマ変調信号のS/N比を向上させることができる。

【0134】

以上のような第4実施形態によっても、前述した第1実施形態と同様の効果を発揮することができる。

40

なお、第4実施形態は、他の各実施形態に適用することができる。

【0135】

以上、本発明の周波数デルタシグマ変調信号出力装置を、図示の実施形態に基づいて説明したが、本発明はこれに限定されるものではなく、各部の構成は、同様の機能を有する任意の構成のものに置換することができる。また、他の任意の構成物が付加されていてもよい。

【符号の説明】

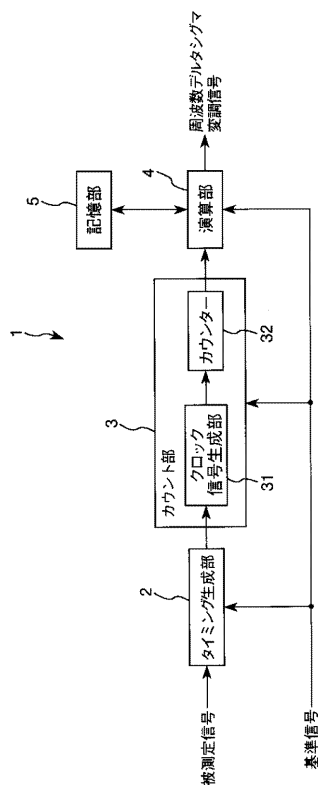
【0136】

50

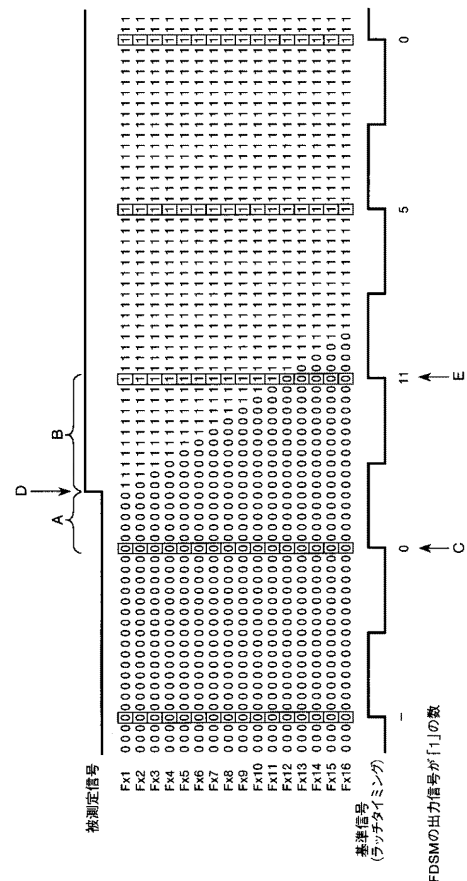
1…周波数デルタシグマ変調信号出力装置、2…タイミング生成部、3…カウント部、4…演算部、5…記憶部、6…分周信号生成部、7…ローパスフィルター、31…クロック信号生成部、32…カウンタ、100…周波数デルタシグマ変調信号出力装置、101…位相調整部、102…FDSM、103…加算器、122…第1ラッチ、123…第2ラッチ、125…排他的論理和回路、A…測定期間、B…測定期間、C…立ち上がり、D…立ち上がり、E…立ち上がり、F…立ち上がり、Fc…基準信号、Fcj…基準信号、Fcn…基準信号、Fx…被測定信号、Fx1…被測定信号、Fx2…被測定信号、Fx3…被測定信号、Fx4…被測定信号、Fx5…被測定信号、Fx6…被測定信号、Fx7…被測定信号、Fx8…被測定信号、Fx9…被測定信号、Fx10…被測定信号、Fx11…被測定信号、Fx12…被測定信号、Fx13…被測定信号、Fx14…被測定信号、Fx15…被測定信号、Fx16…被測定信号、Fxj…被測定信号、Fxn…被測定信号、G…立ち下がり、I…立ち下がり、K…立ち下がり、M…立ち下がり、O…立ち下がり、H…立ち上がり、J…立ち上がり、L…立ち上がり、N…立ち上がり、P…立ち上がり、OUT…出力信号、Q…ラッチタイミング、R…ラッチタイミング、S…ラッチタイミング、T…ラッチタイミング、d1…第1データ、d2…第2データ、m…分周比、n…カウント値

10

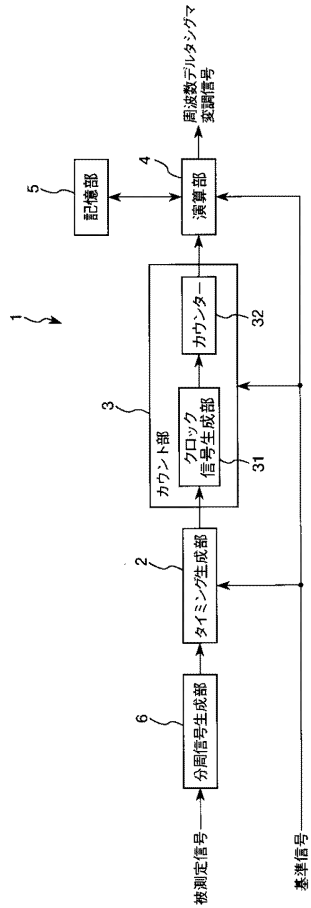
【図1】



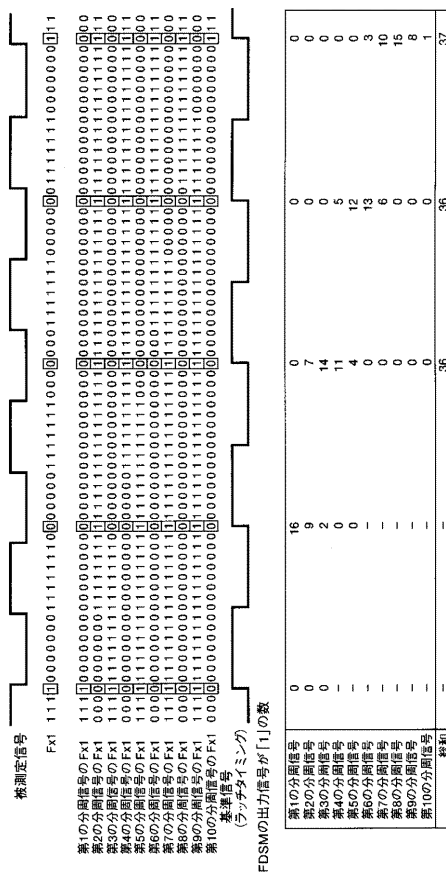
【図2】



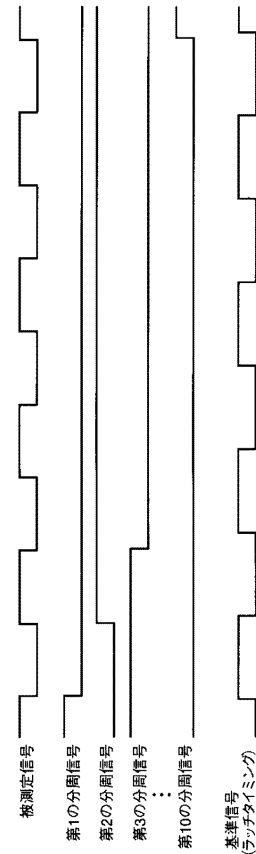
【 図 3 】



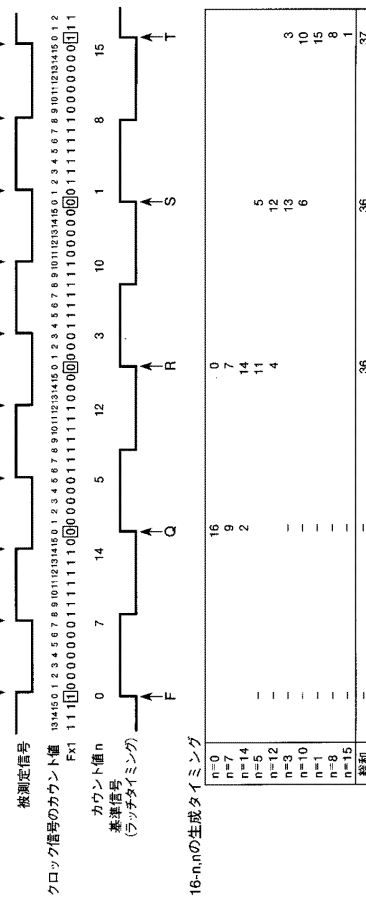
【図 5】



【図 4】



【図 6】



【図 8】

