

公告本

申請日期	88. 2. 8
案 號	88101896
類 別	G11C 16/06

A4
C4

487916

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	記憶體電路
	英 文	MEMORY CIRCUIT
二、發明 人	姓 名	北崎和宏
	國 籍	日 本
	住、居所	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
三、申請人	姓 名 (名稱)	日商・富士通股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	代 表 人 姓 名	秋草直之

經濟部中央標準局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

日本 國 (地區) 申請專利，申請日期：1998,5,28 案號：特願平10-146765，☒有 ☐無主張優先權

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

本發明之背景

1. 本發明之界定

本發明係論及一種非揮發性半導體記憶體電路，諸如一閃式記憶體，詳言之，其係論及一種能在彼等非同步讀取運作與時鐘信號同步讀取運作間做交換之記憶體裝置。

2. 相關技藝之說明

一半導體記憶體裝置可提供快速之存取時間，以及係被利用於電腦系統中以做為彼等之主記憶體，和其他需要快速存取時間之記憶體中。反之，半導體記憶體裝置並不適於用以儲存大的程式和大量之資料；因此，彼等硬碟係被使用於此種大容量之記憶體應用例中。在各種半導體記憶體裝置中，動態RAM主要係被用做彼等主記憶體。DRAM係一種揮發性記憶體，其在電力切斷時會喪失所儲存之資料，因此，其雖適用於儲存彼等準備暫時要保持在記憶體內之資料或程式，卻不適用來儲存電腦起動期間要被讀取之BIOS常式，或其他類似之程式。

彼等非揮發性記憶體引人注目之處，在於具有即使在電力切斷時，也能保持所儲存資料之能力。詳言之，彼等使用非揮發性記憶體之閃式記憶體，以彼等抹除運作之觀點而論雖呈現著某種限制，係一種非揮發性記憶體，其由於此種記憶體之基本運作原理所致，即使在電力被切斷時，仍能保存所儲存之資料。其另一項優點則是比硬碟或其他外部記憶體裝置，有著較快之存取時間。在近數年所供應之電腦系統中，將一電腦起動下要被自動讀取之BIOS

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

常式，儲存進閃式記憶體內，業已成為一般之實務。

一電腦起動下所要執行之運作包括：在電力接通之際，自動存取其中存有BIOS常式之閃式記憶體，以及讀取其BIOS常式；讀取其硬碟上面所儲存之作業系統(OS)；以及將此資料置於其動態RAM主記憶體內。在一應用程式之後繼執行動作期間，上述置於其主記憶體內內之OS，將會依序被讀取，以及其硬碟或其他外部記憶體裝置上面所儲存之應用程式將會被執行。近數年所供應之動態RAM，諸如SDRAM，係彼等同步記憶體，其中，彼等之讀取運作，係與其時鐘信號同步。就快速讀取之觀點而論，上述之叢訊模態讀取運作，其中之連續多位元資料流係與其時鐘信號同步輸出，係一不可或缺之能力。彼等之叢訊讀取可容許在高速下自其主記憶體讀取其OS。

反之，傳統之閃式記憶體，係一非同步記憶體，其在響應一即定位址之輸入，讀取出該位址處所儲存之資料前，勢必要等待一段即定之存取時間。

其OS通常係包含較一普通應用程式所含為少之資料；因此，隨著彼等閃式記憶體容量之變大，設若一閃式記憶體有足夠之資料容量來容納其OS，則將其OS儲存進其閃式記憶體內，早已成為一可能之事實。將其OS儲存進其閃式記憶體內，將可免除要將其自硬碟轉移至主記憶體之需要，因而可大幅降低該電腦起動所需之時間。由於傳統式閃式記憶體係非同步的，其系統將無法在其存有要在主記憶體內執行之OS的閃式記憶體上面，執行上述叢訊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

讀取之運作。彼等對閃式記憶體之讀取運作的遲緩性，使得彼等將其OS和其他程式儲存進閃式記憶體內之建議的吸引力大為降低。

因此，本發明之一目地旨在提供一種能夠有時鐘信號同步讀取之運作的閃式記憶體，或類似之非揮發性記憶體電路。

本發明之另一目地旨在提供一種能夠有時鐘信號同步讀取之運作的閃式記憶體，或類似之非揮發性記憶體電路。

本發明之再一目地旨在提供一種能夠同時有時鐘信號同步讀取之運作和時鐘信號非同步讀取之運作的閃式記憶體，或類似之非揮發性記憶體電路。本發明之一其他目地旨在提供一種閃式記憶體，其以系統目地之觀點視之，能夠有傳統式時鐘信號非同步讀取之運作，能夠進一步有與主記憶體相類似之時鐘信號同步讀取的運作，以及能夠依需要而在兩種模態間做交換。

本發明之再一目地旨在提供一種閃式記憶體，其能夠適當地在彼等非同步讀取運作與叢訊讀取運作間做交換。

本發明之概要

為達成以上諸目地，本發明包含一閃式記憶體或類似之非揮發性記憶體電路，其特性在於有一可在一時鐘信號同步叢訊讀取模態和一時鐘信號非同步正常讀取模態之兩種模態中進行讀取運作的結構，其裝置可響應電力之接通，而被設定成正常讀取模態，以及可響應一指令叢訊讀取

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

模態之控制信號，而被設定成其叢訊讀取模態。該記憶體電路之內部，含有一叢訊模態交換電路。此叢訊模態交換電路，可響應電力之接通，而將一輸出電路設定成正常讀取模態，以便在電力接通後，可不與該時鐘信號同步地進行彼等之讀取運作。該叢發模態交換電路，可響應其系統所提供之一叢訊模態控制信號，而將其輸出電路設定成叢訊讀取模態。因此，此一系統可在類似傳統主記憶體之存取環境下，對其非揮發性記憶體裝置執行叢訊讀取之動作。

為達成前述諸目地，本發明提供一種內含非揮發性記憶體晶格之記憶體電路，其包含：一輸出電路，其可執行彼等來自其記憶體晶格之資料的時鐘信號同步叢訊讀取運作和時鐘信號非同步正常讀取運作；和一叢訊模態交換電路，其可響應電力之接通，而將其輸出電路設定成正常讀取模態，以及可響應一外部所提供之特定控制信號，而將其輸出電路設定成叢訊讀取模態。

依據本發明，彼等之運作，在電力接通時，係在正常讀取模態中被執行，以及可響應一指令叢訊讀取模態之控制信號，而被設定成叢訊讀取模態，以便允許其系統在電力接通時及後繼之運作期間，可被設定成時鐘信號同步運作模態和時鐘信號非同步運作模態。

為達成前述諸目地，本發明尚提供一種可響應一叢訊控制信號而在一時鐘信號同步第一讀取模態和一時鐘信號非同步第二讀取模態間做交換之記憶體電路，其中，在其

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

第一讀取模態中，其可在一第一控制信號正處於激勵位準期間，與該時鐘信號同步地取得彼等之定址信號，以及彼等多數之讀取資料，係在上述第一控制信號處於激勵位準後相隔一段預定時間後，在一第二控制信號正處於激勵位準期間，與該時鐘信號同步地被輸出；其包含一叢訊模態交換電路，其可在電力接通時，將該叢訊控制信號設定為其第二讀取模態之條件，以及可響應上述正處於激勵位準下之第一控制信號，而將該叢訊控制信號設定為其第一讀取模態之條件。

依據本發明，其記憶體裝置可在電力接通時，被迫在時鐘信號非同步正常讀取模態中運作，以及隨後可響應一叢訊讀取模態指令信號，而在時鐘信號同步叢訊讀取模態中運作。

圖示之簡要說明

第1圖係描繪一採用本發明非揮發性記憶體裝置所構成之閃式記憶體的系統範例；

第2圖係描繪一隸屬本發明之一實施例的閃式記憶體組態；

第3圖係一有關叢訊讀取模態之時序圖；

第4圖係一有關正常讀取模態之時序圖；

第5圖係一有關一抹除或寫入運作之簡單時序圖；

第6圖係描繪其叢訊模態交換電路之第一範例；

第7圖係顯示一與第6圖之叢訊模態交換電路的運作有關的真值表；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

第8圖係描繪其叢訊模態交換電路之另一範例；

第9圖係顯示一與第8圖之叢訊模態交換電路的運作有關之真值表；而

第10圖則係第8圖之叢訊模態交換電路的一個運作流程圖。

較佳實施例之詳細說明

本發明之較佳實施例，在描述上係參照所附諸圖；然而，本發明技術上之界定範圍，並非僅限於本說明書中所揭示之實施例。

第1圖係描繪一採用本發明非揮發性記憶體裝置所構成之閃式記憶體的系統範例。此一範例中之系統，係一個人電腦或類似之系統。一CPU 10係經由一匯流排22，連接至一主記憶體12、兩閃式記憶體14和16、和一外部儲存裝置18。其外部儲存裝置18，舉例而言，係一硬碟，以及係經由一特定界面20，連接至上述之匯流排22。一作業系統(OS)和其他應用程式，係儲存在該外部儲存裝置18內。其閃式記憶體16，係用做該電腦啟通時之啟動ROM，以及舉例而言係包含其BIOS。上述用做啟動ROM之閃式記憶體16，係在時鐘信號非同步之模態下運作。彼等閃式記憶體14和16中之任何一個，均可加以使用。誠如下文所將述，上述之閃式記憶體14，將構成本發明之非揮發性記憶體裝置。

該主記憶體12係構成一高速半導體記憶體裝置，諸如同一同步DRAM (SDRAM)，其內部之運作，係與其時鐘信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

號同步。因此，該主記憶體12，在其CPU 10或一記憶體控制器（未示出）之控制下，至少可在時鐘信號同步叢訊讀取模態中運作。

因此，當該電腦接通電力時，其CPU 10，首先會自其閃式記憶體16（啟動ROM），讀取其BIOS。此一讀取運作，係在時鐘信號非同步正常讀取模態下進行。上述外部儲存裝置18所儲存之OS，隨繼會被讀取進其主記憶體12內，際此，其CPU 10方自該OS讀取適當之指令，以執行其所希望之應用程式。其CPU 10係在時鐘信號同步高速讀取模態下，自其主記憶體12讀取上述之OS。

上述依本發明所製之閃式記憶體，可支援時鐘信號非同步正常讀取模態和時鐘信號同步叢訊讀取模態等兩種模態。因此，在一般系統之運作環境中，上述儲存在該外部儲存裝置18內之OS，加上其BIOS，均可儲存在其閃式記憶體14內。當電力接通時，其BIOS將會在時鐘信號非同步正常讀取模態中，自其閃式記憶體14讀取出，以及上述之OS繼而將會與自其主記憶體12之讀取動作相類似，在時鐘信號同步叢訊讀取模態中被讀取。因此，其CPU 10不需對來自上述傳統式閃式記憶體16之BIOS讀取控制和對來自其主記憶體12之OS讀取控制做修飾。由於上述之OS早已儲存在其閃式記憶體14內，其將可免除在電力接通期間，自該外部儲存裝置18，將其轉移至其主記憶體12，而將其儲存其中之需要，此將可大幅地降低該電腦起動所需之時間。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (8)

藉著將一代表相當少量資料之OS儲存進其閃式記憶體內，以及在上述所授義之方式下，提供叢訊讀取模態給其閃式記憶體，其將可降低該個人電腦起動所需之時間。在類似之方式下，藉著將彼等具有相當少量資料之應用程式，儲存進其閃式記憶體內，將可被降低彼等應用軟體程式之起動時間。其CPU 10或記憶體控制器（未示出）自該主記憶體讀取OS或程式，係與讀取該主記憶體內所儲存之資料，有著類似之方式。

第2圖係一隸屬本發明之一實施例的閃式記憶體示意圖。第2圖之閃式記憶體包含：一非揮發性記憶體晶格陣列21、一可選擇其中字組線之列解碼器22、一可在行方向做選擇之行解碼器23、和一可使其行解碼器23所選擇之位元與感測放大器SA關聯之行選擇電路24。其中亦設有一位址緩衝器25和一感測放大解碼器26，前者可用以取得多數之位址(ADD) 32，以及可將此等位址傳輸給彼等之列解碼器22和行解碼器23，而後者可用以控制彼等之輸出邏輯閘電晶體27-30。其感測放大解碼器26，可控制彼等輸出邏輯閘電晶體27-30之導通，藉以使彼等四個感測放大器SA之輸出，能夠適當地傳輸給其輸出緩衝器31。該等位址(ADD) 32、一在功能上作為一控制信號之初始位址(/IA) 33、和一時鐘信號(CLK) 34，係呈現給其位址緩衝器25。該時鐘信號(CLK) 34、該等來自位址緩衝器25之2-位元位址40、和彼等在功能上作為控制信號之叢訊位址(/BA) 36，係呈現給其感測放大解碼器26。其中亦設有一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

叢訊模態交換電路39，其呈現有該初始位址(/IA) 33和一重置信號(/RESET) 38。此叢訊模態交換電路39，可產生一叢訊控制信號(BURST) 35，而呈現給彼等之內部位址緩衝器25和感測放大解碼器26。

彼等感測放大解碼器26、輸出邏輯閘電晶體27-30、和輸出緩衝器31，將共同構成一輸出電路。基於該叢訊控制信號35，彼等之讀取運作在執行上，或在時鐘信號同步叢訊讀取模態中，或在時鐘信號非同步正常讀取模態中。該叢訊控制信號35，亦將呈現給其位址緩衝器25，以及響應此叢訊控制信號35，其位址緩衝器25，將可在與該時鐘信號34同步之基礎上，取得彼等外部供應之位址32。在該叢訊控制信號35表示非叢訊模態之情況下，其位址緩衝器25，將可在與該時鐘信號34非同步之基礎上，取得彼等外部供應之位址32。

第3圖係一有關叢訊讀取模態之時序圖。第4圖係一有關正常讀取模態之時序圖。第2圖中所描述之閃式記憶體，可在時鐘信號同步叢訊讀取模態和時鐘信號非同步正常讀取模態等兩種模態中運作。茲將參照第3和4圖之時序圖，說明其兩種模態中之運作情形。

在其叢訊讀取模態中，該叢訊模態交換電路39，可將其叢訊控制信號35設定為叢訊模態（高邏輯位準）。參考第3圖，在該初始位址/IA為低邏輯位準期間，響應上述時鐘信號CLK之上昇緣，其位址緩衝器25可取得一外部供應之位址ADD。此保持在其位址緩衝器25內之位址，在功

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

能上係作為其後繼叢訊讀取之前導位址。參照其位址緩衝器25所提供之此一位址，其列解碼器22可選擇一條字組線，以及其行解碼器23可選擇四條位元線。結果，有四個位元將會輸出給其感測放大器SA，以資放大之用。

其位址緩衝器25，亦可將2-位元位址40，提供給其感測放大解碼器26，際此，其感測放大解碼器26可選擇一與上述前導位址相關聯之感測放大器SA，以便使其相關聯之輸出邏輯閘電晶體27-30導通。結果，自上述特定位址讀取出之資料，將會傳遞至一輸出緩衝器31，以及自一I/O端子37輸出。參考第3圖中之時序圖，一旦該初始位址/IA變為低邏輯位準，以及業已經歷三個時鐘信號脈波後，其與該前導位址相關聯之資料Dn，便會與該時鐘信號CLK脈波之上昇緣同步地被輸出。在該叢訊位址/BA（其控制信號）為低邏輯位準期間，其餘感測放大器SA內之讀取資料，將會與該時鐘信號CLK脈波之上昇緣同步地傳輸給其輸出緩衝器31。在第3圖中所描繪之範例中，在該叢訊位址/BA（其控制信號）為低邏輯位準之際，發生了三個時鐘信號CLK脈波之上昇緣；因此，讀取資料Dn+1、Dn+2、和Dn+3，將會依序輸出。

在上述之叢訊讀取中，其位址緩衝器25，係與一時鐘信號脈波之上昇緣同步地取得一位址ADD，以及其輸出電路係在與一時鐘信號CLK脈波之上昇緣同步之方式下，輸出彼等感測放大資料，彼等其餘感測放大器SA內之資料，係在該叢訊位址/BA為低邏輯位準期間，與該時鐘信

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (11)

號CLK脈波之上昇緣同步地做輸出。在此一方式下，其叢訊讀取運作，係與該時鐘信號同步地做多數讀取資料之連續讀取，而使得其高速讀取之運作成為可能。

在其時鐘信號非同步正常讀取模態中，該叢訊模態交換電路39，可將其叢訊控制信號35設定為正常模態（低邏輯位準）。因此，其位址緩衝器25可無關乎該時鐘信號，而取得上述外部供應之位址ADD，以及將此一位址ADD提供給彼等列解碼器22和行解碼器23。類似地，其位址緩衝器25，可將一2-位元位址40，提供給其感測放大解碼器26。其列解碼器22可選擇一與此一位址相對應之字組線，以及其行解碼器23可選擇四條與此一位址相對應之位元線。四個資料則將會同時輸出給其感測放大器SA，以資放大之用。其感測放大解碼器26，可參照提供至其之此一2-位元位址，使彼等輸出邏輯開電晶體27-30中之一導通，以便上述一感測放大器SA之輸出，可傳遞至其輸出緩衝器31。

在上述非叢訊讀取之運作中，該位址之取得係非與該時鐘信號同步，以及每次運作僅有一項資料被讀取出。因此，誠如第4圖中之時序圖所示，彼等與位址 A_n - A_{n+3} 相關聯之資料 D_n - D_{n+3} ，將會響應彼等所提供之位址，依順序之方式被讀取出。要讀取4個資料位元，將必須要提供4-組位址，以及其讀取運作因而要較在叢訊讀取模態中為慢。

第2圖中之閃式記憶體，亦具有記憶體晶格抹除及寫

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (12)

入 (程式) 模態。在該閃式記憶體中，其記憶體晶格陣列內所保持之資料，係以某一定大小之區塊單位被抹除及重寫入。彼等抹除及寫入 (程式) 運作有關之時序圖，係顯示在第 5 圖中。在其控制信號 /WE 為低邏輯位準之期間內，一呈現給彼等多數輸入-輸出端子 I/O 之命令，將會被取得，此命令將會被解碼，以及抹除模態或寫入模態將會被感測出。依據所感測係抹除模態亦或寫入模態，一抹除電路或一寫入電路 (未示出)，將會 (因而) 受到控制。特言之，字組線之位準和位元線之位準，係被控制成彼等適合一抹除運作或一寫入 (程式) 運作之位準。

第 6 圖係一可描繪其叢訊讀取交換電路模態之第一範例的簡圖。第 7 圖係顯示一與第 6 圖之叢訊模態交換電路的運作有關的真值表。此真值表內之 X，係表示其有可能為一高邏輯位準或一低邏輯位準。

一提供給第 6 圖之叢訊交換電路的電源供應電壓偵測電路 50，可在電力接通時，偵測其電源供應電壓 V_{cc} 之位準；若其電源供應電壓 V_{cc} 低於一定量之參考位準，其偵測信號 P0 將變為低邏輯位準，而若其電源供應電壓 V_{cc} 高於該參考位準，其偵測信號 P0 則變為高邏輯位準。一提供給其叢訊交換電路而由一 NOR 邏輯閘 52 和一反相器 53 所構成之電門器電路 54，可將上述叢訊控制信號 (BURST) 35 之狀態維持住。此電門器電路 54 之狀態，可使用其 NAND 邏輯閘 51 (其係具有作為其輸入之偵測信號 P0 和重置信號 /RESET) 之輸出，或透過一經由一反相器 55 而受控於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

上述初始位址(/IA) 33之電晶體56的汲極位準，而做正反之變化。

參考第7圖，當電力接通時，或一重置運作業已開始時，其叢訊模態交換電路，將會自動將上述之叢訊控制信號(BURST)設定成低邏輯位準，而將其裝置置於非叢訊模態（正常讀取模態）中。若該初始位址/IA變為低邏輯位準，上述之叢訊控制信號BURST，將會自動被設定為高邏輯位準，以及其裝置將會逕為叢訊讀取模態。

上述之重置信號/RESET係內定為高邏輯位準。當電力接通，以及其電源供應電壓Vcc逐漸升高時，只要該電壓Vcc依然低於上述之參考值，便會有一低邏輯位準之偵測信號P0輸出；其NAND邏輯閘51之輸出，將會變為高邏輯位準，以及上述之叢訊控制信號BURST之輸出，將會變為低邏輯位準，因而建立成非叢訊讀取模態（正常讀取模態）。此一狀態係描繪在第7圖內之情況1中。當其電源供應電壓Vcc繼續升高，而達到上述之參考值時，便會有一高邏輯位準之偵測信號P0輸出，以及其NAND邏輯閘51之輸出，將會變為高邏輯位準；由於其反相器53之輸出係高邏輯位準，其NOR邏輯閘52所輸出之叢訊控制信號BURST，將會不變地處於低邏輯位準。因此，非叢訊讀取模態將會被其電門器電路54維持住。此一狀態係描繪在第7圖內之情況4中。

欲執行一叢訊讀取，上述在外部控制下之初始位址/IA，將會變為高邏輯位準，際此，其反相器55之輸出，將會

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (14)

變為高邏輯位準，而迫使其N-通道電晶體56導通。其電晶體56之汲極端子57，將會降為低邏輯位準，以及此情況配合其NAND邏輯閘51之低邏輯位準輸出，將會使其NOR邏輯閘52所輸出之叢訊控制信號BURST，交換成高邏輯位準。結果，上述之叢訊控制信號BURST，將會被設定成叢訊讀取模態之條件。此一狀態，即使在上述之初始位址/IA往後被交換回高邏輯位準時，亦會被其電門器電路54維持住。

若一重置運作係在叢訊模態中開始，上述之重置信號/RESET，將會變為低邏輯位準；因此，在一與電力接通時相類似之程序中，上述之叢訊控制信號BURST將會交換回低邏輯位準，而建立成非叢訊讀取模態。此一狀態係描繪在第7圖內之情況2中。此一狀態將會被其電門器電路54維持住，以致即使在上述之重置信號/RESET，往後被交換回高邏輯位準時，上述之叢訊控制信號BURST，亦會被維持在低邏輯位準。在此一狀態中，若上述之初始位址/IA變為低邏輯位準，以及有一叢訊讀取指令發出，則上述之叢訊控制信號BURST，便會返回高邏輯位準，以及與前文所述之情況類似，逕成叢訊讀取模態。

誠如前文之說明得知，第6圖中所描繪之叢訊模態交換電路，可在電力接通時，將其模態設定成非叢訊讀取模態，若上述之初始位址/IA變為低邏輯位準，則使其裝置交換成叢訊讀取模態，以及若上述之叢訊控制信號BURST變為低邏輯位準，則使其交換回非叢訊讀取模態。因此，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

第1圖中所描繪之閃式記憶體14，將可用來儲存類似其BIOS和OS等之程式，而在電力接通時，運作於時鐘信號非同步非叢訊讀取模態，以及在有一叢訊讀取指令發出時，使其交換回時鐘信號同步叢訊讀取模態，因而可提供一種與主記憶體相類似之高速讀取運作。使用本說明書中所揭示之閃式記憶體，將可在個人電腦中提供較短之啟動時間。

第8圖係描繪其叢訊模態交換電路之另一範例。第9圖係顯示一與第8圖之叢訊模態交換電路的運作有關之真值表。此真值表內之X，係表示其有可能為一高邏輯位準或一低邏輯位準。

如同第6圖中所描繪之範例，第8圖之叢訊模態交換電路包含：一電源供應電壓偵測電路50、一具有作為其輸入之偵測電路輸出P0和一重置信號/RESET之NAND邏輯閘51、一由一NOR邏輯閘52和一反相器53所構成之電門器電路54、和一N-電晶體56。其亦設有一P-通道電晶體57。彼等電晶體56和57，係受控於一寫入致能信號/WE、一選自彼等多數輸入-輸出端子I/O (37)之指定輸入-輸出端子、上述之初始位址/IA、和一組產生自一指令而傳輸至該等多數輸入-輸出端子之設定信號SET，而可將其電門器電路54，交換成其所希望之狀態。

當電力接通時，其電源供應電壓偵測電路50，將會偵測到其電源供應電壓Vcc之低邏輯位準，以及其P0之輸出，將變為低邏輯位準；其NOR邏輯閘52之輸出，將變為

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (16)

低邏輯位準，以及上述之叢訊控制信號BURST，將會被設定成非叢訊讀取模態（正常讀取模態，低邏輯位準）（情況10）。在其裝置被設定成叢訊讀取模態之事件中，控制上述之重置信號/RESET為低邏輯位準，將可使其電門器電路54之NOR邏輯閘52的輸出，交換成低邏輯位準（情況11）。當上述之初始位址/IA變為低邏輯位準時，將使其NAND邏輯閘64之輸出，變為高邏輯位準，則其電晶體56將會啟通，而迫使其NOR邏輯閘52之輸出，成為高邏輯位準。結果，上述之叢訊控制信號BURST，將會變為叢訊讀取模態（高邏輯位準），以及此一狀態將會被其電門器電路54維持住（情況14）。前述之運作係與第6圖中所描繪之叢訊模態交換電路者相類似。

第8圖之叢訊模態交換電路，亦可響應上述寫入致能信號/WE在一抹除或寫入（程式）運作期間之變為低邏輯位準，而將上述之叢訊控制信號BURST，交換成低邏輯位準（非叢訊讀取模態），以使彼等非同步記憶體運作能被致能（情況13）。一呈現給彼等多數輸入-輸出端子I/O之特定命令，可將上述之設定信號SET，置於模態交換狀態（高邏輯位準）中，以及一指定之輸入-輸出端子I/O (37)，接著，將會使成高邏輯位準或低邏輯位準，而允許其叢訊模態交換電路，建立叢訊讀取模態或非叢訊讀取模態（情況19和20）。

誠如第5圖之上下文中所述，在一抹除或寫入期間，其閃式記憶體可響應上述寫入致能信號/WE之變為低邏輯

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (17)

位準，而呈現有一特定命令。當上述寫入致能信號/WE變為低邏輯位準時，其反相器59之輸出，將會變為高邏輯位準，以及其NOR邏輯閘58之輸出，將會變為低邏輯位準，而使其P-通道電晶體57啟通，以及迫使其NOR邏輯閘52之輸出，變為低邏輯位準。結果，上述之叢訊控制信號BURST，將會變為低邏輯位準（非叢訊讀取模態），以及此一狀態將會被其電門器電路54維持住（情況13）。因此，在此一狀態中，其閃式記憶體將運作於時鐘信號非同步模態中。

參考第8圖中所描繪之電路，當一特定命令輸入至彼等多數輸入-輸出端子I/O時，該命令將會被其命令解碼器65解碼，以及其同步信號電門器電路66之輸出SET，將會被維持在高邏輯位準下。此表示為其模態設定之狀態。當上述指定之輸入-輸出端子I/O (37)，往後變為高邏輯位準時，則所有至其NAND邏輯閘63之輸入，將會變為高邏輯位準，以致其輸出將會變為低邏輯位準。因此，其NAND邏輯閘64之輸出，將會變為高邏輯位準，其電晶體56將會啟通，其NOR邏輯閘52之輸出，將會變為高邏輯位準，以及上述之叢訊控制信號BURST，將會被設定成叢訊讀取模態（高邏輯位準）（情況20）。

正當其裝置在其模態設定狀態（SET = H）中，若上述指定之輸入-輸出端子I/O (37)，變為低邏輯位準時，則所有至其NAND邏輯閘62之輸入，將會變為高邏輯位準，以致其輸出將會變為低邏輯位準。因此，其NOR邏輯閘58

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (18)

之輸出，將會變為低邏輯位準，其電晶體57將會啟通，其NOR邏輯閘52之輸出，將會變為低邏輯位準，以及上述之叢訊控制信號BURST，將會被設定成非叢訊讀取模態（低邏輯位準），亦即時鐘信號非同步之狀態（情況19）。

第10圖係一可描繪第8圖之叢訊模態交換電路之運作的一個流程圖。誠如先前之說明得知，接通電力(S2)可自動將其裝置設定成非叢訊模態(S4)。當上述之初始位址/IA往後變為低邏輯位準，藉以指令一叢訊讀取(S6)時，叢訊讀取模態則會被建立(S8)。當一指令一抹除或寫入（程式）之寫入致能信號/WE，變為低邏輯位準(S10)時，其裝置將會被交換回時鐘信號非同步運作所需之非叢訊讀取模態(S12)。

輸入一特定命令至彼等多數輸入-輸出端子I/O，可使上述之內部設定信號SET，逕成高邏輯位準(S14)，以及依據後繼指定之輸入-輸出端子I/O (37)，係高邏輯位準亦或低邏輯位準，其將逕為叢訊讀取模態或非叢訊讀取模態(S16、S18、S20)。若上述之重置信號/RESET在一重置運作中被交換成低邏輯位準(S22)，其裝置則會受迫成非叢訊讀取模態(S24)。

正當其裝置在模態設定狀態中，其經由上述指定之輸入-輸出端子I/O (37)對其模態之設定，係將上述之設定信號SET置於高邏輯位準，以及接著將上述指定之輸入-輸出端子I/O (37)，置於高邏輯位準或低邏輯位準，以使其模態能夠被設定而成。此一組態之目地在於，由於其處於

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (19)

低邏輯位準之寫入致能信號/WE，係表示命令輸入之狀態，其模態設定狀態中之模態設定，自應與其處於低邏輯位準之寫入致能信號/WE有所區別。

彼等在其閃式記憶體內之叢訊讀取和正常非同步讀取之運作，係與一般SDRAM和類似之記憶體者相類似。

雖然本發明之實施例在前述之說明上係採用閃式記憶體之範例，本發明則並非僅限於彼等閃式記憶體或其他此類之非揮發性記憶體，其係同樣具有其他類型記憶體裝置之應用潛力。在同時需要一時鐘信號同步叢訊讀取模態和一非同步非叢訊讀取模態之任何記憶體裝置中，使用本發明均將有著類似之優點。

依據本說明書中所揭示之本發明，提供有一種具有一時鐘信號同步叢訊讀取模態和一非同步非叢訊讀取模態兩者之記憶體電路，其裝置可在電力接通時，自動逕成非叢訊讀取模態，以及能夠經由一指令一叢訊讀取之控制信號，被交換成叢訊讀取模態。其裝置也可經由一重置運作，而被交換回非叢訊讀取模態。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱： 記憶體電路)

本發明係由一閃式記憶體或類似之非揮發性記憶體電路所構成，其特性在於其可在一時鐘信號同步叢訊讀取模態和一時鐘信號非同步正常讀取模態之兩種模態中進行讀取運作之一種結構，該裝置係可響應電力之接通，而被設定成正常讀取模態，以及可響應一指令叢訊讀取模態之控制信號，而被設定成其叢訊讀取模態。該記憶體電路內含一叢訊模態交換電路。此叢訊模態交換電路，可響應電力之接通，而將一輸出電路設定成正常讀取模態，以便在電力接通後，可不與該時鐘信號同步地進行彼等之讀取運作。該叢訊模態交換電路，可響應其系統所提供之一叢訊模態控制信號，而將其輸出電路設定成叢訊讀取模態。因此，此一系統可在其類似傳統主記憶體之存取環境下，對其非揮發性記憶體裝置執行叢訊讀取之動作。

英文發明摘要 (發明之名稱： MEMORY CIRCUIT)

The present invention comprises a flash memory or similar nonvolatile memory circuit characterized by a constitution that enables read operations in two modes, a clock-synchronous burst read mode and a clock-asynchronous normal read mode, the device being set to normal read mode in response to power on, and being set to burst read mode in response to a control signal instructing the burst read mode. The memory device includes a burst mode switching circuit internally. This burst mode switching circuit sets an output circuit to normal read mode in response to the power ON so as to enable read operations not synchronized with the clock after the power ON. In response to a burst mode control signal provided by the system, the burst mode switching circuit sets the output circuit to burst read mode. Thus, the system can perform the burst read to the nonvolatile memory device under the environment analogous to conventional main memory access.

(請先閱讀背面之注意事項再填寫各欄)

裝

訂

線

六、申請專利範圍

1. 一種內含非揮發性記憶體晶格之記憶體電路，其包含：

一輸出電路，其可執行彼等自其記憶體晶格讀取資料之時鐘信號同步叢訊讀取運作和時鐘信號非同步正常讀取運作；和

一叢訊模態交換電路，其可響應電力之接通，而將其輸出電路設定成正常讀取模態，以及可響應一外部所提供之特定控制信號，而將其輸出電路設定成叢訊讀取模態。

2. 如申請專利範圍第1項所申請之記憶體電路，其中之叢訊模態交換電路，可響應一重置運作，而將其輸出電路設定成正常讀取模態。
3. 如申請專利範圍第1或2項所申請之記憶體電路，其中之叢訊模態交換電路，包含一電門器電路，其可將一叢訊控制信號，提供給其輸出電路，以及可在其叢訊讀取模態被設定時，將該叢訊控制信號，門定在一叢訊讀取狀態中。
4. 如申請專利範圍第1項所申請之記憶體電路，其中之叢訊模態交換電路，可響應一外部提供之抹除或寫入控制信號，而被設定進正常讀取模態中。
5. 如申請專利範圍第4項所申請之記憶體電路，其中尚包含多數之輸入端子，

其中，其叢訊模態交換電路，可響應一呈現給彼等多數輸入端子之特定指令，逕成模態交換之狀態，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

以及在被置於此模態交換之狀態中時，可響應一供應至彼等任一之多數輸入端子的模態交換信號，使其輸出電路在彼等叢訊讀取模態與正常讀取模態間做交換，而與上述之模態交換信號相對應。

6. 一種記憶體電路，其可響應一叢訊控制信號而在一時鐘信號同步第一讀取模態和一時鐘信號非同步第二讀取模態間做交換；

其中，在其第一讀取模態中，其可在一第一控制信號正處於激勵位準期間，與該時鐘信號同步地取得彼等之定址信號，以及彼等多數之讀取資料，係在上述第一控制信號處於激勵位準後間隔一段預定之時間，在一第二控制信號正處於激勵位準期間，與該時鐘信號同步地被輸出；

其包含一叢訊模態交換電路，其可在電力接通時，將該叢訊控制信號設定為其第二讀取模態之條件，以及可響應上述正處於激勵位準下之第一控制信號，將該叢訊控制信號設定為其第一讀取模態之條件。

7. 如申請專利範圍第6項所申請之記憶體電路，其中之叢訊模態交換電路，可響應一重置運作，而將該叢訊控制信號設定成其第二讀取模態。

8. 如申請專利範圍第6項所申請之記憶體電路，其中尚包含多數之輸入端子，

其中，隨著一第三控制信號之處於激勵位準，彼等記憶體晶格，可響應一呈現給彼等多數輸入端子之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

抹除或寫入指令，而進行抹除或寫入之動作；以及其叢訊模態交換電路，可響應上述第三控制信號之處於激勵位準，而將該叢訊控制信號設定為其第二讀取模態之狀態。

9. 如申請專利範圍第8項所申請之記憶體電路，其中，隨著一第三控制信號之處於激勵位準，其叢訊模態交換電路，可響應一呈現給彼等多數輸入端子之特定指令，逕成一模態交換之狀態，以及在被置於此模態交換之狀態中時，可響應一供應至彼等任一之多數輸入端子的模態交換信號，而使其叢訊控制信號，交換為可與上述模態交換信號相對應之第一或第二讀取模態之狀態。
10. 如申請專利範圍第6至9項任一項所申請之記憶體電路，其中，設有可隨電力之切斷而保存所儲存資料之非揮發性記憶體。

(請先閱讀背面之注意事項再填寫本頁)

裝

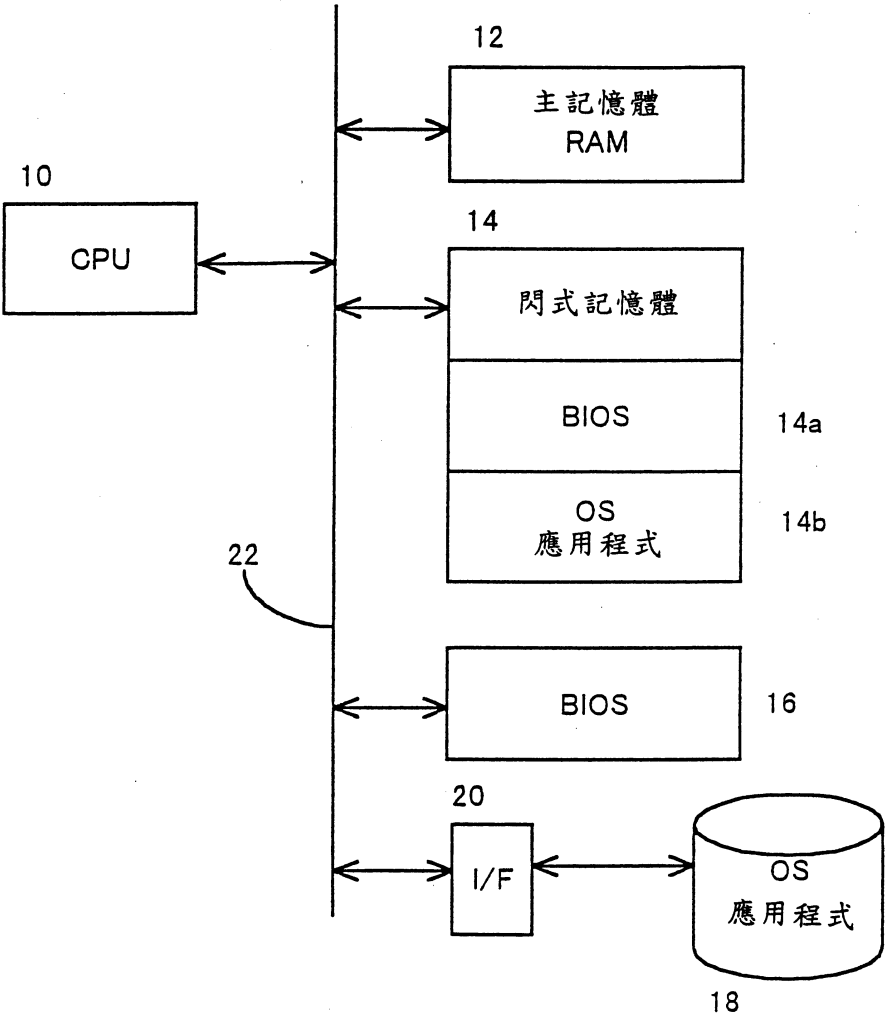
訂

線

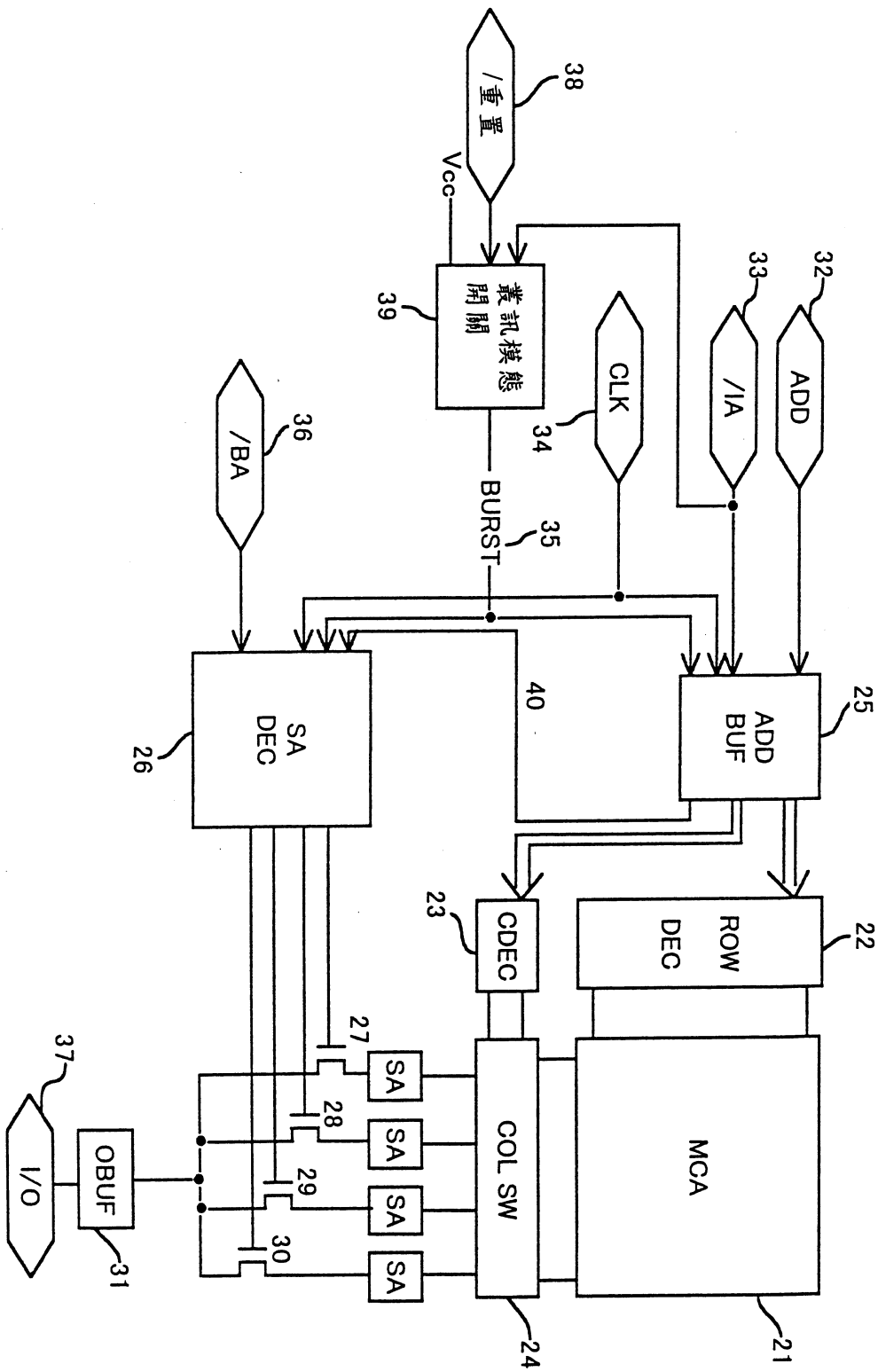
881018P6

第 1 圖

採用閃式記憶體之系統

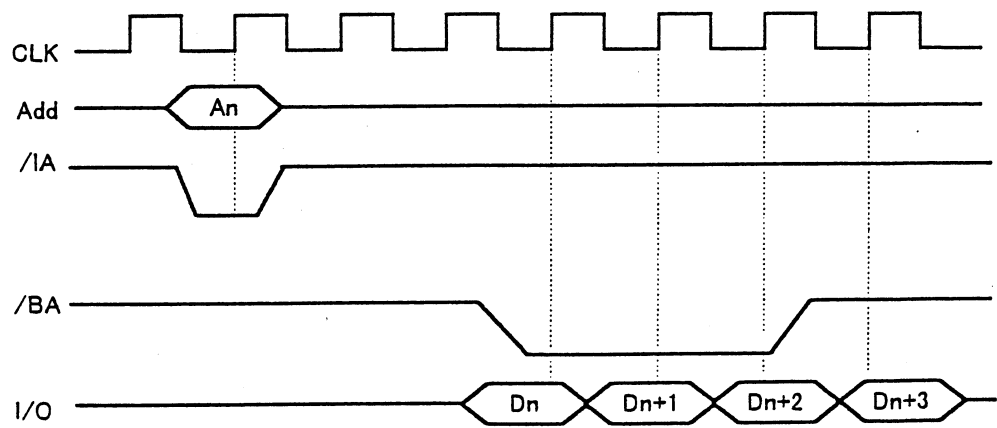


第 2 圖



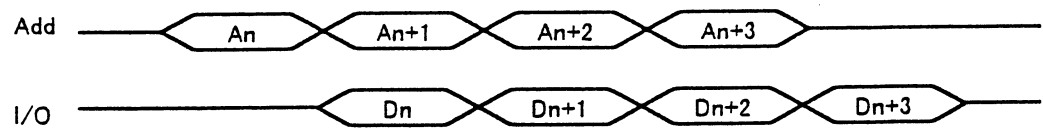
第 3 圖

叢取讀取模態



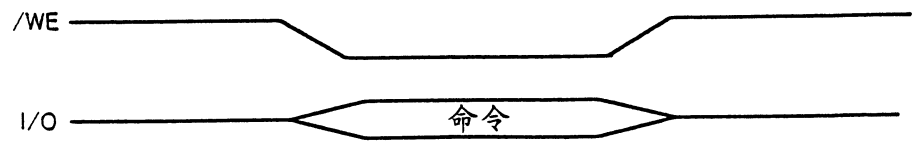
第 4 圖

正常讀取模態

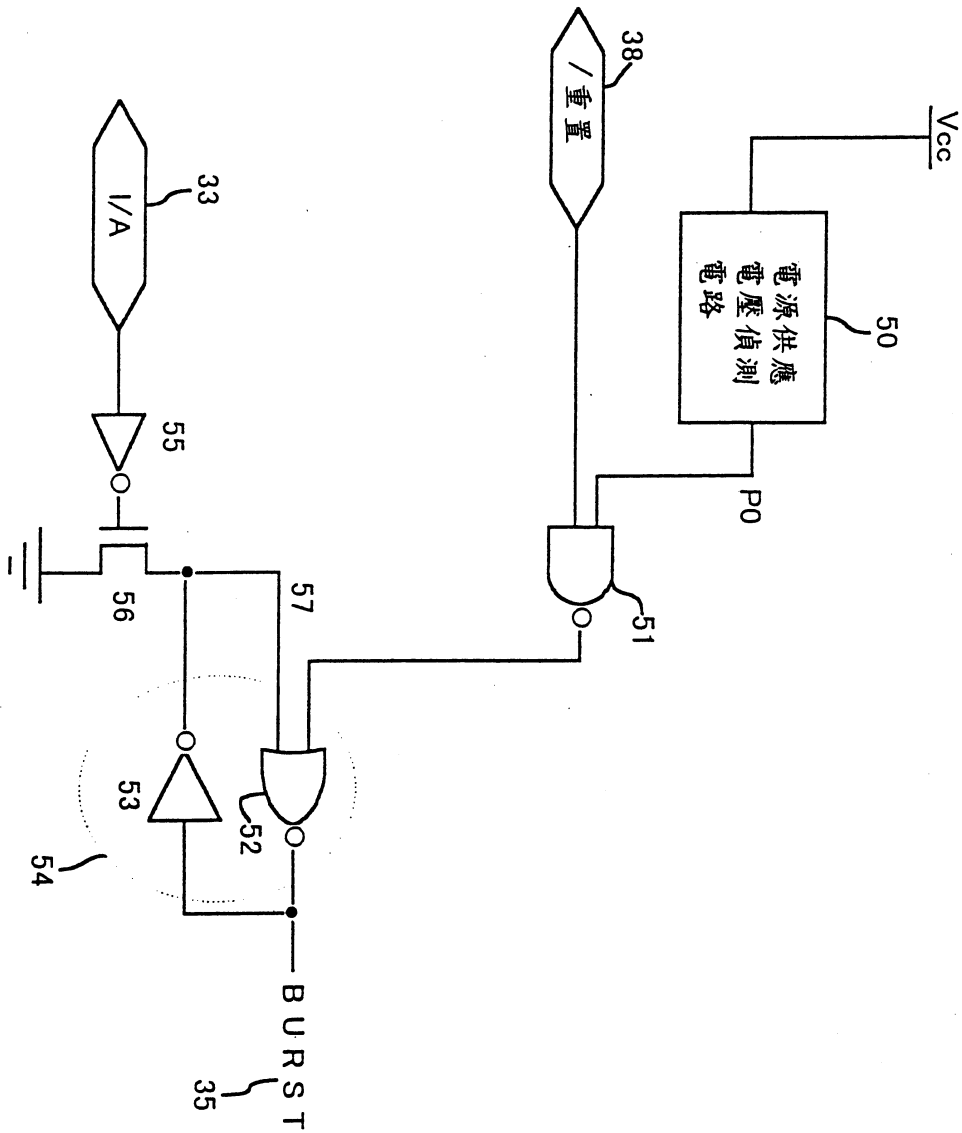


第 5 圖

抹除，程式



第 6 圖



第 7 圖

情況	PO	/RST	/IA	BURST	運作條件
1	L	X	X	L	電力接通
2	H	L	X	L	重置
3		H	L	H	叢訊讀取
4			H	L	非叢訊讀取

第 9 圖

情況	PO	/RST	SET	/ME	I/O	/IA	BURST	運作條件	
10	L	X	X	X	X	X	L	電力接通	
11	H	L	X	X	X	X	L	重置	
12		H	L	L	X	L	-	無效	
13			L	L	X	H	L	命令輸入	
14					X	L	H	叢訊讀取	
15			H	H	X	H	L	非叢訊讀取	
16					L	X	L	-	無效
17						X	H	L	命令輸入
18			H			H	X	L	-
19	L	H					H	L	非叢訊讀取
20								H	H

第 10 圖

