



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년10월18일
 (11) 등록번호 10-1787597
 (24) 등록일자 2017년10월12일

- (51) 국제특허분류(Int. Cl.)
 HO4L 12/24 (2006.01) G06F 13/14 (2006.01)
 G06F 13/38 (2006.01)
- (52) CPC특허분류
 HO4L 41/0896 (2013.01)
 G06F 13/14 (2013.01)
- (21) 출원번호 10-2015-7013869(분할)
- (22) 출원일자(국제) 2011년09월30일
 심사청구일자 2016년09월30일
- (85) 번역문제출일자 2015년05월26일
- (65) 공개번호 10-2015-0064243
- (43) 공개일자 2015년06월10일
- (62) 원출원 특허 10-2014-7008231
 원출원일자(국제) 2011년09월30일
 심사청구일자 2014년03월28일
- (86) 국제출원번호 PCT/US2011/054452
- (87) 국제공개번호 WO 2013/048508
 국제공개일자 2013년04월04일
- (56) 선행기술조사문헌
 US6175434 B1
 US20110093633 A1

- (73) 특허권자
 인텔 코포레이션
 미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200
- (72) 발명자
 자우시 제임스 이
 미국 오레곤주 97124 힐스보로 노스웨스트 4번 애비뉴 3778
 무니 스티븐 알
 미국 유타주 84664 메이플튼 사우스 400 이스트 1333
 (뒷면에 계속)
- (74) 대리인
 제일특허법인

전체 청구항 수 : 총 15 항

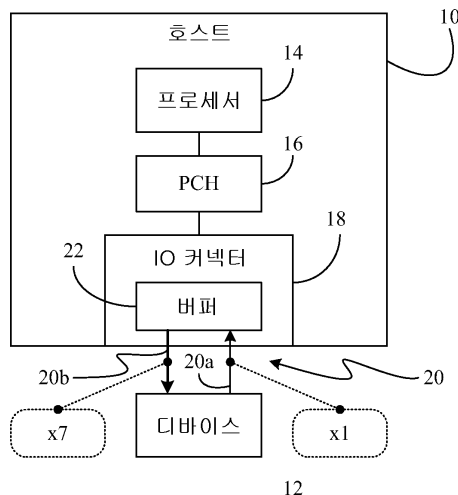
심사관 : 김세영

(54) 발명의 명칭 **대역폭 설정가능한 IO 커넥터**

(57) 요약

디바이스를 상호접속시키는 시스템 및 방법은 하나 이상의 디바이스측 데이터 레인 및 대역폭 구성 커맨드를 수신하는 송수신기 로직을 구비한 입력/출력(IO) 인터페이스를 포함할 수 있다. 송수신기 로직은 또한 대역폭 구성 커맨드에 기초하여 하나 이상의 디바이스측 데이터 레인의 전송 대역폭을 구성할 수 있다. 또한, 송수신기 로직은 대역폭 구성 커맨드에 기초하여 하나 이상의 디바이스측 데이터 레인의 수신 대역폭을 구성할 수 있다.

대표도 - 도1



(52) CPC특허분류

G06F 13/38 (2013.01)

G06F 13/385 (2013.01)

(72) 발명자

캐스퍼 브라이언 케이

미국 오레곤주 97231 포틀랜드 노스웨스트 글렌도
비어 드라이브 13934

헝 하워드 엘

미국 오레곤주 97124 힐스boro 노스이스트 1번 코
트 2969

명세서

청구범위

청구항 1

호스트측 데이터 레이트를 가지는 모바일 호스트 플랫폼과 디바이스측 데이터 레이트를 가지는 주변 디바이스 사이의 대역폭 구성 커맨드(a bandwidth configuration command)를 생성하는 호스트 디바이스 - 상기 대역폭 구성 커맨드는 데이터 전송 요청을 포함하는 사용자 입력에 적어도 기초하여 생성됨 - 와,

상기 주변 디바이스와 통신하는 입력/출력(IO) 커넥터

를 포함하되,

상기 입력/출력(IO) 커넥터는 하나 이상의 디바이스측 데이터 레인(device-side data lanes) 및 송수신기 로직(transceiver logic)을 포함하며,

상기 하나 이상의 디바이스측 데이터 레인은, 상기 호스트 디바이스로부터 수신한 상기 대역폭 구성 커맨드에 기초해서 상기 모바일 호스트 플랫폼과 상기 주변 디바이스 사이의 전송 대역폭 및 수신 대역폭을 규정하고 - 상기 대역폭 구성 커맨드는 상기 모바일 호스트 플랫폼과 상기 주변 디바이스 사이의 협상된 레인 폭 및 방향을 포함함 - ,

상기 송수신기 로직은,

상기 대역폭 구성 커맨드를 수신하고,

상기 대역폭 구성 커맨드에 기초하여 상기 하나 이상의 디바이스측 데이터 레인의 전송 대역폭을 동적으로 구성하고,

상기 대역폭 구성 커맨드에 기초하여 상기 하나 이상의 디바이스측 데이터 레인의 수신 대역폭을 동적으로 구성하고,

상기 대역폭 구성 커맨드는 상기 호스트측 데이터 레이트와 상기 디바이스측 데이터 레이트를 매칭시키고, 더 많은 대역폭에 대한 요청이 없어도 임의의 방향의 대역폭을 자동으로 증가시키는

시스템.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

제 1 항에 있어서,
상기 하나 이상의 디바이스측 데이터 라인 각각은,
하나 이상의 IO 컨택트(IO contacts)와,
상기 하나 이상의 IO 컨택트에 연결된 전송기와,
상기 하나 이상의 IO 컨택트에 연결된 수신기를 포함하는
시스템.

청구항 17

제 16 항에 있어서,
상기 송수신기 로직은 상기 대역폭 구성 커맨드에 기초하여 상기 전송기 및 상기 수신기 중 적어도 하나를 선택
적으로 활성화시키는(activate)
시스템.

청구항 18

입력/출력(IO) 커넥터로서,
주변 디바이스와 통신하고, 호스트측 데이터 레이트를 가지는 모바일 호스트 플랫폼과 디바이스측 데이터 레이

트를 가지는 상기 주변 디바이스 사이의 전송 대역폭 및 수신 대역폭을 규정하는, 하나 이상의 디바이스측 데이터 레인과,

송수신기 로직을 포함하되,

상기 송수신기 로직은,

상기 모바일 호스트 플랫폼과 상기 주변 디바이스 사이의 협상된 라인 폭 및 방향을 포함하는 대역폭 구성 커맨드를 수신하고,

상기 대역폭 구성 커맨드에 기초하여 상기 하나 이상의 디바이스측 데이터 레인의 전송 대역폭을 동적으로 구성하고,

상기 대역폭 구성 커맨드에 기초하여 상기 하나 이상의 디바이스측 데이터 레인의 수신 대역폭을 동적으로 구성하며,

상기 대역폭 구성 커맨드는 상기 호스트측 데이터 레이트와 상기 디바이스측 데이터 레이트를 매칭시키고, 더 많은 대역폭에 대한 요청이 없어도 임의의 방향의 대역폭을 자동으로 증가시키는

입력/출력 커넥터.

청구항 19

제 18 항에 있어서,

상기 하나 이상의 디바이스측 데이터 라인 각각은

하나 이상의 IO 컨택트와,

상기 하나 이상의 IO 컨택트에 연결된 전송기와,

상기 하나 이상의 IO 컨택트에 연결된 수신기를 포함하는

입력/출력 커넥터.

청구항 20

제 19 항에 있어서,

상기 송수신기 로직은 상기 대역폭 구성 커맨드에 기초하여 상기 전송기 및 상기 수신기 중 적어도 하나를 선택적으로 활성화시키는

입력/출력 커넥터.

청구항 21

제 19 항에 있어서,

상기 송수신기 로직은 상기 대역폭 구성 커맨드에 기초하여 상기 전송기 및 상기 수신기 중 적어도 하나와 연관된 하나 이상의 신호 파(signal waves)를 선택적으로 부정하는(negate)

입력/출력 커넥터.

청구항 22

제 18 항에 있어서,

호스트측 데이터 레이트를 가지는 하나 이상의 호스트측 데이터 레인을 더 포함하되,

상기 송수신기 로직은 상기 하나 이상의 디바이스측 데이터 레인의 디바이스측 데이터 레이트를 상기 호스트측 데이터 레이트에 매칭시키는
입력/출력 커넥터.

청구항 23

제 22 항에 있어서,
상기 송수신기 로직은,
동작 동안 디바이스측 데이터 레인을 호스트측 데이터 레인보다 적게 구성하고,
상기 호스트측 데이터 레인에서 수신된 데이터를 직렬화하고,
상기 직렬화된 데이터의 데이터 레이트를 증가시키고,
상기 디바이스측 데이터 레인에서 수신된 데이터를 역직렬화하고,
상기 역직렬화된 데이터의 데이터 레이트를 감소시키는
입력/출력 커넥터.

청구항 24

제 23 항에 있어서,
상기 송수신기 로직은 동작 동안 단일의 디바이스측 데이터 레인을 구성하는
입력/출력 커넥터.

청구항 25

제 18 항에 있어서,
복수의 베이를 더 포함하되,
각 베이는 하나 이상의 디바이스측 데이터 레인을 포함하고 상기 송수신기 로직은 상기 복수의 베이 중 두 개 이상의 베이들 사이에서 데이터를 직접 라우팅하는
입력/출력 커넥터.

청구항 26

제 18 항에 있어서,
상기 송수신기 로직은 상기 전송 대역폭을 상기 수신 대역폭보다 크게 구성하는
입력/출력 커넥터.

청구항 27

제 18 항에 있어서,
상기 송수신기 로직은 상기 수신 대역폭을 상기 전송 대역폭보다 크게 구성하는

입력/출력 커넥터.

청구항 28

제 18 항에 있어서,
 상기 송수신기 로직은 상기 수신 대역폭을 상기 전송 대역폭과 같게 구성하는
 입력/출력 커넥터.

청구항 29

제 18 항에 있어서,
 하우징과,
 상기 송수신기 로직을 포함하는 반도체 패키지와,
 상기 반도체 패키지에 연결되고 상기 디바이스측 데이터 레인 -상기 디바이스측 데이터 레인은 상기 하우징 내
 에 배치됨- 을 포함하는 기판을 포함하는
 입력/출력 커넥터.

발명의 설명

기술 분야

[0001] 실시예들은 전반적으로 입력/출력(I/O) 인터페이스에 관한 것이다. 특히, 실시예들은 I/O 커넥터의 업스트림 및
 다운스트림 대역폭을 동적으로 재구성하는 송수신기 로직을 가지는 I/O 커넥터에 관한 것이다.

배경 기술

[0002] 컴퓨팅 시스템은 키보드, 마우스, 카메라 등과 같은 주변장치 컴포넌트와의 I/O 통신을 지원하기 위해 하나 이상
 의 USB(Universal Serial Bus, 예를 들어, USB Specification 3.0, Rev. 1.0, 2008년 11월 12일, USB
 Implementers Forum) 포트를 포함할 수 있다. 그러나, 전형적인 USB 포트는 커넥터 및 내부 호스트 상호접속 제
 한으로 인해 특정 대역폭으로 제한될 수 있다.

발명의 내용

도면의 간단한 설명

[0003] 본 발명의 실시예들의 다양한 이점은 다음의 명세서 및 첨부된 특허청구항을 읽음으로써 그리고 다음의 도면을
 참조함으로써 본 기술분야의 당업자에게 명백해질 것이다.

도 1은 일 실시예에 따른 호스트 플랫폼과 주변 디바이스 사이의 비대칭 대역폭 접속의 일 예시의 블록도이다.

도 2는 일 실시예에 따라 호스트 플랫폼과 디바이스 사이의 접속을 구성하는 방법의 일 예시의 블록도이다.

도 3은 일 실시예에 따른 디바이스측 데이터 레인의 예시에 관한 블록도이다.

도 4는 일 실시예에 따른 호스트 플랫폼과 주변 디바이스 사이의 직렬 접속의 일 예시의 블록도이다.

도 5는 일 실시예에 따라 복수의 베이로 구비한 입력/출력(I/O) 커넥터의 일 예시의 투시도이다.

도 6은 I/O 커넥터에 연결된 주변 디바이스들 사이에서 데이터가 직접 전송되는 아키텍처의 일 예시의 블록도이
 다.

발명을 실시하기 위한 구체적인 내용

- [0004] 실시예들은 하나 이상의 디바이스측 데이터 레인(device-side data lanes) 및 대역폭 구성 커맨드(a bandwidth configuration command)를 수신하는 송수신기 로직(transceiver logic)을 구비한 입력/출력(IO) 커넥터를 포함할 수 있다. 송수신기 로직은 또한 대역폭 구성 커맨드에 기초하여 하나 이상의 디바이스측 데이터 레인의 전송 대역폭(a transmit bandwidth)을 구성할 수 있다. 또한, 송수신기 로직은 대역폭 구성 커맨드에 기초하여 하나 이상의 디바이스측 데이터 레인의 수신 대역폭을 구성할 수 있다.
- [0005] 실시예들은 또한 대역폭 구성 커맨드를 생성하는 호스트 디바이스, 및 하나 이상의 디바이스측 데이터 레인 및 대역폭 구성 커맨드를 수신하는 송수신기 로직을 구비한 IO 커넥터를 포함할 수 있다. 송수신기 로직은 대역폭 구성 커맨드에 기초하여 하나 이상의 디바이스측 데이터 레인의 전송 대역폭을 구성할 수 있고, 대역폭 구성 커맨드에 기초하여 하나 이상의 디바이스측 데이터 레인의 수신 대역폭을 구성할 수 있다.
- [0006] 다른 실시예들은 대역폭 구성 커맨드가 하나 이상의 디바이스측 데이터 레인을 포함하는 IO 커넥터에 발행되는 컴퓨터 구현 방법을 포함할 수 있다. 하나 이상의 디바이스측 데이터 레인의 전송 대역폭은 대역폭 구성 커맨드에 기초하여 구성될 수 있다. 방법은 또한 구성 커맨드에 기초하여 하나 이상의 디바이스측 데이터 레인의 수신 대역폭을 구성하는 것을 제공할 수 있다.
- [0007] 이제 도 1을 참조하면, 호스트 플랫폼(10)과 주변 디바이스(12) 사이의 비대칭 접속(an asymmetric connection)이 도시된다. 호스트 플랫폼(10)은, 예를 들어, PDA, 모바일 인터넷 디바이스(MID), 무선 스마트폰, 미디어 플레이어, 이미징 디바이스, 스마트 태블릿, 랩톱, 데스크톱 퍼스널 컴퓨터(PC), 서버 등, 또는 이들의 임의의 조합을 포함할 수 있다. 따라서, 호스트 플랫폼(10)은, 플랫폼(10)의 사용자와 상호작용하고 플랫폼(10)의 다양한 하드웨어 및 소프트웨어 관련 기능을 제어하도록 구성된 플랫폼 제어기 허브(platform controller hub, PCH)(16) 및/또는 프로세서(14)와 같은 칩셋 컴포넌트를 포함할 수 있다. 또한, 주변 디바이스(12)는, 예를 들어, 키보드, 마우스, 카메라, PDA, MID, 무선 스마트폰, 미디어 플레이어, 이미징 디바이스, 스마트 태블릿, 외장 하드 드라이브 등, 또는 이들의 임의의 조합을 포함할 수 있다.
- [0008] 도시된 호스트 플랫폼(10)은 또한 버퍼(예를 들어, 실리콘 다이, 반도체 패키지)(22)를 구비한 IO 커넥터(18) 및 복수의 디바이스측 데이터 레인(20)(20a, 20b)을 포함하며, 여기서 주변 디바이스(12)는 호스트 플랫폼(10)의 IO 커넥터(18)에 끼워질 수 있는(mated)(예를 들어, 플러그되는) 대응 IO 커넥터(미도시)를 포함할 수 있다. 일반적으로, 버퍼(22)는 시스템 및/또는 사용자 관련 고려사항에 기초하여 디바이스측 데이터 레인(20)의 전송 대역폭(TX) 및 수신 대역폭(RX)을 동적으로 구성하기 위해 송수신기 로직(미도시)을 포함할 수 있다. 예를 들어, 도시된 디바이스측 데이터 레인(20)은 총 8개의 레인을 포함하며, 여기서 디바이스측 데이터 레인(20a)의 제 1 세트는 주변 디바이스(12)로부터 데이터를 수신하도록 구성된 단일(x1) 레인을 가지며 디바이스측 데이터 레인(20b)의 제 2 세트는 주변 디바이스(12)로 데이터를 전송하도록 구성된 7개(x7) 레인을 갖는다. 따라서, 다운링크(예를 들어, 호스트에서 디바이스로) 데이터 레이트가 업링크(예를 들어, 디바이스에서 호스트로) 데이터 레이트와 상이한 점을 볼 때 접속은 비대칭인 것으로 볼 수 있다.
- [0009] 도시된 예시는 비교적 많은 양의 데이터가 호스트 플랫폼(10)에서 주변 디바이스(12)로 전송되고 있는 경우, 예컨대, 미디어 콘텐츠가 핸드헬드 미디어 플레이어로 다운로드되는 경우 또는 많은 데이터가 외장 하드 드라이브에 백업되는 경우에 이점이 있을 수 있다. 이와 대조적으로, 디바이스측 데이터 레인(20)은 수신 대역폭이 전송 대역폭보다 크도록(예를 들어, 외장 하드 드라이브로부터의 시스템 복원), 또는 수신 대역폭이 전송 대역폭과 같도록, 대안적으로 구성될 수 있다. 따라서, 8개 레인 아키텍처에 대한 유효한 RX:TX 포트 구성은 0:8, 1:7, 2:6, 3:5, 4:4, 5:3 등이다. 전송 및 수신 대역폭의 구성은 시스템 및/또는 사용자 관련 구성에 응답하여 실행될 수 있다. 예를 들어, 도시된 호스트 플랫폼(10)의 프로세서(14) 및/또는 PCH(16)는 원하는 다운링크 및 업링크 데이터 레이트 또는 사용 모델(예를 들어, 미디어 다운로드, 외장 드라이브 복원)에 관한 사용자 입력을 획득/식별할 수 있고, 사용자 입력에 기초하여 IO 커넥터(18)에 대역폭 구성 커맨드를 발행할 수 있다. 실제로, 호스트 디바이스는 비교적 많은 양의 데이터를 주변 디바이스(12)로 또는 주변 디바이스로부터 전송하고자 하는 사용자 요청을 검출할 수 있고, 링크에 걸친 더 많은 대역폭에 대한 명시적인 사용자 요청 없이도 임의의 방향의 대역폭을 자동으로 증가시킬 수 있다.
- [0010] 도 2는 호스트 플랫폼과 주변 디바이스 사이의 접속을 구성하는 방법(24)을 도시한다. 방법(24)은, 랜덤 액세스 메모리(RAM), 판독 전용 메모리(ROM), 프로그램가능 ROM(PROM), 플래시 메모리 등과 같은 머신 또는 컴퓨터 판독가능 저장 매체에서, 또는 프로그램가능 로직 어레이(PLAs), 필드 프로그램가능 게이트 어레이(FPGAs), 복합

프로그램가능 로직 디바이스(CPLDs)와 같은 구성가능 로직에서, 또는 주문형 반도체(ASIC), CMOS 또는 트랜지스터-트랜지스터 로직(TTL) 기법과 같은 회로 기술을 사용하는 고정 기능 로직 하드웨어(fixed-functionality logic hardware)에서, 또는 이들의 임의의 조합에서 저장된 로직 인스트럭션의 세트로서 구현될 수 있다. 예를 들어, 방법(24)에 도시된 동작을 실행하는 컴퓨터 프로그램 코드는, C++이나 유사한 종류의 객체 지향 프로그래밍 언어 및 "C" 프로그래밍 언어 또는 유사한 프로그래밍 언어와 같은 기존의 절차 지향 프로그래밍 언어를 포함하는 하나 이상의 프로그래밍 언어의 임의의 조합으로 기록될 수 있다. 또한, 방법(24)은 앞서 언급된 회로 기법들 중 임의의 기법을 사용하여 구현될 수 있다.

[0011] 사용자 입력 수신에 프로세싱 블록(26)이 사용되며, 사용자 입력은 그래픽 사용자 인터페이스(GUI) 또는 다른 적합한 시스템 컴포넌트(예를 들어, 키보드, 키패드, 터치 스크린, 마이크로폰)를 통해 획득될 수 있다. 이미 언급된 바와 같이, 사용자 입력은 사용자가 특정 다운로드 및/또는 업링크 데이터 레이트, 특정 사용 모델 등을 요청했다는 것을 표시할 수 있다. 호스트 디바이스는 또한 라인 폭(lane width) 및/또는 방향을 주변 디바이스와 협상할 수 있다. 그러한 경우, 하나 이상의 라인 폭 협상 메시지가 IO 커넥터를 통해 호스트 플랫폼과 주변 디바이스 사이에서 교환될 수 있다. 대역폭 구성 커맨드(a bandwidth configuration command)는 사용자 입력에 기초하여 블록 28에서 생성될 수 있고 IO 커넥터의 송수신기 로직에 발행될 수 있다. 도시된 블록 30은 대역폭 구성 커맨드를 수신하며, 여기서 대역폭 구성 커맨드는 디바이스측 데이터 레인의 대역폭을 구성하는데 사용될 수 있다. 특히, 블록 32에서 대역폭 구성 커맨드에 기초하여 하나 이상의 디바이스측 데이터 레인의 전송 대역폭이 구성될 수 있는 반면, 블록 34는 대역폭 구성 커맨드에 기초하여 디바이스측 데이터 레인의 수신 대역폭을 구성할 수 있다.

[0012] 도 3은 IO 컨택트(예를 들어, 핀, 패드, 슬롯)(38), IO 컨택트(38)에 연결된 전송기(40), 및 IO 컨택트(38)에 연결된 수신기(42)를 포함하는 디바이스측 데이터 레인(36)에 관한 일 예시를 도시한다. 디바이스측 데이터 레인(20)(도 1) 중 임의의 레인을 용이하게 대체할 수 있는 데이터 레인(36)은, 상황에 따라 차동 시그널링(differential signaling)(예를 들어, 2개의 컨택터) 또는 싱글 엔드형 시그널링(single-ended signaling)(예를 들어, 1개의 컨택터)을 채용할 수 있다. 또한, 도시된 데이터 레인(36)은 코딩, 디코딩, 변조, 복조 유닛(미도시)의 다른 전송 및/또는 수신 컴포넌트를 포함할 수 있다. 데이터 레인(36)의 전송기(40) 및/또는 수신기(42)는 또한 버퍼(22)(도 1)와 같은 버퍼의 로직(44)(예를 들어, 송수신기 로직)에 연결될 수 있으며, 로직(44)은 데이터 레인(36)을 전송 레인 또는 수신 레인으로 구성할 수 있다. 예를 들어, 로직(44)은 데이터 레인(36)을 전송 레인으로 구성하기 위해 선택적으로 전송기(40)를 활성화시키고(activate) 수신기(42)를 비활성화시킬(deactivate) 수 있다. 이와 마찬가지로, 로직(44)은 데이터 레인을 수신 레인으로 구성하기 위해 선택적으로 전송기(40)를 비활성화시키고 수신기(42)를 활성화시킬 수 있다.

[0013] 대안적으로, 로직(44)은 전송기(40) 및 수신기(42) 양자를 활성화시키거나 전송기(40) 및/또는 수신기(42)와 연관된 하나 이상의 신호 파(signal waves)를 선택적으로 부정(negate)할 수 있다. 이러한 접근법은 동시 양방향 시그널링(simultaneous bi-directional signaling)의 형태로 고려될 수 있다. 예를 들어, 데이터 레인(36)이 전송 레인으로 구성되는 경우, 로직(44)은 IO 컨택트(38)에서 수신된 임의의 업링크 신호 파를 데이터 레인(36)의 총 에너지에서 감산하여 수신기(42)에 의해 달리 픽업되는 임의의 파를 효과적으로 부정할 수 있다. 이와 마찬가지로, 데이터 레인(36)이 수신 레인으로 구성되는 경우, 로직(44)은 임의의 다운로드 신호 파를 데이터 레인(36)의 총 에너지에서 감산하여 전송기(40)와 연관된 파를 효과적으로 부정할 수 있다. 데이터 레인(36)의 방향을 구성하기 위한 다른 기법이 또한 사용될 수 있다.

[0014] 간단하게, 많은 가능한 송수신기 구성은, 1) 단방향, 2) 양방향, 및 3) 동시 양방향 동작 동안 달성될 수 있다. 단방향의 경우, 전송기는 항상 전송기이며 수신기는 항상 수신기이다. 양방향의 경우, 데이터 레인은 링크의 각 측에서 RX 또는 TX 어느 것으로도 구성될 수 있다. 동시 양방향 구성의 경우, 전송기 및 수신기 양자는 동일한 컨택트들을 공유하거나 이들을 동시에 사용할 수 있다.

[0015] 도 4는 호스트 플랫폼(46)과 주변 디바이스(48) 사이의 직렬화된 접속(a serialized connection)을 도시한다. 특히, 도시된 호스트 플랫폼은, PCH(52)에 연결된 프로세서(50)를 구비하며 PCH(52)는 2개의(x2) 호스트측 데이터 레인 폭인 IO 커넥터(54)로의 접속(56)을 갖는다. 도시된 예시에서 접속(56)의 각 호스트측 데이터 레인은 8GB/s의 데이터 레이트에서 동작하며, IO 커넥터(54)는 단일(x1) 디바이스측 데이터 레인(60)을 통해 주변 디바이스(48)와 통신하는 버퍼(58)를 구비한다. 따라서, 도시된 예시에서, 동작을 위하여 호스트측 데이터 레인보다 더 적은 디바이스 측 데이터 레인이 구성되었다. 디바이스측 데이터 레이트를 호스트측 데이터와 매칭시키기 위해, 도시된 버퍼(58)의 송수신기 로직은 16GB/s에서 주변 디바이스와 데이터를 교환하도록 디바이스측 데이터 레인(60)을 구성한다. 특히, 버퍼(58)의 송수신기 로직은 접속(56)의 호스트측 데이터 레인상에서 수신된 데이

터를 직렬화할 수 있고, 디바이스측 레인(60)상의 전송 전에 직렬화된 데이터의 데이터 레이트를 증가시킬 수 있다. 이와 마찬가지로, 버퍼(58)의 송수신기 로직은 디바이스측 데이터 레인(60)에서 수신된 데이터를 역직렬화(deserialize)하고 접속(56)의 호스트측 레인에 전송하기 전에 역직렬화된 데이터의 데이터 레이트를 감소시킬 수 있다. 따라서, 도시된 접근법은 IO 커넥터(54)가 호스트 플랫폼과 주변 디바이스 사이에서 데이터 레이트 미스매치를 동적으로 적응하게 할 뿐만 아니라 증가된 데이터 레이트를 달성하게 할 수 있다.

[0016] 이제 도 5를 참조하면, 공유 하우징 내에 나란히 위치한 복수의 베이(bays)(64)(64a-64d)를 구비한 IO 커넥터(62)가 도시된다. 주변 디바이스의 대응 커넥터, 예컨대, 커넥터(68)가 논의되고 있는 베이(64)에 끼워진(mated) 경우, 각 베이(64)는 주변 디바이스(미도시)에 연결될 수 있는 디바이스측 데이터 라인의 세트를 갖는다. 도시된 각 베이(64)는 또한 대응 베이(64)의 전송 대역폭 및 수신 대역폭을 동적으로 구성할 수 있는, 연관 버퍼(70)(70a-70b)를 갖는다. 대안적인 구성은 모든 베이(64)의 전송 및 수신 대역폭을 구성하는 공유 버퍼를 가지는 단일 반도체 패키지/실리콘 칩을 포함할 수 있다. 설명되는 바와 같이, 복수의 주변 디바이스는 IO 커넥터(62)를 통해 호스트 플랫폼에 접속될 수 있다.

[0017] IO 커넥터(62)는, 예를 들어, USB 기법, 디스플레이포트(DP, 예를 들어, Embedded DisplayPort Standard (eDP) Version 1.3, 2011년 1월, Video Electronics Standards Association) 기법, 고화질 멀티미디어 인터페이스(HDMI, 예를 들어, HDMI Specification, Ver. 1.3a, 2006년 11월 10일, HDMI Licensing, LLC) 기법, 선더볼트(예를 들어, Thunderbolt™ Technology: The Transformational PC I/O, 2011년, Intel Corporation) 기법, 주변 컴포넌트 상호접속 익스프레스(PCI-e, 예를 들어, PCI Express x16 Graphics 150W-ATX Specification 1.0, PCI Special Interest Group) 기법 등을 포함할 수 있다.

[0018] 도 6은 호스트 플랫폼(72)이 2개의 액티브 베이(active bays)를 갖는 IO 커넥터(74)를 포함하는 경우를 도시한다. 도시된 예시에서, 제 1 주변 디바이스(76)는 제 1 버퍼(80)의 디바이스측 데이터 레인(78)에 접속되고, 제 2 주변 디바이스(82)는 제 2 버퍼(86)의 디바이스측 데이터 레인(84)에 접속된다. 제 1 버퍼(80)는 이들의 대응 베이와 디바이스들(76, 82) 사이에서 데이터를 직접 라우팅하기 위해 제 2 버퍼(86)와 통신할 수 있다. 또한, 디바이스들(76, 82) 사이에서 직접 데이터를 라우팅하는 것은 호스트측 데이터 레인(92), 또는 프로세서(88)나 PCH(90)과 같은 호스트 플랫폼(72)의 칩셋 컴포넌트를 수반하지 않고 달성될 수 있다.

[0019] 예를 들어, 디바이스들(76, 82)은 많은 양의 데이터가 드라이브들 사이에서 전송되는, 외장 하드 드라이브일 수 있다. 그러한 경우, 데이터는 전체가 호스트 디바이스를 통과하고 플랫폼(72)을 동작시키는데 필요한 에너지의 양을 감소시키는 방식으로 전송된다. 또한, 버퍼들(80, 86) 사이의 링크(81)는, 버퍼들(80, 86) 사이의 짧은 거리로 인해 싱글엔드형 시그널링에 의해 구현될 수 있다. 실제로, 버퍼들(80, 86)이 단일 실리콘 다이에 통합되는 경우, 링크(81)는 가상일 수 있다.

[0020] 따라서, 본원에서 설명된 기법은 고유 실리콘 버퍼 및 IO 케이블링의 스케일링 전위에 영향력을 미쳐 충분한 확장성 개선을 가능하게 한다. 더욱이, IO 데이터 라인을 통한 비대칭 대역폭의 사용은 호스트 플랫폼-주변 디바이스 구성에 실질적으로 더 많은 유연성 및 기능을 제공할 수 있으며, 이는 다양한 사용 모델에 따라 변경가능하다. 추가적으로, 주변 디바이스들 사이의 직접 통신을 가능하게 하는 것은 값비싼 호스트 프로세싱 리소스를 해소할 수 있고 호스트 디바이스에 대한 링크의 포화를 방지할 수 있다. 또한, 모든 레인이 일시적으로 전송 레인으로 변환되는 버스트-슬립-버스트 모드(a burst-sleep-burst mode)로 디바이스측 데이터 레인을 구성함으로써 전력 관리 이점이 달성될 수 있다. 전력 소비는 또한 아이들(idless) 및/또는 낮은 IO 활성화(activity) 기간 동안 호스트측 데이터 레인을 선택적으로 비활성화시킴으로써 감소될 수 있다.

[0021] 본 발명의 실시예들은 모든 타입의 반도체 집적 회로("IC") 칩과의 사용을 위해 적용될 수 있다. 이러한 IC 칩에 관한 예시들은 프로세서, 제어기, 칩셋 컴포넌트, 프로그램가능 로직 어레이(PLA), 메모리 칩, 네트워크 칩, 시스템 온 칩(SoC), SSD/NAND 제어기 ASIC 등을 포함하나 이로 한정되지 않는다. 또한, 일부 도면에서, 신호 컨덕터 라인(signal conductor lines)은 선으로 표현된다. 일부는 더 많은 구성 신호 경로를 표시하기 위해 상이할 수 있으며, 다수의 구성 신호 경로를 표시하기 위해 수 라벨을 가질 수 있고, 및/또는 주요 정보 흐름 방향을 표시하기 위해 하나 이상의 단부에 화살표를 가질 수 있다. 그러나, 이는 제한하는 방식으로 해석되서는 안 된다. 오히려, 그러한 추가된 세부사항은 회로에 관한 더 쉬운 이해를 가능하게 하기 위해 하나 이상의 예시적 실시예들과 함께 사용될 수 있다. 임의의 표현된 신호 라인은, 추가적인 정보를 갖든지 갖지 않던지간에, 복수의 방향으로 이동하며, 임의의 적합한 타입의 신호 스킴, 예를 들어, 상이한 쌍들로 구현된 디지털 또는 아날로그 라인들, 광섬유 라인들, 및/또는 싱글 엔드형 라인들로 구현되는 하나 이상의 신호를 실제로 포함할 수 있다.

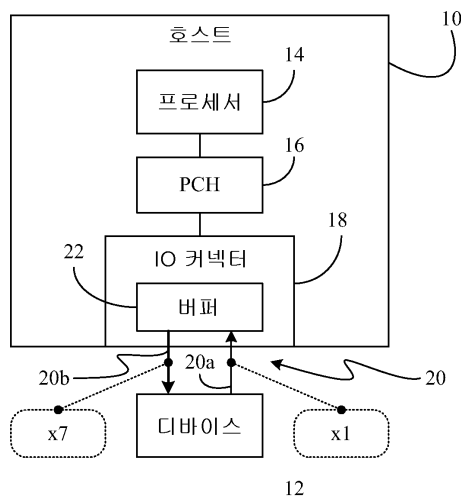
[0022] 예시의 사이즈, 모델, 값, 범위가 주어졌을 수 있으나, 본 발명의 실시예들은 이들로 제한되지 않는다. 제조 기법(예를 들어, 포토리소그래피)은 시간이 지남에 따라 발달하기 때문에, 더 작은 사이즈의 디바이스가 제조될 수 있을 것이다. 또한, IC 칩에 대한 잘 알려진 전력/접지 컴포넌트 및 다른 컴포넌트는 도시 및 설명의 간략화를 위해, 그리고 본 발명의 실시예들에 관한 특정 양태들을 모호하게 하지 않게 하기 위해, 도면에 도시되거나 도시되지 않을 수 있다. 또한, 구성(arrangements)은, 본 발명의 실시예들을 모호하게 하는 것을 방지하기 위해, 또한 블록도 구성의 구현에 관한 세부사항이 실시예가 구현되는 플랫폼에 매우 의존한다는 사실을 고려하여(즉, 그러한 세부사항은 본 기술분야의 당업자의 이해 범위 내에 있어야 함), 블록도 형태로 도시될 수 있다. 특정 세부사항(예를 들어, 회로)이 본 발명의 예시의 실시예들을 설명하기 위해 개시되는 경우, 본 발명의 실시예들은 이러한 세부사항 없이, 또는 이의 변형으로도 실시될 수 있다는 것은 본 기술분야의 당업자에게 명백해야 한다. 따라서 본 설명은 제한이 아닌 예시로서 고려되어야 한다.

[0023] 용어 "연결된(coupled)"은 논의되고 있는 컴포넌트들 사이의 직접적이거나 간접적인 임의의 타입의 관계를 지칭하는데 사용될 수 있고, 전기적, 기계적, 유체, 광, 전자기적, 전자기계적 또는 다른 접속에 적용할 수 있다. 또한, 용어 "제 1", "제 2" 등은 설명을 용이하기 위해서만 사용되는 것으로, 달리 표시되지 않는 한 어떠한 특정의 일시적 또는 발생 순서의 의미를 갖는 것이 아니다.

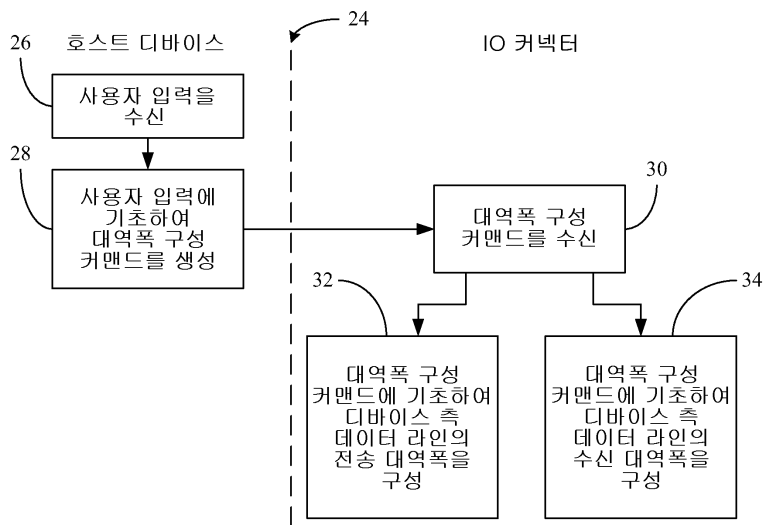
[0024] 본 기술분야의 당업자는, 앞서 언급한 설명으로부터 본 발명의 실시예들에 관한 폭넓은 기법이 다양한 형태로 구현될 수 있다는 것을 이해할 것이다. 따라서, 본 발명의 실시예들이 이에 관한 특정 예시들과 함께 설명되었으나, 도면, 명세서, 및 다음의 특허청구항을 검토하고 나면 이와 다른 변형들도 당업자에게 자명해질 것이기 때문에 본 발명의 실시예들의 실제 범주는 그렇게 제한되어서는 안 된다.

도면

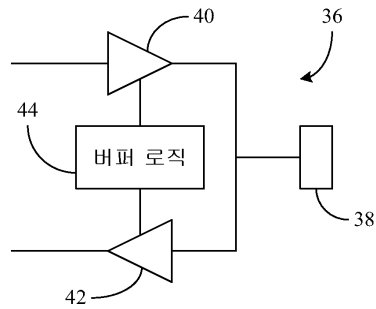
도면1



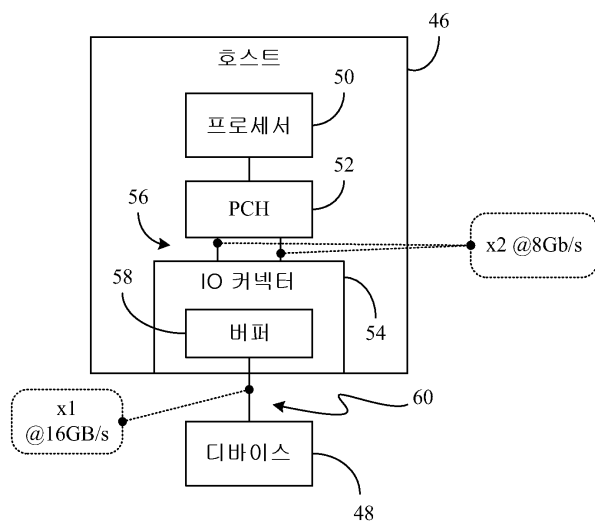
도면2



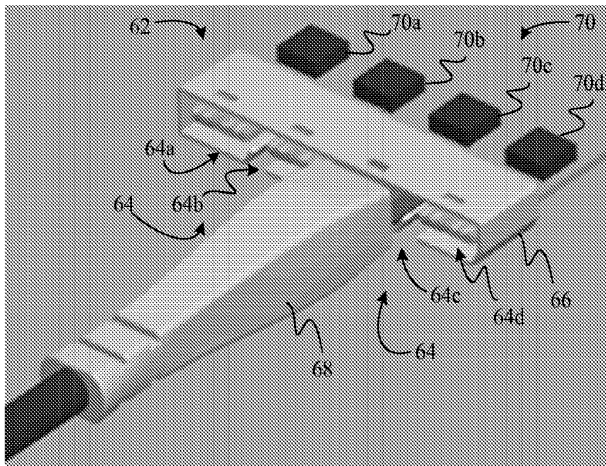
도면3



도면4



도면5



도면6

