



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0074647  
(43) 공개일자 2020년06월25일

(51) 국제특허분류(Int. Cl.)  
G06F 12/02 (2018.01) G06F 3/06 (2006.01)  
(52) CPC특허분류  
G06F 12/023 (2013.01)  
G06F 3/064 (2013.01)  
(21) 출원번호 10-2018-0163281  
(22) 출원일자 2018년12월17일  
심사청구일자 없음

(71) 출원인  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
조영익  
서울특별시 송파구 중대로 24, 231동 1402호(문정동, 올림픽훼밀리타운)  
박병규  
경기도 성남시 분당구 느티로 70, 406동 1401호(정자동, 느티마을3,4단지)  
(74) 대리인  
신성특허법인(유한)

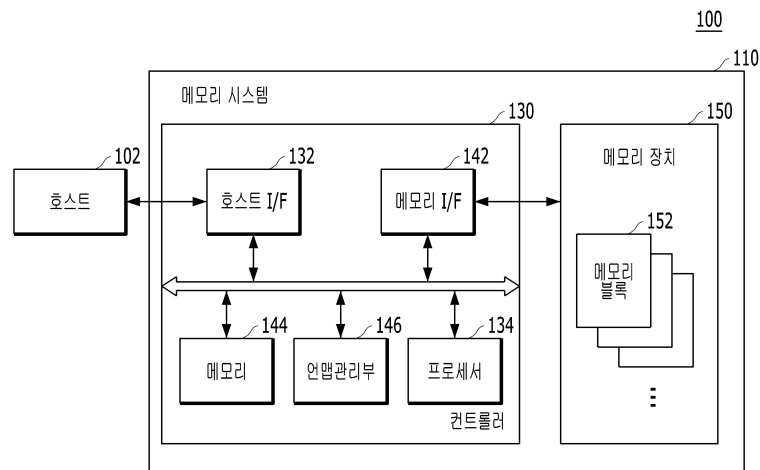
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 메모리 시스템 및 그것의 동작방법

(57) 요약

본 발명의 실시 예들에 따른 메모리 시스템은 상기 언맵 커맨드에 대한 타겟 논리주소와 연관된 제 1 매핑 정보 및 제 2 매핑 정보를 저장하는 메모리 장치; 및 상기 제 1 매핑 정보 및 상기 제 2 매핑 정보를 상기 메모리 장치로부터 로드하고, 상기 타겟 논리주소에 대응하는 맵 데이터의 전체 크기를 소정의 임계 값과 비교하며, 상기 비교 결과에 기초하여 적어도 하나 이상의 상기 타겟 논리주소를 포함하는 복수의 타겟 논리그룹들 각각과 매핑된 복수의 맵 세그먼트들을 복수의 영역으로 구분하고, 상기 복수의 영역 중 어느 한 영역에 포함된 맵 세그먼트 각각에 대하여 언맵 동작을 수행하는 컨트롤러를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

**G06F 3/0658** (2013.01)

G06F 2212/7201 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

언맵 커맨드를 처리하는 메모리 시스템에 있어서,

상기 언맵 커맨드에 대한 타겟 논리주소와 연관된 제 1 매핑 정보 및 제 2 매핑 정보를 저장하는 메모리 장치;  
및

상기 제 1 매핑 정보 및 상기 제 2 매핑 정보를 상기 메모리 장치로부터 로드하고, 상기 타겟 논리주소에 대응하는 맵 데이터의 전체 크기를 소정의 임계 값과 비교하며, 상기 비교 결과에 기초하여 적어도 하나 이상의 상기 타겟 논리주소를 포함하는 복수의 타겟 논리그룹들 각각과 매핑된 복수의 맵 세그먼트들을 복수의 영역으로 구분하고, 상기 복수의 영역 중 어느 한 영역에 포함된 맵 세그먼트 각각에 대하여 언맵 동작을 수행하는 컨트롤러

를 포함하며,

상기 제 1 매핑 정보는 상기 복수의 맵 세그먼트와 상기 복수의 타겟 논리그룹들 각각의 매핑관계에 대한 정보이고, 상기 제 2 매핑 정보는 상기 타겟 논리주소와 물리주소간의 매핑관계에 대한 정보인

메모리 시스템.

#### 청구항 2

제 1 항에 있어서,

상기 컨트롤러는

상기 제 1 매핑 정보 및 상기 제 2 매핑 정보를 저장하는 메모리;

상기 메모리 장치로부터 상기 제 1 매핑 정보 및 상기 제 2 매핑 정보를 상기 메모리로 로드하는 프로세서; 및

상기 맵 데이터의 전체 크기를 소정의 임계 값과 비교하고, 상기 비교 결과에 기초하여 상기 비교 결과에 기초하여 상기 복수의 타겟 논리그룹과 매핑된 상기 복수의 맵 세그먼트들을 복수의 영역으로 구분하고, 상기 복수의 영역 중 어느 한 영역에 포함된 맵 세그먼트 각각의 제 1 매핑 정보에 대하여 언맵 동작을 수행하는 언맵관리부

를 포함하는 메모리 시스템.

#### 청구항 3

제 2 항에 있어서,

상기 언맵관리부는

상기 맵 데이터의 전체 크기가 소정의 임계 값보다 크거나 같은 경우, 상기 복수의 맵 세그먼트들 중 상기 복수의 타겟 논리그룹들에 포함된 복수의 논리주소들 중 일부만 상기 타겟 논리주소인 제 1 논리그룹과 매핑된 맵 세그먼트를 제 1 영역 및 제 3 영역으로 구분하고, 상기 복수의 타겟 논리그룹들에 포함된 복수의 논리주소들 중 전부 상기 타겟 논리주소인 제 2 논리그룹과 매핑된 맵 세그먼트를 제 2 영역으로 구분하는

메모리 시스템.

#### 청구항 4

제 3 항에 있어서,

상기 언맵관리부는

상기 제 1 논리그룹 중 상기 타겟 논리주소의 시작 논리주소를 포함하는 논리그룹과 매핑된 맵 세그먼트를 제 1 영역으로 구분하고,

상기 제 1 논리그룹 중 상기 타겟 논리주소의 마지막 논리주소를 포함하는 논리그룹과 매핑된 맵 세그먼트를 제 3 영역으로 구분하는

메모리 시스템.

#### 청구항 5

제 3 항에 있어서,

상기 제 2 영역에 포함된 맵 세그먼트 각각의 상기 제 1 매핑 정보에 대하여 제 1 언맵 동작을 수행하고,

상기 제 1 영역의 맵 세그먼트 및 상기 제 3 영역 각각의 맵 세그먼트 각각과 매핑된 논리그룹에 포함된 타겟 논리주소의 상기 제 2 매핑 정보에 대하여 제 2 언맵 동작을 수행하는

메모리 시스템.

#### 청구항 6

제 5 항에 있어서,

상기 프로세서는

상기 제 1 언맵 동작이 수행된 후에, 상기 제 1 매핑 정보를 상기 메모리 장치에 저장하는

메모리 시스템.

#### 청구항 7

제 5 항에 있어서,

상기 프로세서는

상기 제 2 언맵 동작이 수행된 후에, 상기 제 2 매핑 정보를 상기 메모리 장치에 저장하는

메모리 시스템.

#### 청구항 8

제 2 항에 있어서,

상기 언맵관리부는

상기 맵 데이터의 전체 크기가 소정의 임계 값보다 작을 때, 상기 타겟 논리주소의 상기 제 2 매핑 정보에 대하여 제 3 언맵 동작을 수행하는

메모리 시스템.

#### 청구항 9

제 8 항에 있어서,

상기 프로세서는

상기 제 3 언맵 동작이 수행된 후, 상기 제 2 매핑 정보를 상기 메모리 장치에 저장하는  
메모리 시스템.

#### 청구항 10

제 2 항에 있어서,

상기 메모리는

상기 제 1 매핑 정보가 기록된 제 1 테이블 및 상기 제 2 매핑 정보가 기록된 제 2 테이블을 저장하는  
메모리 시스템.

#### 청구항 11

언맵 커맨드를 처리하는 메모리 시스템의 동작방법에 있어서,

상기 언맵 커맨드를 제공받는 단계;

상기 언맵 커맨드에 대한 타겟 논리주소와 연관된 제 1 매핑 정보 및 제 2 매핑 정보를 메모리 장치로부터 리드  
하여 메모리에 저장하는 단계;

상기 타겟 논리주소에 대응하는 맵 데이터의 전체 크기와 소정의 임계 값을 비교하는 단계;

상기 비교 결과에 기초하여 적어도 하나 이상의 상기 타겟 논리주소를 포함하는 복수의 타겟 논리그룹들 각각과  
매핑된 복수의 맵 세그먼트들에 대하여 복수의 영역을 구분하는 단계; 및

상기 복수의 영역 중 어느 한 영역에 포함된 맵 세그먼트 각각에 대하여 언맵 동작을 수행하는 단계  
를 포함하고

상기 제 1 매핑 정보는 상기 복수의 맵 세그먼트와 상기 복수의 타겟 논리그룹들 각각의 매핑관계에 대한 정보  
이고, 상기 제 2 매핑 정보는 상기 타겟 논리주소와 물리주소간의 매핑관계에 대한 정보인

메모리 시스템의 동작방법.

#### 청구항 12

제 11 항에 있어서,

상기 영역을 구분하는 단계는

상기 맵 데이터의 전체 크기가 소정의 임계 값보다 크거나 같은 경우, 상기 복수의 타겟 논리그룹들 각각과 매  
핑된 상기 복수의 맵 세그먼트들에 대하여 복수의 영역을 구분하는

메모리 시스템의 동작방법.

#### 청구항 13

제 12 항에 있어서,

상기 영역을 구분하는 단계는

상기 복수의 맵 세그먼트들 중 상기 복수의 타겟 논리그룹들에 포함된 복수의 논리주소들 중 일부만 상기 타겟  
논리주소인 제 1 논리그룹과 매핑된 맵 세그먼트를 제 1 영역 및 제 3 영역으로 구분하고, 상기 복수의 타겟 논  
리그룹들에 포함된 복수의 논리주소들 중 전부 상기 타겟 논리주소인 제 2 논리그룹과 매핑된 맵 세그먼트를 제

2 영역으로 구분하는

메모리 시스템의 동작방법.

#### 청구항 14

제 13 항에 있어서,

상기 영역을 구분하는 단계는

상기 제 1 논리그룹 중 상기 타겟 논리주소의 시작 논리주소를 포함하는 논리그룹과 매핑된 맵 세그먼트를 제 1 영역으로 구분하고,

상기 제 1 논리그룹 중 상기 타겟 논리주소의 마지막 논리주소를 포함하는 논리그룹과 매핑된 맵 세그먼트를 제 3 영역으로 구분하는

메모리 시스템의 동작방법.

#### 청구항 15

제 13 항에 있어서,

상기 언맵 동작을 수행하는 단계는

상기 제 2 영역에 포함된 맵 세그먼트 각각의 상기 제 1 매핑 정보에 대하여 제 1 언맵 동작을 수행하고,

상기 제 1 영역의 맵 세그먼트 및 상기 제 3 영역 각각의 맵 세그먼트 각각과 매핑된 논리그룹에 포함된 타겟 논리주소의 상기 제 2 매핑 정보에 대하여 제 2 언맵 동작을 수행하는

메모리 시스템의 동작방법.

#### 청구항 16

제 15 항에 있어서,

상기 제 1 언맵 동작이 수행된 후에, 상기 제 1 매핑 정보를 상기 메모리 장치에 저장하는 단계를 더 포함하는 메모리 시스템의 동작방법.

#### 청구항 17

제 15 항에 있어서,

상기 제 2 언맵 동작이 수행된 후에, 상기 제 2 매핑 정보를 상기 메모리 장치에 저장하는 단계를 더 포함하는 메모리 시스템의 동작방법.

#### 청구항 18

제 11 항에 있어서,

상기 맵 데이터의 전체 크기가 소정의 임계 값보다 작을 때,

상기 언맵 동작을 수행하는 단계는

상기 타겟 논리주소의 상기 제 2 매핑 정보에 대하여 제 3 언맵 동작을 수행하는

메모리 시스템의 동작방법.

#### 청구항 19

제 18 항에 있어서,

상기 제 3 언맵 동작이 수행된 후, 상기 제 2 매핑 정보를 상기 메모리 장치에 저장하는 단계  
를 더 포함하는 메모리 시스템의 동작방법.

#### 청구항 20

제 11 항에 있어서,

상기 제 1 매핑 정보가 기록된 제 1 테이블 및 상기 제 2 매핑 정보가 기록된 제 2 테이블을 상기 메모리에 저장하는 단계  
를 더 포함하는 메모리 시스템.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 메모리 시스템에 관한 것으로, 언맵 커맨드를 효율적으로 처리할 수 있는 메모리 시스템 및 그것의 동작방법에 관한 것이다.

#### 배경 기술

[0003] 최근 컴퓨터 환경에 대한 패러다임(paradigm)이 언제, 어디서나 컴퓨터 시스템을 사용할 수 있도록 하는 유비쿼터스 컴퓨팅(ubiquitous computing)으로 전환되고 있다. 이로 인해 휴대폰, 디지털 카메라, 노트북 컴퓨터 등과 같은 휴대용 전자 장치의 사용이 급증하고 있다. 이와 같은 휴대용 전자 장치는 일반적으로 메모리 장치를 이용하는 메모리 시스템, 다시 말해 데이터 저장 장치를 사용한다. 데이터 저장 장치는 휴대용 전자 장치의 주 기억 장치 또는 보조 기억 장치로 사용된다.

[0004] 메모리 장치를 이용한 데이터 저장 장치는 기계적인 구동부가 없어서 안정성 및 내구성이 뛰어나며, 또한 정보의 액세스 속도가 매우 빠르고 전력 소모가 적다는 장점이 있다. 이러한 장점을 갖는 메모리 시스템의 일 예로 데이터 저장 장치는, USB(Universal Serial Bus) 메모리 장치, 다양한 인터페이스를 갖는 메모리 카드, 솔리드 스테이트 드라이브(SSD: Solid State Drive) 등을 포함한다.

### 발명의 내용

#### 해결하려는 과제

[0006] 본 발명의 실시 예에 따른 메모리 시스템은 호스트로부터 제공된 언맵 커맨드를 효율적으로 처리할 수 있는 방법을 제안한다.

#### 과제의 해결 수단

[0008] 본 발명의 일 실시 예에 따른 메모리 시스템은 언맵 커맨드에 대한 타겟 논리주소와 연관된 제 1 매핑 정보 및 제 2 매핑 정보를 저장하는 메모리 장치; 및 제 1 매핑 정보 및 제 2 매핑 정보를 메모리 장치로부터 로드하고, 타겟 논리주소에 대응하는 맵 데이터의 전체 크기를 소정의 임계 값과 비교하며, 비교 결과에 기초하여 적어도 하나 이상의 타겟 논리주소를 포함하는 복수의 타겟 논리그룹들 각각과 매핑된 복수의 맵 세그먼트들을 복수의

영역으로 구분하고, 복수의 영역 중 어느 한 영역에 포함된 맵 세그먼트 각각에 대하여 언맵 동작을 수행하는 컨트롤러를 포함할 수 있다.

[0009] 본 발명의 실시 예들에 따른 메모리 시스템의 동작방법은 언맵 커맨드를 제공받는 단계; 언맵 커맨드에 대한 타겟 논리주소와 연관된 제 1 매핑 정보 및 제 2 매핑 정보를 메모리 장치로부터 리드하여 메모리에 저장하는 단계; 타겟 논리주소에 대응하는 맵 데이터의 전체 크기와 소정의 임계 값을 비교하는 단계; 비교 결과에 기초하여 적어도 하나 이상의 타겟 논리주소를 포함하는 복수의 타겟 논리그룹들 각각과 매핑된 복수의 맵 세그먼트들에 대하여 복수의 영역을 구분하는 단계; 및 복수의 영역 중 어느 한 영역에 포함된 맵 세그먼트 각각에 대하여 언맵 동작을 수행하는 단계를 포함할 수 있다.

### 발명의 효과

[0011] 본 발명의 실시 예에 따른 메모리 시스템은 대용량 맵 데이터에 대한 언맵 커맨드를 효율적으로 처리함으로써, 메모리 시스템의 언맵 성능을 향상시킬 수 있다.

### 도면의 간단한 설명

[0013] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템의 일 예를 개략적으로 도시한 도면이다.

도 2는 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치의 일 예를 개략적으로 도시한 도면이다.

도 3은 본 발명의 실시 예에 따른 메모리 장치에서 메모리 블록들의 메모리 셀 어레이 회로를 개략적으로 도시한 도면이다.

도 4는 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치 구조를 개략적으로 도시한 도면이다.

도 5a는 본 발명의 실시 예에 따른 제 1 테이블의 구조를 나타낸 도면이다.

도 5b는 본 발명의 실시 예에 따른 제 2 테이블의 구조를 나타낸 도면이다.

도 6a 내지 도 6e는 본 발명의 일 실시 예에 따른 메모리 시스템의 동작을 나타낸다.

도 7은 본 발명의 실시 예에 따른 메모리 시스템의 동작 과정을 나타낸 흐름도이다.

도 8 내지 도 16은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템의 다른 일 예들을 개략적으로 도시한 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0014] 이하, 본 발명에 따른 바람직한 실시 예를 첨부한 도면을 참조하여 상세히 설명한다. 하기의 설명에서는 본 발명에 따른 동작을 이해하는데 필요한 부분만이 설명되며 그 이외 부분의 설명은 본 발명의 요지를 흐트리지 않도록 생략될 것이라는 것을 유의하여야 한다.

[0015] 이하, 도면들을 참조하여 본 발명의 실시 예들에 대해서 보다 구체적으로 설명하기로 한다.

[0016] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템의 일 예를 개략적으로 도시한 도면이다.

[0017] 도 1을 참조하면, 데이터 처리 시스템(100)은, 호스트(Host)(102) 및 메모리 시스템(110)을 포함한다.

[0018] 그리고, 호스트(102)는, 전자 장치, 예컨대 휴대폰, MP3 플레이어, 랩탑 컴퓨터 등과 같은 휴대용 전자 장치들, 또는 데스크탑 컴퓨터, 게임기, TV, 프로젝터 등과 같은 전자 장치들을 포함, 즉 유무선 전자 장치들을 포함한다.

[0019] 또한, 호스트(102)는, 적어도 하나의 운영 시스템(OS: operating system) 혹은 복수의 운영 시스템들을 포함할 수 있으며, 또한 사용자의 요청에 상응한 메모리 시스템(110)과의 동작 수행을 위해 운영 시스템을 실행한다. 여기서, 호스트(102)는, 사용자 요청에 해당하는 복수의 커맨드들을 메모리 시스템(110)으로 전송하며, 그에 따



라 메모리 시스템(110)에서는 커맨드들에 해당하는 동작들, 즉 사용자 요청에 상응하는 동작들을 수행한다. 예를 들면, 호스트(102)는 라이트 커맨드, 리드 커맨드, 이레이즈 커맨드 및 언맵 커맨드 등을 메모리 시스템(110)으로 전송할 수 있으며, 그에 따라 메모리 시스템(110)에서 상기 복수의 커맨드들 각각에 해당하는 동작들을 수행할 수 있다. 운영 시스템은 호스트(102)의 기능 및 동작을 전반적으로 관리 및 제어하고, 데이터 처리 시스템(100) 또는 메모리 시스템(110)을 사용하는 사용자와 호스트(102) 간에 상호 동작을 제공한다.

[0020] 또한, 메모리 시스템(110)은, 호스트(102)의 요청에 응답하여 동작하며, 특히 호스트(102)에 의해서 액세스되는 데이터를 저장한다. 다시 말해, 메모리 시스템(110)은, 호스트(102)의 주 기억 장치 또는 보조 기억 장치로 사용될 수 있다. 여기서, 메모리 시스템(110)은 호스트(102)와 연결되는 호스트 인터페이스 프로토콜에 따라, 다양한 종류의 저장 장치(솔리드 스테이트 드라이브(SSD: Solid State Drive), MMC, eMMC(embedded MMC))들 중 어느 하나로 구현될 수 있다.

[0021] 아울러, 메모리 시스템(110)을 구현하는 저장 장치들은, DRAM(Dynamic Random Access Memory), SRAM(Static RAM) 등과 같은 휘발성 메모리 장치와, ROM(Read Only Memory), MROM(Mask ROM), PROM(Programmable ROM), EPROM(Erasable ROM), EEPROM(Electrically Erasable ROM), FRAM(Ferromagnetic ROM), PRAM(Phase change RAM), MRAM(Magnetic RAM), RRAM(Resistive RAM), 플래시 메모리 등과 같은 비휘발성 메모리 장치로 구현될 수 있다.

[0022] 메모리 시스템(110)은 메모리 장치(150), 및 컨트롤러(130)를 포함한다.

[0023] 여기서, 컨트롤러(130) 및 메모리 장치(150)는 하나의 반도체 장치로 집적될 수 있다. 일 예로, 컨트롤러(130) 및 메모리 장치(150)는 하나의 반도체 장치로 집적되어 SSD, PC 카드(PCMCIA: Personal Computer Memory Card International Association), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억 장치(UFS) 등으로 구성할 수 있다. 또한, 다른 일 예로, 메모리 시스템(110)은, 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나(컴퓨터, 스마트폰, 휴대용 게임기) 등을 구성할 수 있다.

[0024] 한편, 메모리 시스템(110)에서의 메모리 장치(150)는, 전원이 공급되지 않아도 저장된 데이터를 유지할 수 있으며, 특히 라이트(write) 동작을 통해 호스트(102)로부터 제공된 데이터를 저장하고, 리드(read) 동작을 통해 저장된 데이터를 호스트(102)로 제공한다. 여기서, 메모리 장치(150)는, 복수의 메모리 블록(memory block)들(152)을 포함하며, 각각의 메모리 블록들(152)은, 복수의 페이지들(pages)을 포함하며, 또한 각각의 페이지들은, 복수의 워드라인(WL: Word Line)들이 연결된 복수의 메모리 셀들을 포함한다. 또한, 메모리 장치(150)는, 복수의 메모리 블록들(152)이 각각 포함된 복수의 플레인들(plane)을 포함하며, 특히 복수의 플레인들이 각각 포함된 복수의 메모리 다이(memory die)들을 포함할 수 있다. 아울러, 메모리 장치(150)는, 비휘발성 메모리 장치, 일 예로 플래시 메모리가 될 수 있으며, 이때 플래시 메모리는 3차원(dimension) 입체 스택(stack) 구조가 될 수 있다.

[0025] 여기서, 메모리 장치(150)의 구조 및 메모리 장치(150)의 3차원 입체 스택 구조에 대해서는, 이하 도 2 내지 도 4에서 보다 구체적으로 설명된다.

[0026] 그리고, 메모리 시스템(110)에서의 컨트롤러(130)는, 호스트(102)로부터의 요청에 응답하여 메모리 장치(150)를 제어한다. 예컨대, 컨트롤러(130)는, 메모리 장치(150)로부터 리드된 데이터를 호스트(102)로 제공하고, 호스트(102)로부터 제공된 데이터를 메모리 장치(150)에 저장하며, 이를 위해 컨트롤러(130)는, 메모리 장치(150)의 리드, 라이트, 프로그램(program), 이레이즈(erase) 등의 동작을 제어한다.

[0027] 보다 구체적으로 설명하면, 컨트롤러(130)는, 호스트 인터페이스(Host I/F) 유닛(132), 프로세서(Processor)(134), 메모리 인터페이스(Memory I/F) 유닛(142), 메모리(Memory)(144) 및 언맵관리부(146)를 포함할 수 있다.

[0028] 또한, 호스트 인터페이스 유닛(132)은, 호스트(102)의 커맨드(command) 및 데이터를 처리하며, USB(Universal Serial Bus), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), ESDI(Enhanced Small Disk Interface), 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 호스트(102)와 통신하도록 구성될 수 있다. 여기서, 호스트 인터페이스 유닛(132)은, 호스트(102)와 데이터를 주고받는 영역으로 호스트 인터페이스 계층(HIL: Host Interface Layer, 이하 'HIL'이라 칭하기로 함)이라 불리는 펌웨어(firmware)를 통해 구동될 수 있다.

[0029] 또한, 메모리 인터페이스 유닛(142)은, 컨트롤러(130)가 호스트(102)로부터의 요청에 응답하여 메모리 장치(150)를 제어하기 위해, 컨트롤러(130)와 메모리 장치(150) 간의 인터페이싱을 수행하는 메모리/스토리지

(storage) 인터페이스가 된다.

- [0030] 아울러, 메모리(144)는, 메모리 시스템(110) 및 컨트롤러(130)의 동작 메모리로서, 메모리 시스템(110) 및 컨트롤러(130)의 구동을 위한 데이터를 저장한다.
- [0031] 여기서, 메모리(144)는, 휘발성 메모리로 구현될 수 있으며, 예컨대 정적 랜덤 액세스 메모리(SRAM: Static Random Access Memory), 또는 동적 랜덤 액세스 메모리(DRAM: Dynamic Random Access Memory) 등으로 구현될 수 있다. 아울러, 메모리(144)는 컨트롤러(130)의 내부에 존재하거나, 또는 컨트롤러(130)의 외부에 존재할 수 있으며, 이때 메모리 인터페이스를 통해 컨트롤러(130)로부터 데이터가 입출력되는 외부 휘발성 메모리로 구현될 수도 있다.
- [0032] 또한, 메모리(144)는, 호스트(102)와 메모리 장치(150) 간 데이터 라이트 및 리드 등의 동작을 수행하기 위해 필요한 데이터, 및 데이터 라이트 및 리드 등의 동작 수행 시의 데이터를 저장하며, 이러한 데이터 저장을 위해, 프로그램 메모리, 데이터 메모리, 라이트 버퍼(buffer)/캐시(cache), 리드 버퍼/캐시, 데이터 버퍼/캐시, 맵(map) 버퍼/캐시 등을 포함한다.
- [0033] 나아가, 메모리(144)는 프로세서(134)의 제어에 의하여 메모리 장치(150)로부터 로드된 맵 세그먼트 및 맵 데이터를 저장할 수 있다. 맵 데이터는 호스트(102)로부터 제공받은 데이터에 대응하는 논리주소(Logical Block Address, LBA)와 호스트(102)로부터 제공받은 데이터가 실제로 메모리 장치(150) 내 저장되는 위치인 물리주소(Physical Block Address, PBA)의 1:1 대응관계를 나타낸다. 그리고, 맵 세그먼트는 복수의 맵 데이터로 구성된 맵 데이터 그룹이다. 예를 들면, 한 개의 맵 세그먼트는 100개의 맵 데이터를 포함할 수 있다. 또한, 메모리(144)는 프로세서(134)의 제어에 의하여 맵 세그먼트 및 맵 데이터 각각을 테이블로 관리할 수 있다.
- [0034] 그리고, 프로세서(134)는, 메모리 시스템(110)의 전체적인 동작을 제어하며, 특히 호스트(102)로부터의 라이트 요청 또는 리드 요청에 응답하여, 메모리 장치(150)에 대한 프로그램 동작 또는 리드 동작을 제어한다. 여기서, 프로세서(134)는, 메모리 시스템(110)의 제반 동작을 제어하기 위해 플래시 변환 계층(FTL: Flash Translation Layer, 이하 'FTL'이라 칭하기로 함)이라 불리는 펌웨어(firmware)를 구동한다. 또한, 프로세서(134)는, 마이크로프로세서 또는 중앙 처리 장치(CPU) 등으로 구현될 수 있다.
- [0035] 컨트롤러(130)는, 마이크로프로세서 또는 중앙 처리 장치(CPU) 등으로 구현된 프로세서(134)를 통해, 호스트(102)로부터 요청된 동작을 메모리 장치(150)에서 수행, 다시 말해 호스트(102)로부터 수신된 커맨드에 해당하는 커맨드 동작을, 메모리 장치(150)와 수행한다. 또한 메모리 장치(150)에 대한 백그라운드(background) 동작을 수행할 수도 있다. 여기서, 메모리 장치(150)에 대한 백그라운드 동작은, 가비지 컬렉션(GC: Garbage Collection) 동작, 웨어 레벨링(WL: Wear Leveling) 동작, 맵 플러시(map flush) 동작, 배드 블록 관리(bad block management) 동작 등을 포함한다.
- [0036] 또한, 언맵관리부(146)는 호스트(102)로부터 제공된 언맵 커맨드(unmap command)에 따라 언맵 동작을 수행할 수 있다. 호스트(102)로부터 언맵 커맨드가 컨트롤러(130)에 제공되면, 언맵관리부(146)는 프로세서(134)의 제어에 의하여 호스트(102)로부터 제공된 언맵 커맨드에 대한 타겟 논리주소를 제공받을 수 있다. 그리고 나서, 언맵관리부(146)는 제공받은 타겟 논리주소 각각에 대응하는 맵 데이터의 전체 크기와 소정의 임계 값을 비교할 수 있다. 상기 맵 데이터의 전체 크기가 소정의 임계 값보다 크거나 같을 때, 언맵관리부(146)는 맵 데이터가 포함된 복수의 맵 세그먼트들을 복수의 영역들로 구분할 수 있다. 그리고, 언맵 관리부(146)는 복수의 영역들 각각에 대하여 다른 방법으로 맵 세그먼트 혹은 맵 데이터를 언맵하는 언맵 동작을 수행할 수 있다. 비록, 도 1에서는 언맵관리부(146)가 프로세서(134)와 별개의 구성요소로 도시되어 있으나, 설계 방식에 따라 언맵관리부(146)는 프로세서(134)에 포함될 수도 있다.
- [0037] 나아가, 도면에 도시되진 아니하였으나, 컨트롤러(130)는 ECC 유닛 및 파워관리부를 더 포함할 수 있다.
- [0038] ECC 유닛은, 메모리 장치(150)에서 처리되는 데이터의 에러 비트를 정정하며, ECC 인코더와 ECC 디코더를 포함할 수 있다. 여기서, ECC 인코더(ECC encoder)는 메모리 장치(150)에 프로그램될 데이터를 에러 정정 인코딩(error correction encoding)하여, 패리티(parity) 비트가 부가된 데이터를 생성하며, 패리티 비트가 부가된 데이터는, 메모리 장치(150)에 저장될 수 있다. 그리고, ECC 디코더(ECC decoder)는, 메모리 장치(150)에 저장된 데이터를 리드할 경우, 메모리 장치(150)로부터 리드된 데이터에 포함되는 에러를 검출 및 정정한다. 여기서, ECC 유닛(138)은, LDPC(low density parity check) 코드(code), BCH(Bose, Chaudhri, Hocquenghem) 코드, 터보 코드(turbo code), 리드-솔로몬 코드(Reed-Solomon code), 컨벌루션 코드(convolution code), RSC(recursive systematic code), TCM(trellis-coded modulation), BCM(Block coded modulation) 등의 코디트

모듈레이션(coded modulation)을 사용하여 에러 정정을 수행할 수 있으며, 이에 한정되는 것은 아니다. 또한, ECC 유닛은 오류 정정을 위한 회로, 모듈, 시스템, 또는 장치를 모두 포함할 수 있다.

[0039] 파워관리부는, 컨트롤러(130)의 파워, 즉 컨트롤러(130)에 포함된 구성 요소들의 파워를 제공 및 관리한다.

[0040] 이하에서는, 도 2 내지 도 4를 참조하여 본 발명의 실시 예에 따른 메모리 시스템에서의 메모리 장치에 대해서 보다 구체적으로 설명하기로 한다.

[0041] 도 2는 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치의 일 예를 개략적으로 도시한 도면이고, 도 3은 본 발명의 실시 예에 따른 메모리 장치에서 메모리 블록들의 메모리 셀 어레이 회로를 개략적으로 도시한 도면이며, 도 4는 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치 구조를 개략적으로 도시한 도면으로, 메모리 장치가 3차원 비휘발성 메모리 장치로 구현될 경우의 구조를 개략적으로 도시한 도면이다.

[0042] 우선, 도 2를 참조하면, 메모리 장치(150)는, 복수의 메모리 블록들, 예컨대 블록0(BLK(Block)0)(210), 블록1(BLK1)(220), 블록2(BLK2)(230), 및 블록N-1(BLKN-1)(240)을 포함하며, 각각의 블록들(210, 220, 230, 240)은, 복수의 페이지들(Pages), 예컨대  $2^M$ 개의 페이지들( $2^M$ Pages)을 포함한다. 여기서, 설명의 편의를 위해, 복수의 메모리 블록들이 각각  $2^M$ 개의 페이지들을 포함하는 것을 일 예로 하여 설명하지만, 복수의 메모리들은, 각각 M개의 페이지들을 포함할 수도 있다. 그리고, 각각의 페이지들은, 복수의 워드라인(WL: Word Line)들이 연결된 복수의 메모리 셀들을 포함한다.

[0043] 또한, 메모리 장치(150)는, 복수의 메모리 블록들을 하나의 메모리 셀에 저장 또는 표현할 수 있는 비트의 수에 따라, 하나의 메모리 셀에 1 비트 데이터를 저장하는 메모리 셀들에 의해 구현된 복수의 페이지들을 포함하는 단일 레벨 셀(SLC: Single Level Cell) 메모리, 하나의 메모리 셀에 2 비트 데이터를 저장할 수 있는 메모리 셀들에 의해 구현된 복수의 페이지들을 포함하는 멀티 레벨 셀(MLC: Multi Level Cell) 메모리 블록, 하나의 메모리 셀에 3 비트 데이터를 저장할 수 있는 메모리 셀들에 의해 구현된 복수의 페이지들을 포함하는 트리플 레벨 셀(TLC: Triple Level Cell) 메모리 블록, 하나의 메모리 셀에 4 비트 데이터를 저장할 수 있는 메모리 셀들에 의해 구현된 복수의 페이지들을 포함하는 쿼드러플 레벨 셀(QLC: Quadruple Level Cell) 메모리 블록, 또는 하나의 메모리 셀에 5 비트 또는 그 이상의 비트 데이터를 저장할 수 있는 메모리 셀들에 의해 구현된 복수의 페이지들을 포함하는 다중 레벨 셀(multiple level cell) 메모리 블록 등을 포함할 수 있다.

[0044] 이하에서는, 설명의 편의를 위해, 메모리 장치(150)가, 플래시 메모리, 예컨대 NAND 플래시 메모리 등과 같은 비휘발성 메모리 등으로 구현되는 것을 일 예로 설명하지만, 상변화 메모리(PCRAM: Phase Change Random Access Memory), 저항 메모리(RRAM(ReRAM): Resistive Random Access Memory), 강유전체 메모리(FRAM: Ferroelectrics Random Access Memory), 및 스핀 주입 자기 메모리(STT-RAM(STT-MRAM): Spin Transfer Torque Magnetic Random Access Memory) 등과 같은 메모리들 중 어느 하나의 메모리로 구현될 수도 있다.

[0045] 그리고, 각각의 블록들(210, 220, 230, 240)은, 프로그램 동작을 통해 호스트(102)로부터 제공된 데이터를 저장하고, 리드 동작을 통해 저장된 데이터를 호스트(102)에게 제공한다.

[0046] 다음으로, 도 3을 참조하면, 메모리 시스템(110)의 메모리 장치(150)에 포함된 복수의 메모리 블록들(152)에서 각 메모리 블록(330), 메모리 셀 어레이로 구현되어 비트라인들(BL0 to BLm-1)에 각각 연결된 복수의 셀 스트링들(340)을 포함할 수 있다. 각 열(column)의 셀 스트링(340)은, 적어도 하나의 드레인 선택 트랜지스터(DST)와, 적어도 하나의 소스 선택 트랜지스터(SST)를 포함할 수 있다. 선택 트랜지스터들(DST, SST) 사이에는, 복수 개의 메모리 셀들, 또는 메모리 셀 트랜지스터들(MC0 to MCn-1)이 직렬로 연결될 수 있다. 각각의 메모리 셀(MC0 to MCn-1)은, 셀 당 복수의 비트들의 데이터 정보를 저장하는 MLC로 구성될 수 있다. 셀 스트링들(340)은 대응하는 비트라인들(BL0 to BLm-1)에 각각 전기적으로 연결될 수 있다.

[0047] 여기서, 도 3은, 낸드 플래시 메모리 셀로 구성된 각 메모리 블록(330)을 일 예로 도시하고 있으나, 본 발명의 실시 예에 따른 메모리 장치(150)에 포함된 복수의 메모리 블록(152)은, 낸드 플래시 메모리에만 국한되는 것은 아니라 노어 플래시 메모리(NOR-type Flash memory), 적어도 두 종류 이상의 메모리 셀들이 혼합된 하이브리드 플래시 메모리, 메모리 칩 내에 컨트롤러가 내장된 One-NAND 플래시 메모리 등으로도 구현될 수 있다.

[0048] 그리고, 메모리 장치(150)의 전압 공급 회로(310)는, 동작 모드에 따라서 각각의 워드라인들로 공급될 워드라인 전압들(예를 들면, 프로그램 전압, 리드 전압, 패스 전압 등)과, 메모리 셀들이 형성된 벌크(예를 들면, 웰 영역)로 공급될 전압을 제공할 수 있으며, 이때 전압 공급 회로(310)의 전압 발생 동작은 제어 회로(도시하지 않음)의 제어에 의해 수행될 수 있다. 또한, 전압 공급 회로(310)는, 다수의 리드 데이터를 생성하기 위해 복수의

가변 리드 전압들을 생성할 수 있으며, 제어 회로의 제어에 응답하여 메모리 셀 어레이의 메모리 블록들(또는 섹터들) 중 하나를 선택하고, 선택된 메모리 블록의 워드라인들 중 하나를 선택할 수 있으며, 워드라인 전압을 선택된 워드라인 및 비선택된 워드라인들로 각각 제공할 수 있다.

[0049] 아울러, 메모리 장치(150)의 리드/라이트(read/write) 회로(320)는, 제어 회로에 의해서 제어되며, 동작 모드에 따라 감지 증폭기(sense amplifier)로서 또는 라이트 드라이버(write driver)로서 동작할 수 있다. 예를 들면, 검증/정상 리드 동작의 경우 리드/라이트 회로(320)는, 메모리 셀 어레이로부터 데이터를 리드하기 위한 감지 증폭기로서 동작할 수 있다. 또한, 프로그램 동작의 경우 리드/라이트 회로(320)는, 메모리 셀 어레이에 저장될 데이터에 따라 비트라인들을 구동하는 라이트 드라이버로서 동작할 수 있다. 리드/라이트 회로(320)는, 프로그램 동작 시 셀 어레이에 라이트될 데이터를 버퍼(미도시)로부터 수신하고, 입력된 데이터에 따라 비트라인들을 구동할 수 있다. 이를 위해, 리드/라이트 회로(320)는, 열(column)들(또는 비트라인들) 또는 열쌍(column pair)(또는 비트라인 쌍들)에 각각 대응되는 복수 개의 페이지 버퍼들(PB)(322,324,326)을 포함할 수 있으며, 각각의 페이지 버퍼(page buffer)(322,324,326)에는 복수의 래치들(도시하지 않음)이 포함될 수 있다.

[0050] 또한, 메모리 장치(150)는, 2차원 또는 3차원의 메모리 장치로 구현될 수 있으며, 특히 도 4에 도시한 바와 같이, 3차원 입체 스택 구조의 비휘발성 메모리 장치로 구현될 수 있으며, 3차원 구조로 구현될 경우, 복수의 메모리 블록들(BLK0 to BLKN-1)을 포함할 수 있다. 여기서, 도 4는, 도 1에 도시한 메모리 장치(150)의 메모리 블록들(152)을 보여주는 블록도로서, 각각의 메모리 블록들(152)은, 3차원 구조(또는 수직 구조)로 구현될 수 있다. 예를 들면, 각각의 메모리 블록들(152)은 제1방향 내지 제3방향들, 예컨대 x-축 방향, y-축 방향, 및 z-축 방향을 따라 신장된 구조물들을 포함하여, 3차원 구조로 구현될 수 있다.

[0051] 그리고, 메모리 장치(150)에 포함된 각 메모리 블록(330)은, 제2방향을 따라 신장된 복수의 낸드 스트링들(NS)을 포함할 수 있으며, 제1방향 및 제3방향들을 따라 복수의 낸드 스트링들(NS)이 제공될 수 있다. 여기서, 각 낸드 스트링(NS)은, 비트라인(BL), 적어도 하나의 스트링 선택라인(SSL), 적어도 하나의 접지 선택라인(GSL), 복수의 워드라인들(WL), 적어도 하나의 더미 워드라인(DWL), 그리고 공통 소스라인(CSL)에 연결될 수 있으며, 복수의 트랜지스터 구조들(TS)을 포함할 수 있다.

[0052] 즉, 메모리 장치(150)의 복수의 메모리 블록들(152)에서 각 메모리 블록(330)은, 복수의 비트라인들(BL), 복수의 스트링 선택라인들(SSL), 복수의 접지 선택라인들(GSL), 복수의 워드라인들(WL), 복수의 더미 워드라인들(DWL), 그리고 복수의 공통 소스라인(CSL)에 연결될 수 있으며, 그에 따라 복수의 낸드 스트링들(NS)을 포함할 수 있다. 또한, 각 메모리 블록(330)에서, 하나의 비트라인(BL)에 복수의 낸드 스트링들(NS)이 연결되어, 하나의 낸드 스트링(NS)에 복수의 트랜지스터들이 구현될 수 있다. 아울러, 각 낸드 스트링(NS)의 스트링 선택 트랜지스터(SST)는, 대응하는 비트라인(BL)과 연결될 수 있으며, 각 낸드 스트링(NS)의 접지 선택 트랜지스터(GST)는, 공통 소스라인(CSL)과 연결될 수 있다. 여기서, 각 낸드 스트링(NS)의 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST) 사이에 메모리 셀들(MC)이 제공, 즉 메모리 장치(150)의 복수의 메모리 블록들(152)에서 각 메모리 블록(330)에는 복수의 메모리 셀들이 구현될 수 있다.

[0054] 도 1에서 설명된 바와 같이, 메모리(144)는 프로세서(134)의 제어에 의하여 맵 세그먼트 및 맵 데이터 각각을 테이블로 관리할 수 있다. 예를 들면, 맵 세그먼트에 대한 정보는 제 1 테이블(510)에 기록될 수 있고, 맵 데이터에 대한 정보는 제 2 테이블(530)에 기록될 수 있다. 이하에서는, 도 5a 내지 도 5b를 참조하여, 맵 세그먼트 및 맵 데이터에 대한 정보가 각각 기록된 제 1 테이블(510) 및 제 2 테이블(530)이 설명된다.

[0055] 도 5a는 본 발명의 실시 예에 따른 제 1 테이블(510)의 구조를 나타낸다.

[0056] 제 1 테이블(510)은 맵 세그먼트와 복수의 논리주소들을 포함하는 논리주소 그룹 간의 매핑관계(이하, 제 1 매핑)를 나타낼 수 있다. 그리고, 제 1 테이블(510)에는 복수의 제 1 매핑 정보가 기록될 수 있다. 제 1 매핑 정보는 맵 세그먼트(segment), 논리주소(LBA) 및 제 1 플래그 정보(flag)를 포함할 수 있다. 제 1 플래그 정보는 제 1 매핑 여부를 나타낼 수 있다. 도 5a에 도시된 제 1 테이블(510)은 제 1 플래그 정보가 'M'인 제 1 맵 세그먼트가 제 1 논리주소 내지 제 K 논리주소(LBA<1:K>)을 포함하는 제 1 논리그룹과 매핑되어 있음을 나타낸다. 반면에, 제 1 테이블(510)은 제 1 플래그 정보가 'U'인 제 2 맵 세그먼트가 제 K+1 논리주소 내지 제 2K 논리주소(LBA<K+1:2K>)을 포함하는 제 2 논리그룹과 매핑되어 있지 아니함을 나타낸다.

[0057] 도 5b는 본 발명의 실시 예에 따른 제 2 테이블(530)의 구조를 나타낸다.

[0058] 제 2 테이블(530)은 논리주소 정보와 물리주소 정보 간의 매핑관계(이하, 제 2 매핑)를 나타낼 수 있다. 그리



고, 제 2 테이블(530)에는 복수의 제 2 매핑 정보가 기록될 수 있다. 제 2 매핑 정보는 논리주소(LBA), 물리주소(PBA) 및 제 2 플래그 정보(Flag)를 포함할 수 있다. 이때, 제 2 플래그 정보는 제 2 매핑 여부를 나타낸다. 예를 들어, 제 2 테이블(530)은 제 2 플래그 정보가 'M'인 제 1 논리주소(LBA 1)는 제 56 물리주소(PBA 56)와 매핑되어 있음을 나타낼 수 있다. 반면에, 제 2 테이블(530)은 제 2 플래그 정보가 'U'인 제 3 논리주소(LBA 3)는 제 11 물리주소(PBA 11)와 매핑되어 있지 아니함을 나타낼 수 있다.

[0059] 나아가, 제 2 테이블(530)은 제 2 매핑 정보를 맵 세그먼트 단위로 나타낸다. 도 5b에 도시된 제 2 테이블(530)은 제 1 맵 세그먼트와 매핑된 제 1 논리주소 내지 제 K 논리주소 각각의 제 2 매핑 정보를 나타낸다. 비록 도 5b에는 제 1 맵 세그먼트에 매핑된 제 1 논리주소 내지 제 K 논리주소 각각의 제 2 매핑 정보만이 도시되어 있으나, 이는 일 실시 예일 뿐이며, 복수의 맵 세그먼트를 각각에 대하여 제 2 테이블(530)이 구성될 수 있다.

[0060] 도 5a 내지 도 5b에 도시된 제 1 테이블(510) 및 제 2 테이블(530)은 프로세서(134)의 제어에 의하여 메모리 장치(150)에 저장될 수 있다. 또한, 프로세서(134)는 호스트(102)로부터 제공된 언맵 커맨드를 처리하기 위하여 제 1 테이블(510) 및 제 2 테이블(530)을 메모리 장치(150)에서 메모리(144)로 로드할 수 있다.

[0061] 언맵관리부(146)는 메모리(144)에 저장된 제 1 테이블(510) 및 제 2 테이블(530)을 참조하여 호스트(102)로부터 제공된 언맵 커맨드를 처리할 수 있다. 언맵 관리부(146)는 호스트(102)로부터 제공된 언맵 커맨드에 따라 제 1 매핑 및/또는 제 2 매핑을 해제하는 언맵 동작을 수행할 수 있다. 특히, 본 발명의 실시 예에 따른 메모리 시스템(110)은 다수의 논리주소에 대한 언맵 커맨드에 따른 언맵 동작을 효율적으로 수행할 수 있다. 이하에서는, 본 발명의 실시 예에 따른 메모리 시스템(110)의 동작이 구체적으로 설명된다.

[0062] 도 6a 내지 도 6e는 본 발명의 일 실시 예에 따른 메모리 시스템(110)의 동작을 나타낸다. 설명의 편의를 위하여 맵 세그먼트는 100개의 논리주소와 매핑될 수 있다고 가정한다. 그리고, 제 1 맵 세그먼트는 제 1 논리주소 내지 제 100 논리주소와 매핑되어 있으며, 제 2 맵 세그먼트는 제 101 논리주소 내지 제 200 논리주소와 매핑되어 있다고 가정한다. 나아가, 동일한 원리로, 제 3 맵 세그먼트 내지 제 11 맵 세그먼트 각각이 복수의 논리주소들과 매핑되어 있다고 가정한다. 또한, 호스트(102)로부터 제공된 언맵 커맨드에 대한 맵 데이터의 전체 크기는 소정의 임계 값보다 크거나 같다고 가정한다. 이하에서 설명되는 메모리 시스템(110)의 동작은 일 실시 예이며, 이에 제한되는 것은 아니다.

[0063] 도 6a를 참조하면, 호스트(102)는 제 10 논리주소 내지 제 1050 논리주소(LBA<10:1050>)에 대한 언맵 커맨드를 메모리 시스템(110)으로 제공할 수 있다. 언맵 커맨드가 호스트(102)로부터 제공되면, 컨트롤러(130) 내 프로세서(134)는 타겟 논리 주소와 연관된 제 1 매핑 정보 및 제 2 매핑 정보를 메모리 장치(150)에서 로드할 수 있다. 이때, 타겟 논리주소는 제 10 논리주소 내지 제 1050 논리주소(LBA<10:1050>)을 의미한다. 즉, 프로세서(134)는 제 1 맵 세그먼트 내지 제 11 맵 세그먼트에 대한 제 1 매핑 정보 및 제 10 논리주소 내지 제 1050 논리주소(LBA<10:1050>) 각각에 대한 제 2 매핑 정보를 메모리 장치(150)에서 리드하여 메모리(144)에 저장할 수 있다. 나아가, 프로세서(134)는 제 1 매핑 정보 및 제 2 매핑 정보가 기록된 제 1 테이블(610) 및 제 2 테이블(630)을 메모리 장치(150)로부터 로드할 수 있다. 특히, 프로세서(134)는 이미 제 1 매핑 정보 및 제 2 매핑 정보가 메모리(144)에 저장되어 있더라도, 메모리 장치(150)로부터 리드하여 메모리(144)에 다시 저장할 수 있다. 메모리 장치(150)에 저장된 제 1 매핑 정보 및 제 2 매핑 정보가 가장 최근에 업데이트된 정보이기 때문에 프로세서(134)는 언맵 커맨드가 제공된 때에 메모리 장치(150)로부터 제 1 매핑 정보 및 제 2 매핑 정보를 로드할 수 있다.

[0064] 도 6b를 참조하면, 언맵관리부(146)는 호스트(102)로부터 제공된 언맵 커맨드에 대한 맵 데이터의 전체 크기와 소정의 임계 값을 비교할 수 있다. 소정의 임계 값은 설계자에 의하여 설정될 수 있다. 앞서 가정한 바와 같이, 언맵 커맨드에 대한 맵 데이터의 전체 크기가 소정의 임계 값보다 크거나 같다면, 언맵관리부(146)는 메모리(144)에 저장된 제 1 테이블(610)에 기초하여 복수의 맵 세그먼트들을 제 1 영역, 제 2 영역 및 제 3 영역으로 구분할 수 있다.

[0065] 구체적으로, 언맵관리부(146)는 논리그룹에 포함된 복수의 논리주소들 중 일부만 타겟 논리주소인 논리그룹과 매핑된 맵 세그먼트를 제 1 영역 혹은 제 3 영역으로 구분할 수 있다. 반면에, 언맵관리부(146)는 논리그룹에 포함된 복수의 논리주소들이 전부 타겟 논리주소인 논리그룹과 매핑된 맵 세그먼트를 제 2 영역으로 구분할 수 있다. 예를 들면, 언맵관리부(146)는 타겟 논리주소의 시작 논리주소인 제 10 논리주소(LBA 10)를 포함하는 그룹과 매핑된 제 1 맵 세그먼트를 제 1 영역으로 구분할 수 있다. 그리고, 언맵관리부(146)는 타겟 논리주소의 마지막 논리주소인 제 1050 논리주소(LBA 1050)를 포함하는 그룹과 매핑된 제 11 맵 세그먼트를 제 3 영역으로

구분할 수 있다. 마지막으로, 언맵관리부(146)는 제 1 맵 세그먼트 및 제 11 맵 세그먼트를 제외한 제 2 맵 세그먼트 내지 제 10 맵 세그먼트를 제 2 영역으로 구분할 수 있다.

[0066] 그리고, 언맵관리부(146)는 제 1 영역, 제 2 영역 및 제 3 영역 각각에 대하여 다르게 언맵 동작을 수행할 수 있다.

[0067] 먼저, 도 6c를 참조하면, 언맵관리부(146)는 제 1 영역에 포함된 제 1 맵 세그먼트와 매핑된 논리그룹에 포함된 복수의 논리주소들 중 타겟 논리주소의 제 2 매핑에 대하여 언맵 동작을 수행할 수 있다. 구체적으로, 제 1 맵 세그먼트와 매핑된 논리그룹에 포함된 복수의 논리주소들 중 타겟 논리주소는 제 10 논리주소(LBA 10) 내지 제 100 논리주소(LBA 100)이다. 언맵관리부(146)는 언맵 커맨드에 따라 제 10 논리주소(LBA 10) 내지 제 100 논리주소(LBA 100) 각각의 제 2 매핑을 개별적으로 해제할 수 있다. 그리고, 언맵관리부(146)는 제 2 테이블(630\_1)에 기록된 제 10 논리주소(LBA 10) 제 100 논리주소(LBA 100) 각각에 대응하는 제 2 플래그 정보를 'M'에서 'U'로 업데이트할 수 있다. 나아가, 프로세서(134)는 제 10 논리주소(LBA 10) 내지 제 100 논리주소(LBA 100) 각각에 대하여 매핑 해제된 정보가 기록된 제 2 테이블(630\_3)을 메모리 장치(150)에 저장할 수 있다.

[0068] 또한, 도 6d를 참조하면, 언맵관리부(146)는 제 2 영역에 포함된 제 2 맵 세그먼트 내지 제 10 맵 세그먼트 각각의 제 1 매핑에 대하여 언맵 동작을 수행할 수 있다. 제 2 영역에 포함된 복수의 맵 세그먼트들 각각과 매핑된 논리그룹에 포함된 복수의 논리주소들은 전부 타겟 논리주소에 포함된다. 즉, 제 2 맵 세그먼트 내지 제 10 맵 세그먼트 각각과 매핑된 논리그룹은 타겟 논리주소의 일부인 제 101 논리주소 내지 제 1000 논리주소(LBA<101:1000>)을 모두 포함할 수 있다. 따라서, 언맵관리부(146)는 제 1 영역과 같이 제 2 매핑에 대하여 언맵 동작을 수행하지 않는다.

[0069] 이 경우, 언맵관리부(146)는 제 2 맵 세그먼트 내지 제 10 맵 세그먼트 각각의 제 1 매핑을 해제할 수 있다. 즉, 언맵관리부(146)는 제 1 테이블(610\_1)에 기초하여 제 2 맵 세그먼트와 제 101 논리주소 내지 제 200 논리주소(LBA <101:200>)의 매핑관계를 해제할 수 있다. 그리고, 언맵관리부(146)는 제 3 맵 세그먼트와 제 201 논리주소 내지 제 300 논리주소(LBA <201:300>)의 매핑관계를 해제할 수 있다. 동일한 원리로, 언맵관리부(146)는 제 4 맵 세그먼트 내지 제 10 맵 세그먼트 각각에 매핑되어 있는 복수의 논리주소들과의 매핑관계를 해제할 수 있다.

[0070] 만약, 제 101 논리주소(LBA 100) 내지 제 1000 논리주소(LBA 1000) 각각의 제 2 매핑을 해제한다면, 총 '900'번의 언맵 동작이 수행되어야 한다. 하지만, 언맵관리부(146)는 복수의 맵 세그먼트들 각각의 제 1 매핑을 해제함으로써, 총 '9'번 언맵 동작을 수행할 수 있다.

[0071] 나아가, 언맵관리부(146)는 제 1 테이블(610\_1)에 기록된 제 2 맵 세그먼트 내지 제 10 맵 세그먼트 각각에 대응하는 제 1 플래그 정보를 'M'에서 'U'로 업데이트할 수 있다. 프로세서(134)는 제 2 맵 세그먼트 내지 제 10 맵 세그먼트 각각에 대하여 매핑 해제된 정보가 기록된 제 1 테이블(610\_3)을 메모리 장치(150)에 저장할 수 있다. 그리고, 프로세서(134)는 제 2 맵 세그먼트 내지 제 10 맵 세그먼트 각각에 대응하는 맵 데이터가 기록된 제 2 테이블은 메모리 장치(150)에 저장하지 아니할 수 있다.

[0072] 마지막으로, 도 6e를 참조하면, 언맵관리부(146)는 제 3 영역에 포함된 제 11 맵 세그먼트와 매핑된 논리그룹에 포함된 복수의 논리주소들 중 타겟 논리주소에 해당하는 논리주소들의 제 2 매핑에 대하여 언맵 동작을 수행할 수 있다. 구체적으로, 제 11 맵 세그먼트와 매핑된 논리그룹에 포함된 복수의 논리주소들 중 타겟 논리주소는 제 1001 논리주소(LBA 1001) 내지 제 1050 논리주소(LBA 1050)이다. 언맵관리부(146)는 언맵 커맨드에 따라 제 1001 논리주소(LBA 1001) 내지 제 1050 논리주소(LBA 1050) 각각의 제 2 매핑을 개별적으로 해제할 수 있다. 그리고, 언맵관리부(146)는 제 2 테이블(630\_5)에 기록된 제 1001 논리주소(LBA 1001) 내지 제 1050 논리주소(LBA 1050) 각각에 대응하는 제 2 플래그 정보를 'M'에서 'U'로 업데이트할 수 있다. 나아가, 프로세서(134)는 제 1001 논리주소(LBA 1001) 내지 제 1050 논리주소(LBA 1050) 각각에 대하여 매핑 해제된 정보가 기록된 제 2 테이블(630\_7)을 메모리 장치(150)에 저장할 수 있다.

[0073] 도면에 도시되진 아니하였으나, 호스트(102)로부터 제공된 언맵 커맨드에 대한 맵 데이터의 전체 크기가 소정의 임계 값보다 작은 경우, 언맵관리부(146)는 타겟 논리주소의 제 2 매핑을 해제하는 동작을 수행할 수 있다. 이 경우, 언맵관리부(146)는 제 1 매핑을 해제하는 동작을 수행하지 아니한다.

[0074] 도 7은 본 발명의 실시 예에 따른 메모리 시스템(110)의 동작 과정을 나타낸 흐름도이다. 특히, 도 7은 호스트(102)로부터 언맵 커맨드가 제공되어, 메모리 시스템(110)이 언맵 커맨드를 처리하는 과정을 나타낸다.

- [0075] 먼저, 단계 S701에서, 프로세서(134)는 메모리 장치(150)로부터 제 1 매핑 정보 및 제 2 매핑 정보를 로드하여 메모리(144)에 저장할 수 있다.
- [0076] 그리고, 단계 S703에서, 언맵커맨드(146)는 타겟 논리주소와 대응하는 맵 데이터 전체의 크기를 소정의 임계 값과 비교할 수 있다.
- [0077] 만약, 맵 데이터 전체의 크기가 소정의 임계 값보다 크거나 같다면(단계 S703에서, 'Yes'), 단계 S705에서, 언맵관리부(146)는 복수의 맵 세그먼트들을 복수의 영역으로 구분할 수 있다. 예를 들면, 언맵관리부(146)는 복수의 맵 세그먼트들을 제 1 영역, 제 2 영역 및 제 3 영역으로 구분할 수 있다. 도 6b에서 설명된 바와 같이, 언맵관리부(146)는 논리그룹에 포함된 복수의 논리주소들 중 일부만 타겟 논리주소인 논리그룹과 매핑된 맵 세그먼트를 제 1 영역 혹은 제 3 영역으로 구분할 수 있다. 반면에, 언맵관리부(146)는 논리그룹에 포함된 복수의 논리주소들이 전부 타겟 논리주소인 논리그룹과 매핑된 맵 세그먼트를 제 2 영역으로 구분할 수 있다.
- [0078] 단계 S707에서, 언맵관리부(146)는 제 1 영역 및 제 3 영역에 포함된 맵 세그먼트와 매핑된 논리그룹에 포함된 복수의 논리주소들 중 타겟 논리주소의 제 2 매핑에 대하여 언맵 동작을 수행할 수 있다.
- [0079] 그리고, 단계 S709에서, 프로세서(134)는 단계 S707에서 언맵 동작이 수행된 타겟 논리주소 각각에 대한 제 2 매핑 정보를 메모리 장치(150)에 저장할 수 있다. 나아가, 프로세서(134)는 단계 S707에서 언맵 동작이 수행된 타겟 논리주소 각각에 대한 제 2 매핑 정보가 기록된 제 2 테이블을 메모리 장치(150)에 저장할 수 있다.
- [0080] 반면에, 단계 S711에서, 언맵관리부(146)는 제 2 영역에 포함된 맵 세그먼트의 제 1 매핑에 대하여 언맵 동작을 수행할 수 있다.
- [0081] 그리고, 단계 S713에서, 프로세서(134)는 단계 S711에서 언맵 동작이 수행된 맵 세그먼트에 대한 제 1 매핑 정보를 메모리 장치(150)에 저장할 수 있다. 나아가, 프로세서(134)는 단계 S711에서 언맵 동작이 수행된 맵 세그먼트의 제 1 매핑 정보가 기록된 제 2 테이블을 메모리 장치(150)에 저장할 수 있다.
- [0082] 만약, 맵 데이터 전체의 크기가 소정의 임계 값보다 작다면(단계 S703에서, 'No'), 단계 S715에서, 언맵관리부(146)는 타겟 논리주소의 제 2 매핑에 대하여 언맵 동작을 수행할 수 있다.
- [0083] 그리고, 단계 S717에서, 프로세서(134)는 단계 S715에서 언맵 동작이 수행된 타겟 논리주소 각각에 대한 제 2 매핑 정보를 메모리 장치(150)에 저장할 수 있다. 나아가, 프로세서(134)는 단계 S715에서 언맵 동작이 수행된 타겟 논리주소 각각에 대한 제 2 매핑 정보가 기록된 제 2 테이블을 메모리 장치(150)에 저장할 수 있다.
- [0085] 그러면 이하에서는, 도 8 내지 도 16을 참조하여, 본 발명의 실시 예에 따라 도 1 내지 도 7에서 설명한 메모리 장치(150) 및 컨트롤러(130)를 포함하는 메모리 시스템(110)이 적용된 데이터 처리 시스템 및 전자 기기들에 대해서 보다 구체적으로 설명하기로 한다.
- [0086] 도 8은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템의 다른 일 예를 개략적으로 도시한 도면이다. 여기서, 도 8은 본 발명의 실시 예에 따른 메모리 시스템이 적용된 메모리 카드 시스템을 개략적으로 도시한 도면이다.
- [0087] 도 8을 참조하면, 메모리 카드 시스템(6100)은, 메모리 컨트롤러(6120), 메모리 장치(6130), 및 커넥터(6110)를 포함한다.
- [0088] 보다 구체적으로 설명하면, 메모리 컨트롤러(6120)는, 비휘발성 메모리로 구현된 메모리 장치(6130)와 연결되며, 메모리 장치(6130)를 액세스하도록 구현된다. 즉, 메모리 컨트롤러(6120)는, 도 1에서 설명한 메모리 시스템(110)에서의 컨트롤러(130)에 대응되며, 이러한 컨트롤러(130)는 복수의 프로세서를 포함할 수 있다. 메모리 장치(6130)는, 도 1에서 설명한 메모리 시스템(110)에서의 메모리 장치(150)에 대응될 수 있다.
- [0089] 그에 따라, 메모리 컨트롤러(6120)는, 램(RAM: Random Access Memory), 프로세싱 유닛(processing unit), 호스트 인터페이스(host interface), 메모리 인터페이스(memory interface), 에러 정정부(error correction unit)와 같은 구성 요소들을 포함할 수 있다. 아울러, 메모리 컨트롤러(6120)는, 커넥터(6110)를 통해 외부 장치 호스트(102)와 통신할 수 있다. 그리고, 메모리 장치(6130)는 비휘발성 메모리 소자들로 구현될 수 있다. 아울러, 메모리 컨트롤러(6120) 및 메모리 장치(6130)는, 하나의 반도체 장치로 집적될 수 있다.
- [0090] 도 9은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템의 다른 일 예를 개략적으로 도

시한 도면이다.

- [0091] 도 9을 참조하면, 데이터 처리 시스템(6200)은, 메모리 장치(6230) 및 메모리 컨트롤러(6220)를 포함한다. 여기서, 도 9에 도시한 데이터 처리 시스템(6200)은, 도 1에서 설명한 바와 같이, 메모리 카드(CF, SD, microSD, 등), USB 저장 장치 등과 같은 저장 매체가 될 수 있으며, 메모리 장치(6230)는, 도 1에서 설명한 메모리 시스템(110)에서의 메모리 장치(150)에 대응되고, 메모리 컨트롤러(6220)는, 도 1에서 설명한 메모리 시스템(110)에서의 컨트롤러(130)에 대응될 수 있다.
- [0092] 그리고, 메모리 컨트롤러(6220)는, 호스트 인터페이스(6224)를 통해 호스트(6210)와 데이터 등을 송수신하며, NVM 인터페이스(6225)를 통해 메모리 장치(6230)와 데이터 등을 송수신한다. 여기서, 호스트 인터페이스(6224)는, PATA 버스, SATA 버스, SCSI, USB, PCIe, 낸드 인터페이스 등을 통해 호스트(6210)와 연결될 수 있다. 또한, 메모리 컨트롤러(6220)는, 무선 통신 기능, 모바일 통신 규격으로 WiFi 또는 LTE(Long Term Evolution) 등이 구현되어, 외부 장치와 통신하도록 구성됨에 따라, 유선/무선 전자 기기들, 특히 모바일 전자 기기 등에 본 발명의 실시 예에 따른 메모리 시스템 및 데이터 처리 시스템이 적용될 수 있다.
- [0093] 도 10는 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템의 다른 일 예를 개략적으로 도시한 도면이다. 여기서, 도 10은 본 발명의 실시 예에 따른 메모리 시스템이 적용된 솔리드 스테이트 드라이브(SSD: Solid State Drive)를 개략적으로 도시한 도면이다.
- [0094] 도 10를 참조하면, SSD(6300)는, 복수의 비휘발성 메모리들을 포함하는 메모리 장치(6340) 및 컨트롤러(6320)를 포함한다. 여기서, 컨트롤러(6320)는, 도 1에서 설명한 메모리 시스템(110)에서의 컨트롤러(130)에 대응되며, 메모리 장치(6340)는, 도 1에서 설명한 메모리 시스템(110)에서의 메모리 장치(150)에 대응될 수 있다.
- [0095] 보다 구체적으로 설명하면, 컨트롤러(6320)는, 복수의 채널들(CH1 내지 CHi)을 통해 메모리 장치(6340)와 연결된다. 그리고, 컨트롤러(6320)는 프로세서(6321), 버퍼 메모리(6325), ECC 회로(6322), 호스트 인터페이스(6324), 및 메모리 인터페이스, 예컨대 비휘발성 메모리 인터페이스(6326)를 포함한다. 설명의 편의를 위해 컨트롤러(6320) 내부에 존재하지만, 컨트롤러(6320) 외부에도 존재할 수 있다.
- [0096] 또한, 호스트 인터페이스(6324)는, 외부의 장치, 예컨대 호스트(6310)와 인터페이스 기능을 제공하며, 비휘발성 메모리 인터페이스(6326)는, 복수의 채널들을 통해 연결된 메모리 장치(6340)와 인터페이스 기능을 제공한다.
- [0097] 아울러, 도 1에서 설명한 메모리 시스템(110)이 적용된 SSD(6300)는, 복수개가 적용되어 데이터 처리 시스템, 예컨대 RAID(Redundant Array of Independent Disks) 시스템을 구현할 수 있으며, 이때 RAID 시스템에는, 복수의 SSD(6300)들과, 복수의 SSD(6300)들을 제어하는 RAID 컨트롤러가 포함될 수 있다.
- [0098] 도 11은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템의 다른 일 예를 개략적으로 도시한 도면이다. 여기서, 도 11는 본 발명의 실시 예에 따른 메모리 시스템이 적용된 eMMC(embedded multimedia card)를 개략적으로 도시한 도면이다.
- [0099] 도 11을 참조하면, eMMC(6400)는, 적어도 하나의 낸드 플래시 메모리로 구현된 메모리 장치(6440), 및 컨트롤러(6430)를 포함한다. 여기서, 컨트롤러(6430)는, 도 1에서 설명한 메모리 시스템(110)에서의 컨트롤러(130)에 대응되며, 메모리 장치(6440)는, 도 1에서 설명한 메모리 시스템(110)에서의 메모리 장치(150)에 대응될 수 있다.
- [0100] 도 12 내지 도 15는 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템의 다른 일 예를 개략적으로 도시한 도면이다. 여기서, 도 12 내지 도 15는 본 발명의 실시 예에 따른 메모리 시스템이 적용된 UFS(Universal Flash Storage)를 개략적으로 도시한 도면이다.
- [0101] 도 12 내지 도 15를 참조하면, 각각의 UFS 시스템들(6500, 6600, 6700, 6800)은, 호스트들(6510, 6610, 6710, 6810), UFS 장치들(6520, 6620, 6720, 6820), 및 UFS 카드들(6530, 6630, 6730, 6830)을 각각 포함할 수 있다. 여기서, 각각의 호스트들(6510, 6610, 6710, 6810)은, 유선/무선 전자 기기들, 특히 모바일 전자 기기 등의 어플리케이션 프로세서가 될 수 있으며, 또한 각각의 UFS 장치들(6520, 6620, 6720, 6820)은, 임베디드 UFS(Embedded UFS) 장치들이 되고, 아울러 각각의 UFS 카드들(6530, 6630, 6730, 6830)은, 외부 임베디드 UFS(External Embedded UFS) 장치 또는 리무벌 UFS 카드(Removable UFS Card)가 될 수 있다.
- [0102] 또한, 각 UFS 시스템들(6500, 6600, 6700, 6800)에서, 각각의 호스트들(6510, 6610, 6710, 6810), UFS 장치들(6520, 6620, 6720, 6820), 및 UFS 카드들(6530, 6630, 6730, 6830) 간은, 각각 UFS 프로토콜을 통해 외부의 장치들, 예컨대 유선/무선 전자 기기들, 특히 모바일 전자 기기 등과 통신할 수 있으며, UFS 장치들(6520, 6620, 6720, 6820)과 UFS 카드들(6530, 6630, 6730, 6830)은, 도 1에서 설명한 메모리 시스템(110)으로 구현



될 수 있다. 예컨대, 각 UFS 시스템들(6500,6600,6700,6800)에서, UFS 장치들(6520,6620,6720,6820)은, 도 9 내지 도 11에서 설명한 데이터 처리 시스템(6200), SSD(6300), 또는 eMMC(6400) 형태로 구현될 수 있으며, UFS 카드들(6530,6630,6730,6830)은, 도 7에서 설명한 메모리 카드 시스템(6100) 형태로 구현될 수 있다.

[0103] 아울러, 각 UFS 시스템들(6500,6600,6700,6800)에서, 각각의 호스트들(6510,6610,6710,6810), UFS 장치들(6520,6620,6720,6820), 및 UFS 카드들(6530,6630,6730,6830) 간은, UFS(Universal Flash Storage) 인터페이스, 예컨대 MIPI(Mobile Industry Processor Interface)에서의 MIPI M-PHY 및 MIPI UniPro(Unified Protocol)을 통해 통신을 수행할 수 있으며, 아울러 UFS 장치들(6520,6620,6720,6820)과 UFS 카드들(6530,6630,6730,6830) 간은, UFS 프로토콜이 아닌 다른 프로토콜을 통해 통신할 수 있으며, 예컨대 다양한 카드 프로토콜, 일 예로 UFDs, MMC, SD(secure digital), mini SD, Micro SD 등을 통해 통신할 수 있다.

[0104] 도 16는 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템의 또 다른 일 예를 개략적으로 도시한 도면이다. 여기서, 도 15은 본 발명에 따른 메모리 시스템이 적용된 사용자 시스템을 개략적으로 도시한 도면이다.

[0105] 도 16를 참조하면, 사용자 시스템(6900)은, 애플리케이션 프로세서(6930), 메모리 모듈(6920), 네트워크 모듈(6940), 스토리지 모듈(6950), 및 사용자 인터페이스(6910)를 포함한다.

[0106] 여기서, 애플리케이션 프로세서(6930)는 시스템-온-칩(SoC: System-on-Chip)으로 제공될 수 있다.

[0107] 그리고, 메모리 모듈(6920)은, 사용자 시스템(6900)의 메인 메모리, 동작 메모리, 버퍼 메모리, 또는 캐시 메모리로 동작할 수 있다. 예컨대, 애플리케이션 프로세서(6930) 및 메모리 모듈(6920)은, POP(Package on Package)를 기반으로 패키징화되어 실장될 수 있다.

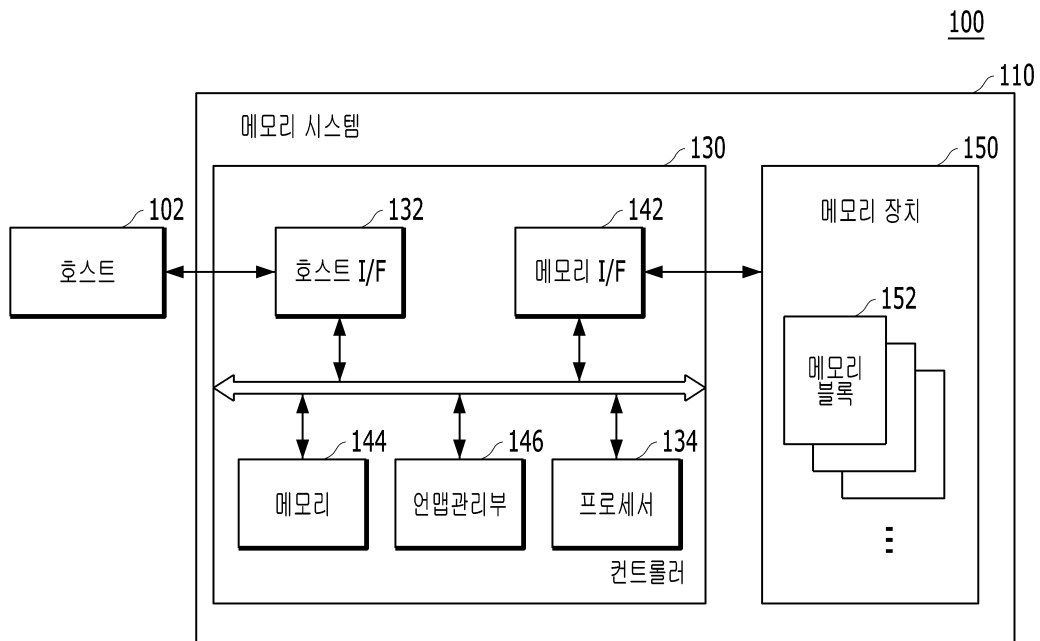
[0108] 또한, 네트워크 모듈(6940)은, 외부 장치들과 통신을 수행할 수 있다. 예를 들어, 네트워크 모듈(6940)은, 유선 통신을 지원할뿐만 아니라, CDMA(Code Division Multiple Access), GSM(Global System for Mobile communication), WCDMA(wideband CDMA), CDMA-2000, TDMA(Time Division Multiple Access), LTE(Long Term Evolution), Wimax, WLAN, UWB, 블루투스, WI-DI 등과 같은 다양한 무선 통신을 지원함으로써, 유선/무선 전자 기기들, 특히 모바일 전자 기기 등과 통신을 수행할 수 있으며, 그에 따라 본 발명의 실시 예에 따른 메모리 시스템 및 데이터 처리 시스템이 유선/무선 전자 기기들에 적용될 수 있다. 여기서, 네트워크 모듈(6940)은, 애플리케이션 프로세서(6930)에 포함될 수 있다.

[0109] 아울러, 스토리지 모듈(6950)은, 데이터를 저장, 예컨대 애플리케이션 프로세서(6930)로부터 수신한 데이터를 저장한 후, 스토리지 모듈(6950)에 저장된 데이터를 애플리케이션 프로세서(6930)로 전송할 수 있다. 여기서, 스토리지 모듈(6950)은, PRAM(Phasechange RAM), MRAM(Magnetic RAM), RRAM(Resistive RAM), NAND flash, NOR flash, 3차원 구조의 NAND 플래시 등과 같은 비휘발성 반도체 메모리 소자 등으로 구현될 수 있으며, 또한 사용자 시스템(6900)의 메모리 카드, 외장형 드라이브 등과 같은 탈착식 저장 매체(removable drive)로 제공될 수 있다. 즉, 스토리지 모듈(6950)은, 도 1에서 설명한 메모리 시스템(110)에 대응될 수 있으며, 아울러 도 10 내지 도 15에서 설명한 SSD, eMMC, UFS로 구현될 수도 있다.

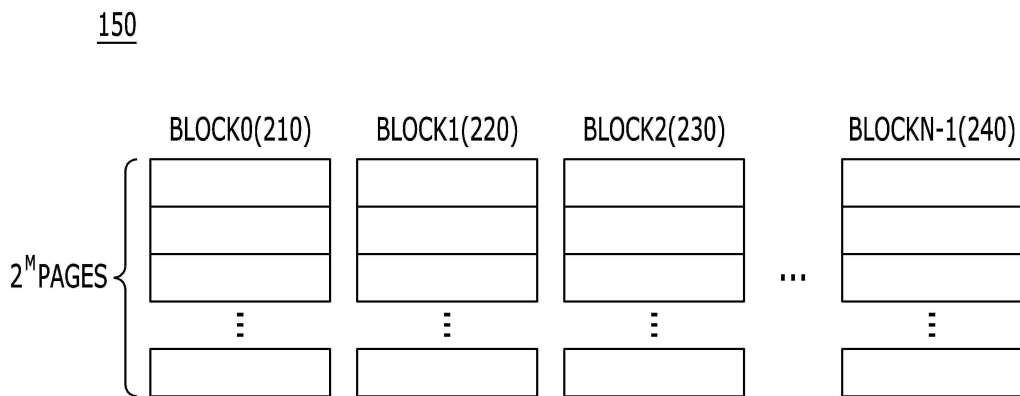
[0110] 한편, 본 발명의 상세한 설명에서는 구체적인 실시 예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로, 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

도면

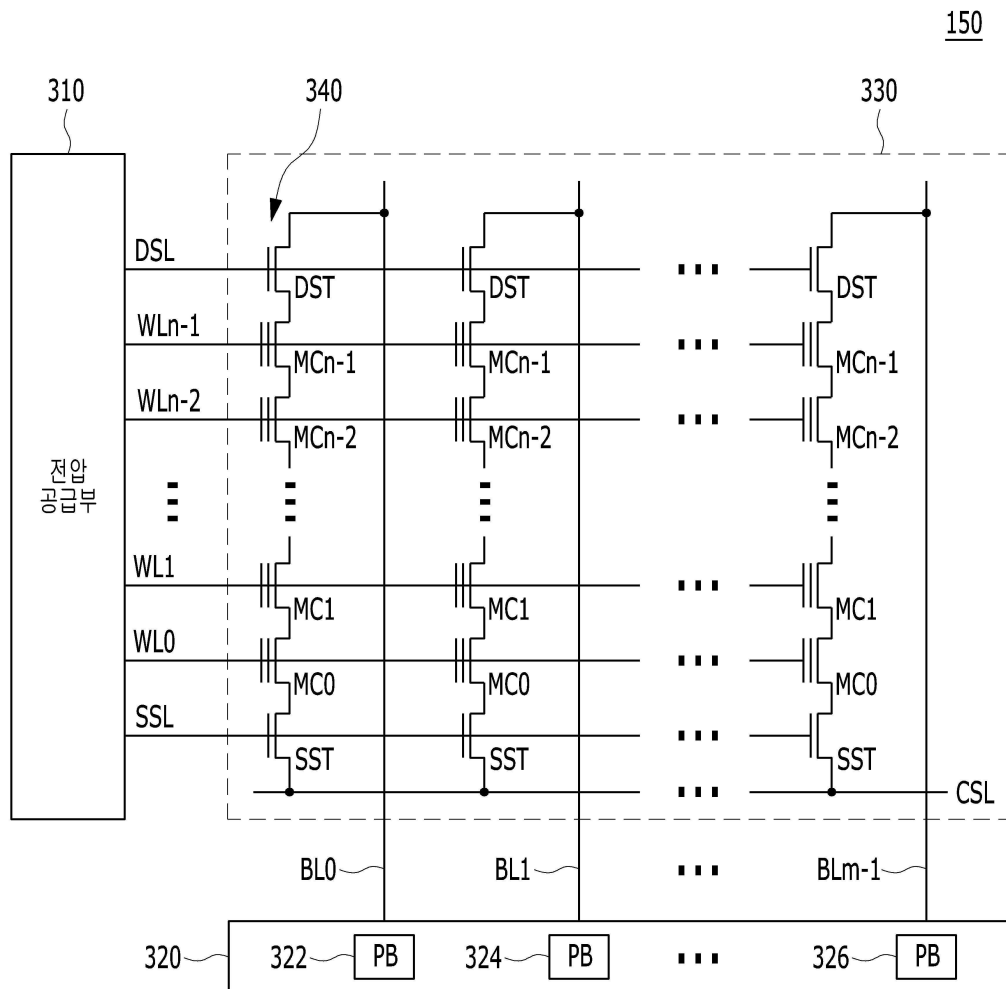
도면1



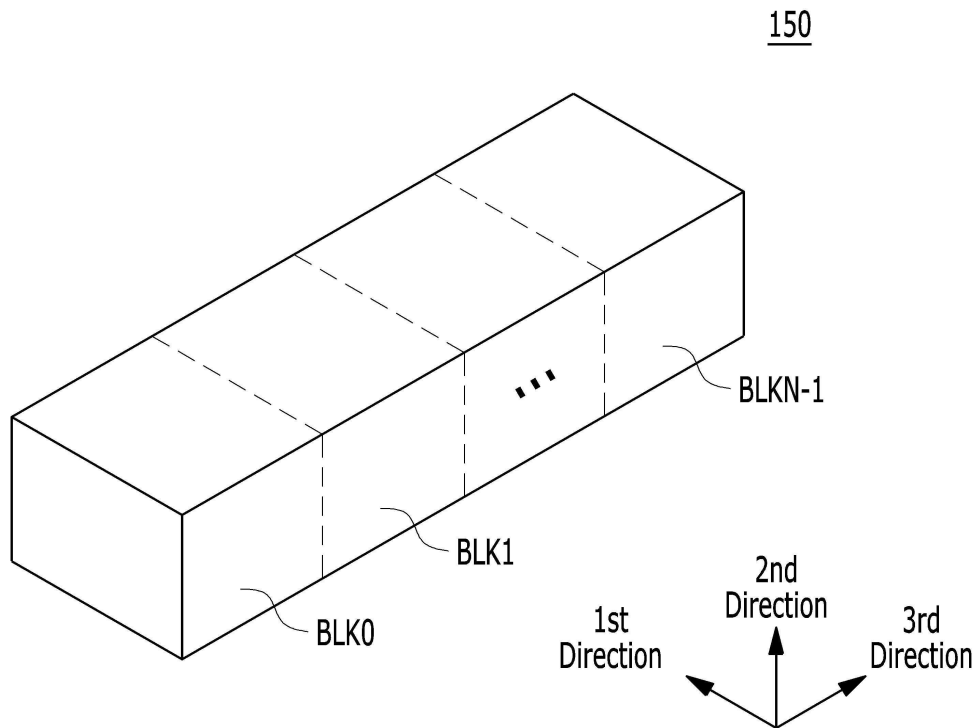
도면2



도면3



도면4



도면5a

510

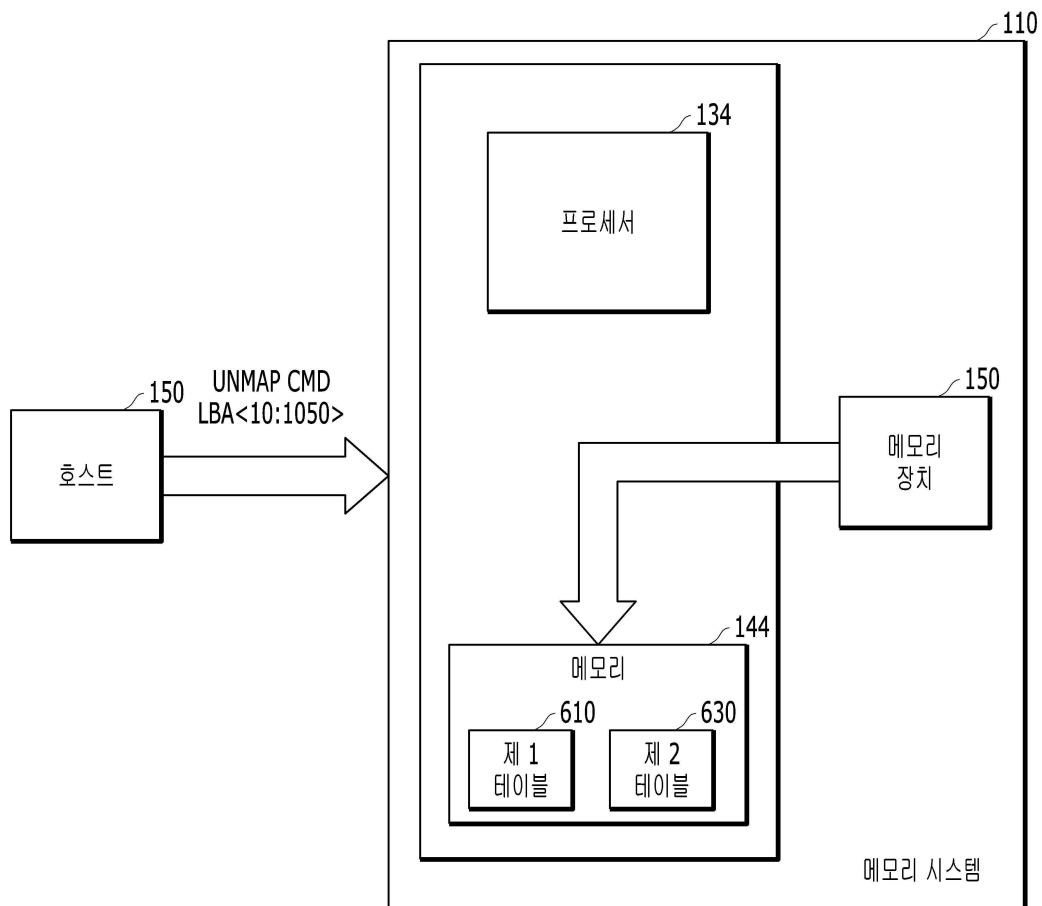
| Flag | Segment | LBA              |
|------|---------|------------------|
| M    | 1       | LBA<1:K>         |
| U    | 2       | LBA<K+1:2K>      |
| U    | 3       | LBA<2K+1:3K>     |
| M    | 4       | LBA<3K+1:4K>     |
| ⋮    |         |                  |
| M    | N       | LBA<(N-1)K+1:NK> |

도면5b

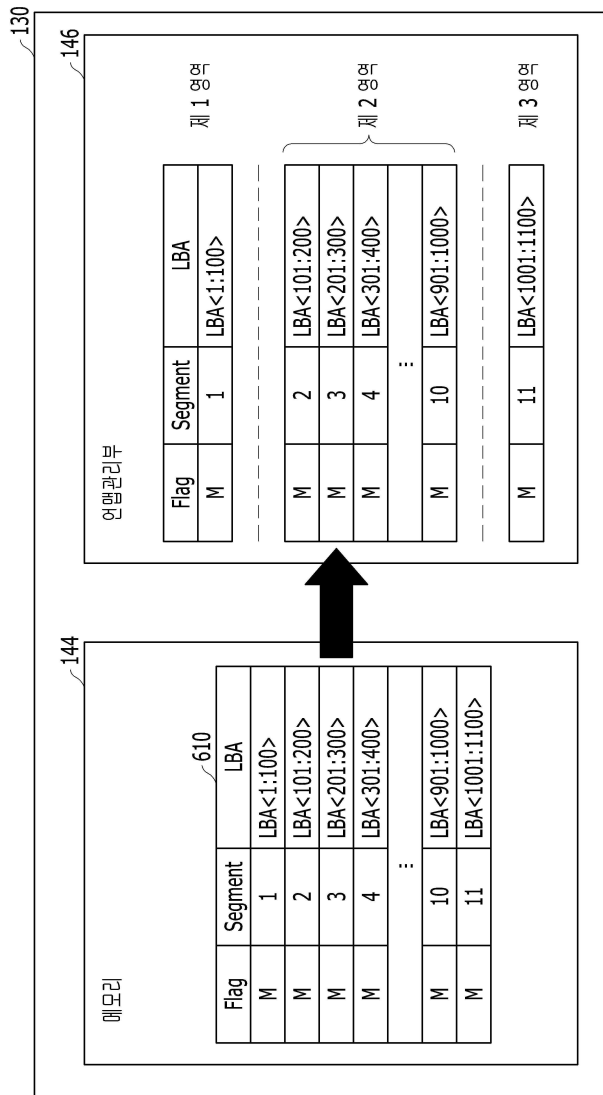
530

| Segment | Flag | LBA | PBA |
|---------|------|-----|-----|
| 1       | M    | 1   | 56  |
|         | U    | 2   | 17  |
|         | U    | 3   | 11  |
|         | M    | 4   | 6   |
|         | ⋮    |     |     |
|         | M    | K   | 8   |

도면6a

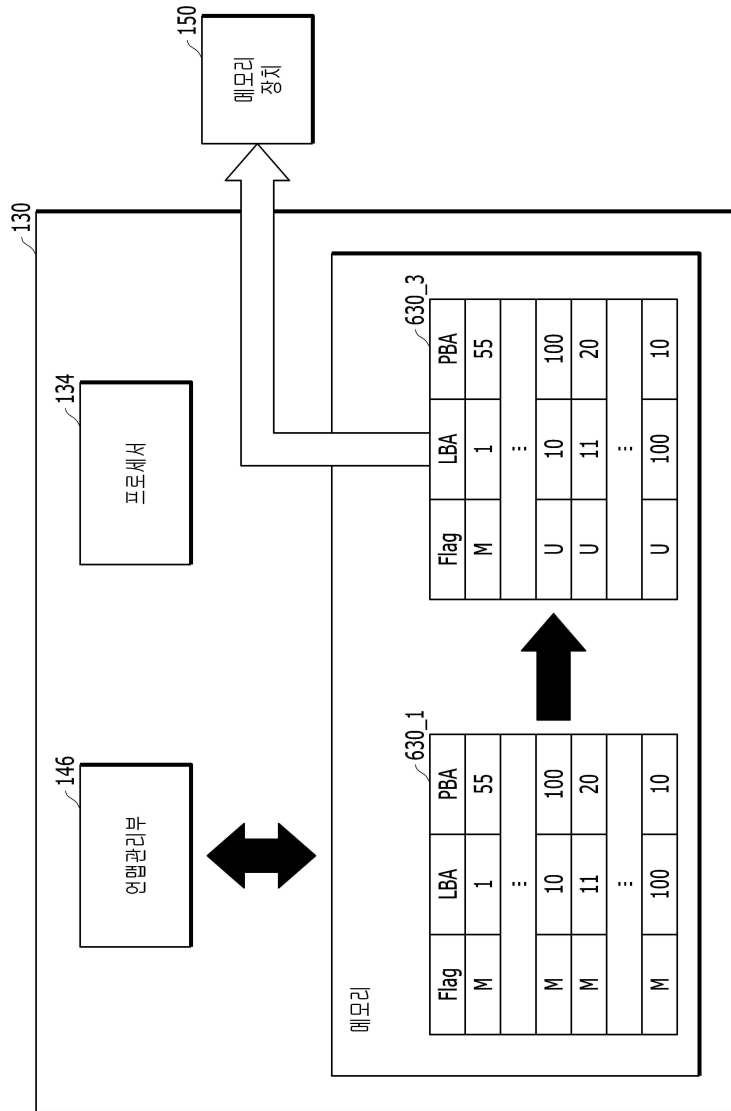


도면6b

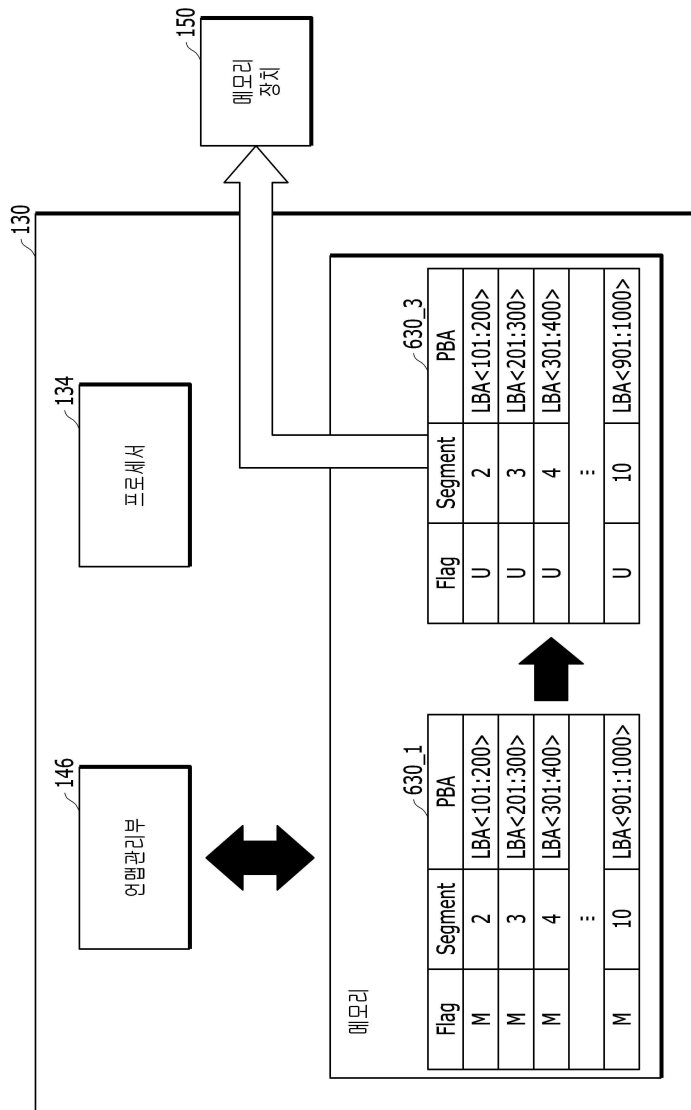




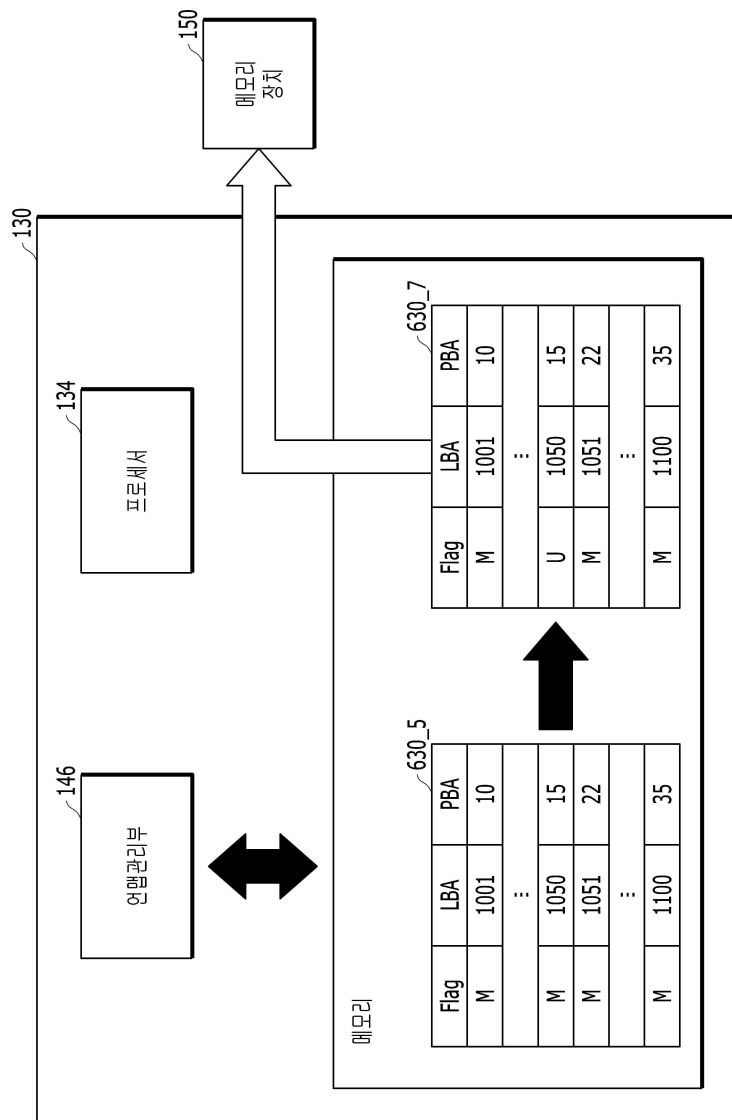
도면6c



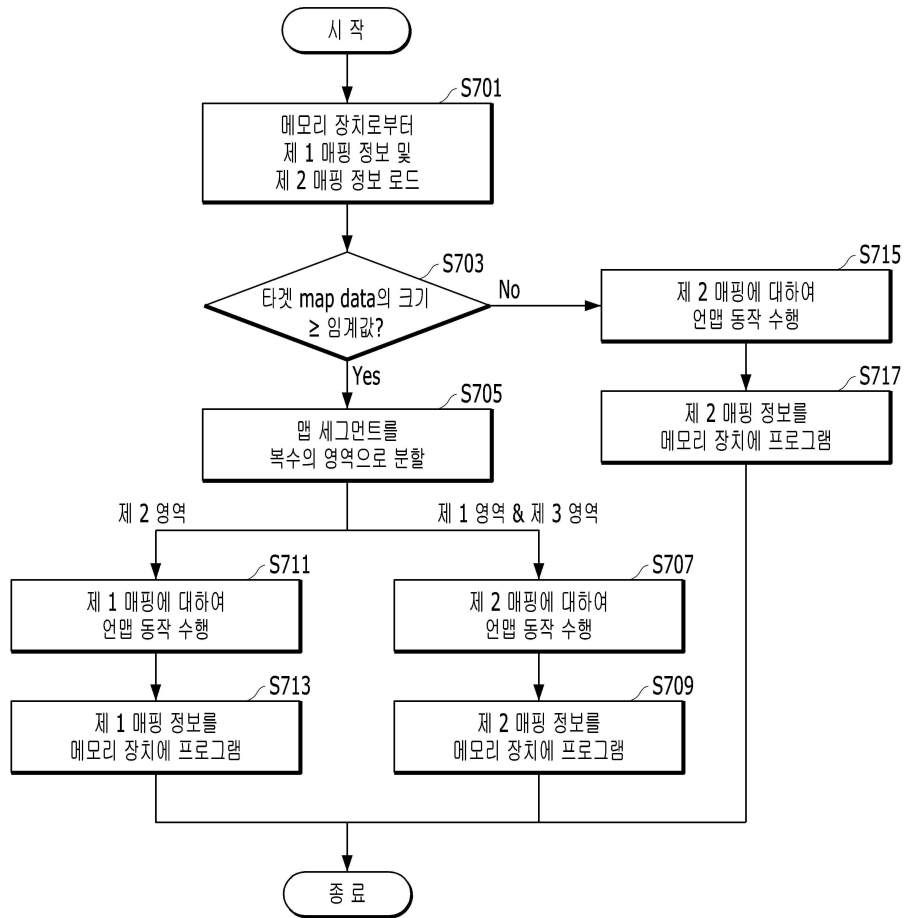
도면6d



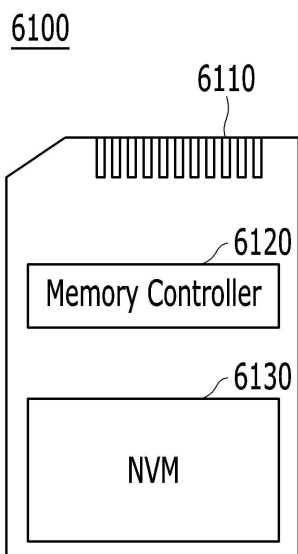
도면6e



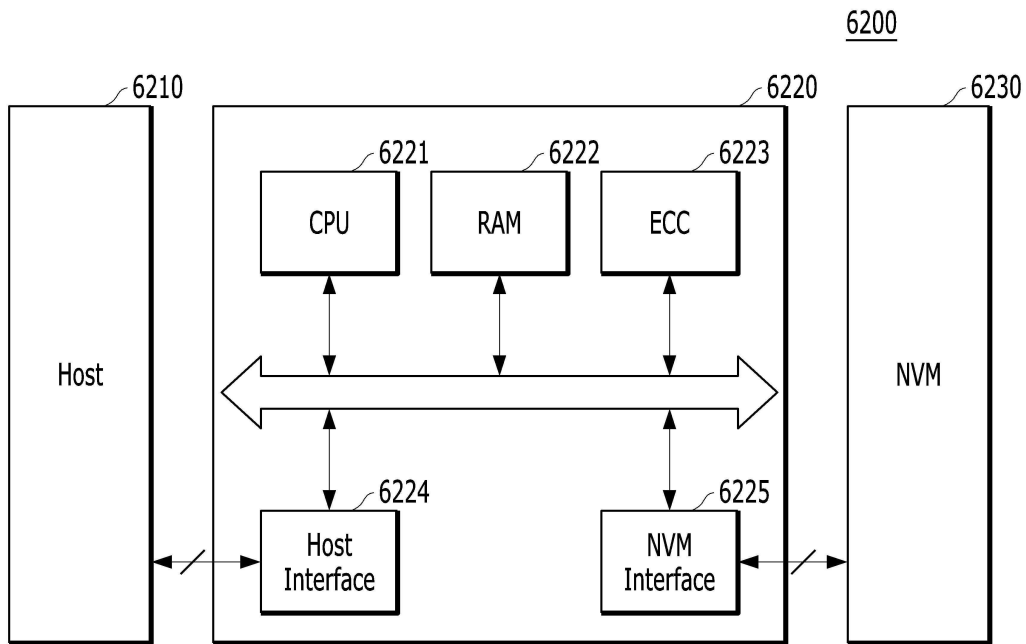
도면7



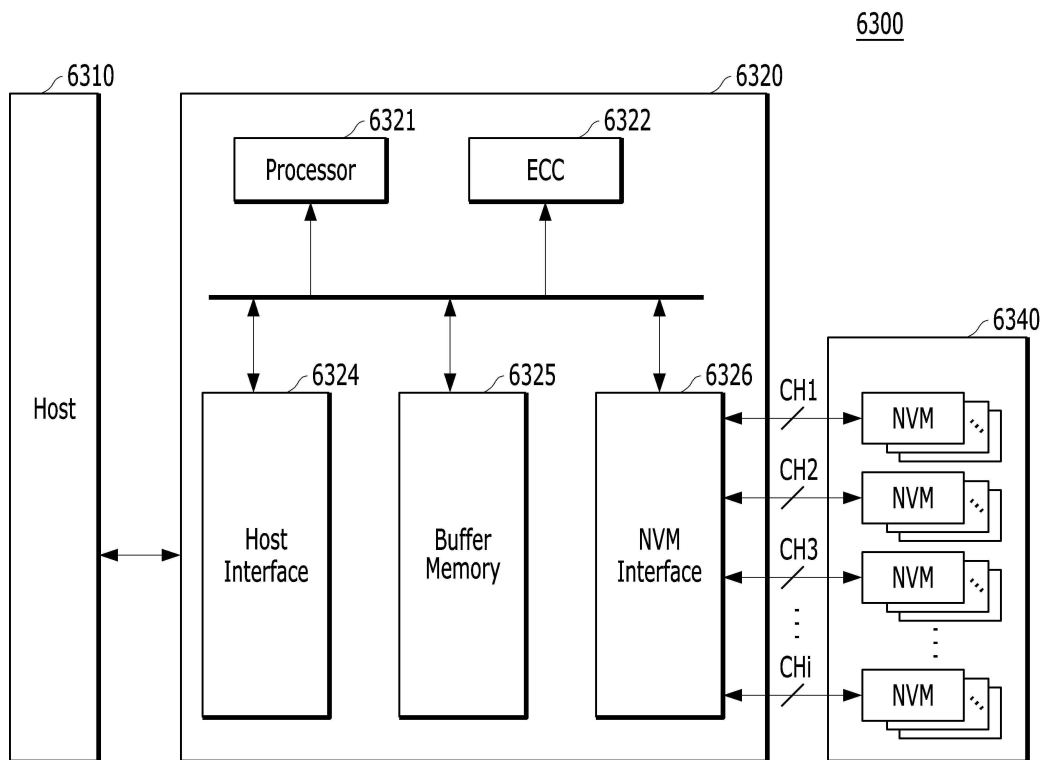
도면8



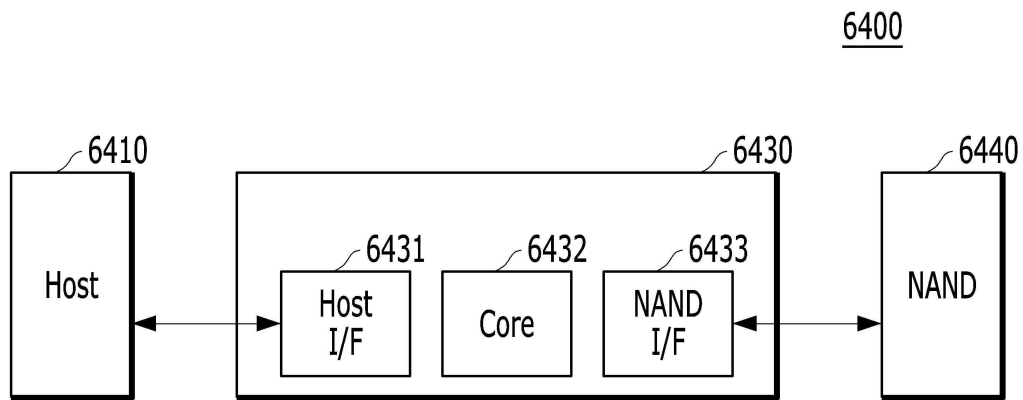
도면9



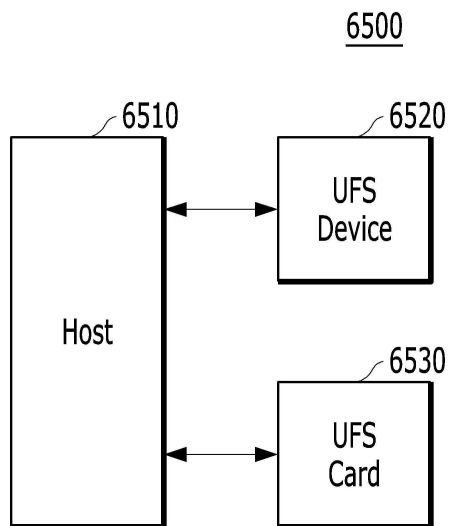
도면10



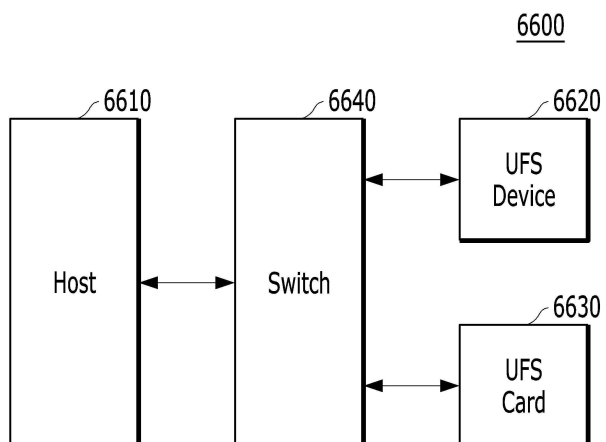
도면11



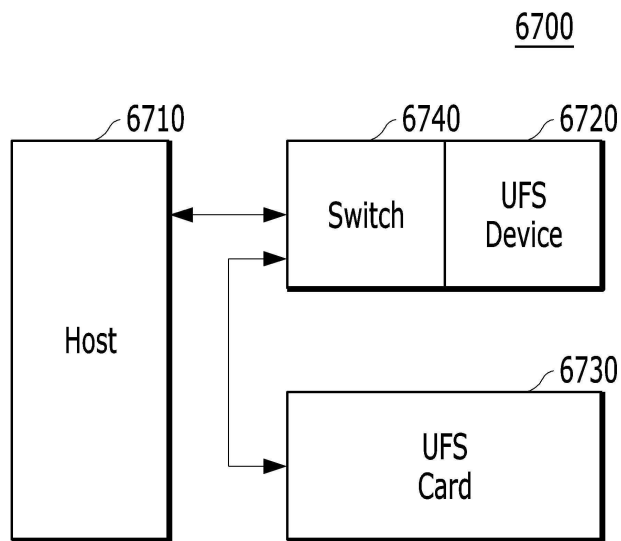
도면12



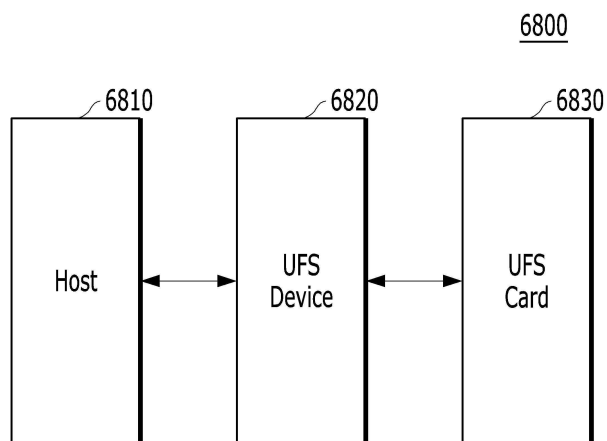
도면13



도면14



도면15





도면16

