



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 983978

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 27.07.81 (21) 3325045/18-21

с присоединением заявки № —

(23) Приоритет —

Опубликовано 23.12.82. Бюллетень № 47

Дата опубликования описания 03.01.83

(51) М. Кл.³

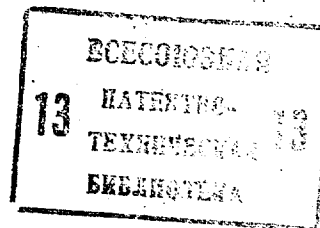
H 03.D 13/00

(53) УДК 621.374.
.5(088.8)

(72) Автор
изобретения

В. А. Чулков

(71) Заявитель



(54) ЧАСТОТНО-ФАЗОВЫЙ КОМПАРАТОР

Изобретение относится к технике сравнения частот и фаз импульсных сигналов и может быть использовано в качестве датчика рассогласования в системах фазовой синхронизации при передаче двоичной информации, в частности в каналах воспроизведения аппаратуры цифровой магнитной записи.

Наиболее близок к предлагаемому частотно-фазовый компаратор, построенный на базе двух триггеров, который имеет линейную дискриминационную характеристику в диапазоне 360° . При использовании в качестве датчика рассогласования астатической системы фазовой синхронизации такой компаратор обеспечивает полосу захвата системы, равную полосе удержания, а также синфазность сравниваемых сигналов в установившемся режиме [1].

Вместе с тем, данный компаратор способен работать только с регулярными сравниваемыми сигналами, т. е. не может быть использован для фазового срав-

нения при работе со случайными информационными сигналами. Таким образом, его функциональные возможности ограничены.

Цель изобретения — расширение функциональных возможностей за счет фазового сравнения случайных информационных сигналов.

Указанная цель достигается тем, что в частотно-фазовый компаратор, содержащий два основных триггера, соединенных выходами с соответствующими входами логического элемента, выход которого подключен к первым входам основных триггеров, введены дополнительный триггер и элемент задержки, причем первый вход дополнительного триггера подключен к выходу логического элемента, входная клемма первого сравниваемого сигнала соединена со входом элемента задержки и вторым входом дополнительного триггера, выход элемента задержки соединен со вторым входом первого основного триггера, второй вход второго основного триггера соединен со входной клеммой второго срав-

ниваемого сигнала, выход дополнительного триггера соединен с третьими входами основных триггеров, а третий вход дополнительного триггера соединен с шиной управляющего сигнала.

На фиг. 1 дана структурная схема устройства; на фиг. 2 - 3 - временные диаграммы, иллюстрирующие работу схемы в режиме частотно-фазового сравнения; на фиг. 4 - то же, в режиме фазового сравнения.

Устройство содержит основные триггеры 1, 2 и дополнительный триггер 3, логический элемент, который может быть выполнен в виде схемы И-НЕ 4, элемент 5 задержки. Элементом задержки может служить линия задержки, одновибратор, шина 6 управляющего сигнала, входные клеммы первого 7 и второго 8 сравниваемых сигналов, выходные шины 9 и 10 устройства.

Работа устройства происходит следующим образом.

В зависимости от уровня управляющего сигнала на шине 6 частотно-фазовый компаратор производит сравнение сигналов на клеммах 7 и 8 либо по частоте и фазе, либо только по фазе. Результат сравнения представляется шириной импульсов, образующихся на выходных шинах 9 и 10.

На временных диаграммах фиг. 2 - 4 буквами А... И обозначены сигналы, образующиеся в отмеченных теми же буквами узлах схемы фиг. 1.

В режиме частотно-фазового сравнения уровень управляющего сигнала А на шине 6 соответствует логическому нулю. Этот уровень удерживает триггер 3 во взведенном состоянии, поэтому на D-входах триггеров 1 и 2 постоянно присутствует логическая единица (диаграмма Д на фиг. 2, 3).

Ситуация, когда частоты сравниваемых сигналов не равны, показана на фиг. 2. Пусть частота сигналов Б на клемме 7 выше частоты сигналов В на клемме 8. Сигналы В поступают на синхронизирующий вход триггера 2 непосредственно, а сигналы Б на синхронизирующий вход триггера 1 - с задержкой τ элемента 5 задержки (фиг. 2 Г). Из-за неравенства сравниваемых частот триггер 1 всегда взводится раньше триггера 2 и на его выходе образуется последовательность импульсов Е разной ширины. Начало этих импульсов, отмеченных на диаграмме Е кривой, штриховкой, совпадает с моментом поступления задержанного на τ сигнала большей частоты Б, а конец - с момен-

том поступления импульсов В меньшей частоты. Сброс обоих триггеров происходит после того, как они оба окажутся взведенными. При этом схема И-НЕ 4

фиксирует совпадение логических уровней на выходах триггеров 1 (фиг. 2 Е) и 2 (фиг. 2 Ж) и вырабатывает импульс И, сбрасывающий триггеры 1 и 2. Сброса триггера 3 не происходит, поскольку на его S-входе присутствует логический нуль. Таким образом, в рассмотренной ситуации на выходной шине 9 вырабатываются импульсы с длительностью, равной текущей временной задержке Δt (фиг. 2) сигнала В относительно сигнала Г. На выходной шине 10 вырабатываются импульсы Ж, длительностью которых, равной сумме задержек схемы И-НЕ 4 и триггера 2, по сравнению с периодом можно пренебречь. В альтернативном случае, когда частота сигналов Б ниже частоты сигналов В, последовательности импульсов будет образовываться уже на выходной шине 10.

Если частоты сравниваемых сигналов равны, устройство осуществляет сравнение их фаз. На фиг. 3 показаны три характерных случая: первый сигнал Г опережает второй сигнал В ($\Delta \varphi < 0$), сигнал Г отстает от сигнала В ($\Delta \varphi > 0$); сравниваемые сигналы приходят одновременно ($\Delta \varphi = 0$). В первом случае сигналы с длительностью Δt образуются на выходной шине 9, во втором - на выходной шине 10. В случае синфазности сравниваемых сигналов на обеих выходных шинах получаются импульсы пренебрежимо малой длительности.

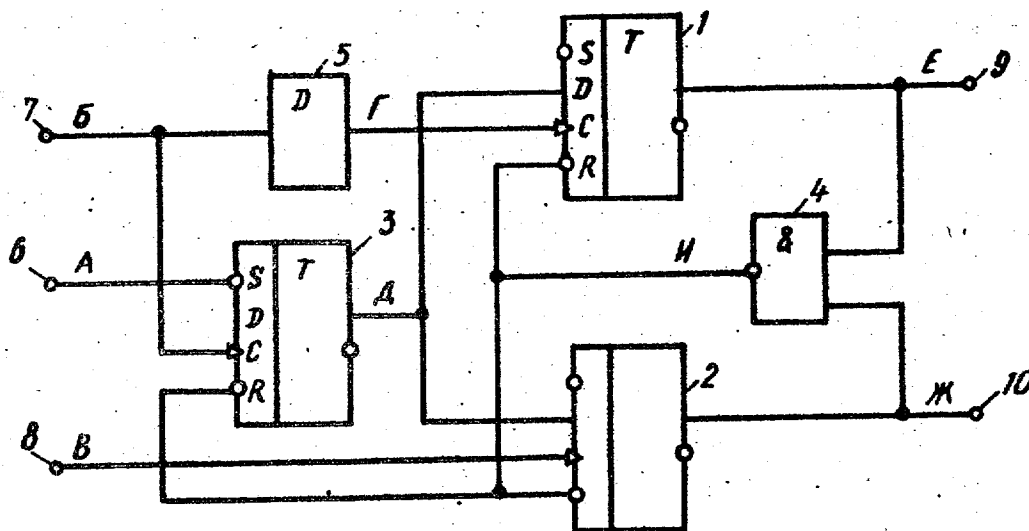
В режиме только фазового сравнения уровень управляющего сигнала А (фиг. 4) на шине 6 - единичный. Пусть на шину 7 устройства поступают импульсы информационного кода (фиг. 4 Б), расположенные на случайных интервалах друг от друга, а на шину В - регулярные синхросигналы. Устройство всякий раз производит сравнение фазы поступившего кодового импульса с фазой ближайшего синхросигнала на шине 8.

Выделение ближайшего синхросигнала производится с помощью элемента задержки 5 и триггера 3 следующим образом. Каждый импульс, поступивший на клемму 7, взводит триггер 3 и на D-входах триггеров 1 и 2 устанавливается разрешающий фазовое сравнение единичный уровень напряжения (диаграмма Д на фиг. 4). После этого в зависимости от очередности поступления сравниваемых сигналов

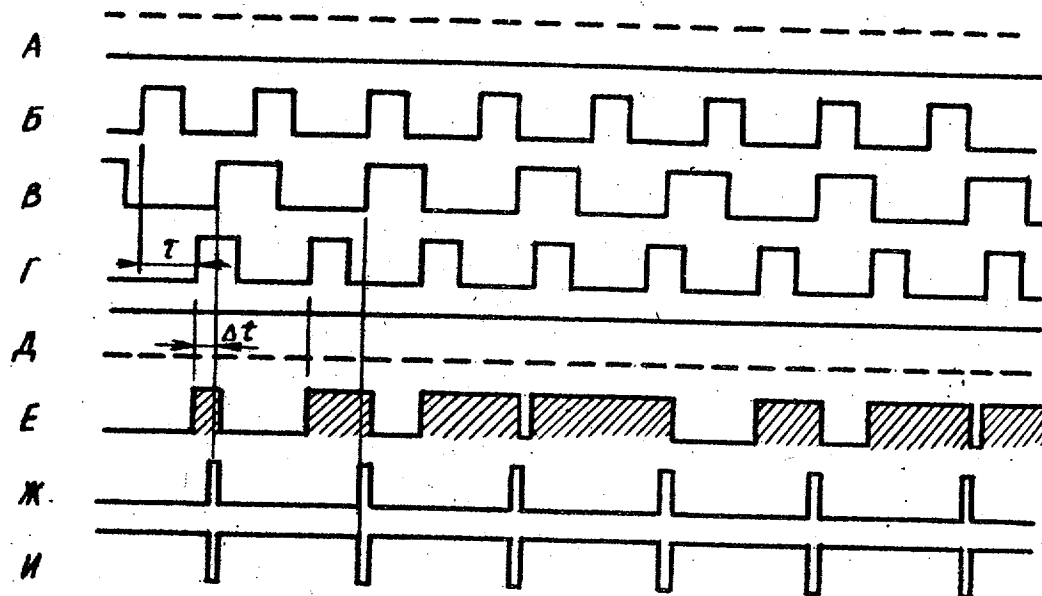
Частотно-фазовый компаратор, содержащий два основных триггера, соединенных выходами с соответствующими входами логического элемента, выход которого 20 подключен к первым входам основных триггеров, отличающийся тем, что, с целью расширения функциональных

возможностей за счет фазового сравнения случайных информационных сигналов, в него введены дополнительный триггер и элемент задержки, причем первый вход дополнительного триггера подключен к выходу логического элемента, входная клемма первого сравниваемого сигнала соединена с входом элемента задержки и вторым входом дополнительного триггера, выход элемента задержки соединен с вторым входом первого основного триггера, второй вход второго основного триггера соединен с входной клеммой второго сравниваемого сигнала, выход дополнительного триггера соединен с третьими входами основных триггеров, а третий вход дополнительного триггера соединен с шиной управляющего сигнала.

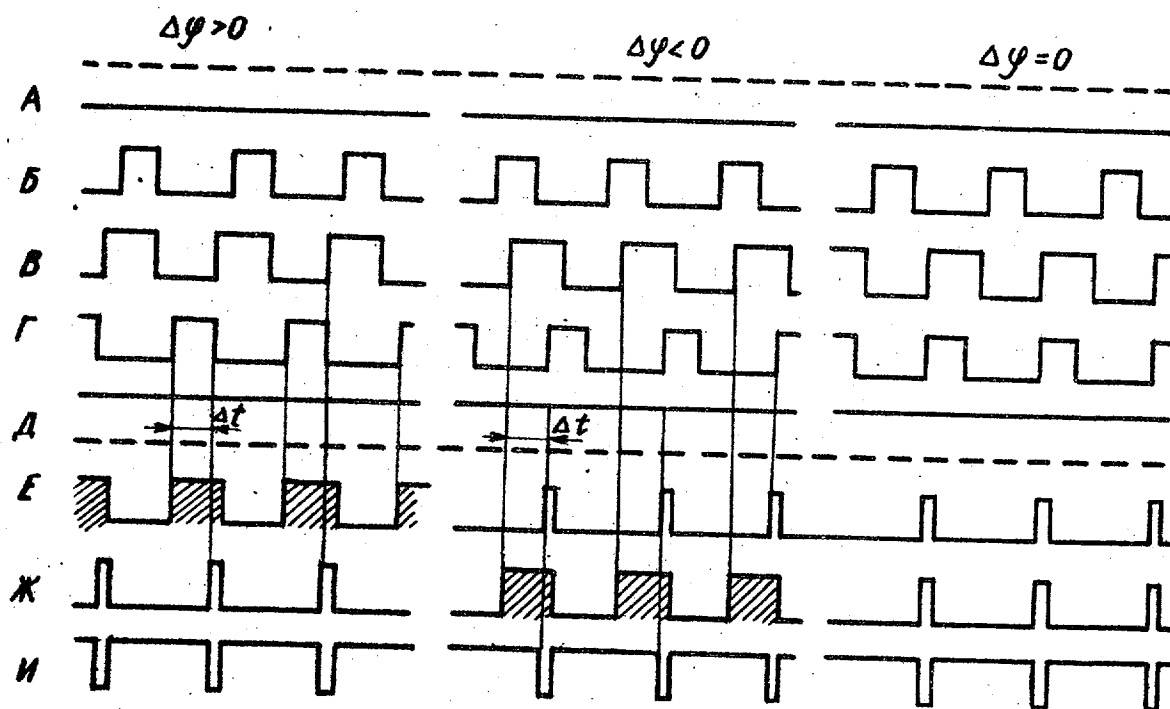
Источники информации,
принятые во внимание при экспертизе
1. Патент США № 3710140,
кл. 328-133, 1973.



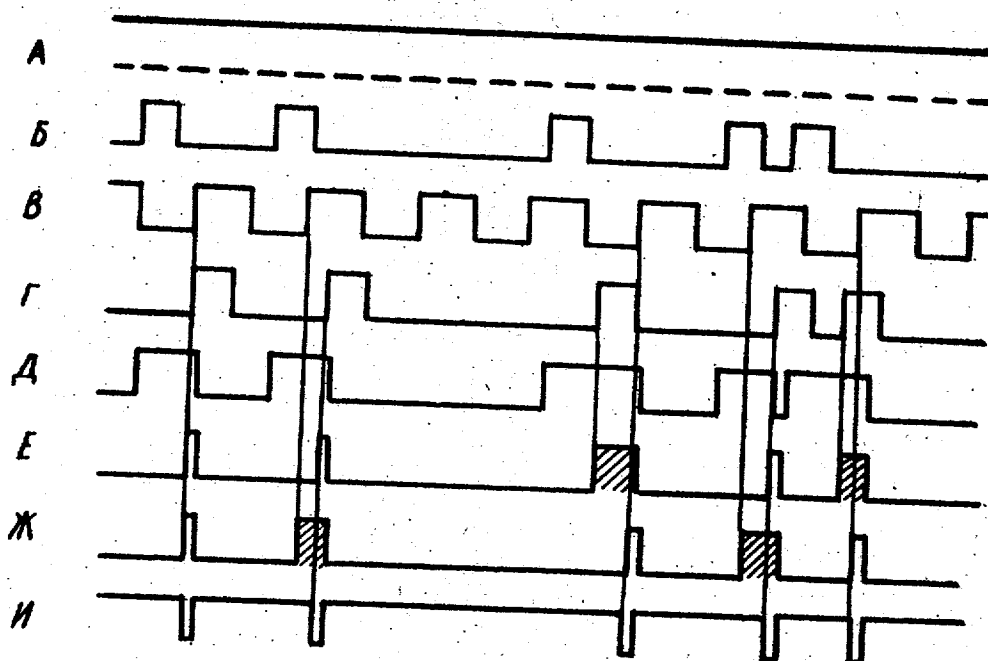
Qu2.1



Фиг. 2



Фиг. 3



Фиг. 4

Составитель Б. Веремейкин
 Редактор Н. Егорова Техред Е. Харитончик Корректор С. Шекмар
 Заказ 9953/72 Тираж 959 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5
 Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4