(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118648104 A
(43)申请公布日 2024.09.13

(21)申请号 202380020374.7
(22)申请日 2023.01.23
(30)优先权数据
2022-017651 2022.02.08 JP
(85)PCT国际申请进入国家阶段日
2024.08.05
(86)PCT国际申请的申请数据
PCT/JP2023/001892 2023.01.23
(87)PCT国际申请的公布数据
WO2023/153188 JA 2023.08.17
(71)申请人 罗姆股份有限公司
地址 日本
(72)发明人 田中文悟 金谷敏行
(74)专利代理机构 北京银龙知识产权代理有限公司 11243
专利代理师 曾贤伟 李平
(51)Int.Cl.
H01L 23/50(2006.01)
H01L 23/28(2006.01)
H01L 25/04(2023.01)
H01L 25/18(2023.01)

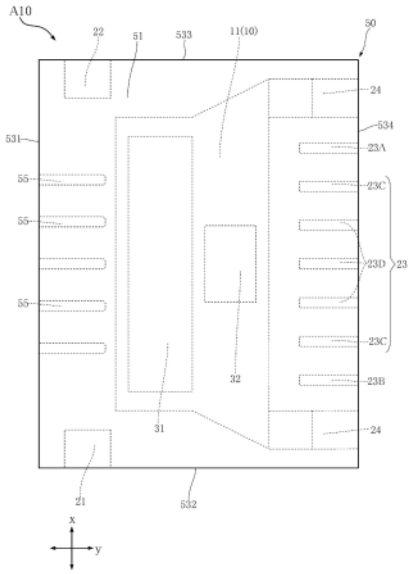
权利要求书2页 说明书11页 附图20页

(54)发明名称

半导体装置

(57)摘要

半导体装置具备:第一半导体元件;第一端子,其与所述第一半导体元件导通;第二端子,其与所述第一半导体元件导通的同时,在第一方向上位于远离所述第一端子的位置;以及密封树脂,其覆盖所述第一端子及所述第二端子各自的一部分、以及所述第一半导体元件。所述密封树脂具有第一侧面,该第一侧面朝向与所述第一方向正交的第二方向,且在所述第二方向上位于最靠近所述第一端子及所述第二端子的位置。所述第一端子及所述第二端子位于远离所述第一侧面的位置。



CN 118648104 A

1.一种半导体装置,其特征在于,具备:

第一半导体元件;

第一端子,其与所述第一半导体元件导通;

第二端子,其与所述第一半导体元件导通的同时,在第一方向上位于远离所述第一端子的位置;以及

密封树脂,其覆盖所述第一端子及所述第二端子各自的一部分、以及所述第一半导体元件,

所述密封树脂具有第一侧面,该第一侧面朝向与所述第一方向正交的第二方向,且在所述第二方向上位于最靠近所述第一端子及所述第二端子的位置,

所述第一端子及所述第二端子位于远离所述第一侧面的位置。

2.根据权利要求1所述的半导体装置,其特征在于,

进一步具备搭载有所述第一半导体元件的芯片焊盘,

当从与所述第一方向及所述第二方向正交的第三方向观察时,所述芯片焊盘具有第一边缘,该第一边缘沿所述第一方向延伸,且在所述第二方向上位于最靠近所述第一侧面的位置,

所述第一端子及所述第二端子位于所述第一边缘的所述第一方向的两侧。

3.根据权利要求2所述的半导体装置,其特征在于,

所述第一端子及所述第二端子在所述第二方向上以所述第一边缘为基准位于与所述第一侧面相反的一侧。

4.根据权利要求2所述的半导体装置,其特征在于,

当从所述第三方向观察时,所述第一端子与从所述第一边缘的一端沿所述第一方向延伸的第一延长线重叠。

5.根据权利要求4所述的半导体装置,其特征在于,

当从所述第三方向观察时,所述第二端子与从所述第一边缘的另一端沿所述第一方向延伸的第二延长线重叠。

6.根据权利要求2至5中任一项所述的半导体装置,其特征在于,

在所述第二方向上以所述第一半导体元件为基准朝向与所述第一侧面所在侧相反的一侧,所述芯片焊盘在所述第一方向上的尺寸扩大。

7.根据权利要求6所述的半导体装置,其特征在于,

在所述第二方向上以所述第一半导体元件为基准位于与所述第一边缘相反的一侧的所述芯片焊盘的部位以所述第一边缘为基准向所述第一方向的两侧伸出。

8.根据权利要求2至7中任一项所述的半导体装置,其特征在于,

所述芯片焊盘的至少一部分被所述密封树脂覆盖,

所述密封树脂具有以所述芯片焊盘为基准朝向与所述第一半导体元件所在侧相反的一侧的底面,

所述第一端子及所述第二端子从所述底面向外部露出。

9.根据权利要求8所述的半导体装置,其特征在于,

在所述密封树脂中设有凹部,该凹部在所述第一方向上位于所述第一端子与所述第二端子之间,

当从所述第一方向观察时,所述凹部与所述第一端子及所述第二端子重叠。

10.根据权利要求9所述的半导体装置,其特征在于,

所述凹部从所述底面凹陷,且沿所述第二方向延伸。

11.根据权利要求10所述的半导体装置,其特征在于,

所述芯片焊盘位于远离所述底面的位置,

从所述第三方向观察时,所述凹部与所述芯片焊盘重叠。

12.根据权利要求2或3所述的半导体装置,其特征在于,

所述密封树脂具有在所述第一方向上彼此朝向相反侧的第二侧面及第三侧面,

所述第一端子从所述第二侧面向外部露出,

所述第二端子从所述第三侧面向外部露出。

13.根据权利要求12所述的半导体装置,其特征在于,

所述第一端子从所述第二侧面突出,

所述第二端子从所述第三侧面突出。

14.根据权利要求2至13中任一项所述的半导体装置,其特征在于,

在所述第一半导体元件中配置有包括多个电阻元件的降压电路。

15.根据权利要求14所述的半导体装置,其特征在于,进一步具备:

第二半导体元件,其包括运算放大器;以及

多个第三端子,其与所述第二半导体元件导通,

所述第二半导体元件与所述第一半导体元件导通,

所述多个第三端子各自的一部分以及所述第二半导体元件被所述密封树脂覆盖,

所述多个第三端子在所述第二方向上以所述芯片焊盘为基准位于与所述第一侧面相反的一侧。

16.根据权利要求15所述的半导体装置,其特征在于,

所述第二半导体元件搭载在所述芯片焊盘上。

17.根据权利要求15或16所述的半导体装置,其特征在于,进一步具备:

两个第四端子,该两个第四端子在所述第一方向上彼此远离,且支撑所述芯片焊盘,

所述两个第四端子各自的一部分被所述密封树脂覆盖,

所述多个第三端子在所述第一方向上位于所述两个第四端子之间。

半导体装置

技术领域

[0001] 本公开涉及一种半导体装置。

背景技术

[0002] 近年来,电动汽车正在普及。专利文献1公开了用于监测搭载在电动汽车上的电池的电压并控制逆变器的电路的一例。该电路可以防止向用于驱动电机的逆变器供给过电压。

[0003] 在专利文献1公开的电路中,用于监测搭载在电动汽车上的电池的电压所需的电路是电阻电压检测电路和高电压电池检测电路。这两个电路由多个IC构成。这里,如果将这两个电路组合成包括尽可能少的IC并且具备与该IC导通的多个端子的单个半导体装置,则专利文献1中公开的电路变得更加紧凑。然而,高电压会施加到该半导体装置的多个端子中连接至电池的多个端子。因此,如果试图使该半导体装置进一步小型化,则多个端子之间的间距变得更短,因此存在着在施加高电压的多个端子之间发生放电的可能性。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献:日本特开2012-95427号公报

发明内容

[0007] 技术问题

[0008] 本公开的一课题在于,提供一种相较于以往实施改进的半导体装置。尤其,鉴于上述情况,本公开的一课题是,提供一种实现装置的小型化的同时,能够控制多个端子之间的放电的半导体装置。

[0009] 技术方案

[0010] 本公开的第一方面提供一种半导体装置,具备:第一半导体元件;第一端子,其与所述第一半导体元件导通;第二端子,其与所述第一半导体元件导通的同时,在第一方向上位于远离所述第一端子的位置;以及密封树脂,其覆盖所述第一端子及所述第二端子各自的一部分、以及所述第一半导体元件。所述密封树脂具有第一侧面,该第一侧面朝向与所述第一方向正交的第二方向,且在所述第二方向上位于最靠近所述第一端子及所述第二端子的位置。所述第一端子及所述第二端子位于远离所述第一侧面的位置。

[0011] 发明的效果

[0012] 根据上述结构,实现半导体装置的小型化的同时,能够抑制多个端子之间的放电。

[0013] 本公开的其他特征和优点将通过下面基于附图进行的详细说明变得更加清楚。

附图说明

[0014] 图1是本公开的第一实施方式的半导体装置的平面图。

[0015] 图2是对应于图1的平面图,其透射密封树脂而进行了显示。

[0016] 图3是图1所示的半导体装置的仰视图。

[0017] 图4是图1所示的半导体装置的左侧视图。

[0018] 图5是图1所示的半导体装置的右侧视图。

[0019] 图6是沿图2的VI-VI线的剖视图。

[0020] 图7是沿图2的Ⅶ-Ⅶ线的剖视图。

[0021] 图8是沿图2的Ⅷ-Ⅷ线的剖视图。

[0022] 图9是图1所示的半导体装置中构成的电路的框图。

[0023] 图10是本公开的第二实施方式的半导体装置的平面图,其透射密封树脂而进行了显示。

[0024] 图11是图10所示的半导体装置的仰视图。

[0025] 图12是沿图10的Ⅻ-Ⅻ线的剖视图。

[0026] 图13是沿图10的XIII-XIII线的剖视图。

[0027] 图14是本公开的第三实施方式的半导体装置的平面图,其透射密封树脂而进行了显示。

[0028] 图15是图14所示的半导体装置的仰视图。

[0029] 图16是沿图14的XVI-XVI线的剖视图。

[0030] 图17是沿图14的XVII-XVII线的剖视图。

[0031] 图18是本公开的第四实施方式的半导体装置的平面图。

[0032] 图19是图18所示的半导体装置的仰视图。

[0033] 图20是图18所示的半导体装置的左侧视图。

[0034] 图21是沿图18的XXI-XXI线的剖视图。

[0035] 图22是沿图18的XXII-XXII线的剖视图。

[0036] 图23是本公开的第五实施方式的半导体装置的平面图。

[0037] 图24是对应于图23的平面图,其透射地示出密封树脂。

[0038] 图25是沿图24的XXV-XXV线的剖视图。

[0039] 图26是沿图24的XXVI-XXVI线的剖视图。

[0040] 图27是沿图24的XXVII-XXVII线的剖视图。

具体实施方式

[0041] 将基于附图对用于实施本公开的方式进行说明。

[0042] 第一实施方式:

[0043] 将基于图1至图8对本公开的第一实施方式的半导体装置A10进行说明。半导体装置A10例如用于监测电动汽车的电池的电压的监测。半导体装置A10的封装形式是QFN(Quad Flat Non-leaded package,方形扁平无引线封装)。半导体装置A10具备芯片焊盘10、第一端子21、第二端子22、多个第三端子23、两个第四端子24、第一半导体元件31、第二半导体元件32、以及密封树脂50。这里,为了便于理解,图2透射密封树脂50而进行了显示。在图2中,透射的密封树脂50的外形由假想线(双点划线)示出。在图2中,VI-VI线由一点划线示出。

[0044] 在半导体装置A10的描述中,为了方便起见,第一端子21与第二端子22远离的方向被称为“第一方向x”。与第一方向x正交的方向被称为“第二方向y”。与第一方向x及第二方

向y正交的方向被称为“第三方向z”。第三方向z对应于后述的密封树脂50的顶面51的法线方向。

[0045] 如图6至图8所示,密封树脂508覆盖芯片焊盘10、第一半导体元件31及第二半导体元件32、第一端子21、第二端子22、多个第三端子23、以及两个第四端子24各自的一部分。密封树脂50具有电绝缘性。密封树脂50例如包含黑色的环氧树脂。如图1和图3所示,密封树脂50具有顶面51、底面52、第一侧面531、第二侧面532、第三侧面533以及第四侧面534。

[0046] 如图6至图8所示,底面52朝向第三方向z的一方侧。顶面51在第三方向z上朝向与底面52相反的一侧。

[0047] 如图6和图7所示,第一侧面531朝向第二方向y的一方侧。第一侧面531在第二方向y上位于最靠近第一端子21及第二端子22的位置。第二侧面532朝向第一方向x的一方侧。第二侧面532在第一方向x上位于最靠近第一端子21的位置。第三侧面533在第一方向x上朝向与第二侧面532相反的一侧。第四侧面534在第二方向y上朝向与第一侧面531相反的一侧。第一侧面531、第二侧面532、第三侧面533以及第四侧面534连接底面52。进一步地,第一侧面531、第二侧面532、第三侧面533以及第四侧面534也连接顶面51。

[0048] 如图2所示,芯片焊盘10在第一方向x上位于第一端子21与第二端子22之间。芯片焊盘10包括金属元素。该金属元素例如是铜(Cu)。芯片焊盘10、第一端子21、第二端子22、多个第三端子23、以及两个第四端子24由同一端子框架获得。如图1和图2所示,芯片焊盘10具有搭载面11、以及第一边缘12。搭载面11在第三方向z上朝向与密封树脂50的顶面51相同的一侧。当从第三方向z观察时,第一边缘12沿第一方向x延伸,且位于最靠近密封树脂50的第一侧面531的位置。

[0049] 如图2所示,在第二方向y上以第一半导体元件31为基准朝向与密封树脂50的第一侧面531所在侧相反的一侧,芯片焊盘10的第一方向x的尺寸扩大。进一步地,在第二方向y上以第一半导体元件31为基准位于与第一边缘12相反的一侧的芯片焊盘10的部位以第一边缘12为基准向第一方向x的两侧伸出。如图6和图7所示,芯片焊盘10位于远离密封树脂50的底面52的位置。

[0050] 如图1所示,第一端子21位于远离密封树脂50的第一侧面531的位置。如图2和图3所示,第一端子21位于芯片焊盘10的第一边缘12的第一方向x的一方侧。在半导体装置A10中,第一端子21在第二方向y上以第一边缘12为基准位于与密封树脂50的第四侧面534相反的一侧。进一步地,第一端子21位于远离从第一边缘12的一端沿第一方向x延伸的第一延长线L1的位置。

[0051] 如图2、图3和图8所示,第一端子21具有第一主面211、第一背面212以及第一端面213。第一主面211在第三方向z上朝向与密封树脂50的顶面51相同的一侧。在半导体装置A10中,第一主面211被密封树脂50覆盖。第一背面212在第三方向z上朝向与第一主面211相反的一侧。第一背面212从密封树脂50的底面52向外部露出。第一端面213在第一方向x上朝向与密封树脂50的第二侧面532相同的一侧。第一端面213从第二侧面532向外部露出。

[0052] 如图1所示,第二端子22位于远离密封树脂50的第一侧面531的位置。第二端子22在第一方向x上位于远离第一端子21的位置。如图2和图3所示,第二端子22在第一方向x上以芯片焊盘10的第一边缘12为基准位于与第一端子21相反的一侧。因此,第一端子21和第二端子22位于第一边缘12的第一方向x的两侧。第二端子22在第二方向y上以第一边缘12为

基准位于与密封树脂50的第四侧面534相反的一侧。进一步地,第二端子22位于远离从第一边缘12的另一端向第一方向x延伸的第二延长线L2的位置。

[0053] 如图2、图3和图8所示,第二端子22具有第二主面221、第二背面222以及第二端面223。第二主面221在第三方向z上朝向与密封树脂50的顶面51相同的一侧。在半导体装置A10中,第二主面221被密封树脂50覆盖。第二背面222在第三方向z上朝向与第二主面221相反的一侧。第二背面222从密封树脂50的底面52向外部露出。第二端面223在第二方向y上朝向密封树脂50的第三侧面533相同的一侧。第二端面223从第三侧面533向外部露出。

[0054] 图2所示,多个第三端子23在第二方向y上以芯片焊盘10为基准位于与密封树脂50的第一侧面531相反的一侧。多个第三端子23沿第一方向x排列。在第一方向x上相邻的两个第三端子23的间距比第一端子21与第二端子22的间距短。多个第三端子23包括A端子23A、B端子23B、两个C端子23C、以及多个D端子23D。

[0055] 如图2、图3和图7所示,多个第三端子23具有第三主面231、第三背面232以及第三端面233。第三主面231在第三方向z上朝向与密封树脂50的顶面51相同的一侧。在半导体装置A10中,第三主面231被密封树脂50覆盖。第三背面232在第三方向z上朝向与第三主面231相反的一侧。第三背面232从密封树脂50的底面52向外部露出。第三端面233在第二方向y上朝向与密封树脂50的第四侧面534相同的一侧。如图5所示,第三端面233从第四侧面534向外部露出。

[0056] 如图2所示,两个第四端子24在第一方向x上位于彼此远离的位置,且支撑芯片焊盘10。多个第三端子23在第一方向x上位于两个第四端子24之间。

[0057] 如图2、图3和图6所示,两个第四端子24具有第四主面241、第四背面242、第四端面243以及连接面244。第四主面241在第三方向z上朝向与密封树脂50的顶面51相同的一侧。在半导体装置A10中,第四主面241被密封树脂50覆盖。第四背面242在第三方向z上朝向与第三主面231相反的一侧。第四背面242从密封树脂50的底面52向外部露出。第四端面243在第二方向y上朝向与密封树脂50的第四侧面534相同的一侧。如图5所示,第四端面243从第四侧面534向外部露出。连接面244连接至第四主面241、芯片焊盘10的搭载面11。连接面244相对于第四主面241及搭载面11倾斜。连接面244被密封树脂50覆盖。

[0058] 如图2和图7所示,第一半导体元件31和第二半导体元件32搭载在芯片焊盘10的搭载面11上。第一半导体元件31及第二半导体元件32均为集成电路(IC)。第二半导体元件32在第二方向y上位于第一半导体元件31与多个第三端子23之间。如图7所示,第一半导体元件31及第二半导体元件32经由接合层39接合到搭载面11。接合层39例如由以含有银的环氧树脂为主剂的糊剂(所谓的Ag糊剂)构成。

[0059] 如图2所示,第一半导体元件31具有多个第一电极311。多个第一电极311与第一半导体元件31中构成的电路导通。如图2所示,第二半导体元件32具有多个第二电极321。多个第二电极321与第二半导体元件32构成的电路导通。

[0060] 如图2所示,半导体装置A10进一步具备两个第一导线41、多个第二导线42、多个第三导线43、以及多个第四导线44。这些导线的成分例如包括金(Au)。这些导线被密封树脂50覆盖。

[0061] 如图2所示,两个第一导线41分别接合于第一半导体元件31的两个第一电极311与第一端子21的第一主面211、以及第二端子22的第二主面221。由此,第一端子21及第二端子

22与第一半导体元件31导通。

[0062] 如图2所示,多个第二导线42分别接合于第一半导体元件31的两个第一电极311与A端子23A的第三主面231、以及B端子23B的第三主面231。由此,第一半导体元件31与A端子23A及B端子23B导通。

[0063] 如图2所示,多个第三导线43分别接合于第一半导体元件31的多个第一电极311与第二半导体元件32的多个第二电极321。由此,第二半导体元件32与第一半导体元件31导通。

[0064] 如图2所示,多个第四导线44分别接合于第二半导体元件32的多个第二电极321与两个C端子23C的第三主面231、以及多个D端子23D的第三主面231合。由此,第二半导体元件32与两个C端子23C、以及多个D端子23D导通。

[0065] 如图1、图3和图4所示,密封树脂50中设有多个凹部55。多个凹部55在第一方向x上位于第一端子21与第二端子22之间。如图6和图7所示,当从第一方向x观察时,多个凹部55与第一端子21及第二端子22重叠。多个凹部55从底面52凹陷,且连接至第一侧面531。多个凹部55沿第二方向y延伸。在半导体装置A10中,当从第三方向z观察时,多个凹部55位于远离芯片焊盘10的位置。

[0066] 如图4和图8所示,多个凹部55各自的第三方向z的尺寸H大于第一端子21及第二端子22各自的第三方向z的尺寸H1、H2。

[0067] 接下来,基于图9,对半导体装置A10的电路配置进行说明。

[0068] 第一半导体元件31中构成有降压电路。该降压电路包括多个电阻元件。第一端子21及第二端子22与作为监测对象的电池(省略图示)连接。第一端子21为正极。第二端子22为负极。施加到第一端子21及第二端子22的电池的电压被第一半导体元件31的降压电路转换成微弱的电信号。

[0069] 如图9所示,第二半导体元件32包括两个运算放大器OP1、OP2。但是,第二半导体元件32也可以是不包括运算放大器OP2的结构。运算放大器OP1放大由第一半导体元件31转换的微弱的电信号并经由第一半导体元件31输出至A端子23A。由此,监测电池的电压。

[0070] B端子23B是第一半导体元件31的接地。用于驱动第二半导体元件32的电源连接至两个C端子23C。多个D端子23D与运算放大器OP2导通。基于从A端子23A输出的电信号由另一控制电路(省略图示)产生的电信号输入至运算放大器OP2。由此,由运算放大器OP2除去从A端子23A输出的电信号中包括的高频噪声,能够进行更高精度的监测。

[0071] 接下来,对半导体装置A10的作用效果进行说明。

[0072] 半导体装置A10具备覆盖第一端子21及第二端子22各自的一部分的密封树脂50、以及与第一端子21及第二端子22导通且被密封树脂50覆盖的第一半导体元件31。第二端子22在第一方向x上与第一端子21远离。密封树脂50具有第一侧面531,该第一侧面531朝向第二方向y,且在第二方向y上位于最靠近第一端子21及第二端子22的位置。第一端子21及第二端子22位于远离第一侧面531的位置。通过采用本结构,使得从第一端子21经由第一侧面531到第二端子22的密封树脂50的沿面距离(沿密封树脂50的表面的距离)变长。由此,缩小第一端子21与第二端子22的第一方向x的间距的同时,即使相对于第二端子22高的电压施加到第一端子21的情况下,也不易发生从第一端子21向第二端子22的放电。因此,根据本结构,在半导体装置A10中,实现装置的小型化的同时,能够抑制多个端子之间的放电。

[0073] 半导体装置A10还具备搭载有第一半导体元件31的芯片焊盘10。当从第三方向z观察时,芯片焊盘10具有沿第一方向x延伸的第一边缘12。第一边缘12位于最靠近密封树脂50的第一侧面531的位置。第一端子21及第二端子22位于第一边缘12的第一方向x的两侧。通过采用本结构,充分确保了多个第三端子23与第一端子21及第二端子22之间的间距,因此能够控制第一端子21与多个第三端子23之间的放电。

[0074] 在密封树脂50中,设有在第一方向x上位于第一端子21与第二端子22之间的凹部55。凹部55从密封树脂50的底面52凹陷。当从第一方向x观察时,凹部55与第一端子21及第二端子22重叠。通过采用本结构,使得从第一端子21经由底面52到第二端子22的密封树脂50的沿面距离变长,因此能够有效抑制第一端子21与第二端子22之间的放电。

[0075] 凹部55沿第二方向y延伸。进一步地,凹部55的第三方向z的尺寸H大于第一端子21及第二端子22各自的第三方向z的尺寸H1、H2(参照图8)。由此,当从第一方向x观察时,得到第一端子21及第二端子22各自的整体与凹部55重叠的结构(参照图6和图7)。因此,能够进一步有效抑制第一端子21与第二端子22之间的放电。

[0076] 半导体装置A10还具备在第一方向x上位于彼此远离的位置且支撑芯片焊盘10的两个第四端子24。两个第四端子24位于远离密封树脂50的第二侧面532及第三侧面533的位置。多个第三端子23在第一方向x上位于两个第四端子24之间。由此,获得仅使第一端子21及第二端子22从第一侧面531及第二侧面532向外部露出的结构。因此,能够有效抑制第一端子21与多个第三端子23之间的放电。

[0077] 在第二方向y上,以第一半导体元件31为基准朝向与密封树脂50的第一侧面531所在侧相反的一侧,芯片焊盘10的第一方向x的尺寸扩大。进一步地,在第二方向y上以第一半导体元件31为基准位于与第一边缘12相反的一侧的芯片焊盘10的部位以第一边缘12为基准向第一方向x的两侧伸出。通过采用本结构,可以使两个第四端子24之间的间距变长,因此可以将相邻的两个第三端子23的间距设定得更长。由此,可以减少多个第三端子23中的噪声的相互干扰。

[0078] 第一端子21从密封树脂50的第二侧面532向外部露出。第二端子22从密封树脂50的第三侧面533向外部露出。通过采用本结构,当将半导体装置A10贴装于配线基板时,使得焊脚容易形成于从第二侧面532向外部露出的第一端子21的部位(第一端面213)、以及从第三侧面533向外部露出的第二端子22的部位(第二端面223)。因此,能够提高半导体装置A10与配线基板的接合强度。

[0079] 第二实施方式:

[0080] 将基于图10至图13对本公开的第二实施方式的半导体装置A20进行说明。在本图中,对与上述半导体装置A10相同或相似的要素用相同的附图标记表示,并省略重复的说明。这里,为了便于理解,图10透射密封树脂50而进行了显示。在图10中,透射的密封树脂50的外形由假想线示出。

[0081] 半导体装置A20与半导体装置A10的结构相比,第一端子21及第二端子22的结构、以及设于密封树脂50中的多个凹部55的结构不同。

[0082] 如图10和图11所示,当从第三方向z观察时,第一端子21与从芯片焊盘10的第一边缘12的一端沿第一方向x延伸的第一延长线L1重叠。当从第三方向z观察时,第二端子22与从芯片焊盘10的第一边缘12的另一端延伸的第二延长线L2重叠。

[0083] 如图11至图13所示,当从第三方向z观察时,多个凹部55与芯片焊盘10重叠。由此,当从第一方向x观察时,多个凹部55与第一端子21及第二端子22重叠。

[0084] 如图13所示,多个凹部55各自的第三方向z的尺寸H小于第一端子21及第二端子22各自的第三方向z的尺寸H1、H2。

[0085] 接下来对半导体装置A20的作用效果进行说明。

[0086] 半导体装置A20具备:密封树脂50,其覆盖第一端子21及第二端子22各自的一部分;以及第一半导体元件31,其与第一端子21及第二端子22导通,且被密封树脂50覆盖。第二端子22在第一方向x上位于远离第一端子21的位置。密封树脂50具有第一侧面531,该第一侧面531朝向第二方向y,且在第二方向y上位于最靠近第一端子21及第二端子22的位置。第一端子21及第二端子22位于远离第一侧面531的位置。因此,根据本结构,在半导体装置A20中,也能够实现装置的小型化的同时,抑制多个端子之间的放电。进一步地,由于半导体装置A20具备与半导体装置A10相同的结构,在半导体装置A20中也发挥该结构的作用效果。

[0087] 在半导体装置A20中,当从第三方向z观察时,第一端子21与从芯片焊盘10的第一边缘12的一端沿第一方向x延伸的第一延长线L1重叠。当从第三方向z观察时,第二端子22与从芯片焊盘10的第一边缘12的另一端延伸的第二延长线L2重叠。通过采用本结构,使得从第一端子21经由第一侧面531到第二端子22的密封树脂50的沿面距离比半导体装置A10的结构长。因此,抑制多个端子之间的放电的效果比半导体装置A10的情况高。

[0088] 进一步地,在半导体装置A20中,当从第三方向z观察时,凹部55与芯片焊盘10重叠。通过采用本结构,当从第一方向x观察时,凹部55与第一端子21及第二端子22重叠。因此,使得从第一端子21经由底面52到第二端子22的密封树脂50的沿面距离与半导体装置A10的该距离相同,因此在半导体装置A20中,也能够有效抑制第一端子21与第二端子22之间的放电。

[0089] 第三实施方式:

[0090] 将基于图14至图17对本公开的第三实施方式的半导体装置A30进行说明。在本图中,对与上述半导体装置A10相同或相似的要素用相同的附图标记表示,并省略重复的说明。这里,为了便于理解,图14透射密封树脂50而进行了显示。在图14中,透射的密封树脂50的外形由假想线示出。在图14中,XVII-XVII线由一点划线表示。

[0091] 半导体装置A30与半导体装置A10的结构相比,第一端子21及第二端子22的结构、以及设于密封树脂50中的多个凹部55的结构不同。

[0092] 如图14和图15所示,当从第三方向z观察时,第一端子21及第二端子22在第二方向y上以芯片焊盘10的第一边缘12为基准位于与密封树脂50的第一侧面531相反的一侧。因此,第一端子21位于远离从芯片焊盘10的第一边缘12的一端沿第一方向x延伸的第一延长线L1的位置。当从第三方向z观察时,第二端子22位于远离从芯片焊盘10的第一边缘12的另一端延伸的第二延长线L2的位置。

[0093] 如图15至图17所示出,当从第三方向z观察时,多个凹部55与芯片焊盘10重叠。由此,当从第一方向x观察时,多个凹部55与第一端子21及第二端子22重叠。

[0094] 如图17所示,多个凹部55各自的第三方向z的尺寸H小于第一端子21及第二端子22各自的第三方向z的尺寸H1、H2。

[0095] 接下来,对半导体装置A30的作用效果进行说明。

[0096] 半导体装置A30具备:密封树脂50,其覆盖第一端子21及第二端子22各自的一部分;以及第一半导体元件31,其与第一端子21及第二端子22导通,且被密封树脂50覆盖。第二端子22在第一方向x上位于远离第一端子21的位置。密封树脂50具有第一侧面531,该第一侧面531朝向第二方向y,且在第二方向y上位于最靠近第一端子21及第二端子22的位置。第一端子21及第二端子22位于远离第一侧面531的位置。因此,根据本结构,在半导体装置A30中,也能够实现装置的小型化的同时,抑制多个端子之间的放电。进一步地,由于半导体装置A30具备与半导体装置A10相同的结构,在半导体装置A30中也发挥该结构的作用效果。

[0097] 在半导体装置A30中,当从第三方向z观察时,第一端子21及第二端子22在第二方向y上以芯片焊盘10的第一边缘12为基准位于与密封树脂50的第一侧面531相反的一侧。通过采用本结构,使得从第一端子21经由第一侧面531到第二端子22的密封树脂50的沿面距离比上述半导体装置A20的结构长。因此,使得抑制多个端子之间的放电的效果比半导体装置A10的情况更高。

[0098] 第四实施方式:

[0099] 将基于图18至图22对本公开的第四实施方式的半导体装置A40进行说明。在本图中,对与上述半导体装置A10相同或相似的要素用相同的附图标记表示,并省略重复的说明。在图18中,XXI-XXI线由一点划线表示。

[0100] 半导体装置A40与半导体装置A10的结构相比,设于密封树脂50的多个凹部55的结构不同。

[0101] 如图18至图21所示,多个凹部55从密封树脂50的第一侧面531凹陷。多个凹部55连接至密封树脂50的顶面51、以及密封树脂50的底面52。当从第一方向x观察时,多个凹部55与第一端子21及第二端子22重叠。

[0102] 如图20和图22所示,多个凹部55的第三方向z的尺寸H大于第一端子21及第二端子22各自的第三方向z的尺寸H1、H2。在半导体装置A40中,尺寸H与顶面51和底面52的间距相等。

[0103] 接下来对半导体装置A40的作用效果进行说明。

[0104] 半导体装置A40具备:密封树脂50,其覆盖第一端子21及第二端子22各自的一部分;以及第一半导体元件31,其与第一端子21及第二端子22导通,且被密封树脂50覆盖。第二端子22在第一方向x上位于远离第一端子21的位置。密封树脂50具有第一侧面531,该第一侧面531朝向第二方向y,且在第二方向y上位于最靠近第一端子21及第二端子22的位置。第一端子21及第二端子22位于远离第一侧面531的位置。因此,根据本结构,在半导体装置A40中,也能够实现装置的小型化的同时,抑制多个端子之间的放电。进一步地,由于半导体装置A40具有与半导体装置A10相同的结构,在半导体装置A40中也发挥该结构的作用效果。

[0105] 第五实施方式:

[0106] 将基于图23至图27对本公开的第五实施方式的半导体装置A50进行说明。在本图中,对与上述半导体装置A10相同或相似的要素用相同的附图标记表示,并省略重复的说明。这里,为了便于理解,图24透射密封树脂50而进行了显示。在图24中,透射的密封树脂50的外形由假想线示出。在图24中,XXVI-XXVI线、以及XXVII-XXVII线分别由一点划线示出。

[0107] 半导体装置A50与半导体装置A10的结构相比,芯片焊盘10、第一端子21、第二端子22、多个第三端子23、以及两个第四端子24的结构不同。半导体装置A50的封装形式是SOP

(Small Outline Package,小外形封装)。在半导体装置A50中,密封树脂50中未设有多个凹部55。

[0108] 如图23、图24和图26所示,芯片焊盘10包括第一焊盘10A及第二焊盘10B。第二焊盘10B在第二方向y上位于第一焊盘10A与多个第三端子23之间。第一半导体元件31搭载在第一焊盘10A的搭载面11上。第二半导体元件32搭载在第二焊盘10B的搭载面11上。第二端子22连接至第一焊盘10A。两个第四端子24连接至第二焊盘10B。第一边缘12包括在第一焊盘10A中。

[0109] 如图23和图27所示,第一端子21从密封树脂50的第二侧面532突出。第二端子22从密封树脂50的第三侧面533突出。第一端子21及第二端子22各自的从密封树脂50突出的部分在第三方向z上向密封树脂50的底面52所在侧弯曲。第一端子21的第一主面211、以及第二端子22的第二主面221各自的一部分被密封树脂50覆盖。

[0110] 如图23和图25所示,多个第三端子23、以及两个第四端子24从密封树脂50的第四侧面534突出。多个第三端子23、以及两个第四端子24各自的从密封树脂50突出的部分在第三方向z上向密封树脂50的底面52所在侧弯曲。

[0111] 如图24所示,在半导体装置A50中,第一端子21及第二端子22也位于远离密封树脂50的第一侧面531的位置。在半导体装置A50中,第一端子21及第二端子22也位于第一焊盘10A的第一边缘12的第一方向x的两侧。进一步地,在半导体装置A50中,第一端子21及第二端子22在第二方向y上以第一边缘12为基准位于与第一侧面531相反的一侧。

[0112] 接下来,对半导体装置A50的作用效果进行说明。

[0113] 半导体装置A50具备密封树脂50,其覆盖第一端子21及第二端子22各自的一部分;以及第一半导体元件31,其与第一端子21及第二端子22导通,且被密封树脂50覆盖。第二端子22在第一方向x上位于远离第一端子21的位置。密封树脂50具有第一侧面531,该第一侧面531朝向第二方向y,且在第二方向y上位于最靠近第一端子21及第二端子22的位置。第一端子21及第二端子22位于远离第一侧面531的位置。因此,根据本结构,在半导体装置A50中,也能够实现装置的小型化的同时,抑制多个端子之间的放电。进一步地,由于半导体装置A50具备与半导体装置A10相同的结构,在半导体装置A50中也发挥该结构的作用效果。

[0114] 本公开不限于上述实施方式。本公开的每个部的具体结构可以自由多样化地变更设计。

[0115] 本公开包括以下附记中记载的实施方式。

[0116] 附记1.一种半导体装置,其中,具备:

[0117] 第一半导体元件;

[0118] 第一端子,其与所述第一半导体元件导通;

[0119] 第二端子,其与所述第一半导体元件导通的同时,在第一方向上位于远离所述第一端子的位置;以及

[0120] 密封树脂,其覆盖所述第一端子及所述第二端子各自的一部分、以及所述第一半导体元件,

[0121] 所述密封树脂具有第一侧面,该第一侧面朝向与所述第一方向正交的第二方向,且在所述第二方向上位于最靠近所述第一端子及所述第二端子的位置,

[0122] 所述第一端子及所述第二端子位于远离所述第一侧面的位置。

[0123] 附记2.根据附记1所述的半导体装置,其中,

[0124] 进一步具备搭载有所述第一半导体元件的芯片焊盘,

[0125] 当从与所述第一方向及所述第二方向正交的第三方向观察时,所述芯片焊盘具有第一边缘,该第一边缘沿所述第一方向延伸,且在所述第二方向上位于最靠近所述第一侧面的位置,

[0126] 所述第一端子及所述第二端子位于所述第一边缘的所述第一方向的两侧。

[0127] 附记3.根据附记2所述的半导体装置,其中,

[0128] 所述第一端子及所述第二端子在所述第二方向上以所述第一边缘为基准位于与所述第一侧面相反的一侧。

[0129] 附记4.根据附记2所述的半导体装置,其中,

[0130] 当从所述第三方向观察时,所述第一端子与从所述第一边缘的一端沿所述第一方向延伸的第一延长线重叠。

[0131] 附记5.根据附记4所述的半导体装置,其中,

[0132] 当从所述第三方向观察时,所述第二端子与从所述第一边缘的另一端沿所述第一方向延伸的第二延长线重叠。

[0133] 附记6.根据附记2至5中任一项所述的半导体装置,其中,

[0134] 在所述第二方向上以所述第一半导体元件为基准朝向与所述第一侧面所在侧相反的一侧,所述芯片焊盘在所述第一方向上的尺寸扩大。

[0135] 附记7.根据附记6所述的半导体装置,其中,

[0136] 在所述第二方向上以所述第一半导体元件为基准位于与所述第一边缘相反的一侧的所述芯片焊盘的部位以所述第一边缘为基准向所述第一方向的两侧伸出。

[0137] 附记8.根据附记2至7中任一项所述的半导体装置,其中,

[0138] 所述芯片焊盘的至少一部分被所述密封树脂覆盖,

[0139] 所述密封树脂具有以所述芯片焊盘为基准朝向与所述第一半导体元件所在侧相反的一侧的底面,

[0140] 所述第一端子及所述第二端子从所述底面向外部露出。

[0141] 附记9.根据附记8所述的半导体装置,其中,

[0142] 在所述密封树脂中设有凹部,该凹部在所述第一方向上位于所述第一端子与所述第二端子之间,

[0143] 当从所述第一方向观察时,所述凹部与所述第一端子及所述第二端子重叠。

[0144] 附记10.根据附记9所述的半导体装置,其中,

[0145] 所述凹部从所述底面凹陷,且沿所述第二方向延伸。

[0146] 附记11.根据附记10所述的半导体装置,其中,

[0147] 所述芯片焊盘位于远离所述底面的位置,

[0148] 从所述第三方向观察时,所述凹部与所述芯片焊盘重叠。

[0149] 附记12.根据附记2或3所述的半导体装置,其中,

[0150] 所述密封树脂具有在所述第一方向上彼此朝向相反侧的第二侧面及第三侧面,

[0151] 所述第一端子从所述第二侧面向外部露出,

[0152] 所述第二端子从所述第三侧面向外部露出。

[0153] 附记13.根据附记12所述的半导体装置,其中,

[0154] 所述第一端子从所述第二侧面突出,

[0155] 所述第二端子从所述第三侧面突出。

[0156] 附记14.根据附记2至13中任一项所述的半导体装置,其中,在所述第一半导体元件中配置有包括多个电阻元件的降压电路。

[0157] 附记15.根据附记14所述的半导体装置,其中,进一步具备:

[0158] 第二半导体元件,其包括运算放大器;以及

[0159] 多个第三端子,其与所述第二半导体元件导通,

[0160] 所述第二半导体元件与所述第一半导体元件导通,

[0161] 所述多个第三端子各自的一部分以及所述第二半导体元件被所述密封树脂覆盖,

[0162] 所述多个第三端子在所述第二方向上以所述芯片焊盘为基准位于与所述第一侧面相反的一侧。

[0163] 附记16.根据附记15所述的半导体装置,其中,

[0164] 所述第二半导体元件搭载在所述芯片焊盘上。

[0165] 附记17.根据附记15或16所述的半导体装置,其中,进一步具备:两个第四端子,该两个第四端子在所述第一方向上彼此远离,且支撑所述芯片焊盘,

[0166] 所述两个第四端子各自的一部分被所述密封树脂覆盖,

[0167] 所述多个第三端子在所述第一方向上位于所述两个第四端子之间。

[0168] 符号说明

[0169] A10、A20、A30、A40、A50:半导体装置,10:芯片焊盘,10A:第一焊盘,10B:第二焊盘,11:搭载面,12:第一边缘,21:第一端子,211:第一主面,212:第一背面,213:第一端面,22:第二端子,221:第二主面,222:第二背面,223:第二端面,23:第三端子,23A:A端子,23B:B端子,23C:C端子,23D:D端子,231:第三主面,232:第三背面,233:第三端面,24:第四端子,241:第四主面,242:第四背面,243:第四端面,244:连接面,31:第一半导体元件,311:第一电极,32:第二半导体元件,321:第二电极,39:接合层,41:第一导线,42:第二导线,43:第三导线,44:第四导线,50:密封树脂,51:顶面,52:底面,531:第一侧面,532:第二侧面,533:第三侧面,534:第四侧面,55:凹部,L1:第一延长线,L2:第二延长线,x:第一方向,y:第二方向,z:第三方向。

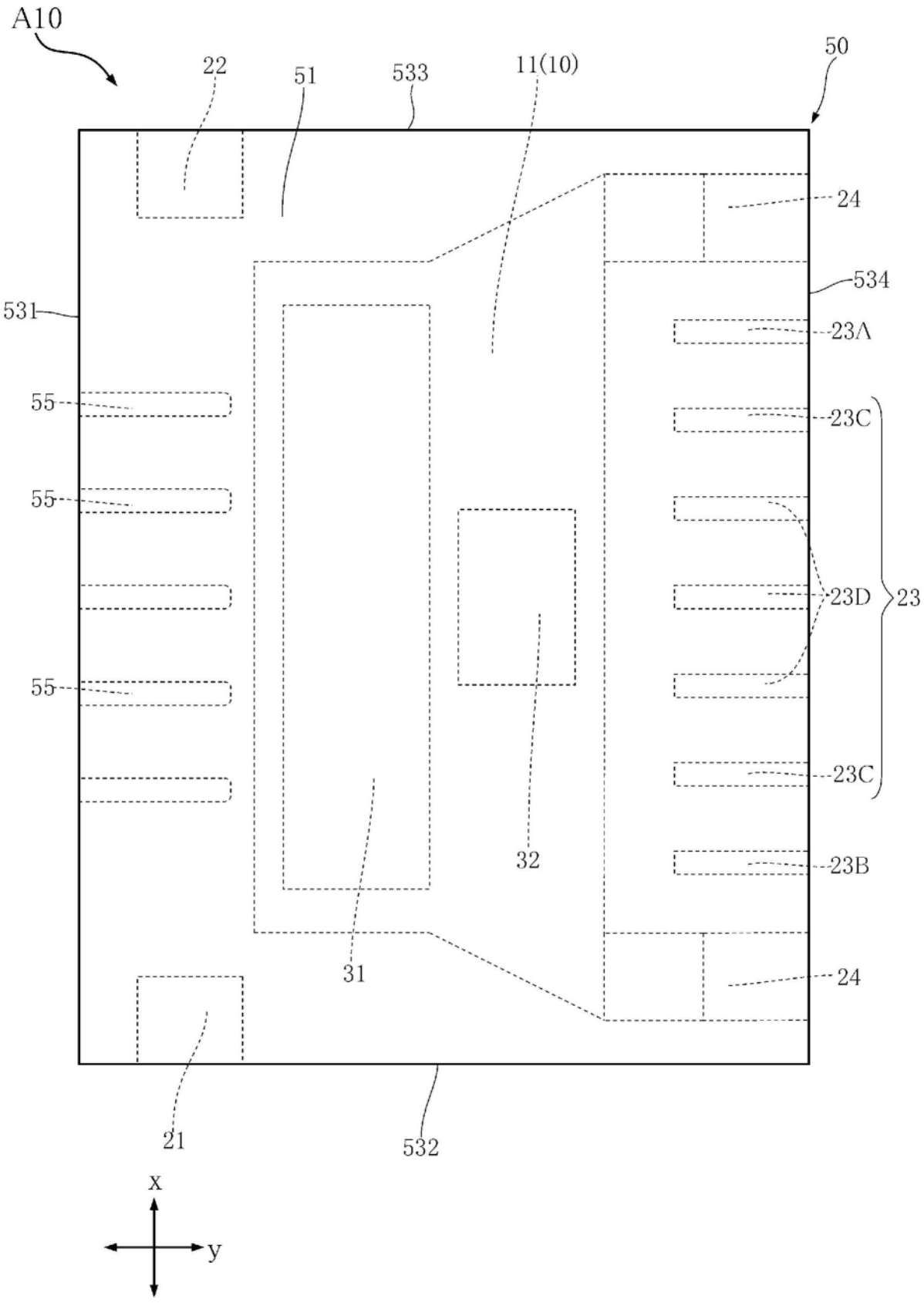

A10
22
51
533
11(10)
50
24
534
531
23A
55
23C
55
23D
23
55
23C
32
23B
31
24
21
532
x
y

图1

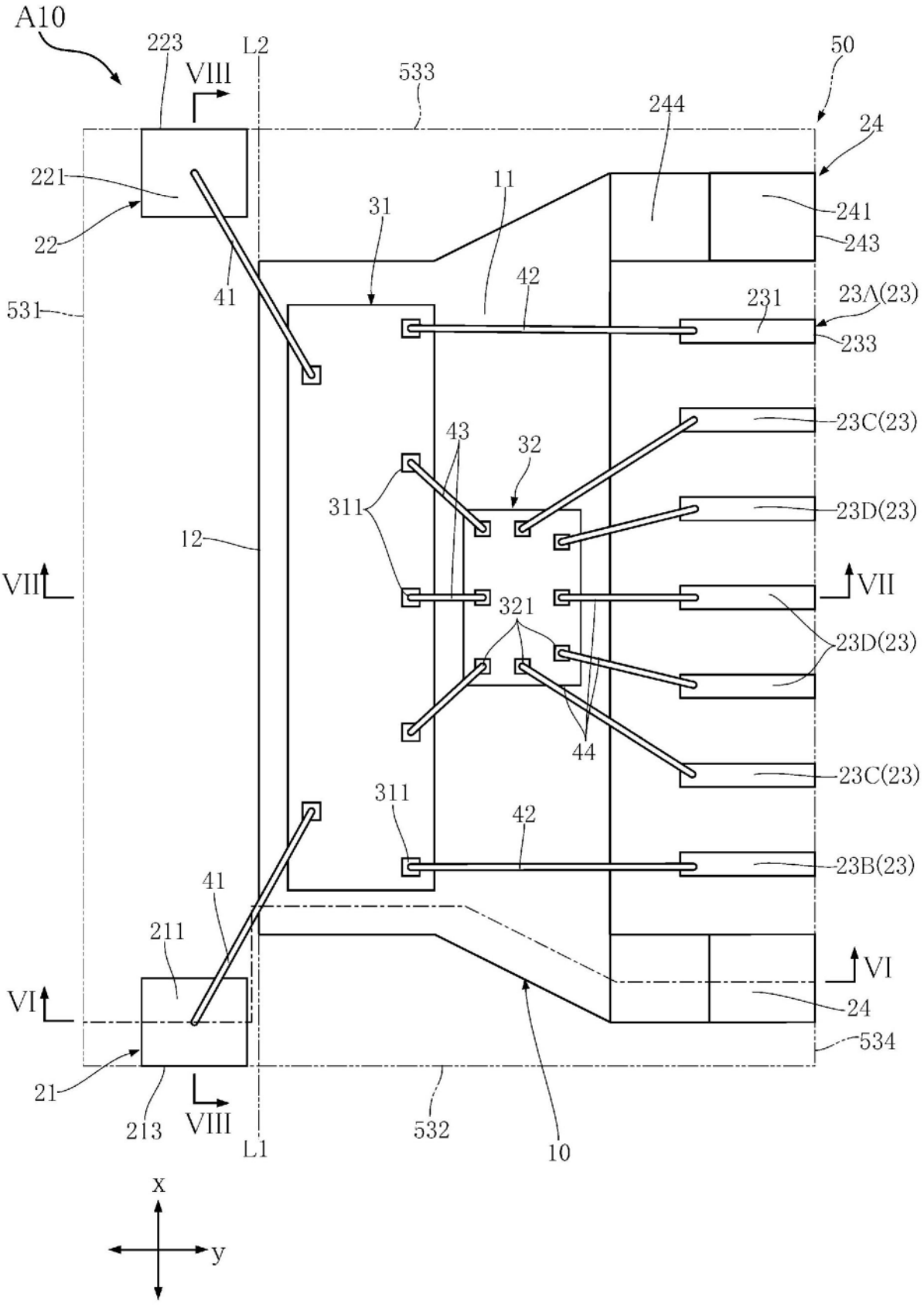

A10
223
L2
VIII
533
50
244
24
221
11
31
241
22
243
41
42
231
23A(23)
531
233
23C(23)
43
32
311
23D(23)
12
VII
VII
321
23D(23)
44
23C(23)
311
42
23B(23)
41
211
VI
VI
24
534
21
213
VIII
L1
532
10
x
y

图2

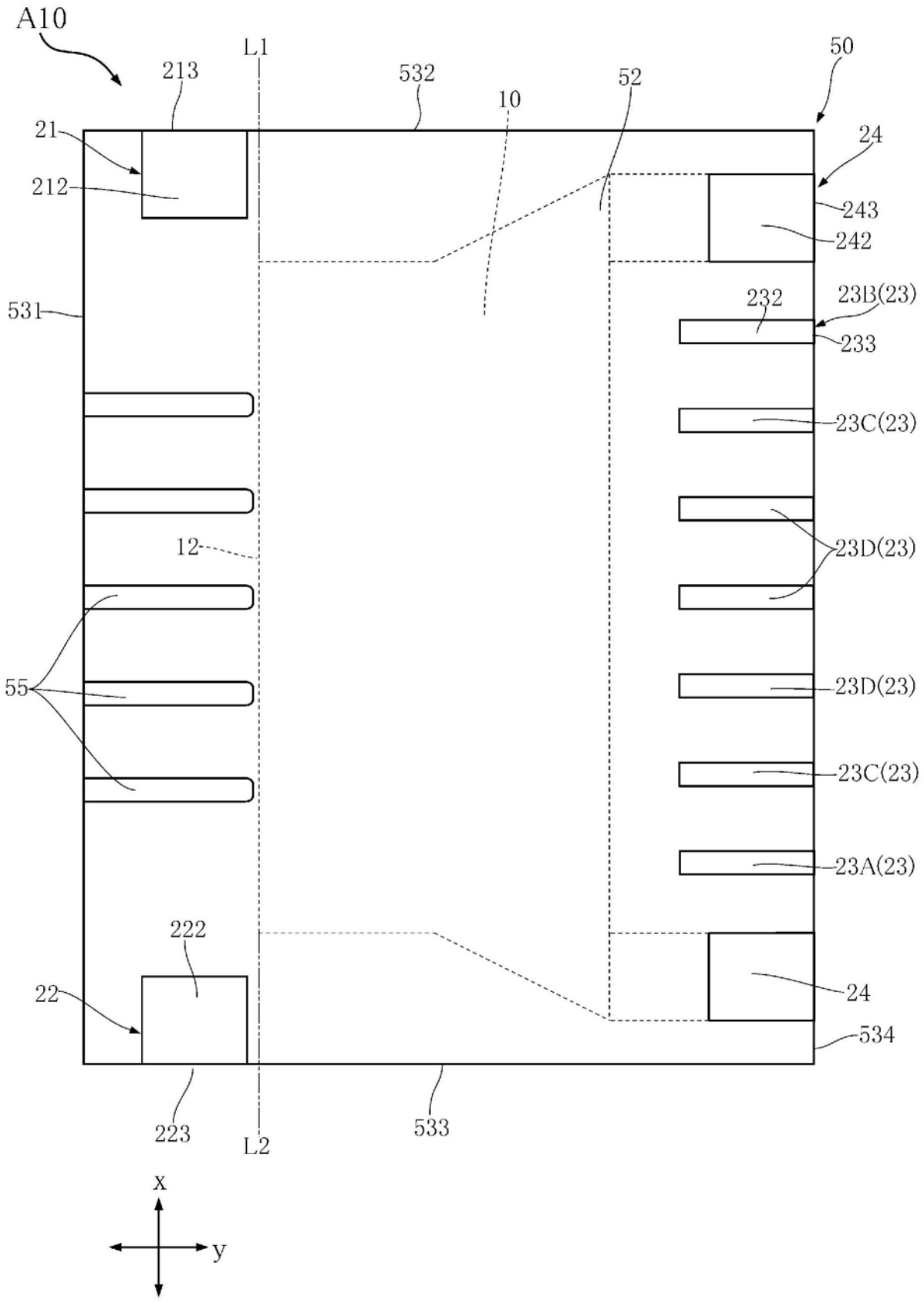

A10
L1
213
532
10
52
50
21
24
212
243
242
531
232
23B(23)
233
23C(23)
12
23D(23)
55
23D(23)
23C(23)
23A(23)
222
22
24
534
223
L2
533
x
y

图3

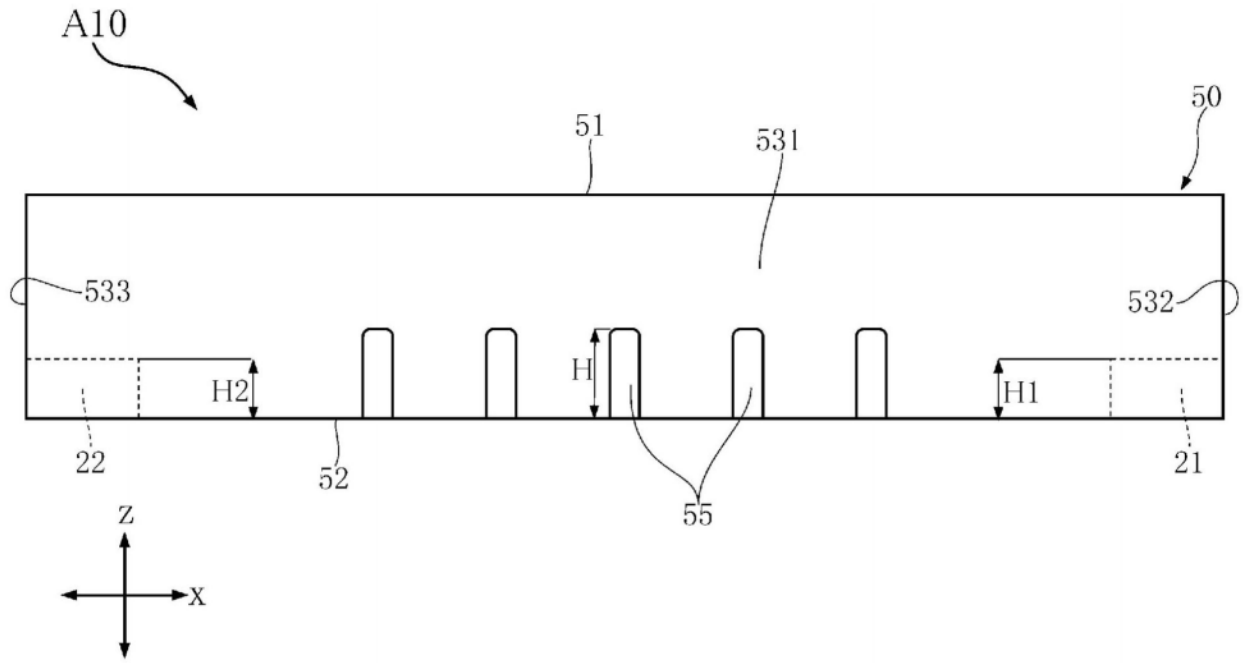

A10
50
51
531
533
532
H2
H
H1
22
52
55
21
Z
X

图4

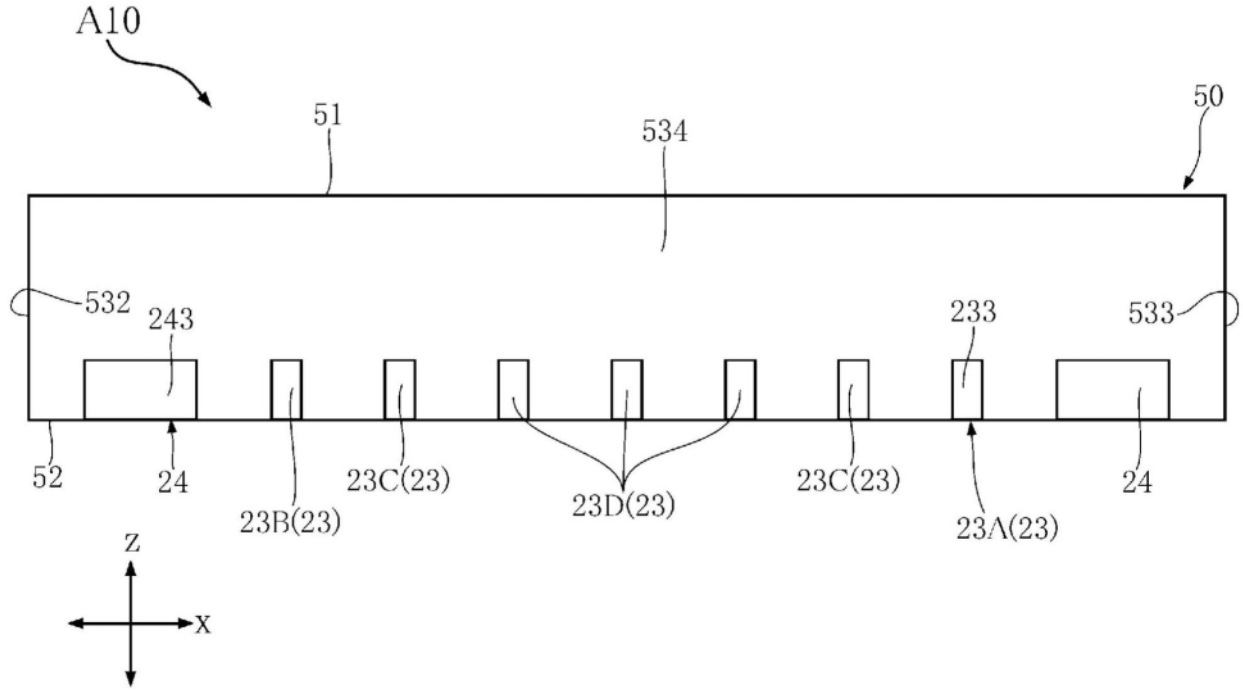

A10
50
51
534
532
243
233
533
52
24
23C(23)
23D(23)
23C(23)
24
23B(23)
23A(23)
Z
X

图5

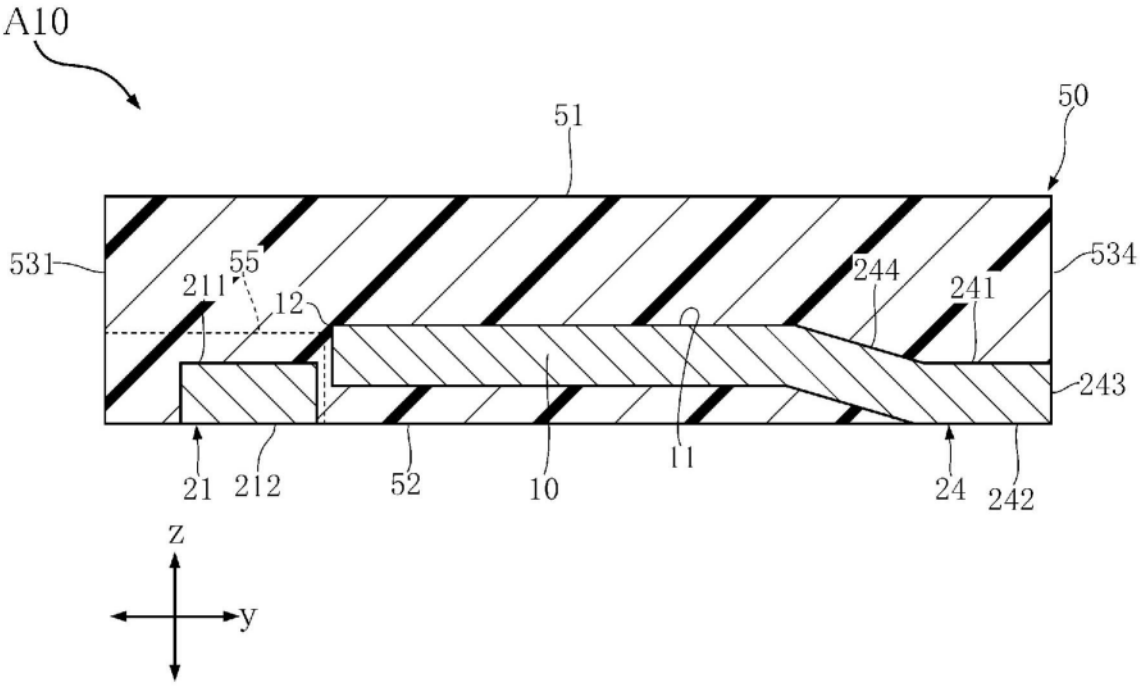

A10
51
50
531
55
211
12
244
241
534
243
21
212
52
10
11
24
242
z
y

图6

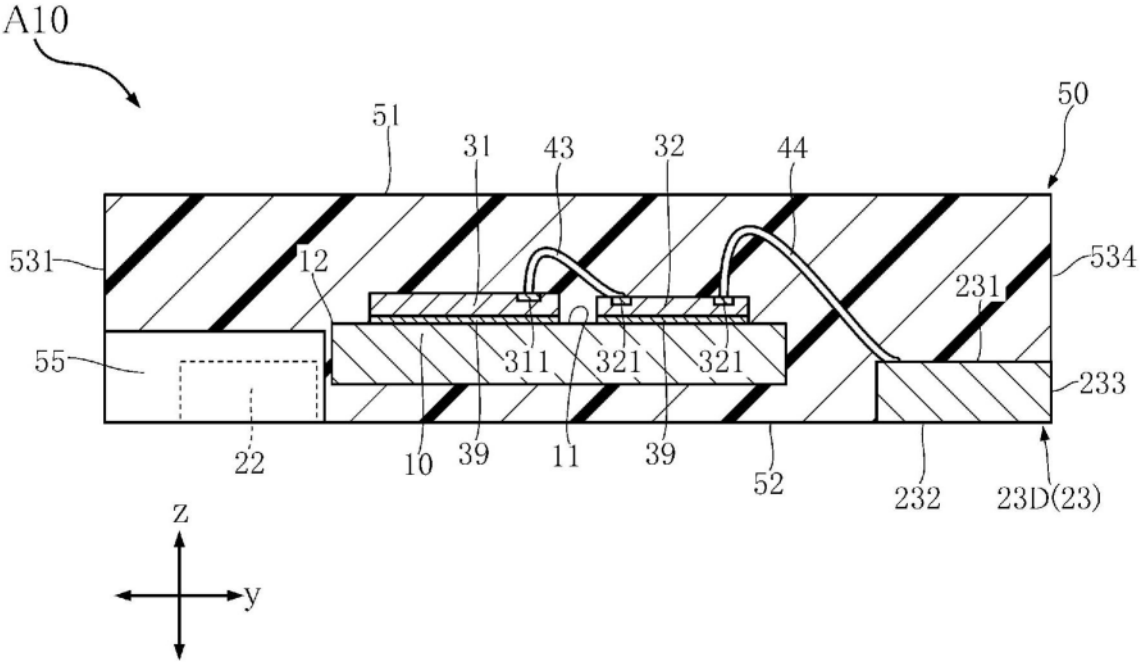

A10
51
31
43
32
44
50
531
12
534
231
55
311
321
321
233
22
10
39
11
39
52
232
23D(23)
z
y

图7

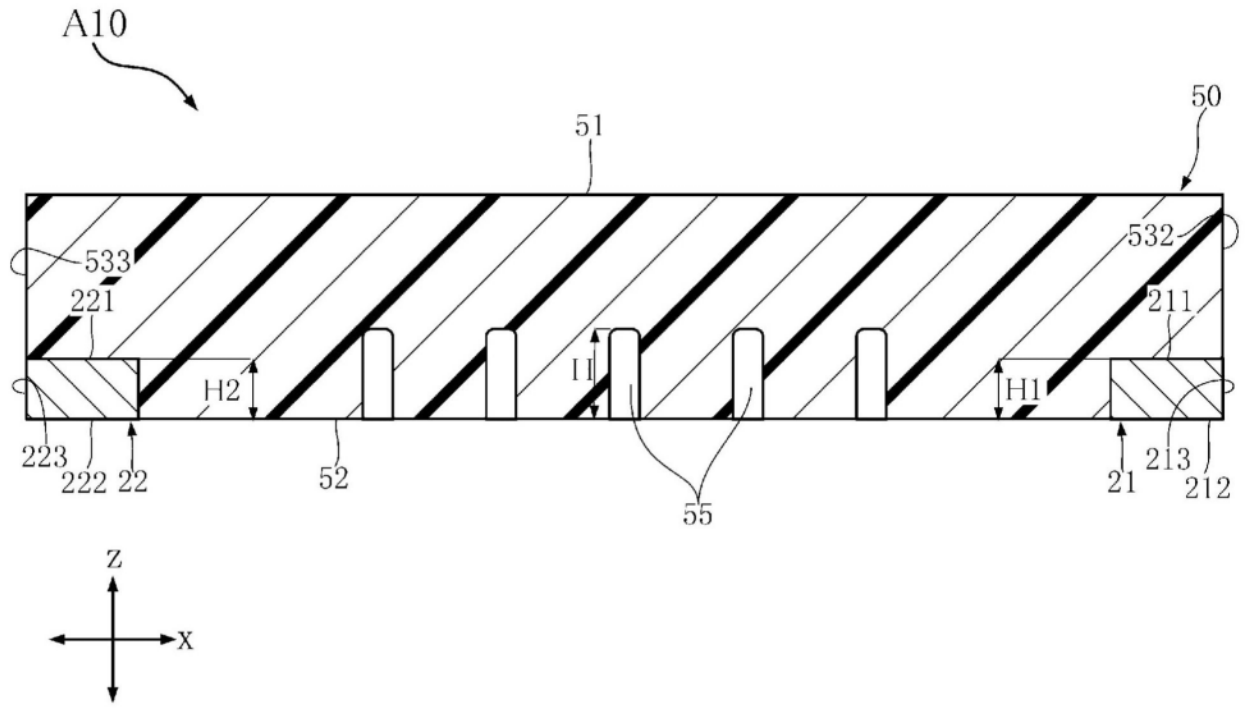

A10
50
51
533
532
221
211
H2
H1
223
222
22
52
55
21
213
212
Z
X

图8

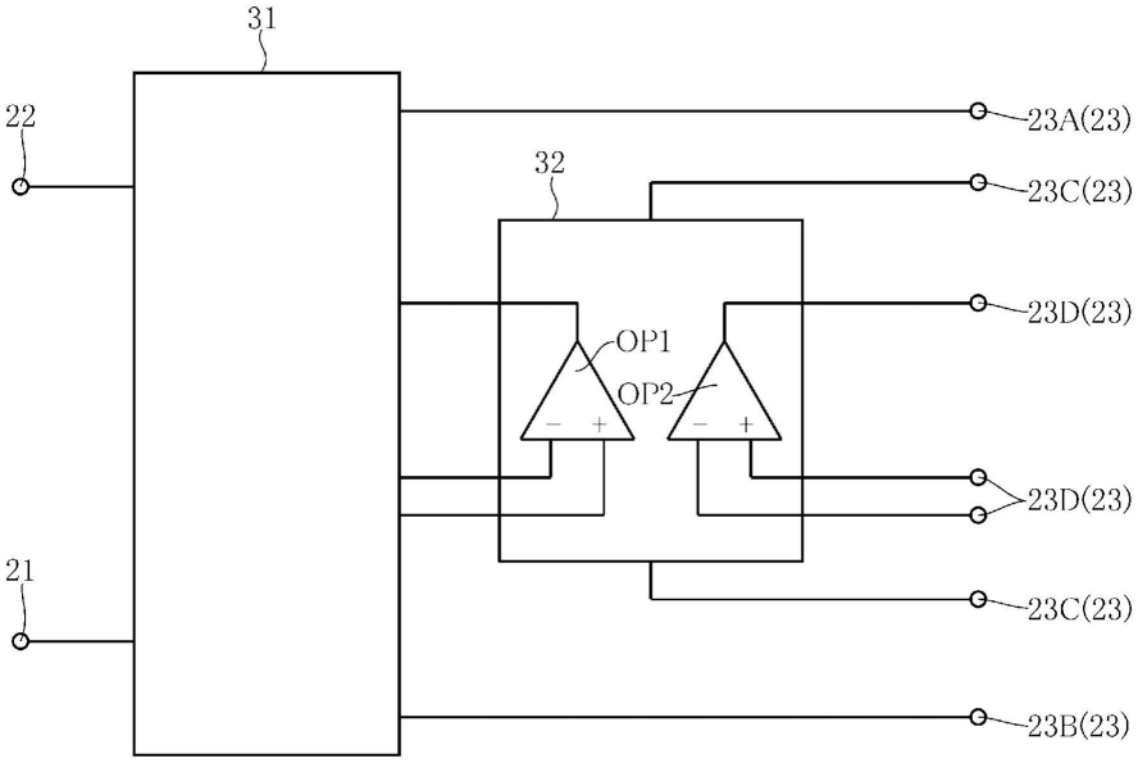

31
22
32
23A(23)
23C(23)
23D(23)
OP1
OP2
23D(23)
21
23C(23)
23B(23)

图9

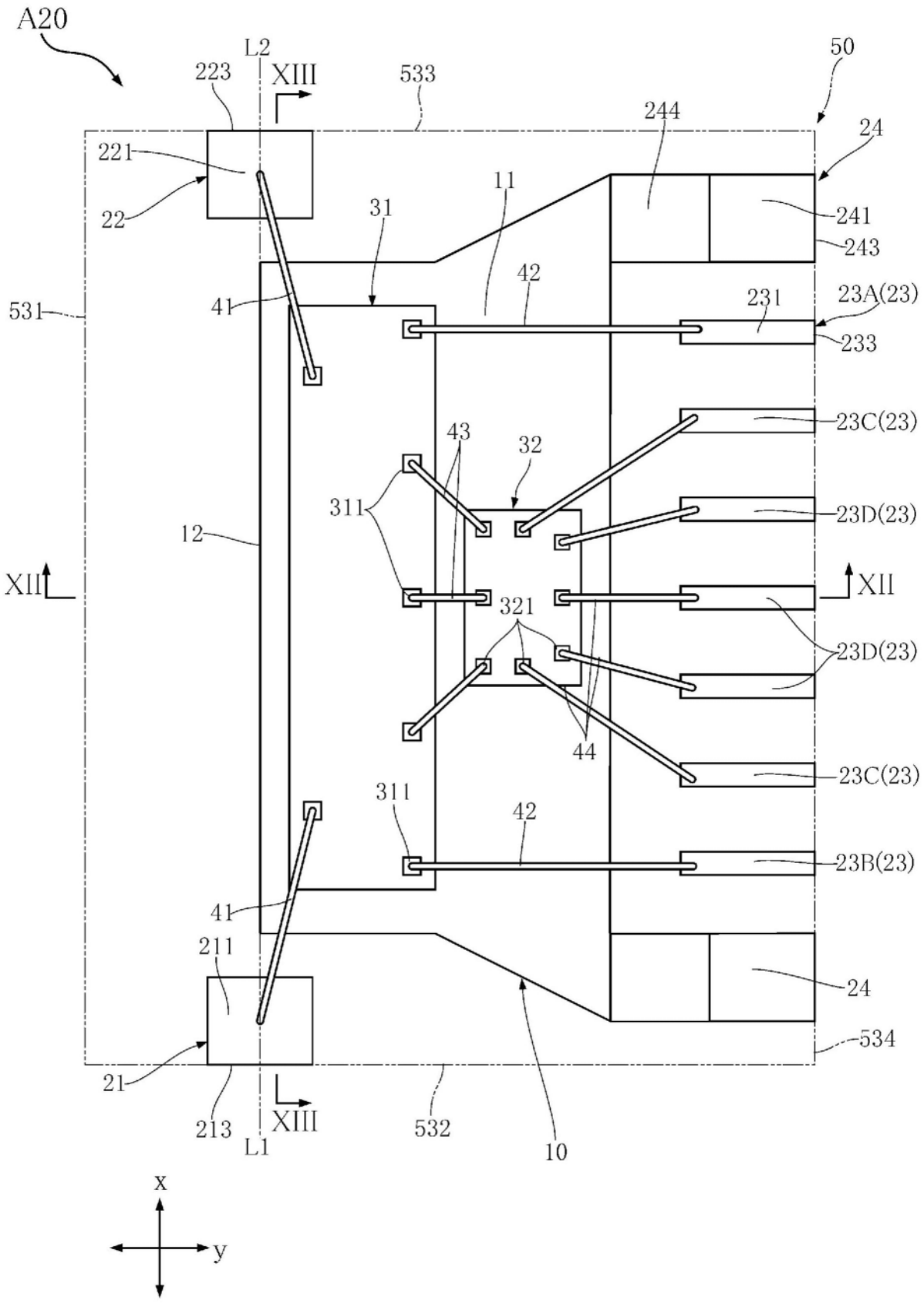

A20
L2
223
XIII
533
50
244
24
221
11
22
31
241
243
42
41
231
23A(23)
531
233
23C(23)
43
32
311
12
23D(23)
XII
XII
321
23D(23)
44
23C(23)
311
42
23B(23)
41
211
24
534
21
213
XIII
L1
532
10
x
y

图10

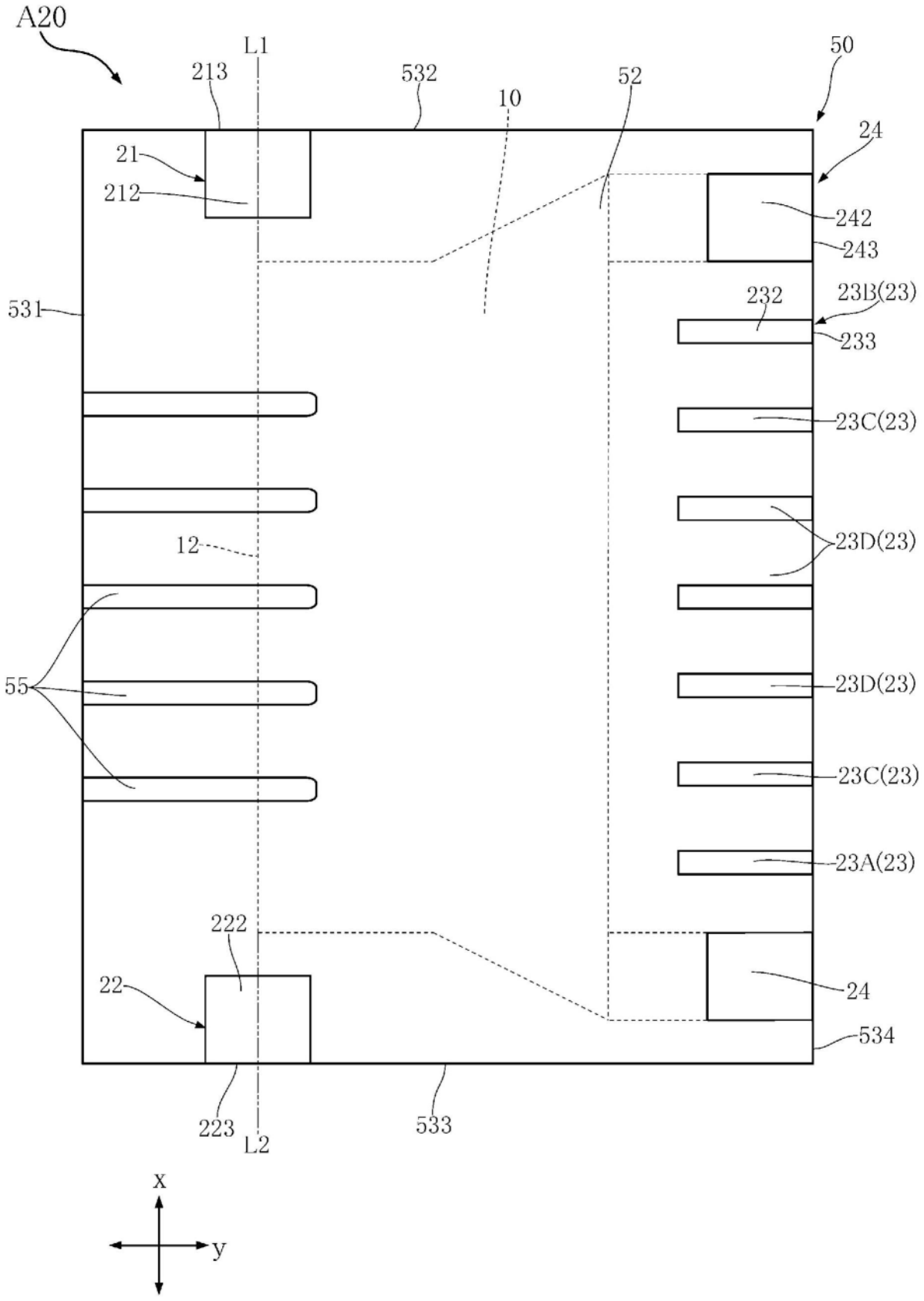

A20
L1
213
532
10
52
50
24
21
212
242
243
531
232
23B(23)
233
23C(23)
12
23D(23)
55
23D(23)
23C(23)
23A(23)
222
22
24
534
223
L2
533
x
y

图11

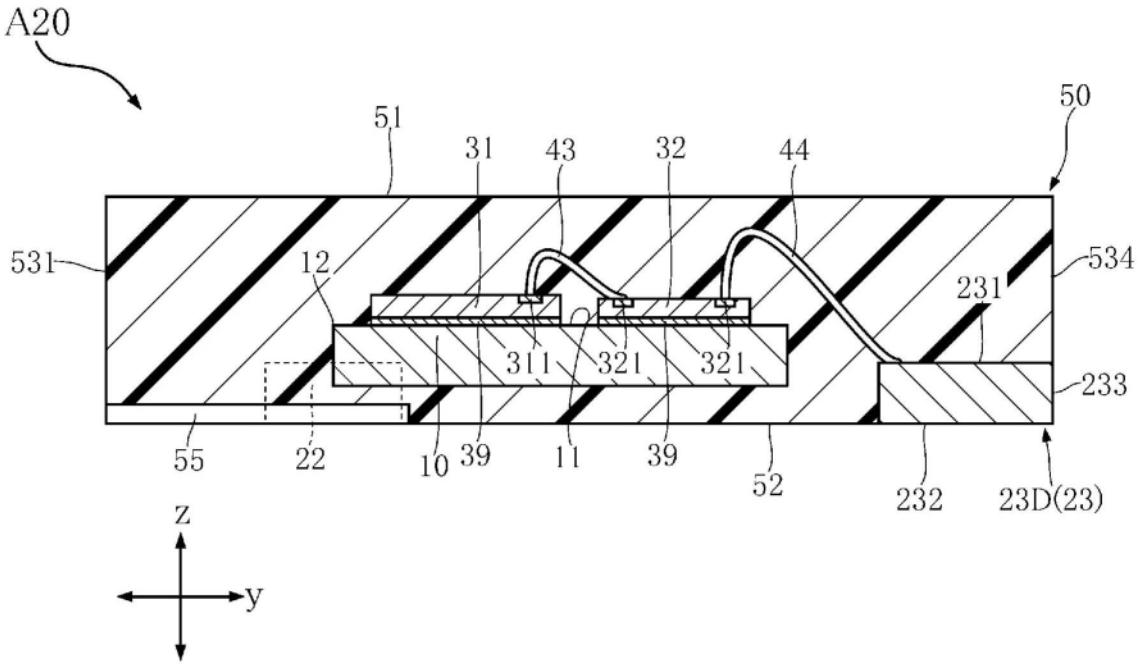

A20
51
31
43
32
44
50
531
12
534
231
311
321
321
233
55
22
10
39
11
39
52
232
23D(23)
z
y

图12

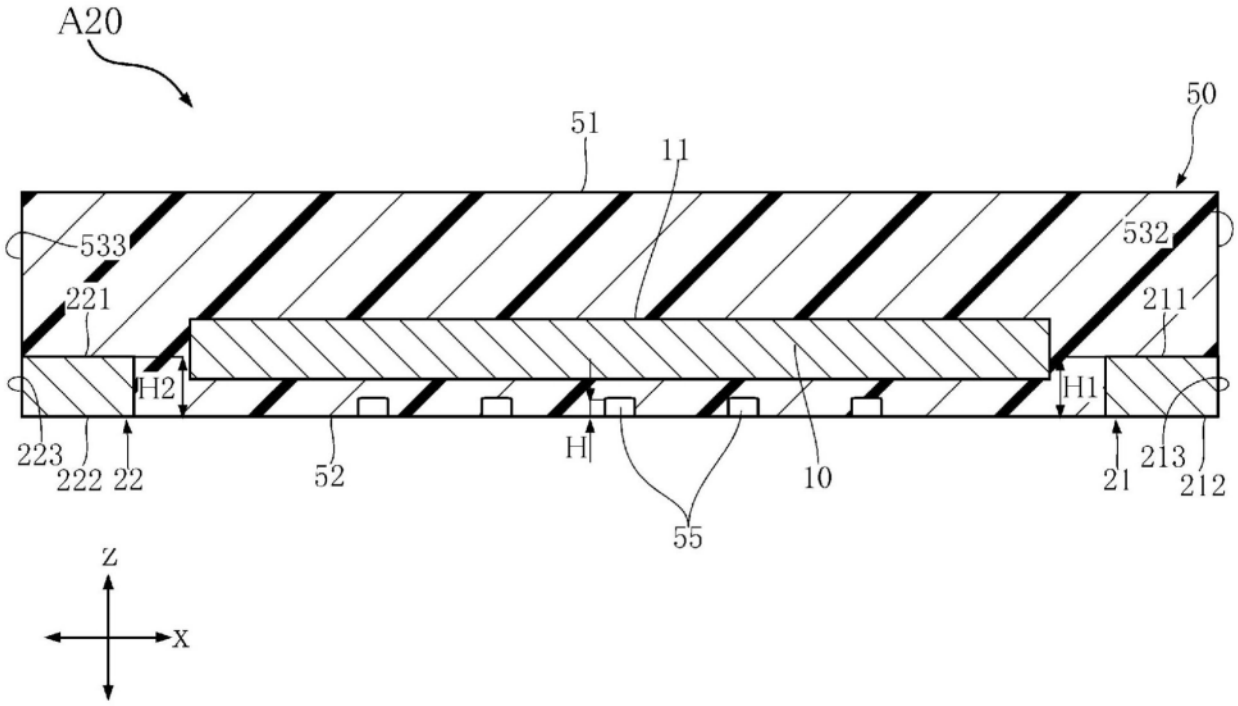

A20
51
11
50
533
532
221
211
H2
H1
223
222
22
52
H
10
21
213
212
55
z
x

图13

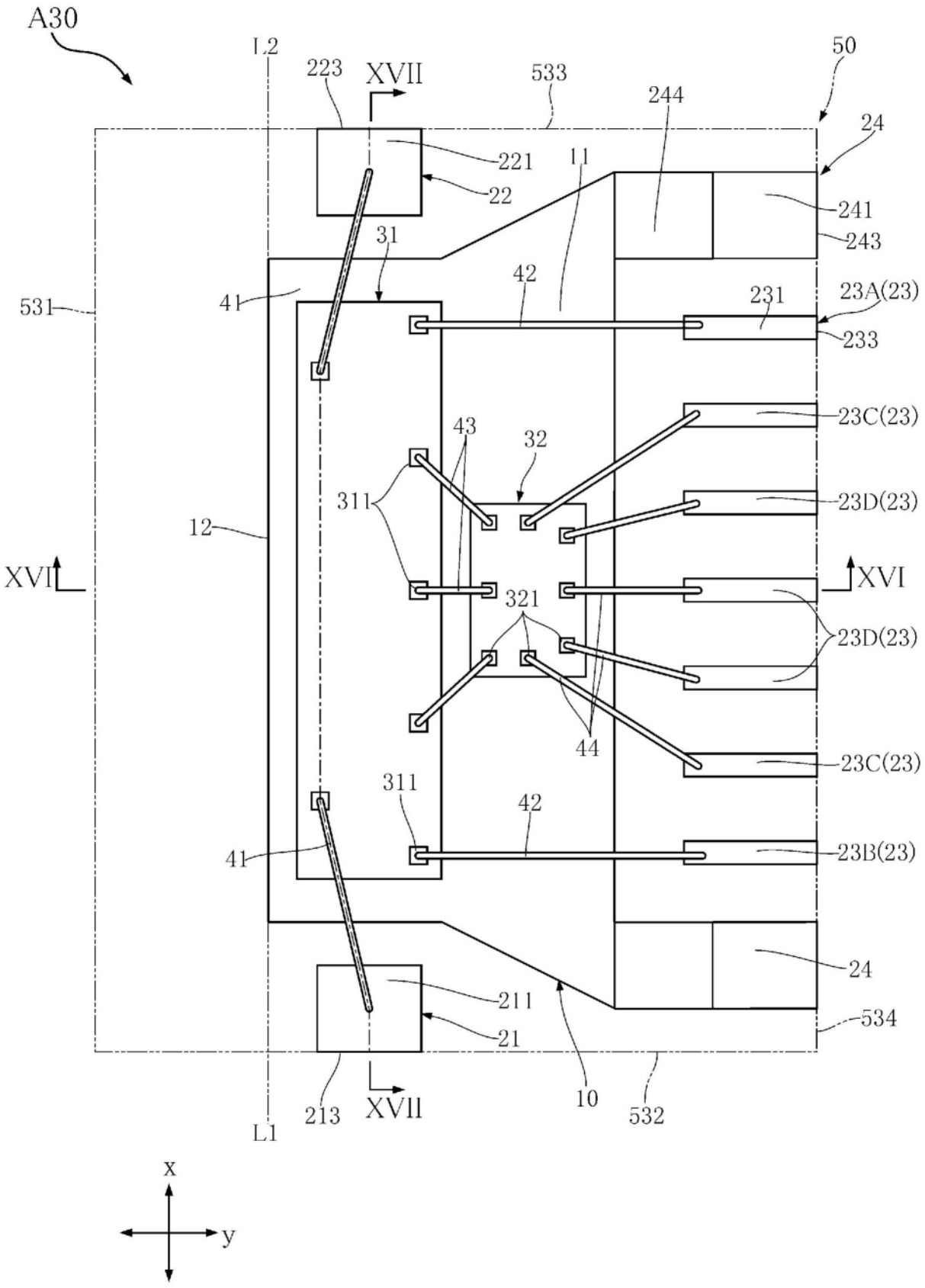

A30
L2
223
XVII
533
244
50
24
221
11
22
241
31
243
42
531
41
231
23A(23)
233
43
23C(23)
32
311
12
23D(23)
XVI
XVI
321
23D(23)
44
23C(23)
311
42
41
23B(23)
24
211
534
21
213
XVII
10
532
L1
x
y

图14

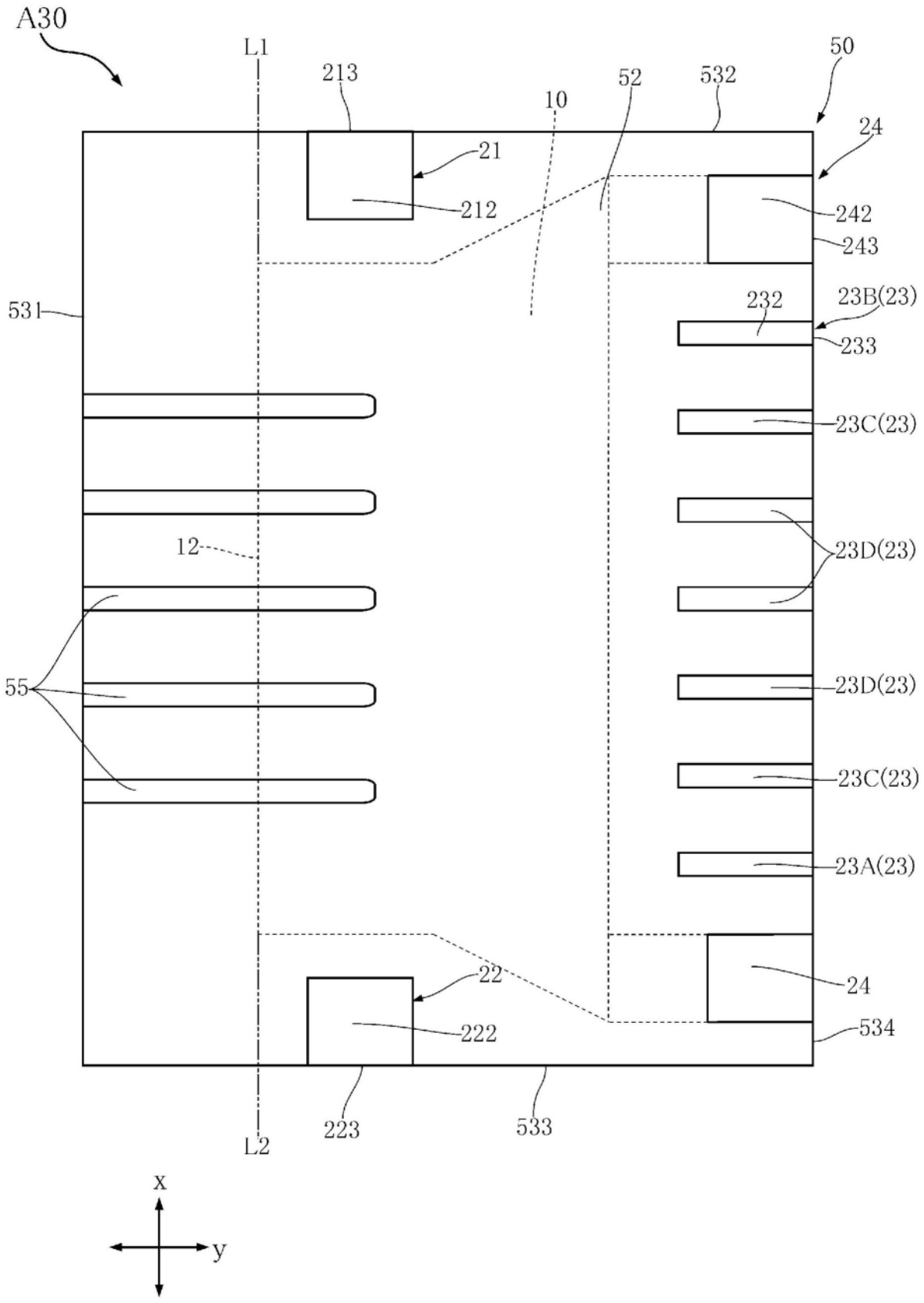

A30
L1
213
10
52
532
50
24
21
212
242
243
531
232
23B(23)
233
23C(23)
12
23D(23)
55
23D(23)
23C(23)
23A(23)
22
24
222
534
223
533
L2
x
y

图15

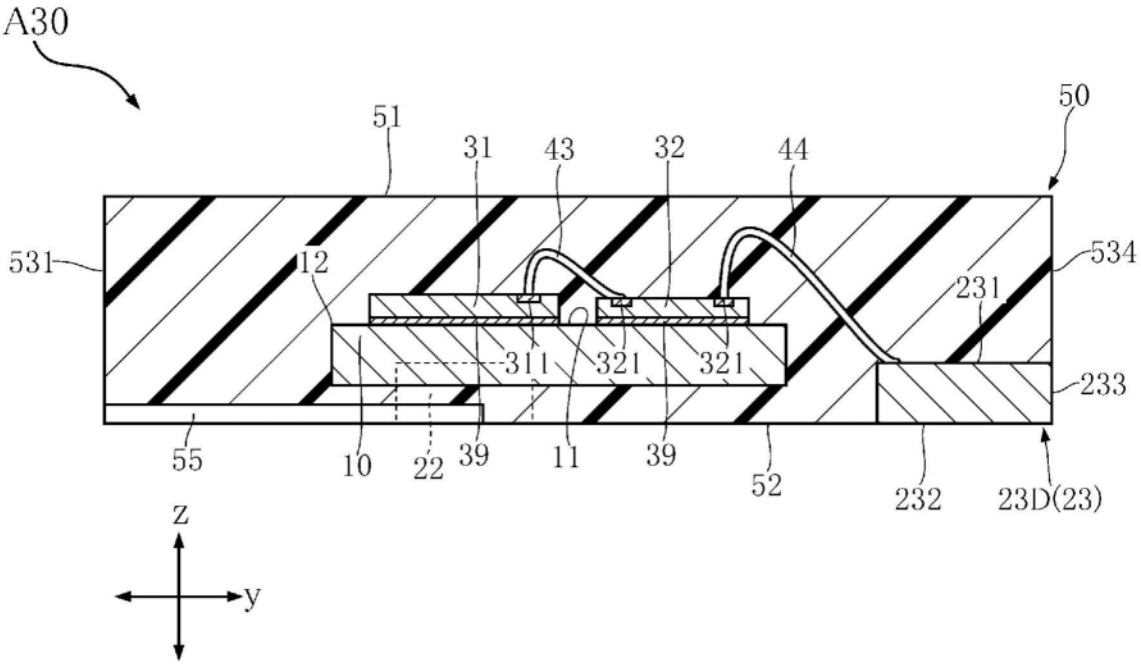

A30
51
31
43
32
44
50
531
12
534
231
311
321
321
233
55
10
22
39
11
39
52
232
23D(23)
Z
y

图16

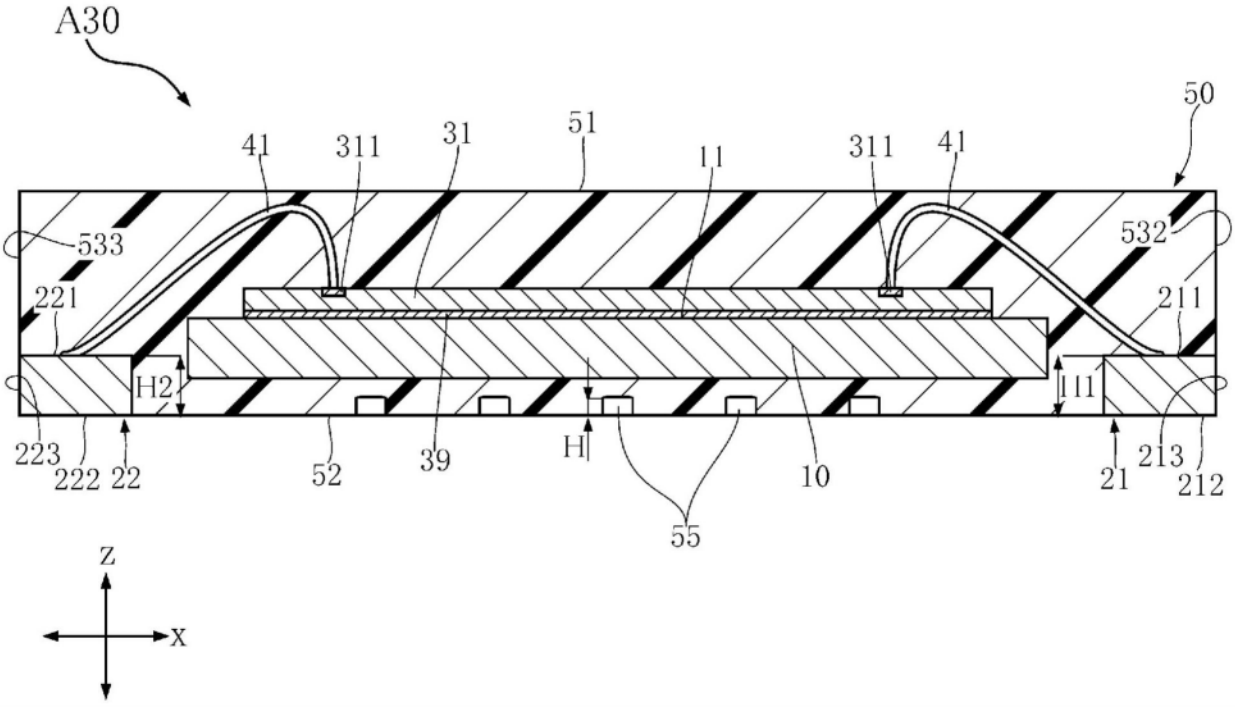

A30
50
41
311
31
51
11
311
41
533
532
221
211
H2
H1
223
222
22
52
39
H
10
21
213
212
55
Z
x

图17

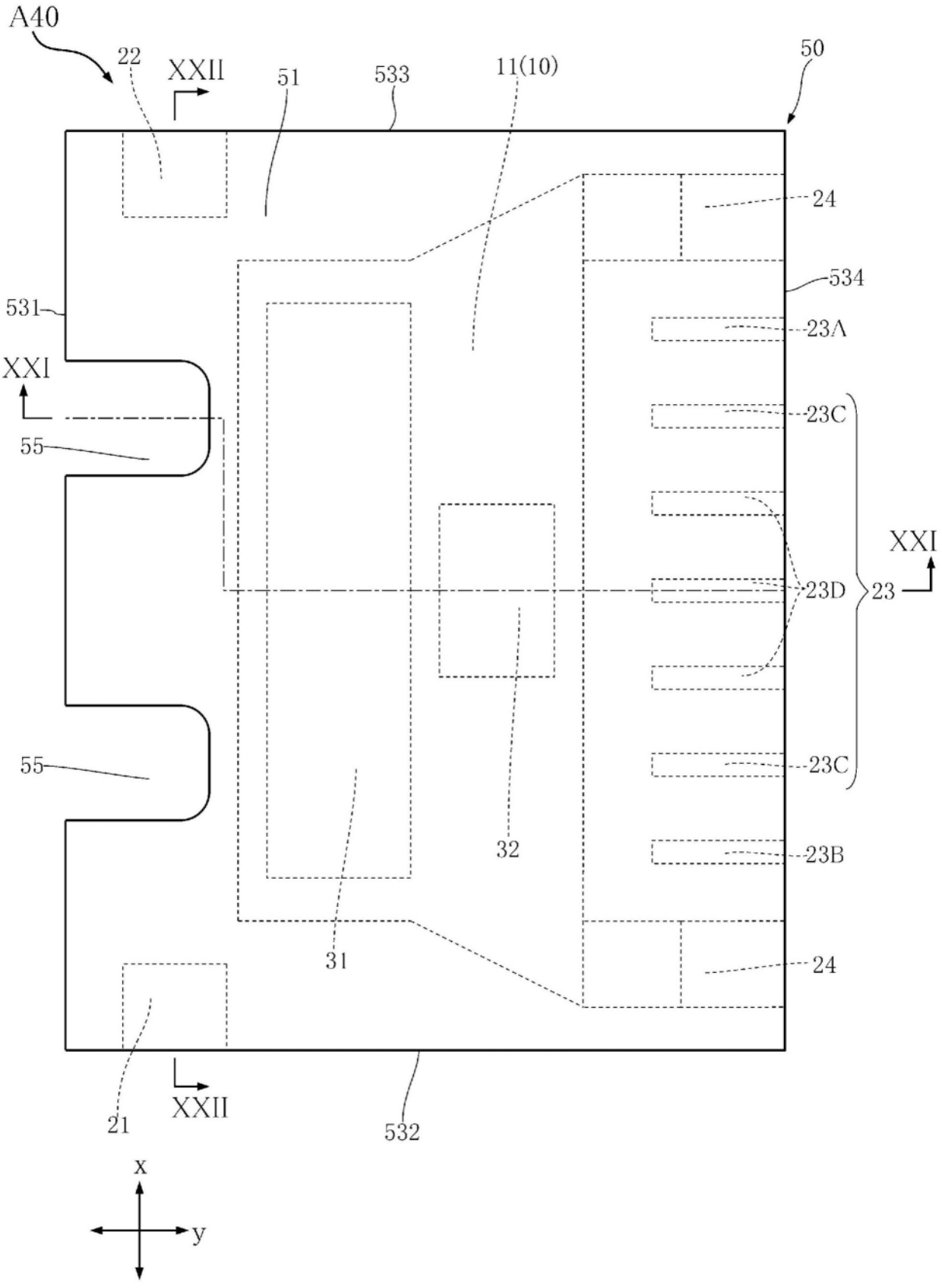

A40
22
XXII
51
533
11(10)
50
24
534
531
23A
XXI
23C
55
XXI
23D
23
55
23C
32
23B
31
24
21
XXII
532
x
y

图18

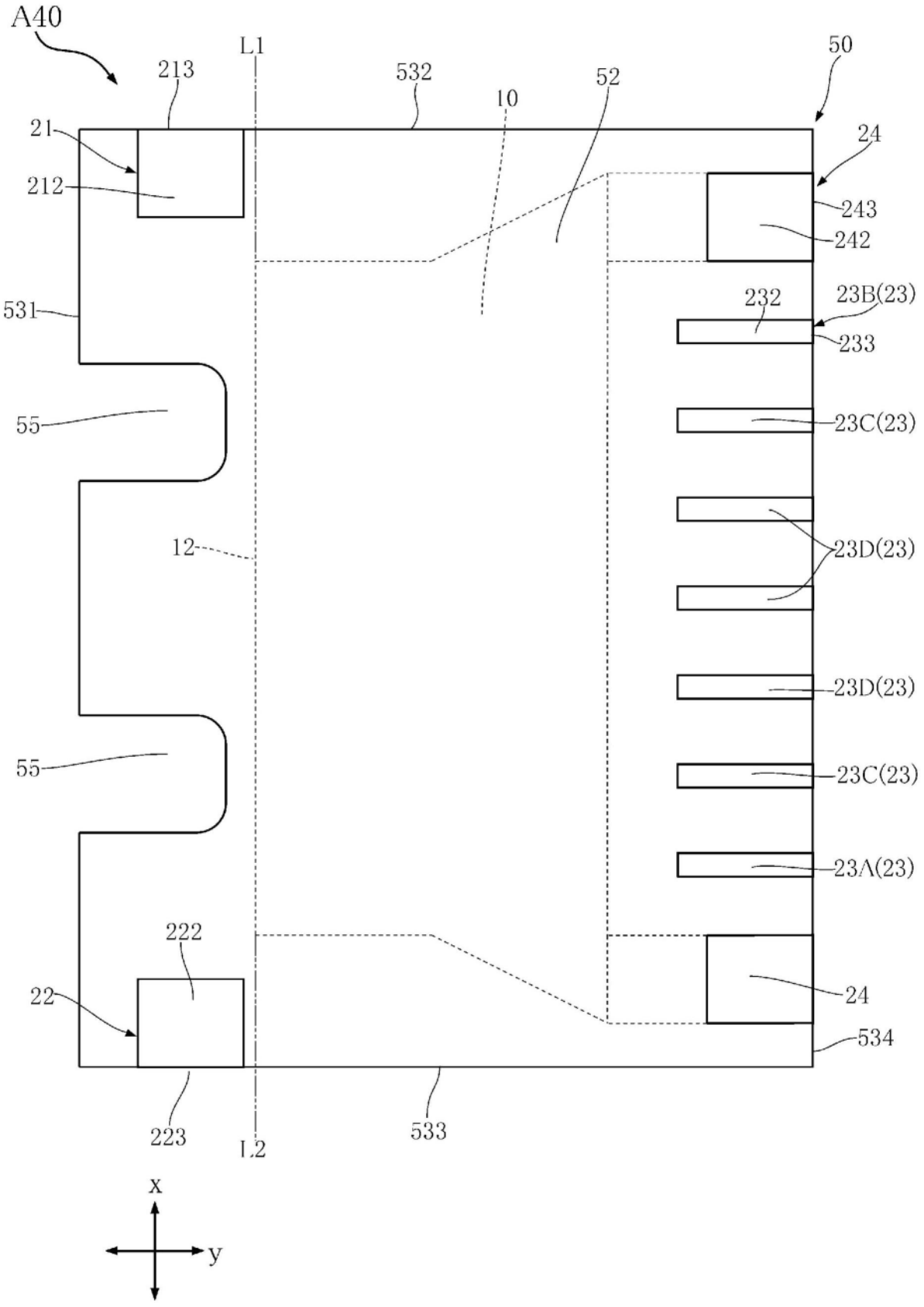

A40
L1
213
532
10
52
50
21
24
212
243
242
232
23B(23)
531
233
55
23C(23)
12
23D(23)
23D(23)
55
23C(23)
23A(23)
222
22
24
534
223
L2
533
x
y

图19

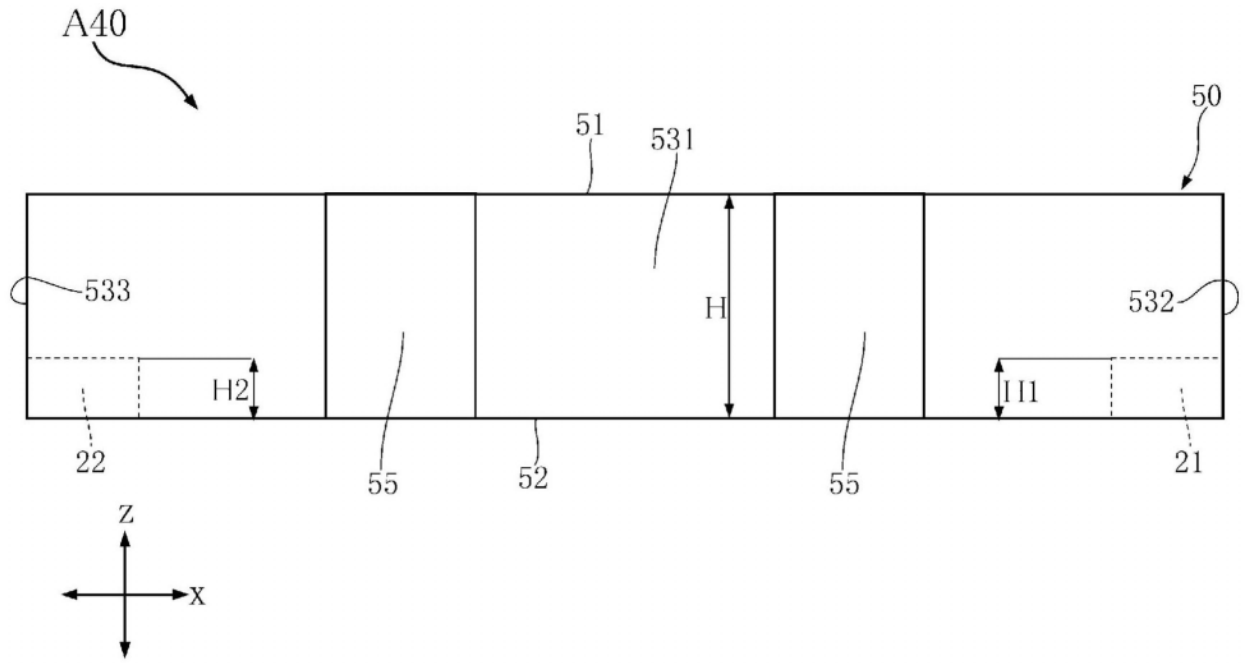

A40
50
51
531
533
H
532
H2
111
22
55
52
55
21
Z
X

图20

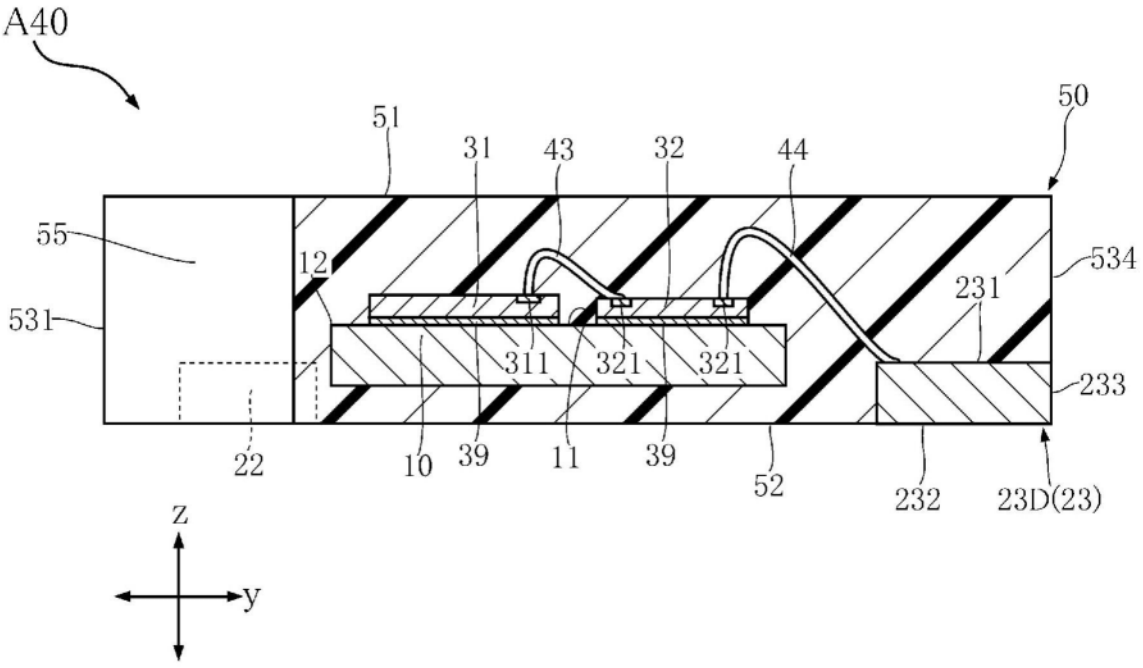

A40
50
51
31
43
32
44
55
12
534
531
231
311
321
321
233
22
10
39
11
39
52
232
23D(23)
Z
y

图21

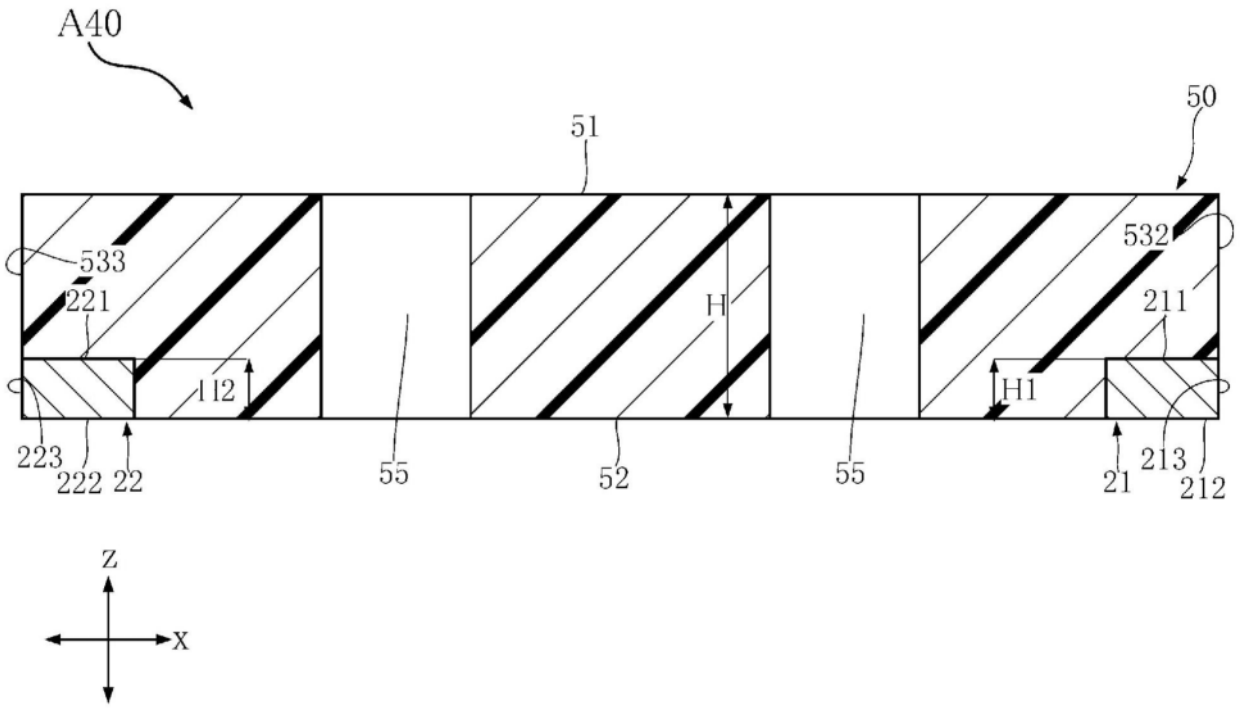


图22

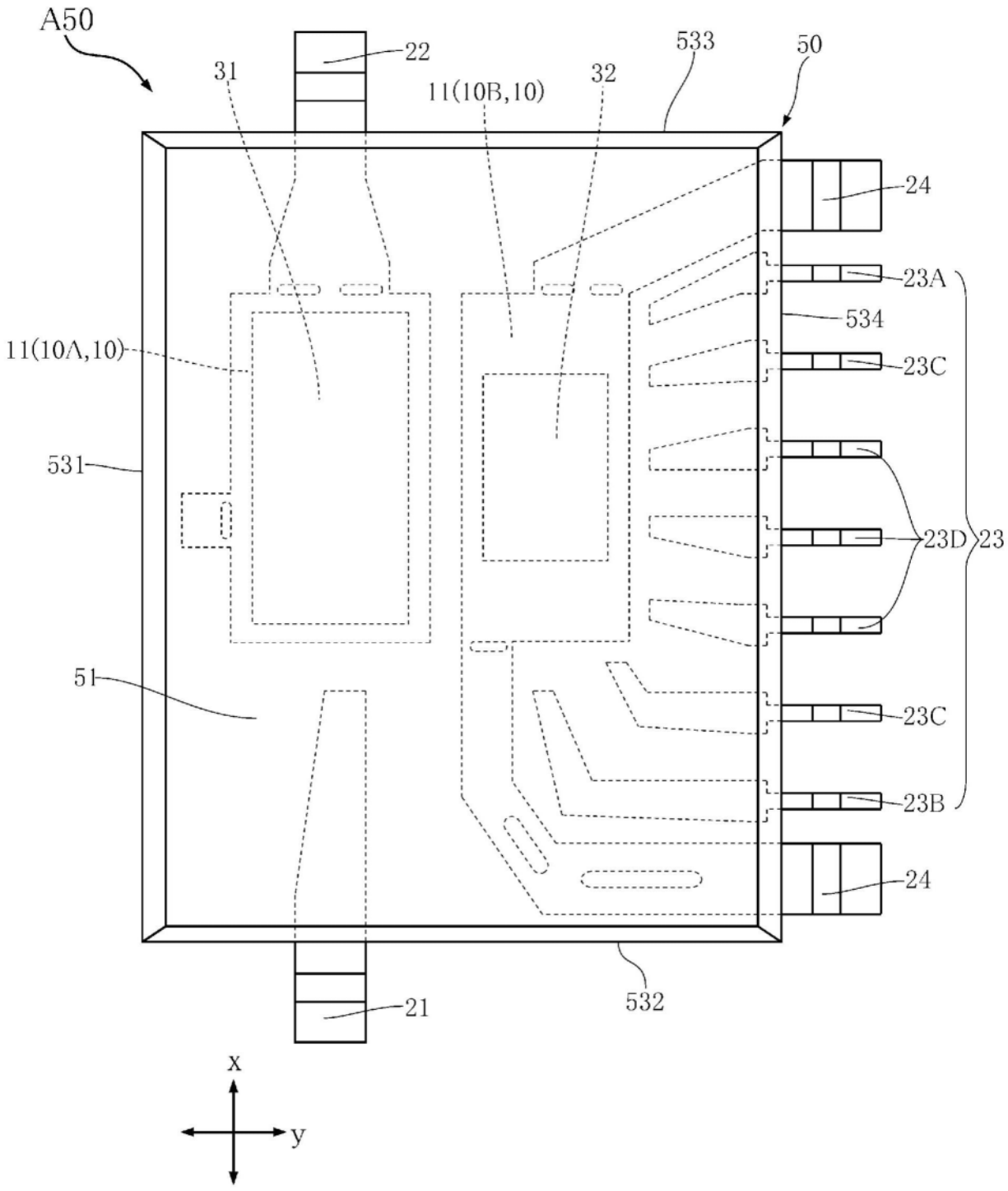

A50
22
31
11(10B,10)
32
533
50
24
23A
534
23C
11(10A,10)
531
23D
23
51
23C
23B
24
21
532
x
y

图23

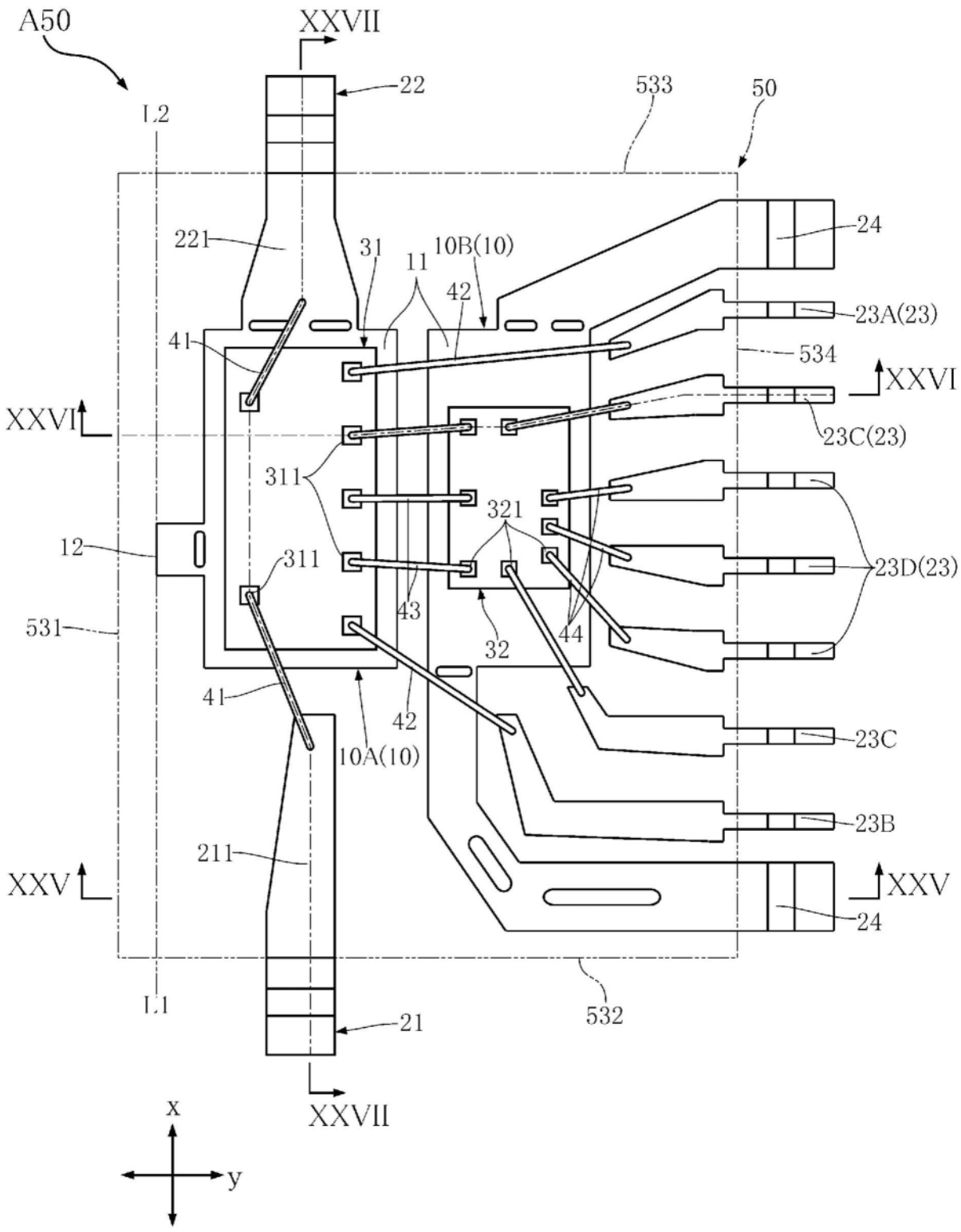

A50
XXVII
22
533
50
L2
221
31
11
10B(10)
42
24
41
23A(23)
534
XXVI
XXVI
23C(23)
311
321
12
311
23D(23)
43
531
32
44
41
42
23C
10A(10)
23B
211
XXV
XXV
24
L1
532
21
XXVII
x
y

图24

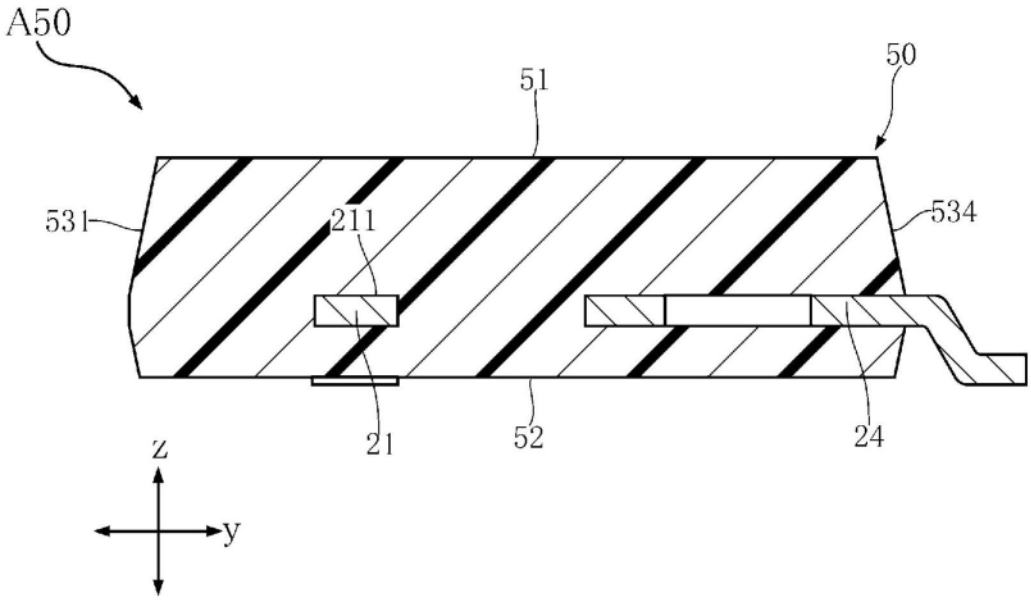

A50
51
50
531
211
534
21
52
24
z
y

图25

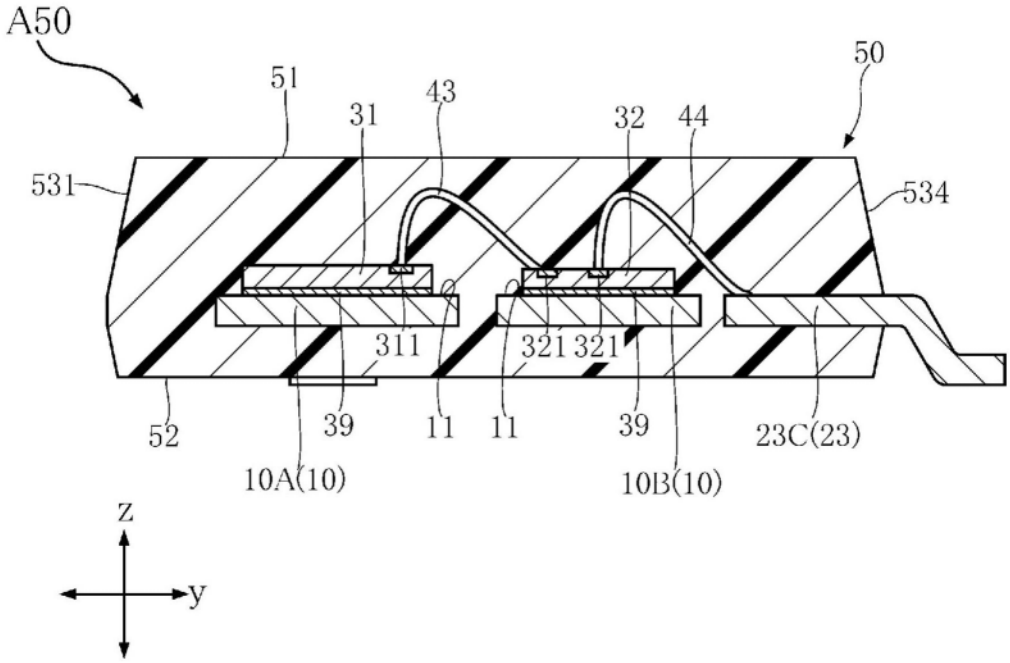

A50
51
50
31
43
32
44
531
534
311
321
321
52
39
11
11
39
23C(23)
10A(10)
10B(10)
z
y

图26

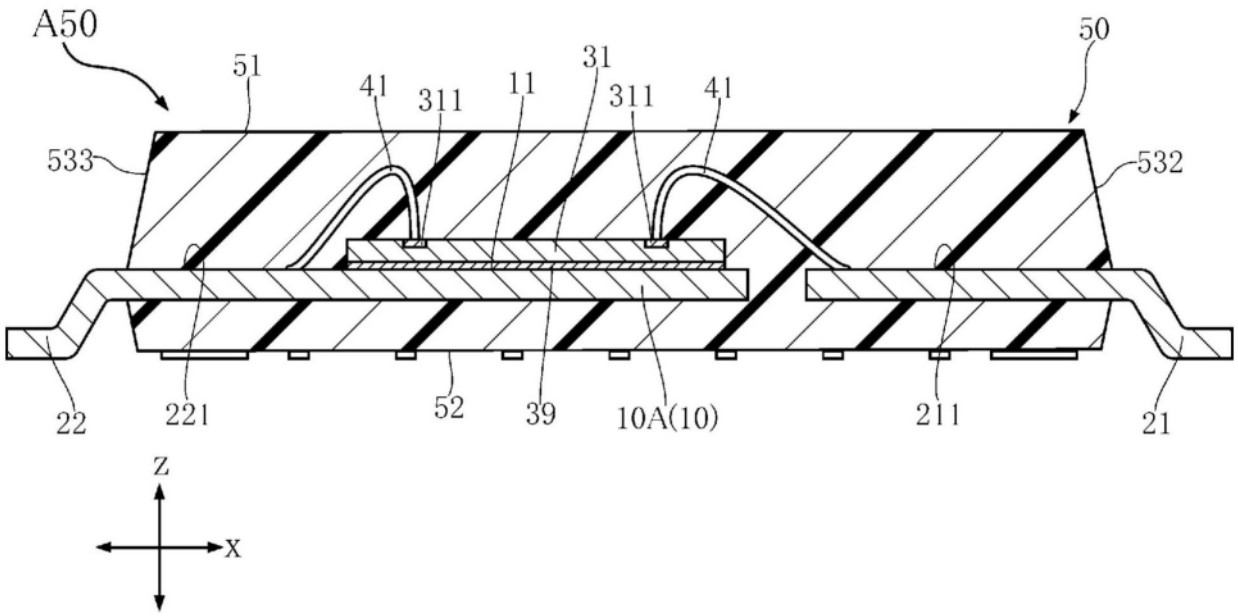


图27