

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年8月4日(04.08.2016)



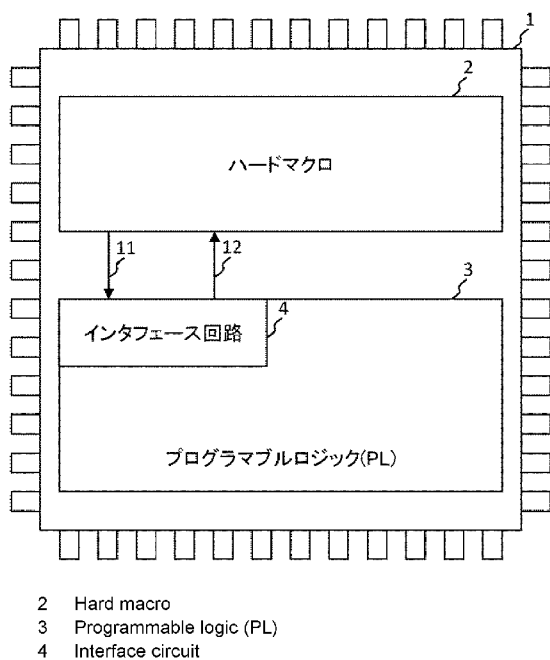
(10) 国際公開番号
WO 2016/121015 A1

- (51) 国際特許分類:
H03K 19/173 (2006.01)
 - (21) 国際出願番号: PCT/JP2015/052258
 - (22) 国際出願日: 2015年1月28日(28.01.2015)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (71) 出願人: 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目6番6号 Tokyo (JP).
 - (72) 発明者: 酒田 輝昭(SAKATA Teruaki); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 山田 勉(YAMADA Tsutomu); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 広津 鉄平(HIROTSU Teppei); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP).
 - (74) 代理人: 井上 学, 外(INOUE Manabu et al.); 〒1008220 東京都千代田区丸の内一丁目6番1号 株式会社日立製作所内 Tokyo (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: FIELD PROGRAMMABLE GATE ARRAY

(54) 発明の名称: フィールドプログラマブルゲートアレイ

【図1】



(57) Abstract: The present invention addresses the problem of excluding the possibility that, when a system that requires high security is tried to be controlled by one SRAM FPGA, an unintended control signal is outputted to the outside of the FPGA as a consequence of a failure due to a soft error or the like. To solve this problem, a field programmable gate array is characterized by being provided with: a hard macro that has a fixed circuit structure; a programmable logic that is disposed apart from the hard macro and has a changeable circuit structure; and an interface circuit that is provided in the programmable logic and outputs a processing result by the programmable logic to the hard macro, the interface circuit monitoring the soundness of the programmable logic, and on the basis of the result of the monitoring, stopping the output of the processing result to be transmitted to the hard macro.

(57) 要約: 高い安全性が要求されるシステムの制御を1つのSRAM型FPGAで実現しようとする場合、ソフトエラーなどによる故障の影響でFPGA外部へ意図しない制御信号が出力される可能性を排除することと課題とする。この課題を解決するために、回路構造が固定されたハードマクロと、前記ハードマクロと間隔を隔てて配置されており、回路構造を変更可能なプログラマブルロジックと、前記プログラマブルロジック内に備えられ、前記プログラマブルロジックでの処理結果を前記ハードマクロへ出力するI/F回路と、を備え、前記I/F回路は、前記プログラマブルロジックの健全性を監視しており、当該監視結果に基づいて前記ハードマクロへ送信される前記処理結果の出力を停止することを特徴とする。

WO 2016/121015 A1

明 細 書

発明の名称： フィールドプログラマブルゲートアレイ

技術分野

[0001] 本発明は、フィールドプログラマブルゲートアレイに関する。

背景技術

[0002] プラント、鉄道、自動車、航空機など、人命や環境の安全確保のために非常に高い信頼性が求められる制御システムでは、万が一、システム内で故障や異常が発生した場合、システムが暴走して危険な状態に陥らないように対策をする必要がある。

[0003] そのため、このようなシステムの内部で制御をする制御装置においては、信頼性や安全性を高めることが要求される。

[0004] このような制御装置の制御には、主にASIC (Application Specific Integrated Circuit) が使用されてきた。

[0005] しかし、近年、ASICは半導体プロセスの微細化に伴う製造費の高騰により、製造数が少ない産業制御システムのために新規に開発することが困難になってきている。

[0006] 一方で、1980年代に実用化されたフィールドプログラマブルゲートアレイ (Field Programmable Gate Array, 以下FPGA) は、微細化により集積度と性能が向上し、価格もこなれてきたため、製造数の少ない産業制御システムに使用する事例も出てきている。

[0007] ところで、近年のFPGAで主に使われているのはSRAM (Static Random Access Memory) 型のものである。

[0008] SRAM型FPGAは、電源が入ると、SRAMで構成されたLUT (Look Up Table) に書き込む値を変えることによって任意の論理回路を実現できるという特徴がある。

[0009] しかしこの特性のために、外部からのノイズや空中から放射された宇宙線

などの影響でSRAMのビットが一時的に変化するソフトエラーと呼ばれる一時故障が発生すると、所望の回路とは異なる構成となってしまう、結果的にシステムの誤動作を引き起こしたり、装置が止まったりする場合があります。

[0010] したがって、特に産業用途向けにSRAM型FPGAを使用するためには、FPGA内の回路で故障を検出し、故障と判定した場合は装置を安全な状態に移行させるような仕組みを確実に作り込む必要がある。

[0011] このような背景から、回路構成が固定されているASICに比べてソフトエラーが起りやすいと言われているSRAM型FPGAの安全性を高めるための技術が提案されている。

[0012] 例えば特許文献1には、動作時にインクリメントな再設定を利用して、FPGAが故障した時の耐性を高める例が記載されている。

[0013] また非特許文献1には、FPGA内部の領域をブロックに分割し、機能を分けて実装する例が記載されている。

先行技術文献

特許文献

[0014] 特許文献1：特開2002-50957号公報

非特許文献

[0015] 非特許文献1：Xilinx XAPP1086 (v1.1)

発明の概要

発明が解決しようとする課題

[0016] ところで、従来のFPGAの安全性を高める技術について、本発明者が検討した結果、以下のようなことが明らかとなった。

[0017] 特許文献1の例では、SRAM型FPGAの動作時に故障を検出した部分をFPGA内部で分断しているが、故障した領域と動作中の領域が物理的に離れているわけではないため、故障した領域から予期しないデータが不用意に動作中の領域に伝わってしまい、システムとしての正常動作が保てるかど

うかの保証ができないという問題があった。

[0018] また、非特許文献1の例では、SRAM型FPGA内で機能分割したブロックを物理的に離して配置しているが、物理的に分割されている領域もSRAMで構成されており各ブロックのポート間は任意に配線可能な状態であるため、やはり故障した領域からの予期しないデータが予め分断しておいた別の領域に伝わってしまう可能性があるという問題があった。

[0019] そこで本発明では、安全性が重要視される装置にSRAM型FPGAを使用する場合において、SRAMで構成されるプログラマブルロジック（Programmable Logic、以下PL）部分が故障しても不用意な値がFPGAの外部に出力されない構成とし、システムの安全性を保つことが可能な仕組みを提供することを目的とする。

課題を解決するための手段

[0020] 上記課題を解決するために、例えば特許請求の範囲に記載の構成を採用する。

[0021] 本願は上記課題を解決する手段を複数含んでいるが、その一例を挙げるならば、回路構造が固定されたハードマクロと、前記ハードマクロと間隔を隔てて配置されており、回路構造を変更可能なプログラマブルロジックと、前記プログラマブルロジック内に備えられ、前記プログラマブルロジックでの処理結果を前記ハードマクロへ出力するI/F回路と、を備え、前記I/F回路は、前記プログラマブルロジックの健全性を監視しており、当該監視結果に基づいて前記ハードマクロへ送信される前記処理結果の出力を停止することを特徴とする。

発明の効果

[0022] 本発明によれば、ハードマクロを内蔵する1つのSRAM型FPGAを使用して高い安全性が要求されるシステムを実現しようとする場合において、仮にFPGAが故障してもその影響が外部機器へ伝達する前にシステムを安全な状態に移行させることが可能になる。

[0023] 上記した以外の課題、構成および効果は、以下の実施形態の説明により明

らかにされる。

図面の簡単な説明

[0024] [図1]実施例1における、本発明のフィールドプログラマブルゲートアレイの全体図の一例である。

[図2]実施例1のフィールドプログラマブルゲートアレイにおけるインタフェース回路の実装の一例である。

[図3]実施例1のフィールドプログラマブルゲートアレイにおけるC R A M診断回路の実装の一例である。

[図4]実施例1のフィールドプログラマブルゲートアレイを使用してシステムを構成した場合のタイムチャートの一例である。

[図5]実施例2における、フィールドプログラマブルゲートアレイを使用してシステムを構成した場合のタイムチャートの一例である。

[図6]実施例3における、ハードマクロからの出力を多重化したフィールドプログラマブルゲートアレイの実装の一例である。

[図7]実施例3のフィールドプログラマブルゲートアレイにおけるインタフェース回路の実装の一例である。

[図8]実施例4における、ハードマクロ内に専用のポートを有するフィールドプログラマブルゲートアレイの実装の一例である。

[図9]実施例5のフィールドプログラマブルゲートアレイにおける、ハードマクロに接続される外部ピンとプログラマブルロジックに接続される外部ピンの配置図の一例である。

[図10]実施例6のフィールドプログラマブルゲートアレイにおける、ハードマクロとプログラマブルロジックを立体的に配置する場合の実装の断面図を示した一例である。

[図11]実施例7における、本発明のフィールドプログラマブルゲートアレイを使用した制御コントローラの実装の一例である。

[図12]実施例8における、本発明のフィールドプログラマブルゲートアレイを使用した鉄道信号制御システムの実装の一例である。

[図13]実施例9における、本発明のフィールドプログラマブルゲートアレイを使用した自動車の運転支援システムの実装の一例である。

発明を実施するための形態

[0025] 以下、本発明の実施例を、図面を用いて説明する。

実施例 1

[0026] 図1は、本発明のFPGAの全体図を表す一例を示したものである。

[0027] このFPGA(1)は、回路構成が固定され機能変更ができないハードマクロ2と、電源投入時や動作中に回路構成を変更可能なプログラマブルロジック(PL)3を内蔵し、PL(3)はインタフェース回路4を内蔵し、ハードマクロ2はPL診断制御信号11をインタフェース回路4に出力し、インタフェース回路4はPL(3)のハードウェア動作処理によって得られたPLデータ信号12をハードマクロ2に出力する構成である。ハードマクロ2とPL(3)は領域を空けて実装されており、これら2つの間を接続する信号はPL診断制御信号11およびPLデータ信号12のみである。

[0028] このように、ハードマクロ2とPL(3)は領域を空けて実装し、限定された信号線のみによって接続することでPL(3)の故障の影響がハードマクロへ及ぶことを防ぐことができる。図2に、インタフェース回路4の一例を示す。

[0029] 図2のインタフェース回路4には、PL診断制御部5とデータ転送制御部6がある。

[0030] ハードマクロ2が出力したPL診断制御信号11はインタフェース回路4の入力ポート19からPL診断制御部5を介してPL診断制御信号13としてPL(3)へ出力され、PL(3)が故障しているか否かを調べるためのPL診断動作を制御する。

[0031] また、PL(3)はPL診断が終了したらPL診断結果データ信号14をインタフェース回路4に出力し、PL診断制御部5内のPL診断結果データ比較部7に入力される。

[0032] また、期待値保持部8は、PL(3)に故障が無い正常動作時のPL診断

結果データの値を予め保持しておくものである。

[0033] PL診断結果データ比較部7は、PL(3)が出力したPL診断結果データ信号14の値と期待値保持部8が出力した期待値データ信号16の値を比較し、一致しているか否かによってPL診断結果信号17として指定の値を出力する。ここではPL診断結果信号17は1ビットとの値とし、一致していれば“0”、不一致であれば“1”を出力するものとする。

[0034] 一方、データ転送制御部6では、内部にあるデータ転送判定部9においてPL(3)が出力したPLデータ信号15およびPL診断結果信号17を入力し、PL診断結果信号17の値が“0”でPL(3)に故障や異常が無い時はPLデータ信号15の値をそのままPLデータ信号18として出力ポート20を介してハードマクロ2へ出力するが、PL診断結果信号17の値が“1”でPL(3)に故障や異常が発生している場合は、PLデータ信号18にはハードマクロ2の動作に影響を与えない値を乗せ、出力ポート20をクローズし、PL(3)の故障により不正な値となった可能性のあるPLデータ信号15の値がハードマクロ2へ送信されないようにする。図2で説明したPL診断機能として、図3のようなコンフィグレーション・ランダム・アクセス・メモリ(Configuration Random Access Memory, 以下CRAM)診断回路を使う場合の一例を図3に示す。

[0035] 図3のFPGA(1)は、図1に示したFPGA(1)と比較して、PL(21)にCRAM診断回路22を追加した部分が異なっている。

[0036] この図3のPL(21)は回路部分を7行に区切っており、これに対応する形でCRAM診断回路22も7つの部分に区切っており、PL(21)の対応する行ごとに診断を行う。

[0037] CRAM診断回路22は、近年のSRAM型FPGAでは一般的に実装されている、符号理論に基づくアルゴリズムを用いてPL(21)内の各行が保持しているデータの反転を検出する回路であり、本発明のFPGAにおけるPL診断手法として容易に実装することができる。

[0038] これらの診断によって、たとえPL（3）が故障した場合であってもPLデータ信号15のハードマクロ2へ送信を止めることができるため、結果、外部へ不正なデータが出力されることを防ぐことができる。本実施例では、高い安全性が要求されるアプリケーションは、ハードマクロ2で実行するか、又は、PL（3）で実行された後ハードマクロを介して外部へ出力されるよう構成する。このように構成することで、FPGA（1）から外部への出力される高い安全性が要求されるデータは、ハードマクロ2で実行された演算結果か、又は、健全性が確認されたPL（3）のによる演算結果とすることができるため、FPGA（1）を用いて高い安全性を実現することができる。

[0039] 図1から図3で示した本発明のFPGAを用いて、高い安全性が要求されるシステムを実装した場合の動作の流れの一例を図4に示す。

[0040] 図4（a）は、システムが故障無く安全に動作している状態の一例を示したタイムチャートである。

[0041] このシステムは、PL部分のハードウェアがリアルタイム（Real-time、以下RT）性の高い処理を実行するRT処理51、CRAM診断回路などによってPL診断を行うPL診断処理52、インタフェース回路を介してPLからハードマクロへPL処理データを転送するFPGA内部転送処理53、インタフェース回路のはたらきによってPLからハードマクロへのデータ転送の切断中にFPGA外部に接続された機器に制御信号を出力する外部出力処理54、何もしないで次の命令を待つアイドル時間55の5つを一つの制御周期内に繰り返すシステムであり、図4（a）の1周期目も2周期目も正常に動作を続けている例を示している。尚、RT処理51、PL診断処理52、を行っている際には、インタフェース回路によってPLからハードマクロへの接続は切断されている。

[0042] 一方、図4（b）は、1周期目は図4（a）の例と同じであるが、2周期目のPL診断62でPLにソフトウェアによる故障が発生したことを検出したことを受け、安全処理70に移行した例を示しており、図4（a）と異なる。

り内部転送処理 63 および外部出力処理 64 を行わないため不用意なデータが F P G A 外部に送信されることが無く、再開処理 71 にてシステムを再開させ、ソフトエラーの影響が無くなった状態でシステム動作をやり直す場合の例を示している。

[0043] また図 4 (c) は、図 4 (b) と異なり、安全処理 70 の後に停止処理 72 にてシステムを停止させて安全な状態で停止させる例を示しており、例えば P L 部分の故障によるシステムの再開処理によってシステムが再起動しても故障の影響が無くならない場合などが該当する。このように、S R A M で構成される P L 部分でソフトエラーなどの故障が発生したとしても、故障の影響を F P G A の外部に出力することがないので、安全性を担保したままでシステムの動作を継続したり、システムを安全に停止させたりする仕組みを容易に構築することが可能になる。

実施例 2

[0044] 次に、本発明のフィールドプログラマブルゲートアレイを用いたシステムにおいて、さらなる高安全性を実現する場合の例を示す。

[0045] 図 5 に示したタイムチャートは、図 4 に示したタイムチャートと比較して、(a)、(b)、(c) の全てで P L 診断処理 52 が制御周期の先頭になっている部分が異なっている。

[0046] 制御周期の最初に P L 診断処理 52 を行うことで、P L 部分の故障が検出されなかった場合にのみ R T 処理を実行するようになる。

[0047] このように、制御周期の最初に P L 診断処理を行うことで、制御周期単位でシステムとして安全動作状態を維持することができる。

実施例 3

[0048] 次に、本発明のフィールドプログラマブルゲートアレイにおいて、F P G A 外部へ不正なデータを出力させることなくさらなる高安全性を実現する場合の一例を、図 6 および図 7 にて示す。

[0049] 図 6 に示す F P G A (301) は、図 1 に示した F P G A (1) と比較して、ハードマクロ 302 内に比較器 305、306 を実装し、P L (3) の

部分に演算回路 303, 304 を実装した部分が異なっている。

- [0050] ここで、演算回路 303, 304 は同一の機能を持つ回路構成である。
- [0051] また、図 7 に示すインタフェース回路 307 は、図 2 に示したインタフェース回路 4 と比較して、データ転送制御部 331 内にもう一組のデータ転送判定部 332 と出力ポート 333 を実装した部分が異なっている。
- [0052] データ転送判定部 332 は演算回路 304 から PL データ信号 322 を入力し、データ転送判定部 9 と同様に PL 診断結果信号 17 の値によって、ポート 333 からハードマクロ (2) へ出力する PL データ信号 324 の値を制御する。
- [0053] 図 6 の演算回路 303, 304 は同一の回路構成であるため、PL (3) が正常動作中は PL (3) のインタフェース回路 307 を介して出力される PL データ信号 323, 324 は同一の値であり、この 2 つの信号は比較器 305 および 306 で一致しているか否かを判定され、一致している場合のみ外部端子 311, 312 から FPGA 外部に出力される。
- [0054] このように、FPGA の外部端子に出力する前のデータを比較判定する構成にすることで、FPGA から外部へ不正なデータを出力させなくするような FPGA を実現することが可能になる。

実施例 4

- [0055] 次に、本発明のフィールドプログラマブルゲートアレイにおいて、FPGA のハードマクロ内に通信ポートを設けることでさらなる高安全性を実現する場合の一例を示す。
- [0056] 図 8 に示した FPGA (401) は、図 1 に示した FPGA (1) と比較して、ハードマクロ 402 内に出力として動作する内蔵ポート 403 と入力として動作する内蔵ポート 404 を追加した点が異なっている。
- [0057] 内蔵ポート 403 と内蔵ポート 404 はハードマクロ 2 として構成されているものの一部であり、回路構成は変更できないので、PL (3) が故障した影響がインタフェース回路 4 を介してハードマクロ 2 に伝わる可能性がある場合でも、ハードマクロ 2 の中でしか制御できない入力ポート 404 をク

ローズすることで故障の影響がハードマクロ402を介してFPGA外部に送信されないようにすることができる。

[0058] このように、FPGAのハードマクロ内に専用の内蔵ポートを設けることで、ソフトエラーの影響を受けやすいプログラマブルロジックから不用意なデータがハードマクロ側に伝わる可能性を無くし、FPGA外部に不用意なデータが送信されないようにすることで、システムとしての安全性を高めることが可能になる。

実施例 5

[0059] 次に、本発明のプログラマブルゲートアレイにおいて、ハードマクロ部分に直結する外部端子の位置を固定して実装する場合の例を示す。

[0060] 図9(a)は、半導体パッケージの外周に外部端子が配置されるQuad Flat Package (QFP) で実装したハードマクロ内蔵FPGA (501) の例を示した図であり、パッケージ内部では境界領域502を境にハードマクロとプログラマブルロジックの実装領域が分断されている。

[0061] 図9(a)のFPGA (501) では、ハードマクロ部分は、半導体パッケージの1辺に隣接して設けられ、外部端子503としか接続しておらず、それ以外の外部端子はプログラマブルロジック部分と接続している。

[0062] また、図9(b)は、半導体パッケージの底面に外部端子が配置されるBall Grid Array (BGA) で実装したハードマクロ内蔵FPGA (511) の例を示した図であり、パッケージ内部では境界領域512を境にハードマクロとプログラマブルロジックの実装領域が分断されている。

[0063] 図9(a)のFPGA (511) では、ハードマクロ部分は外部端子513しか接続しておらず、それ以外の外部端子はプログラマブルロジックに接続している。

[0064] このように、ハードマクロが接続する外部端子とプログラマブルロジックが接続する外部端子を分けたパッケージにすることで、このFPGAを使って高安全なシステムを設計する場合の基板実装が容易になる。

実施例 6

[0065] 次に、本発明のフィールドプログラマブルゲートアレイにおいて、ハードマクロ部分とプログラマブルロジック部分を積層して実装する場合の例を示す。

[0066] 図10は、BGAで実装された本発明のFPGAの断面図の一例を示したものであり、FPGA外部と接続するための外部端子606はメタル配線層604を介してボールバンプ605と接続しており、ボールバンプ605とはハードマクロ層602が接続する構成となっている。

[0067] ここで、プログラマブルロジック層603はハードマクロ層602の上部に実装され、ボールバンプ605とは物理的に離れている。

[0068] このように、FPGAの外部端子から接続する回路をハードマクロ部分のみに限定し、プログラマブルロジック部分とボールバンプを離れた位置に立体的に配置することで、高安全な処理を行うハードマクロと、ソフトウェア発生確率は高いが高速な並列処理を行うプログラマブルロジックとを小さなパッケージで低コストに実装することが可能になる。

[0069] またこの図10ではパッケージをBGAで実装した例を示したが、QFPなどの外部端子がパッケージの外周に接続されるような場合でも同様に積層して実装することができる。

実施例 7

[0070] 次に、本発明のフィールドプログラマブルゲートアレイにおいて、産業用途システムなどで使用される制御コントローラに適用した場合の一例を示す。

[0071] 図11は、電力供給システムを制御する装置の例を示したものであり、制御コントローラ701を構成する部品の一つに本発明のFPGA(1)を搭載している。

[0072] この制御コントローラ701は、電力供給を担う機械の動作状態を監視カメラ702によって常時監視し、動力装置部分に接続されるモータ703によって発電制御を行う。

[0073] また、リレー装置704は、システムが故障などの影響で異常状態に陥り

そうな時に、電力システムを安全に緊急停止するためのリレー回路を内蔵するものである。

[0074] 動作状態の監視はリアルタイム性が重要であるため、FPGA(1)のPLに画像処理回路を実装し、FPGA(1)のPLから監視カメラ702に対して監視カメラ制御信号711を出力し、監視カメラ702からFPGA(1)のPLへは監視カメラデータ信号712を出力し、PLのハードウェアで画像処理を行う。

[0075] また、電力供給を担う機械を動作させるモータも、回転数をきめ細かに制御するためのリアルタイム性がやはり重要であるため、FPGA(1)のPLにモータ制御回路を実装し、FPGA(1)のPLからモータ703に対してモータ制御信号713を出力し、モータ703からFPGA(1)のPLへはモータデータ信号714を出力し、PLのハードウェアでモータ制御を行う。

[0076] 一方、リレー装置704は、システムが故障した場合などの緊急停止動作を司るもので、故障検出時に確実に動作してシステムを安全に停止させる必要があるため、高い安全性が要求される。

[0077] そのため、リレー装置704を制御するリレー制御信号721はFPGA(1)のハードマクロ部分からリレー装置704に送信し、緊急時にはリレー装置704から緊急停止信号722を停止させるべき装置に送信してシステムを安全に停止させる。

[0078] このように、本発明のFPGAを適用することで、産業用途システムなどにおいて要求されることが多いリアルタイム性と高い安全性を両立したシステムを容易に実現することが可能になる。

実施例 8

[0079] 次に、本発明のフィールドプログラマブルゲートアレイにおいて、鉄道信号制御システムに適用した場合の一例を示す。

[0080] 図12は、列車の進行を制御する鉄道信号システムを構成する装置の例を示したものであり、鉄道信号制御コントローラ801を構成する部品の一つ

に本発明のFPGA(1)を搭載している。

[0081] レール部分に取り付けられたセンサによって得られた列車805の走行中の位置情報は、有線や無線などの通信手段を介して列車位置計算部803に対して列車位置情報811が送信され、列車位置計算部803によって計算された列車位置データ812は鉄道信号制御コントローラ801のFPGA(1)のPL部分に送られ、ハードウェアで処理される。

[0082] 一方、信号機804は、鉄道システムにおいて故障や事故などの緊急時に走行中の列車に対して停止を通知する装置であり、緊急時には確実に動作して列車を安全に停止させる必要があるため、高い安全性が要求される。

[0083] そのため、信号機804を制御する信号制御部802に対して送信する信号制御信号813はFPGA(1)のハードマクロ部分から信号制御部802に送信し、緊急時には信号制御部802から停止指示信号814を信号機804に送信して停止の通知をすることで列車を安全に停止させる。

[0084] このように、本発明のFPGAを適用することで、非常に高い安全性が要求される鉄道向けのシステムなどにおいて、安全性の高いシステムを容易に実現することが可能になる。

実施例 9

[0085] 次に、本発明のフィールドプログラマブルゲートアレイにおいて、自動車の運転支援システムに適用した場合の一例を示す。

[0086] 図13は、走行中の画像情報を走行制御に使用する、自動車の運転支援システムの構成例を示したものであり、自動車901全体の制御を行う統合ECU(Electric Control Unit)930を構成する部品の一つに本発明のFPGA(1)を搭載している。

[0087] この自動車901は、車体前方に取り付けられたステレオカメラ902によって走行中の画像情報をリアルタイムに認識する機能を有する。

[0088] ステレオカメラ902内には二つの単眼カメラ903、904があり、FPGA(1)内のPLから二つの単眼カメラ903、904に対して単眼カメラ制御信号921、923をそれぞれ出力して制御を行い、単眼カメラ9

03, 904からは単眼カメラデータ信号922, 924をそれぞれFPGA(1)のPLに送信し, PLでは画像処理アルゴリズムに基づいて実装されたハードウェアで処理される。

[0089] 一方, 前輪905, 906および後輪907, 908に取り付けられたブレーキ909, 910, 911, 912は, 自動車901の内部でシステムが故障した場合などの緊急時には確実に動作して自動車901を安全に停止させる必要があり, 緊急時に停止できなければ危険な状態に陥る可能性があるため, 高い安全性が要求される。

[0090] そのため, ブレーキ909, 910, 911, 912を制御するブレーキ制御ECU(931)に対して送信するブレーキ制御信号925はFPGA(1)のハードマクロ部分からブレーキ制御ECU(931)に送信し, 緊急時にはブレーキ制御ECU(931)から停止指示信号926を各ブレーキに送信して前輪と後輪を止め, 自動車を安全に停止させる。

[0091] このように, 本発明のFPGAを適用することで, 画像処理などのリアルタイム性が要求されるシステムと, ブレーキなどの高安全性が要求されるようなシステムであっても, 一つのFPGAで容易に実現することが可能になる。

[0092] なお, 本発明は上記した実施例に限定されるものではなく, 様々な変形例が含まれる。例えば, 上記した実施例は本発明を分かりやすく説明するために詳細に説明したものであり, 必ずしも説明した全ての構成を備えるものに限定されるものではない。また, ある実施例の構成の一部を他の実施例の構成に置き換えることが可能であり, また, ある実施例の構成に他の実施例の構成を加えることも可能である。また, 各実施例の構成の一部について, 他の構成の追加・削除・置換をすることが可能である。

符号の説明

[0093] 1, 301, 401, 501, 511… フィールドプログラマブルゲートアレイ(FPGA)

2, 302, 402… ハードマクロ

- 3, 21... プログラマブルロジック (PL)
- 4, 307... インタフェース回路
- 5... PL診断制御部
- 6... データ転送制御部
- 7... PL診断データ結果比較部
- 8... 期待値保持部
- 9... データ転送判定部
- 22... CRAM診断回路
- 51, 61... RT処理
- 52, 62... PL診断処理
- 53, 63... FPGA内部転送処理
- 54, 64... 外部出力処理
- 55, 65... アイドル時間
- 70... 安全処理
- 71... 再開処理
- 72... 停止処理
- 701... 制御コントローラ
- 702... 監視カメラ
- 703... モータ
- 704... リレー装置
- 801... 鉄道信号制御コントローラ
- 802... 信号制御部
- 803... 列車位置計測部
- 804... 信号機
- 805... 列車
- 901... 自動車
- 902... ステレオカメラ
- 930... 統合CEU

931... ブレーキ制御ECU

請求の範囲

- [請求項1] 回路構造が固定されたハードマクロと、
前記ハードマクロと間隔を隔てて配置されており、回路構造を変更可能なプログラマブルロジックと、
前記プログラマブルロジック内に備えられ、前記プログラマブルロジックでの処理結果を前記ハードマクロへ出力するI/F回路と、を備え、
前記I/F回路は、前記プログラマブルロジックの健全性を監視しており、当該監視結果に基づいて前記ハードマクロへ送信される前記処理結果の出力を停止するフィールドプログラマブルゲートアレイ。
- [請求項2] 請求項1に記載のフィールドプログラマブルゲートアレイであって、
前記I/F回路は、前記ハードマクロからの制御信号に従って前記プログラマブルロジックの健全性を監視することを特徴とするフィールドプログラマブルゲートアレイ。
- [請求項3] 請求項2に記載のフィールドプログラマブルゲートアレイであって、
前記I/F回路は、コンフィグレーション・ランダム・アクセス・メモリの巡回冗長検査を用いた前記プログラマブルロジックの診断結果を用いて監視を行うことを特徴とするフィールドプログラマブルゲートアレイ。
- [請求項4] 請求項2に記載のフィールドプログラマブルゲートアレイにおいて、
前記I/F回路は、コンフィグレーション・ランダム・アクセス・メモリの誤り訂正符号を用いた前記プログラマブルロジックの診断結果を用いて監視を行うことを特徴とするフィールドプログラマブルゲートアレイ。
- [請求項5] 請求項1に記載のフィールドプログラマブルゲートアレイにおいて

前記ハードマクロで実行されるアプリケーションは、前記プログラマブルロジックで実行されるアプリケーションよりも高い安全性が要求されるアプリケーションであることを特徴とするフィールドプログラマブルゲートアレイ。

[請求項6] 請求項1に記載のフィールドプログラマブルゲートアレイにおいて

前記プログラマブルロジックは前記ハードマクロとの接続を切断して、前記ハードマクロへ出力する信号の演算処理を行い、

前記演算処理の処理終了後に、前記ハードマクロに接続して処理結果を前記ハードマクロへ送信し、

前記ハードマクロへの前記処理結果の送信後、前記ハードマクロとの接続を切断し、

前記ハードマクロは、前記プログラマブルロジックとの接続が切断されている間に前記フィールドプログラマブルゲートアレイの外部に前記処理結果を出力することを特徴とするフィールドプログラマブルゲートアレイ。

[請求項7] 請求項1に記載のフィールドプログラマブルゲートアレイにおいて

前記プログラマブルロジックから前記ハードマクロへ出力される信号は多重化されており、

前記ハードマクロは、前記多重化された信号を比較する比較回路を有し、当該比較の結果、不一致であった場合には、前記フィールドプログラマブルゲートアレイの外部への出力を停止することを特徴とするフィールドプログラマブルゲートアレイ。

[請求項8] 請求項1に記載のフィールドプログラマブルゲートアレイにおいて

前記ハードマクロには、前記I/F回路と接続され、前記I/F回

路との接続を切断可能な通信ポートを有することを特徴とするフィールドプログラマブルゲートアレイ。

[請求項9] 請求項1に記載のフィールドプログラマブルゲートアレイにおいて、
前記フィールドプログラマブルゲートアレイの外部端子は、
前記ハードマクロに専用に接続される外部端子と、
前記プログラマブルロジックに専用に接続される外部端子と、に分
かれていることを特徴とするフィールドプログラマブルゲートアレイ
。

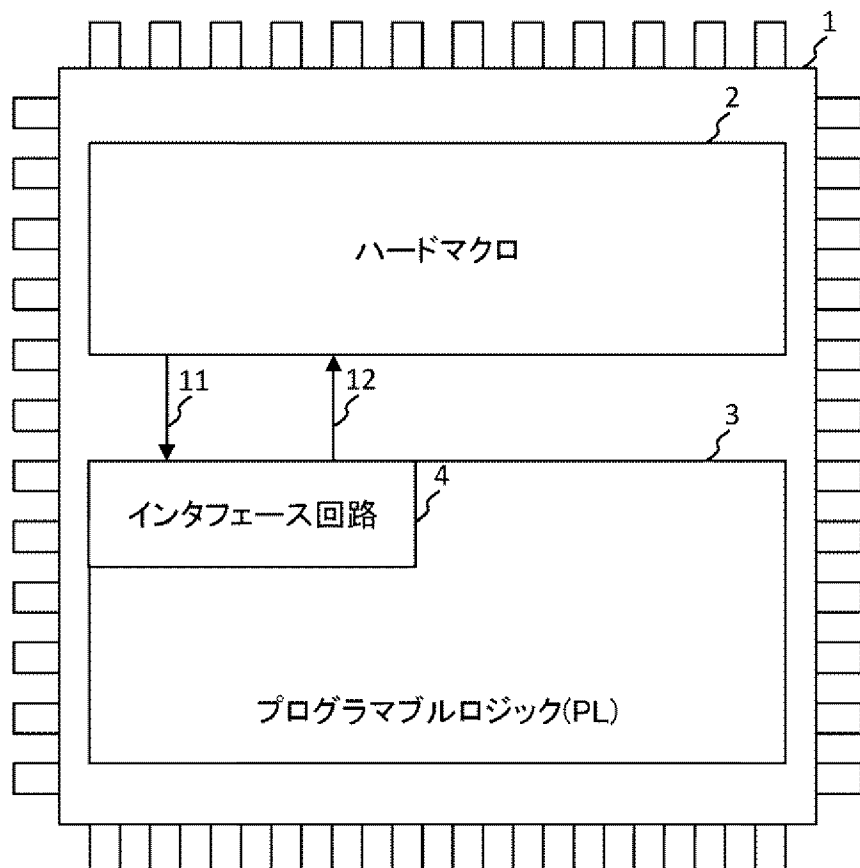
[請求項10] 請求項9に記載のフィールドプログラマブルゲートアレイにおいて、
パッケージの四辺に外部端子が実装されており、
前記ハードマクロは、前記パッケージのいずれかの辺と隣接して設
けられること特徴とするフィールドプログラマブルゲートアレイ。

[請求項11] 請求項9に記載のフィールドプログラマブルゲートアレイにおいて、
パッケージの底面に外部端子が実装されることを特徴とするフィー
ルドプログラマブルゲートアレイ。

[請求項12] 請求項1に記載のフィールドプログラマブルゲートアレイにおいて、
前記ハードマクロは前記フィールドプログラマブルゲートアレイの
外部ピンの上層に配置され、
前記プログラマブルロジックは前記ハードマクロよりさらに上層に
配置されることを特徴とするフィールドプログラマブルゲートアレイ
。

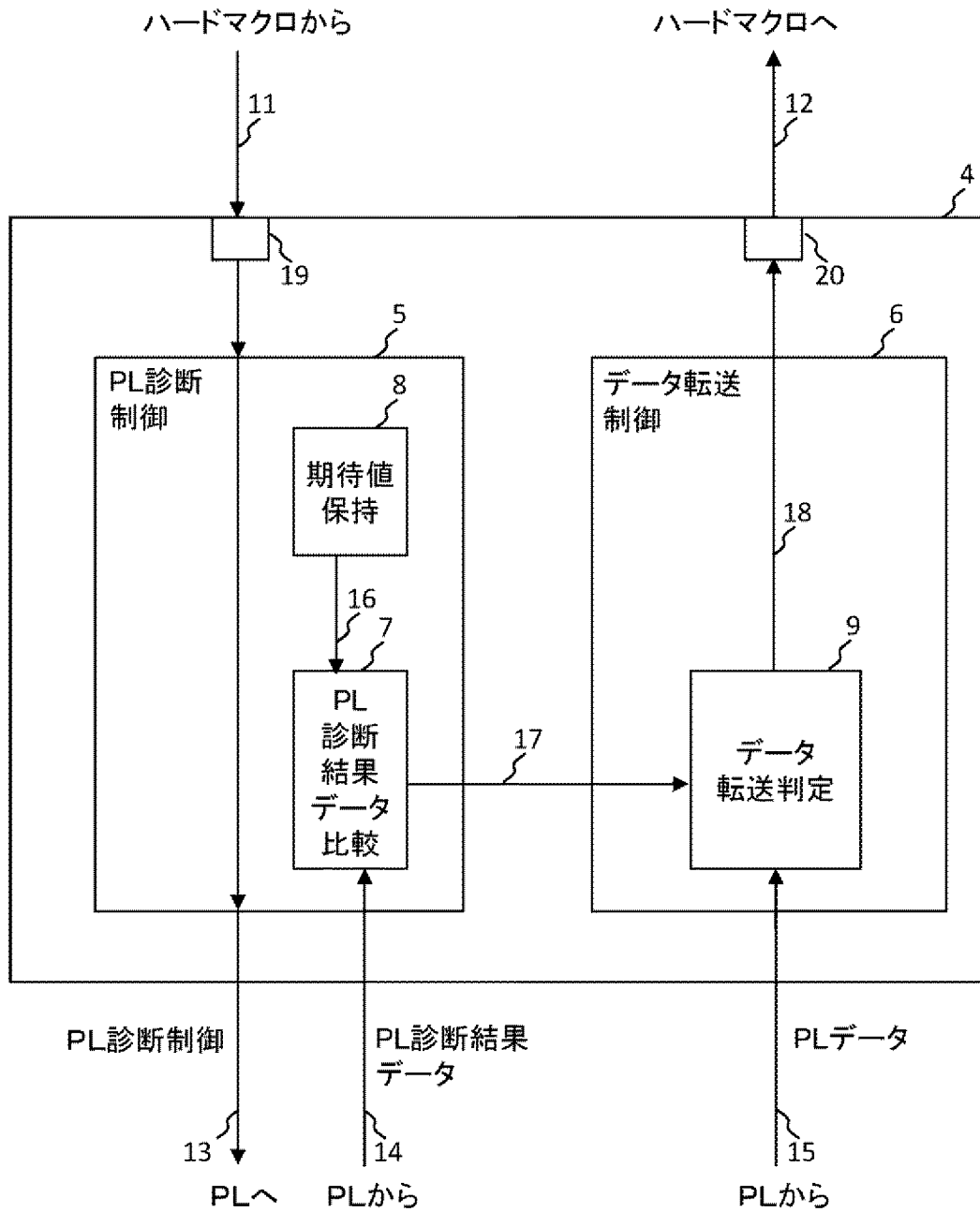
[図1]

【図1】



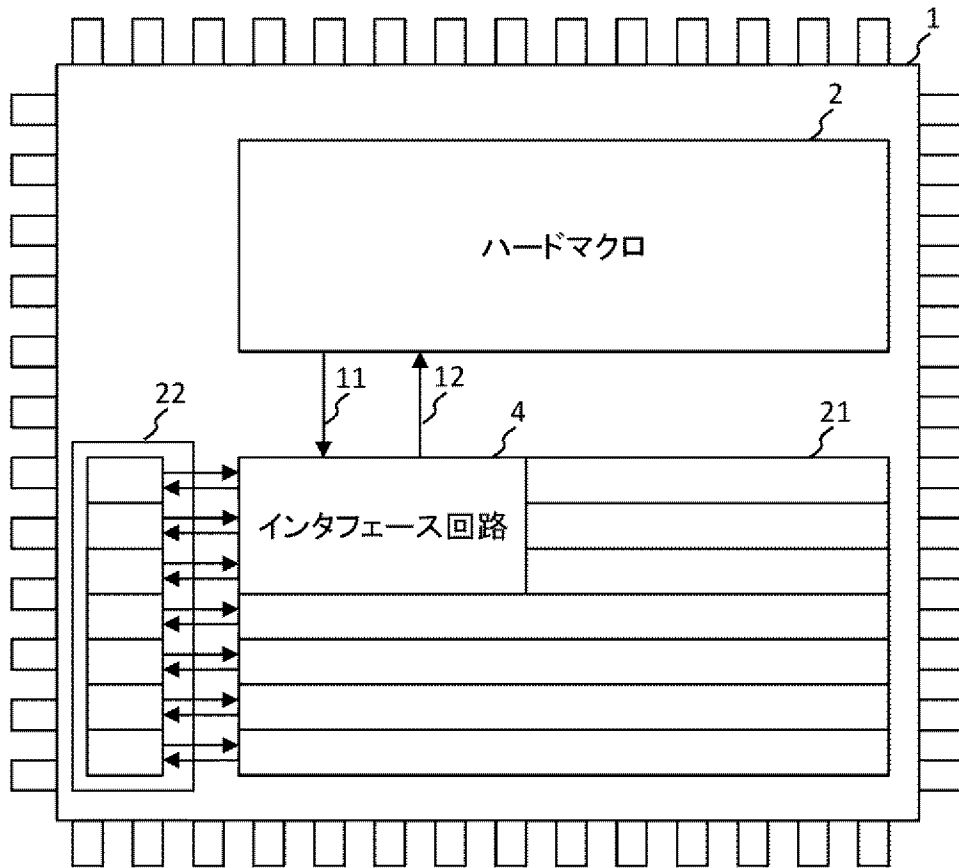
[図2]

【図2】



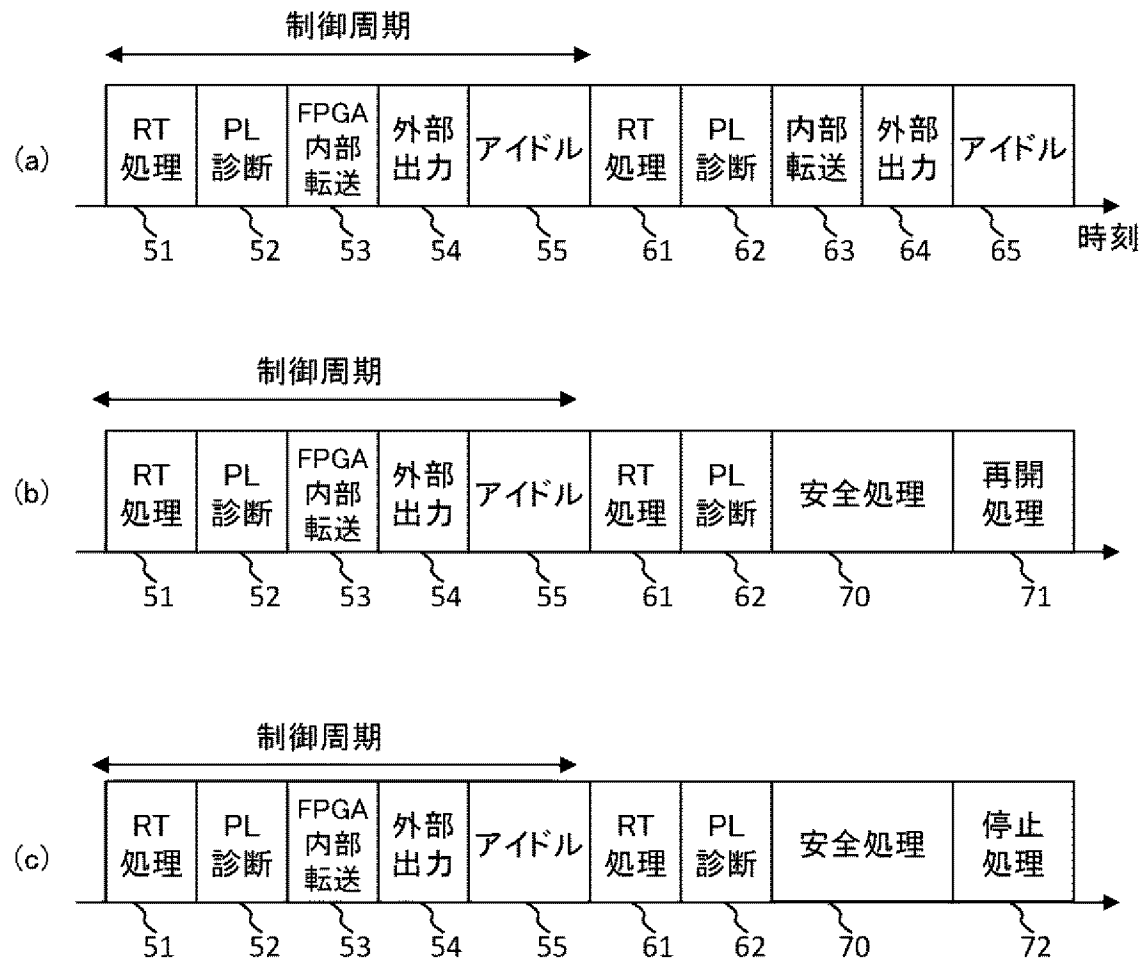
[図3]

【図3】



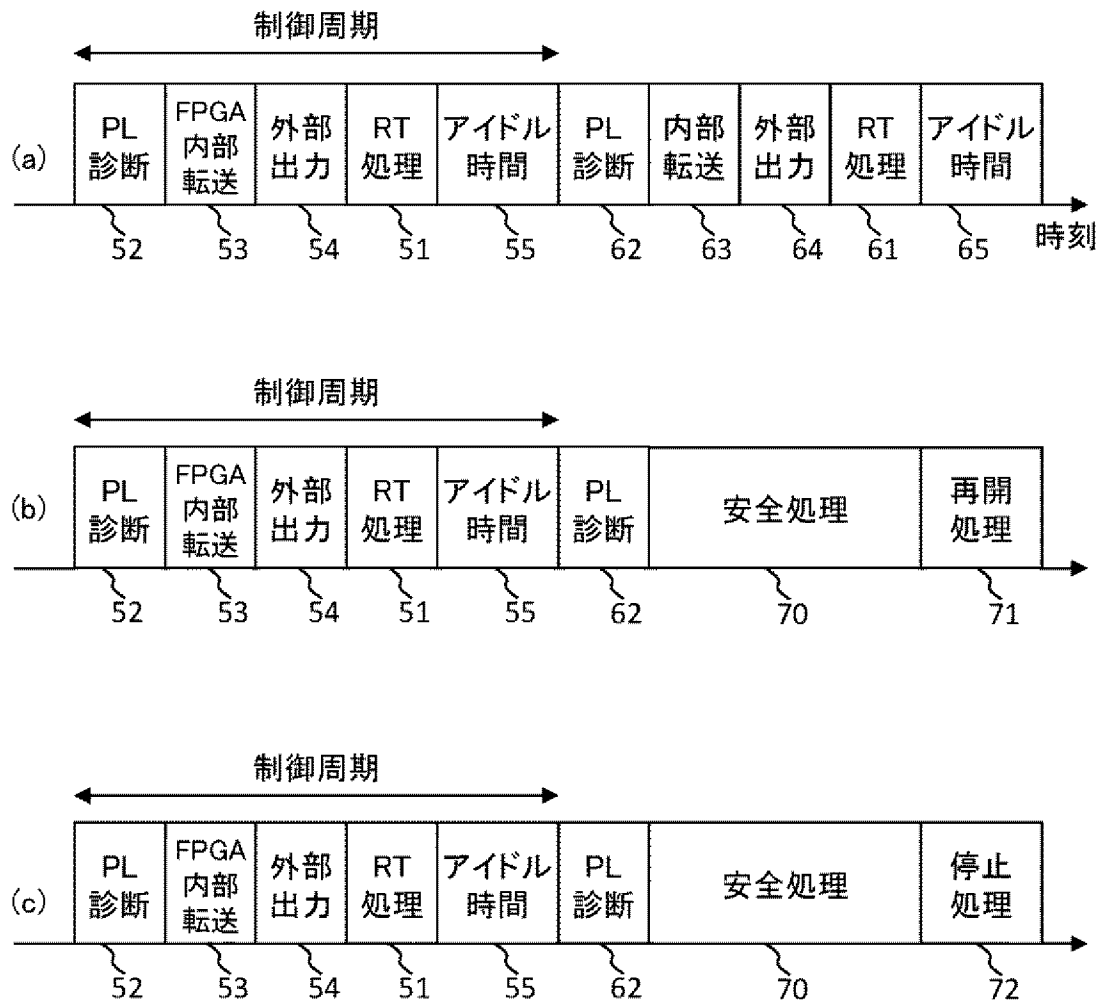
[図4]

【図4】



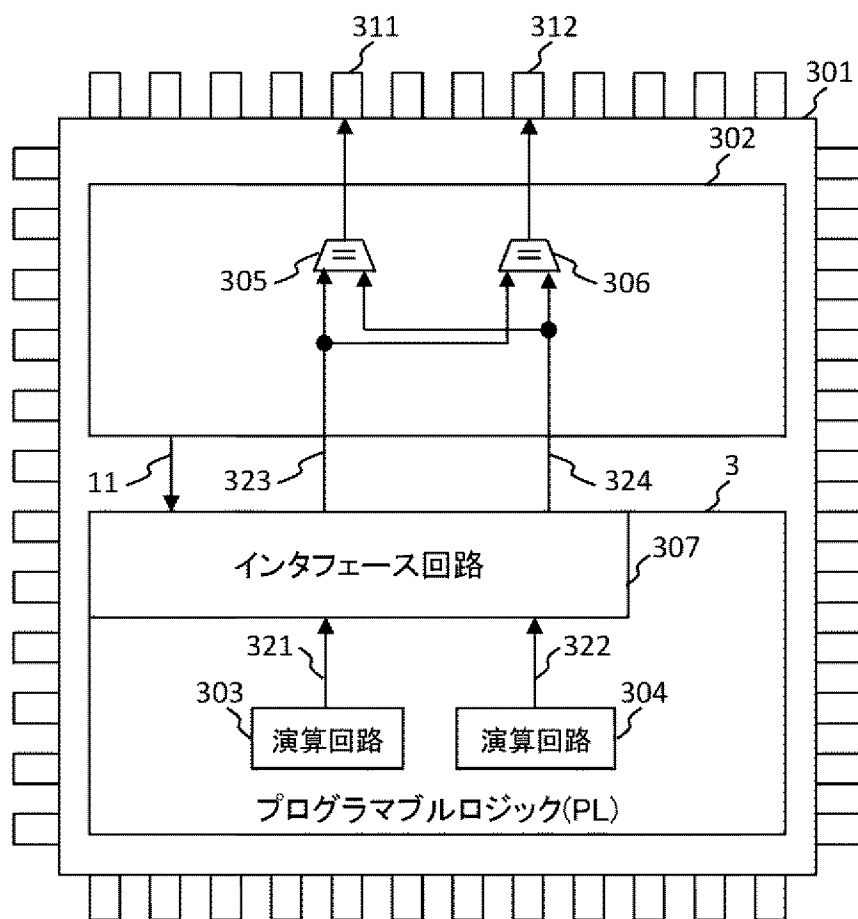
[図5]

【図5】



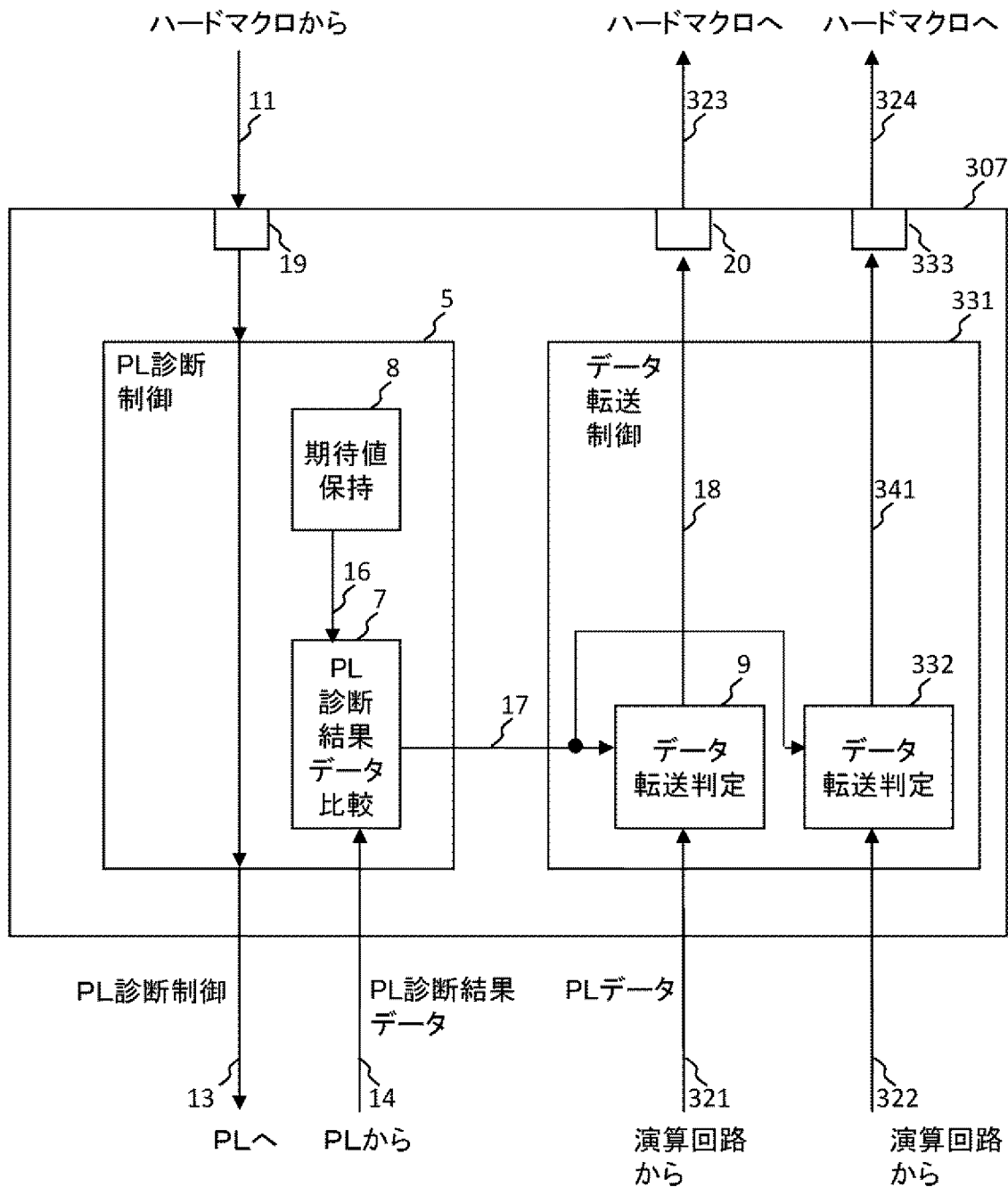
【図6】

【図6】



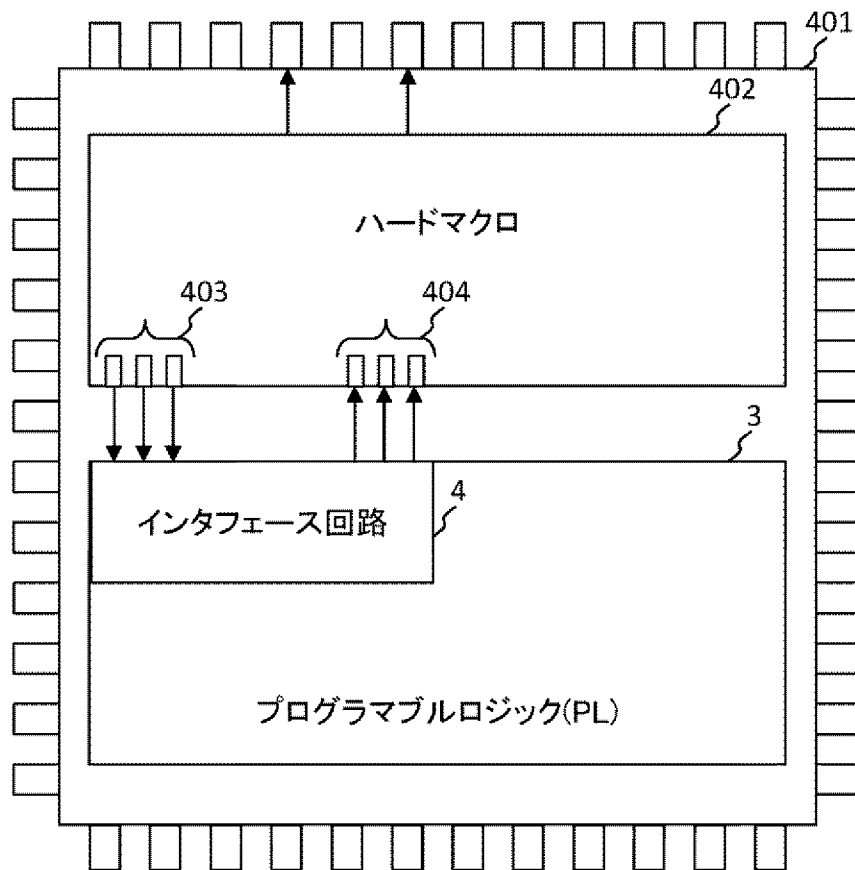
[図7]

【図7】



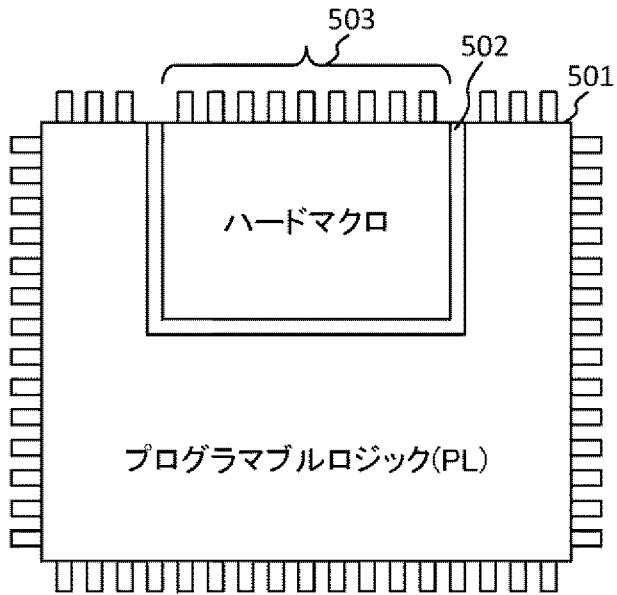
[図8]

【図8】

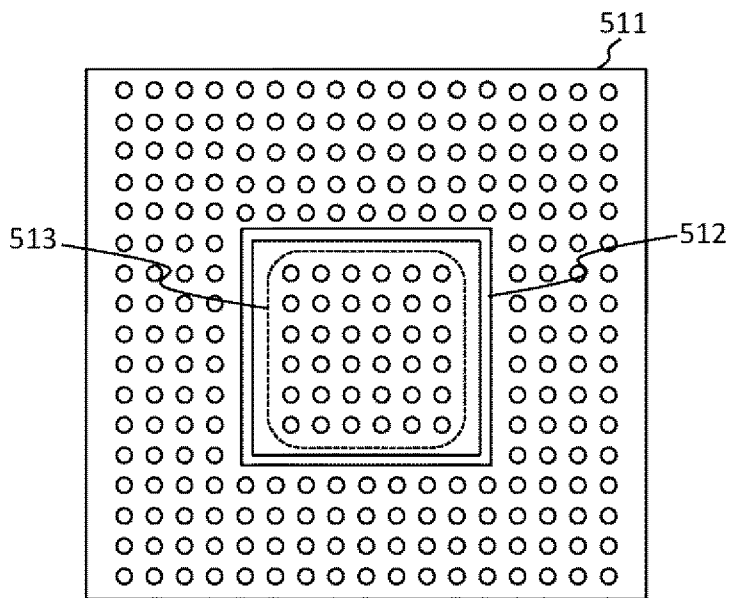


【図9】

【図9】



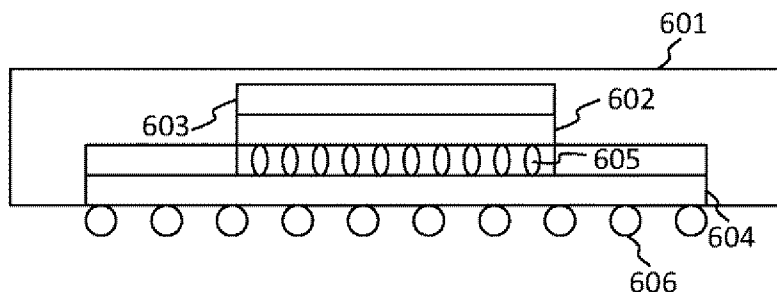
(a)



(b)

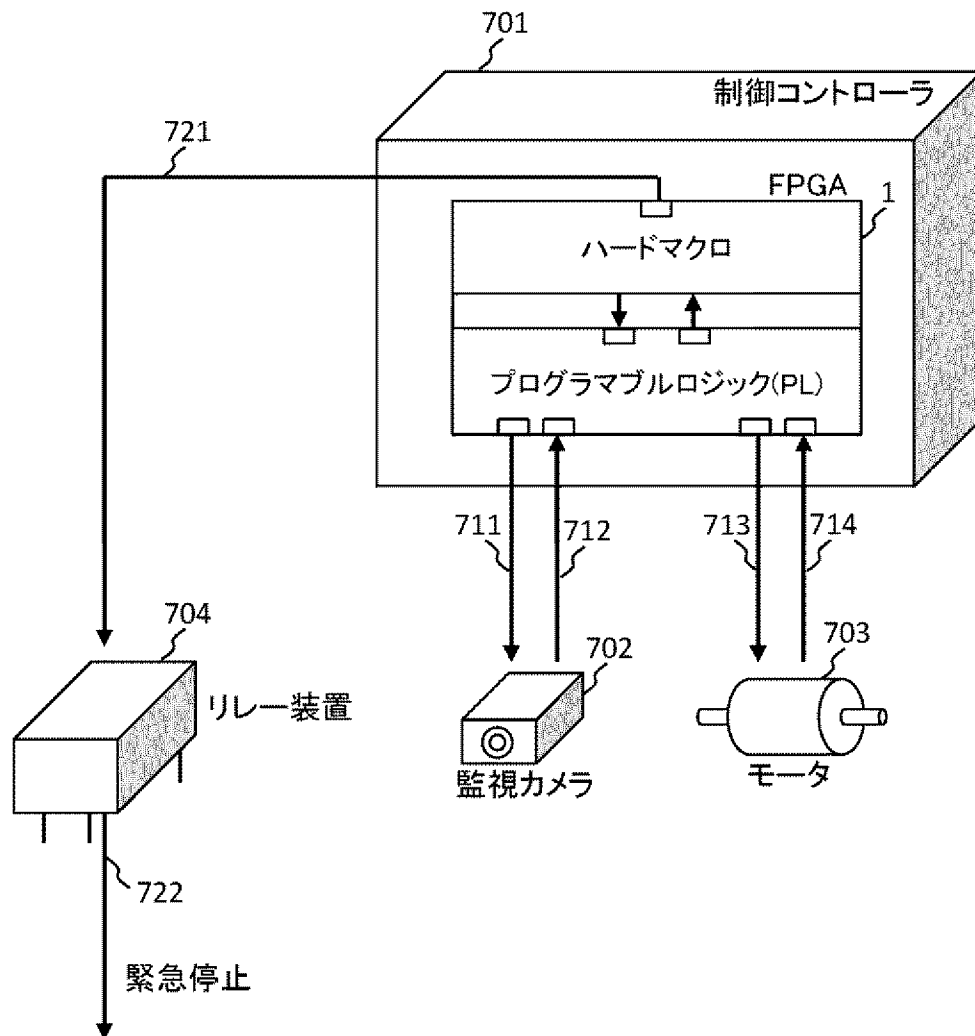
【図10】

【図10】



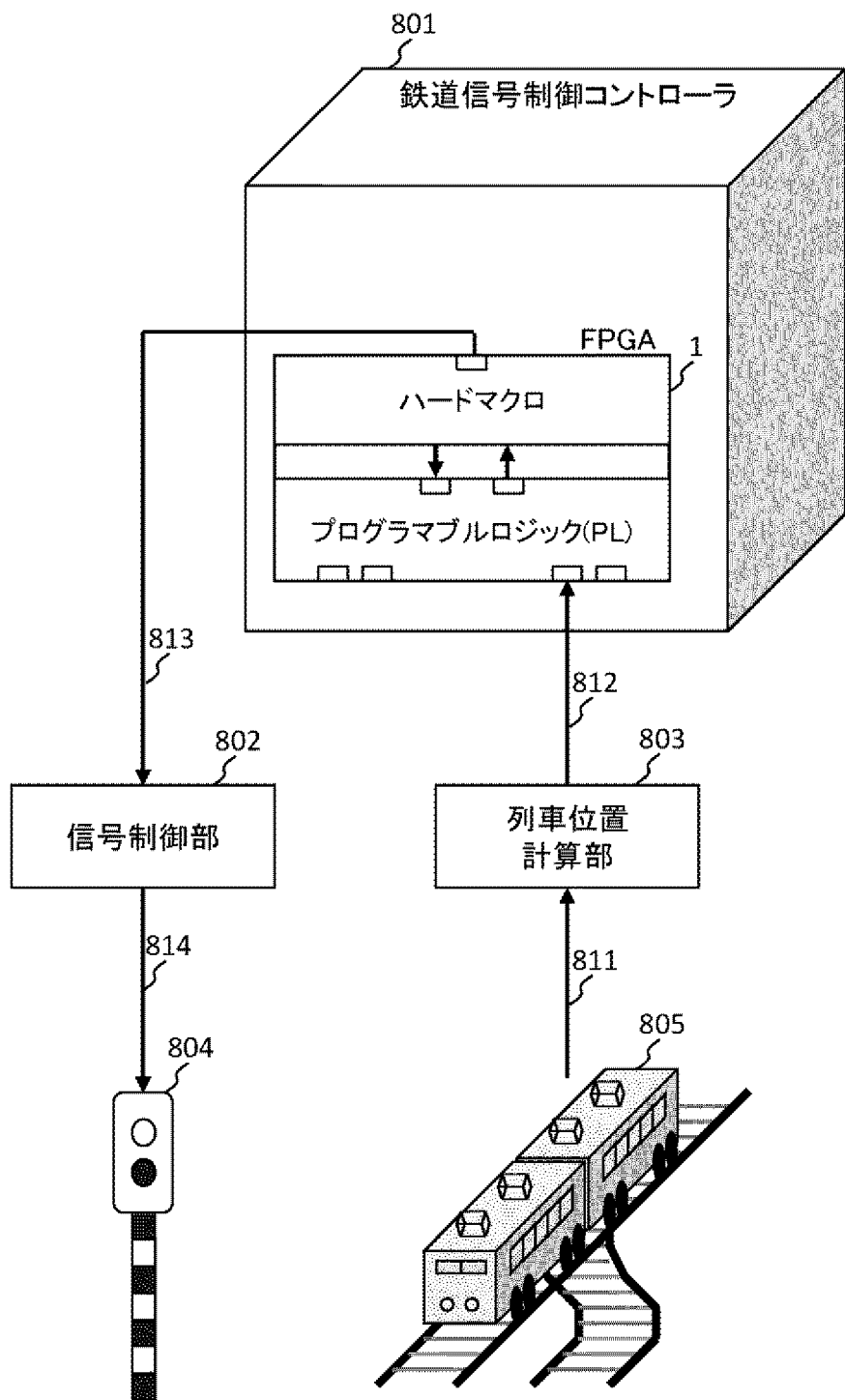
[図11]

【図11】



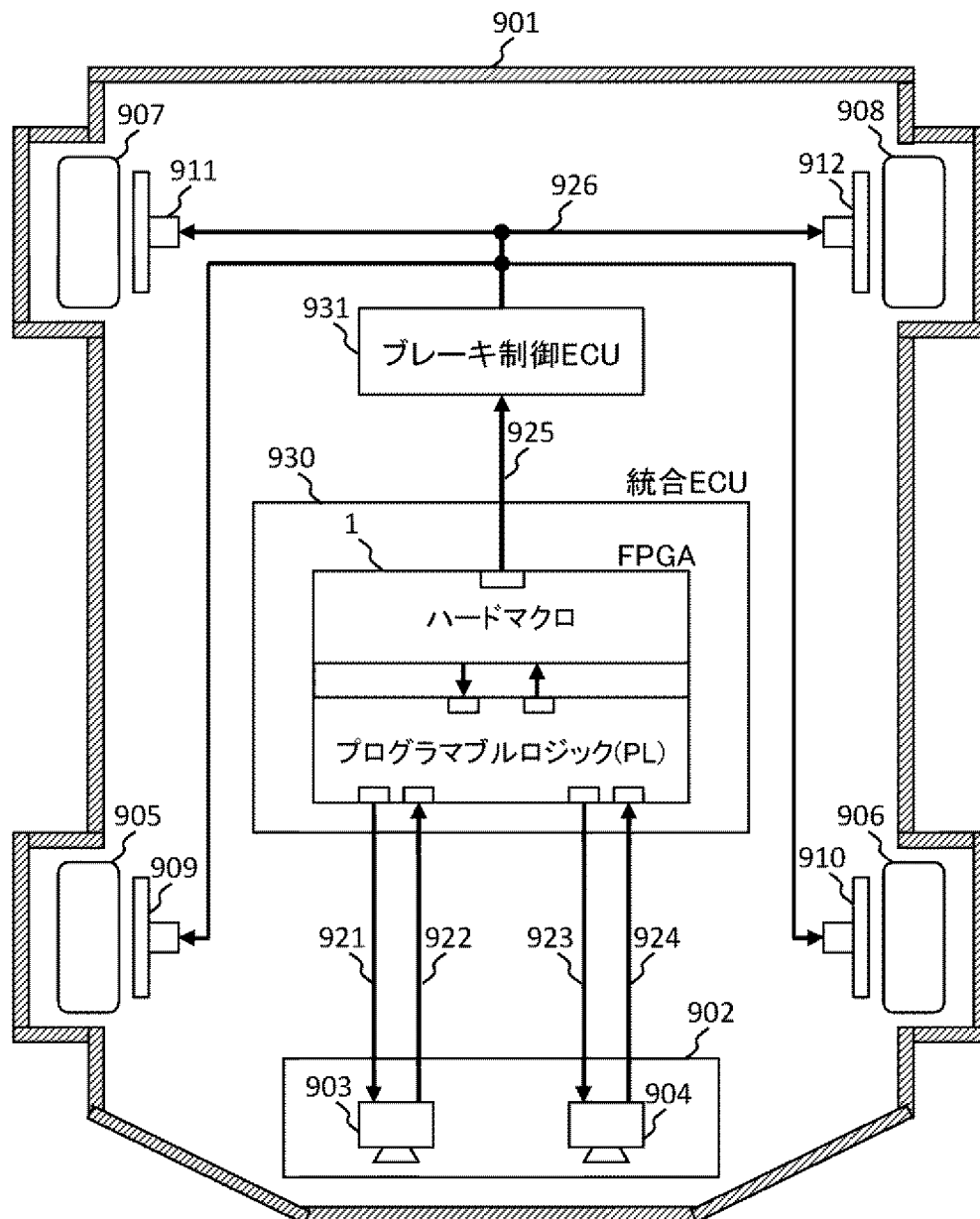
[図12]

【図12】



[図13]

【図13】



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/052258

A. CLASSIFICATION OF SUBJECT MATTER
H03K19/173(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K19/173

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2009-17010 A (NEC Electronics Corp.), 22 January 2009 (22.01.2009), paragraphs [0046], [0056]; fig. 1, 2 & US 2009/0013219 A1	1-5, 7-12 6
Y A	JP 2012-99760 A (NEC Corp.), 24 May 2012 (24.05.2012), paragraphs [0002], [0028]; fig. 2, 5 (Family: none)	1-5, 7-12 6
A	JP 2007-58419 A (Hitachi, Ltd.), 08 March 2007 (08.03.2007), abstract; claims 1, 2; fig. 3, 6 & US 2007/0050689 A1	1-12

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 27 March 2015 (27.03.15)	Date of mailing of the international search report 07 April 2015 (07.04.15)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03K19/173(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03K19/173		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2009-17010 A (NECエレクトロニクス株式会社) 2009.01.22, 【0046】, 【0056】, 図1, 図2 & US 2009/0013219 A1	1-5, 7-12 6
Y A	JP 2012-99760 A (日本電気株式会社) 2012.05.24, 【0002】, 【0028】, 図2, 図5 (ファミリーなし)	1-5, 7-12 6
A	JP 2007-58419 A (株式会社日立製作所) 2007.03.08, 【要約】, 【請求項1】, 【請求項2】, 図3, 図6 & US 2007/0050689 A1	1-12
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 27.03.2015	国際調査報告の発送日 07.04.2015	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 宮島 郁美 電話番号 03-3581-1101 内線 3596	5 X 8 5 2 3