

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 7 月 20 日 (20.07.2023)



(10) 国际公布号
WO 2023/133997 A1

(51) 国际专利分类号:
H01L 21/8238 (2006.01) **H01L 29/78** (2006.01)
H01L 21/336 (2006.01)

(21) 国际申请号: PCT/CN2022/080311

(22) 国际申请日: 2022 年 3 月 11 日 (11.03.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210031315.7 2022 年 1 月 12 日 (12.01.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 李晓杰 (**LI, Xiaojie**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 北京律智知识产权代理有限公司 (**BEIJING INTELLEGAL INTELLECTUAL PROPERTY AGENT LTD.**); 中国北京市朝阳区慧忠路 5 号 B1605、B1606、B1607, Beijing 100101 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) **Title:** METHOD FOR PREPARING SEMICONDUCTOR DEVICE, AND SEMICONDUCTOR DEVICE

(54) 发明名称: 半导体器件的制备方法及半导体器件

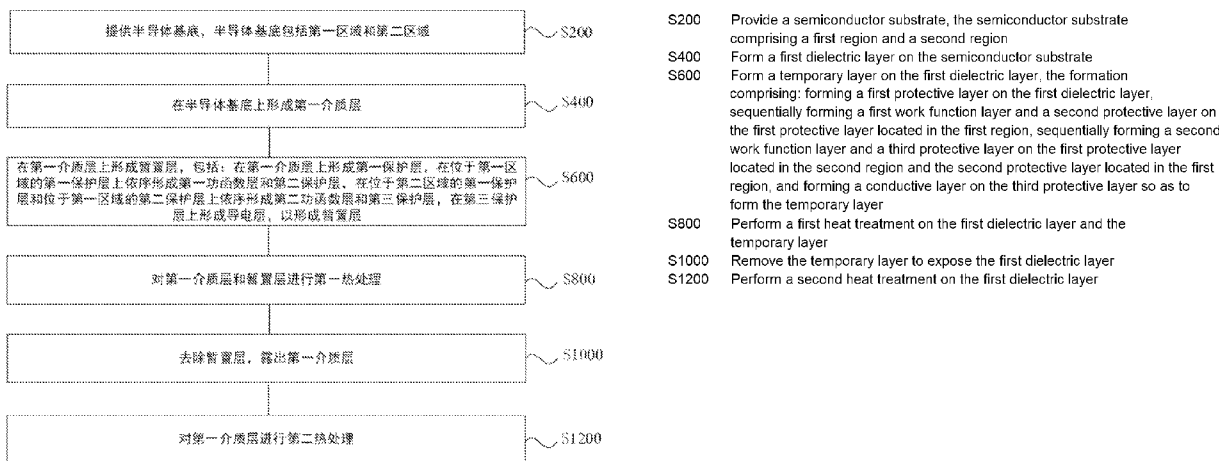


图 1

(57) **Abstract:** A method for preparing a semiconductor device, and a semiconductor device. The preparation method comprises: providing a semiconductor substrate, the semiconductor substrate comprising a first region and a second region; forming a first dielectric layer on the semiconductor substrate; forming a temporary layer on the first dielectric layer, the formation comprising: forming a first protective layer on the first dielectric layer, sequentially forming a first work function layer and a second protective layer on the first protective layer located in the first region, sequentially forming a second work function layer and a third protective layer on the first protective layer located in the second region and the second protective layer located in the first region, and forming a conductive layer on the third protective layer so as to form the temporary layer; performing a first heat treatment on the first dielectric layer and the temporary layer; removing the temporary layer to expose the first dielectric layer; and performing a second heat treatment on the first dielectric layer.



SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种半导体器件的制备方法及半导体器件。该制备方法包括: 提供半导体基底, 半导体基底包括第一区域和第二区域; 在半导体基底上形成第一介质层; 在第一介质层上形成暂置层, 包括: 在第一介质层上形成第一保护层; 在位于第一区域的第一保护层上依序形成第一功函数层和第二保护层; 在位于第二区域的第一保护层和位于第一区域的第二保护层上依序形成第二功函数层和第三保护层; 在第三保护层上形成导电层, 以形成暂置层; 对第一介质层和暂置层进行第一热处理; 去除暂置层, 露出第一介质层; 以及对第一介质层进行第二热处理。

半导体器件的制备方法及其半导体器件

交叉引用

5 本公开要求于 2022 年 1 月 12 日提交的申请号为 202210031315.7、名称为“半导体器件的制备方法及其半导体器件”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

10 本公开涉及半导体制造技术领域，尤其涉及一种半导体器件的制备方法及其半导体器件。

背景技术

15 动态随机存储器(Dynamic Random Access Memory，简称：DRAM)是计算机中常用的半导体存储器件，由许多重复的存储单元组成。每个存储单元通常包括电容器和金属-氧化物半导体场效应晶体管(Metal Oxide Semiconductor，简称：MOS)。在半导体基底中，包括阵列区和外围区，MOS 设于阵列区和外围区，MOS 包括 NMOS 和 PMOS。

20 在 DRAM 的制备过程中，形成 MOS 时有可能会损坏介质层表面，产生界面缺陷，而且工艺过程中使用的材料也会污染介质层，导致介质层不纯，进而影响半导体器件的性能，良率降低。

发明内容

本公开实施例提供一种半导体器件的制备方法，能够对位于半导体基底上的第一介质层修复，改善界面缺陷，并提高纯度，同时保证半导体器件的性能的稳定性。

本公开实施例还提供了一种半导体器件，经过上述方法制备后，具有稳定的性能。

25 根据本公开的一方面，半导体器件的制备方法包括：提供半导体基底，所述半导体基底包括第一区域和第二区域；在所述半导体基底上形成第一介质层；在所述第一介质层上形成暂置层，包括：在所述第一介质层上形成第一保护层；在位于所述第一区域的所述第一保护层上依序形成第一功函数层和第二保护层；在位于所述第二区域的所述第一保护层和位于所述第一区域的所述第二保护层上依序形成第二功函数层和第三保护层；在所述第三保护层上形成导电层，以形成所述暂置层；对所述第一介质层和所述暂置层进行第一热处理；去除所述暂置层，露出所述第一介质层；以及对所述第一介质层进行第二热处理。

30

根据本公开的示例性实施例，所述在位于所述第一区域的所述第一保护层上依序形成

第一功函数层和第二保护层，包括：在所述第一区域和所述第二区域的所述第一保护层上依序形成所述第一功函数层和所述第二保护层；去除所述第二区域的所述第一功函数层和所述第二保护层。

5 根据本公开的示例性实施例，所述第一热处理的温度在预设范围内先升高再降低，所述第二热处理的温度为预设恒定值，且所述第二热处理的温度小于所述第一热处理的最高温度。

根据本公开的示例性实施例，所述第一热处理的温度为 500°C ~ 1000°C ，所述第二热处理的温度为 500°C ~ 650°C 。

10 根据本公开的示例性实施例，所述第一热处理的气体包括 N_2 和 O_2 中的至少一种，所述第二热处理的气体包括 NH_3 、 H_2 、Ar 以及 He 中的至少一种。

根据本公开的示例性实施例，所述在所述半导体基底上形成第一介质层之前，包括：在所述半导体基底上形成第二介质层，所述第二介质层的介电常数小于所述第一介质层的介电常数。

15 根据本公开的示例性实施例，所述在所述半导体基底上形成第二介质层之前，包括：在对应于至少部分所述第一区域的所述半导体基底上形成应变层。

根据本公开的示例性实施例，所述第一保护层、所述第二保护层和所述第三保护层材料相同，所述第一保护层、所述第二保护层和所述第三保护层材料包括金属氮化物、金属碳氮化物和金属中的至少一种。

根据本公开的示例性实施例，所述第二保护层的厚度大于所述第一保护层的厚度。

20 根据本公开的示例性实施例，去除所述暂置层包括：利用干法蚀刻工艺，去除所述导电层和所述第三保护层；利用湿法蚀刻工艺去除所述第一功函数层、所述第二保护层、所述第二功函数层和所述第一保护层。

25 根据本公开的示例性实施例，所述导电层材料包括多晶硅，所述第三保护层材料包括氮化钛；其中，去除所述导电层采用的蚀刻气体包括卤化氢；去除所述第三保护层采用的蚀刻气体包括卤素分子。

根据本公开的示例性实施例，所述利用湿法蚀刻工艺去除所述第一功函数层、所述第二保护层、所述第二功函数层和所述第一保护层前，还包括：利用 H_2 和 N_2 ，去除在去除所述第三保护层时形成的副产物，其中所述 N_2 的质量百分比大于所述 H_2 的质量百分比。

30 根据本公开的示例性实施例，所述半导体基底包括外围区和阵列区，所述第一区域和所述第二区域位于所述外围区中；所述第一区域为 PMOS 区域，所述第二区域为 NMOS

区域，所述 PMOS 的阈值电压小于所述 NMOS 的阈值电压。

根据本公开的示例性实施例，在对所述第一介质层进行第二热处理后，还包括：在所述第一介质层上形成阻挡层；在所述阻挡层上形成栅极导电层。

根据本公开的另一方面，提供一种半导体器件，所述半导体器件由上述任一实施例所述的方法制备。

由上述技术方案可知，本公开具备以下优点和积极效果中的至少之一：

本公开实施例的半导体器件的制备方法，通过在第一介质层上形成第一保护层，避免了功函数层直接形成在第一介质层上，对第一介质层起到保护的作用，并使在后续工艺中去除暂置层更加容易；通过在第一功函数层上形成第二保护层，能够避免在第一热处理过程中，位于第一区域的第二功函数层扩散至第一区域 A1 中的第一介质层中，保证第一功函数层的纯度，通过对去除第一介质层进行第二热处理，能够对第一介质层修复，改善界面缺陷，并提高其纯度，保证了半导体器件的性能稳定性，并提高半导体器件的良率。

附图说明

通过参照附图详细描述其示例实施方式，本公开的上述和其它特征及优点将变得更加明显。

图 1 为本公开示例性实施方式的半导体器件的制备方法的流程图；

图 2a~2e 为本公开示例性实施方式中半导体基底上形成第一介质层和第一保护层的示意图；

图 3a~3e 为本公开示例性实施方式中形成第一功函数层的半导体器件的结构示意图；

图 4a~4e 为本公开示例性实施方式中形成第二保护层的半导体器件的结构示意图；

图 5a~5e 为本公开示例性实施方式中形成第二保护层的半导体器件的结构示意图；

图 6a~6e 为本公开示例性实施方式中形成第二功函数层的半导体器件的结构示意图；

图 7a~7e 为本公开示例性实施方式中形成第三保护层和导电层的半导体器件的结构示意图；

图 8a~8e 为本公开示例性实施方式中对形成导电层的半导体器件进行第一热处理的示意图；

图 9a~9e 为本公开示例性实施方式中去除暂置层且进行第二热处理的半导体器件的结构示意图；

图 10a~10e 为本公开示例性实施方式中形成阻挡层和栅极导电层的半导体器件的结构示意图。

附图标记说明：

11、半导体基底；12、浅沟槽隔离；13、阻挡材料层；14、字线结构；141、字线金属层；142、介电层；143、字线隔离层；15、隔离层；A1、第一区域；A11、第一区域的第一部分；A12、第一区域的第二部分；A2、第二区域；A21、第二区域的第一部分；A22、第二区域的第二部分；A3、阵列区；2、第一介质层；3、暂置层；31、第一保护层；32、第一功函数层；33、第二保护层；34、第二功函数层；35、第三保护层；36、导电层；4、第二介质层；5、应变层；6、阻挡层；7、栅极导电层。

具体实施方式

现在将参考附图更全面地描述示例实施方式。然而，示例实施方式能够以多种形式实施，且不应被理解为限于在此阐述的实施方式；相反，提供这些实施方式使得本公开将全面和完整，并将示例实施方式的构思全面地传达给本领域的技术人员。图中相同的附图标记表示相同或类似的结构，因而将省略它们的详细描述。

在对本公开的不同示例性实施方式的下面描述中，参照附图进行，附图形成本公开的一部分，并且其中以示例方式显示了可实现本公开的多个方面的不同示例性结构。应理解的是，可以使用部件、结构、示例性装置、系统和步骤的其他特定方案，并且可在不偏离本公开范围的情况下进行结构和功能性修改。而且，虽然本说明书中可使用术语“之上”、“之间”、“之内”等来描述本公开的不同示例性特征和元件，但是这些术语用于本文中仅出于方便，例如根据附图中的示例的方向。本说明书中的任何内容都不应理解为需要结构的特定三维方向才落入本公开的范围内。此外，权利要求书中的术语“第一”、“第二”等仅作为标记使用，不是对其对象的数字限制。

附图中所示的流程图仅是示例性说明，不是必须包括所有的内容和操作/步骤，也不是必须按所描述的顺序执行。例如，有的操作/步骤还可以分解，而有的操作/步骤可以合并或部分合并，因此实际执行的顺序有可能根据实际情况改变。

另外，在本公开的描述中，“多个”的含义是至少两个，例如两个，三个等，除非另有明确具体的限定。“上方”和“下方”是表示方位的技术术语，该技术术语仅仅是为了描述更加清楚，不具有限定作用。

根据本公开的一方面，提供一种半导体器件的制备方法。如图1至图10e所示，其中，图1示出了本公开实施例的半导体器件的制备方法的流程图；图2a至图10e示出了本公开实施例的半导体器件在制备过程中的结构示意图。如图1所示，本公开实施例的半导体器件的制备方法包括：

步骤S200：提供半导体基底11，半导体基底11包括第一区域A1和第二区域A2。

步骤S400：在半导体基底11上形成第一介质层2。

步骤S600：在第一介质层2上形成暂置层3，包括：

步骤S602：在第一介质层2上形成第一保护层31。

步骤 S604: 在位于第一区域 A1 的第一保护层 31 上依序形成第一功函数层 32 和第二保护层 33。

步骤 S606: 在位于第二区域 A2 的第一保护层 31 和位于第一区域 A1 的第二保护层 33 上依序形成第二功函数层 34 和第三保护层 35。

5 步骤 S608: 在第三保护层 35 上形成导电层 36, 以形成暂置层 3。

步骤 S800: 对第一介质层 2 和暂置层 3 进行第一热处理。

步骤 S1000: 去除暂置层 3, 露出第一介质层 2。

步骤 S1200: 对第一介质层 2 进行第二热处理。

本公开实施例的半导体器件的制备方法, 通过在第一介质层 2 上形成第一保护层 10 31, 避免了功函数层直接形成在第一介质层 2 上, 对第一介质层 2 起到保护的作用, 并使在后续工艺中去除暂置层 3 更加容易; 通过在第一功函数层 32 上形成第二保护层 33, 能够避免在第一热处理过程中, 位于第一区域 A1 的第二功函数层 34 扩散至第一区域 A1 中的第一介质层 2 中, 保证第一功函数层 32 的纯度, 通过对去除暂置层 3 后露出的 15 第一介质层 2 进行第二热处理, 能够对第一介质层 2 修复, 改善界面缺陷, 并提高其纯度, 保证了半导体器件的性能稳定性, 提高半导体器件的良率。

下面对本公开实施例的半导体器件的制备方法进行详细的说明。

步骤 S200: 提供半导体基底 11, 半导体基底 11 包括第一区域 A1 和第二区域 A2。

如图 2a~图 2e 所示, 本公开实施例的半导体器件的半导体基底 11 的材料可以为硅、 碳化硅、 氮化硅、 绝缘体上硅、 绝缘体上层叠硅、 绝缘体上层叠锗化硅、 绝缘体上层锗 20 化硅或绝缘体上层锗等。半导体基底 11 还可以根据设计需求注入一定的掺杂粒子以改变电学参数。

进一步地, 本公开实施例的半导体基底 11 包括外围区和阵列区 A3。其中阵列区 A3 中可以形成浅沟槽隔离, 浅沟槽隔离之间设有有源区。可以在阵列区 A3 中形成字线 25 结构、 位线结构、 晶体管等半导体结构。在外围区可以形成外围电路以及晶体管等半导体结构。

在本公开的实施例中, 第一区域 A1 和第二区域 A2 均位于外围区中。在一些实施例中, 第一区域 A1 为外围区中的 PMOS 区域, 第二区域 A2 为外围区中的 NMOS 区域, PMOS 的阈值电压小于 NMOS 的阈值电压。根据性能的要求, 半导体的外围区中具有多个 NMOS 区域和多个 PMOS 区域, 如图 2a~2e 所示, 在本公开实施例中, 图 2c 和图 30 2e 示出的均为 PMOS 区域, 即为第一区域 A1。图 2c 中示出了第一区域 A1 的第一部分 A12, 图 2e 示出了第一区域 A1 的第二部分 A12, 第一区域 A1 的第一部分 A11 和第二部分 A12 分别位于外围区域的不同位置。图 2b 中示出了第二区域 A2 的第一部分 A21, 图 2d 示出了第二区域 A2 的第二部分 A22, 第二区域 A2 的第一部分 A21 和第二部分 A22 分别位于外围区的不同位置。图 2a 示出了半导体基底 11 的阵列区 A3。

作为示例，本公开实施例中仅示出第一区域 A1 的第一部分 A11 和第二部分 A12，第二区域 A2 的第一部分 A21 和第二部分 A22。当然，第一区域 A1 和第二区域 A2 还可以各自包括第三部分和第四部分等，其制备方法可以分别对应于第一部分 A11、A21 和第二部分 A12、A22，此处不在赘述。另外，需要说明的是，为了清楚示出各个区域在制备过程中的结构，本公开将各个区域单独放在图中示出，图 2a~图 10e 中的半导体器件的排列方式并不代表其必然按此位置设置于半导体基底。

步骤 S400：在半导体基底 11 上形成第一介质层 2。

在一些实施例中，第一介质层 2 可以通过沉积工艺形成于半导体基底 11 上。第一介质层 2 可以是高 K 介电层，其材料可以包括三氧化二铝，五氧化二钽，氧化钬，硅酸钪氧化合物、二氧化钪、氧化镧、二氧化锆、钛酸锶、硅酸锆氧化合物中的至少一种。

在一些实施例中，如图 2a~图 2e 所示，在第一区域 A1 和第二区域 A2 形成第一介质层 2 之前，还可以在半导体基底 11 上形成第二介质层 4，第二介质层 4 的介电常数可以小于第一介质层 2 的介电常数。第二介质层 4 的材料可以是氮化硅、氧化硅和氮氧化硅中的至少一种。

在阵列区 A3 形成第一介质层 2 之前，可以包括如下工艺步骤：可以在位于阵列区 A3 的半导体基底 11 中形成浅沟槽隔离 12 并在半导体基底 11 上形成阻挡材料层 13。浅沟槽隔离 12 和阻挡材料层 13 的材料可以包括氮化硅、氧化硅和碳化硅中的至少一种，且浅沟槽隔离 12 与阻挡材料层 13 可以通过同一沉积工艺形成。在阵列区 A3 的半导体基底 11 中埋入字线结构 14，该字线结构 14 至少包括字线金属层 141、介电层 142 和字线隔离层 143。其中介电层 142 设于字线金属层 141 的侧壁。字线隔离层 143 的材料可以包括氮化硅、氧化硅和碳氮化硅中的至少一种，字线金属层 141 的材料可以包括钨、氮化钛和多晶硅中的至少一种，此处不做特殊限定。于阻挡材料层 13 上形成隔离层 15。因此，如图 2b~2e 所示，在本公开实施例的第一区域 A1 和第二区域 A2 的半导体基底 11 上依序形成第二介质层 4 和第一介质层 2，在阵列区 A3 的半导体基底 11 上依序形成阻挡材料层 13、隔离层 15 和第一介质层 12。

在一些实施例中，如图 2a~图 2e 所示，在半导体基底 11 上形成第二介质层 4 之前，还可以包括在对应于至少部分第一区域 A1 的半导体基底 11 上形成应变层 5。如图 2c 所示，该“至少部分”可以为在第一区域 A1 的第一部分 A11，即在第一区域 A1 的第一部分 A11 的半导体基底 111 上依序形成有应变层 5、第二介质层 4 和第一介质层 2。该应变层 5 的材料可以是锗化硅。

上述的第一介质层 2 和第二介质层 4 能够同时作为栅氧化层，第一介质层 2 为高 K 介电层，能够提高介电常数，提高热力学稳定性，能够减少栅漏电流，并且第一介质层 2 能够起到隔离的作用，阻挡功函数层的金属扩散至半导体基底 11 中。第二介质层 4 设置于第一介质层 2 下方，能够进一步减少栅漏电流，而且第二介质层 4 也能够起到隔

离的作用，进一步阻挡金属离子掺入半导体基底 11 中，保证半导体器件的性能的稳定性。针对不同的区域，在半导体基底 11 和第一介质层 2 之间设置第二介质层 4 和应变层 5 中的至少一种，应变层 5 能够调节电子迁移率，进一步保证了半导体器件的稳定性。

步骤 S600：在第一介质层 2 上形成暂置层 3，具体包括如下步骤。

5 步骤 S602：在第一介质层 2 上形成第一保护层 31。

如图 2a~图 2e 所示，在位于半导体基底 11 的阵列区 A3、第一区域 A1 和第二区域 A2 的第一介质层 2 上形成第一保护层 31，第一保护层 31 可以通过沉积工艺形成。第一保护层 31 的材料可以为金属氮化物、金属碳化物和金属中的至少一种。例如，金属氮化物可以为 TiN 或 TaN，金属碳化物可以是 TaC，金属可以是 Ti、Ta、Co 或 Ru，当然，
10 本领域技术人员还可以根据实际需求进行选择，此处不做特殊限定。通过在第一介质层 2 上设置第一保护层 31，能够将第一介质层 2 与后续工艺中形成的膜层分隔，起到隔离的作用，并且有利于在后续工艺中去除暂置层 3，保护第一介质层 2 不受到损坏。

步骤 S604：在位于第一区域 A1 的第一保护层 31 上依序形成第一功函数层 32 和第二保护层 33。

15 在一些实施例中，步骤 S604 可以包括：在第一区域 A1、第二区域 A2 和阵列区 A3 的第一保护层 31 上可以依序沉积形成第一功函数层 32 和第二保护层 33。如图 3a~图 3e 所示，在位于第一区域 A1、第二区域 A2 和阵列区 A3 的第一保护层 31 上沉积形成第一功函数层 32。第一功函数层 32 的材料可以是 P 型功函数材料，具体可以包括 AlO、TiN、TaN、TiSiN 和 TaSiN 中的至少一种，在本实施例中，第一功函数层 32 的材料可
20 以为 AlO。

如图 4a~4e 所示，在上述的第一功函数层 32 上可以利用沉积工艺形成第二保护层 33。第二保护层 33 的材料可以与第一保护层 31 的材料可以相同，第二保护层 33 的材料可以为金属氮化物、金属碳化物和金属中的至少一种。例如，金属氮化物可以为 TiN 或 TaN，金属碳化物可以是 TaC，金属可以是 Ti、Ta、Co 或 Ru。第一功函数层 32 能够
25 夹设于第一保护层 31 和第二保护层 33 之间，对第一功函数层 32 起到保护与隔离的作用。

如图 5a~5e 所示，去除位于第二区域 A2 的第一功函数层 32 和第二保护层 33，即仅在位于第一区域 A1 和阵列区 A3 的第一保护层 31 上形成第一功函数层 32 和第二保护层 33。

30 其中，去除位于第二区域 A2 的第一功函数层 32 和第二保护层 33 采用的工艺可以为湿法蚀刻工艺。

在另一些实施例中，步骤 S604 可以包括：仅在位于第一区域 A1 和阵列区 A3 的第一保护层 31 上形成第一功函数层 32，并在该第一功函数层 32 上形成第二保护层 33。在该步骤中，为了能够仅在第一区域 A1 形成第一功函数层 32，可以在沉积工艺中利用

相应的掩膜，或者利用外延生长或热氧生长法，此处不做特殊限定。

步骤 S606: 在位于第二区域 A2 的第一保护层 31 和位于第一区域 A1 的第二保护层 33 上依序形成第二功函数层 34 和第三保护层 35。

如图 6a~图 6e 所示，可以利用沉积工艺在上述的位于第一区域 A1、第二区域 A2 和阵列区 A3 的半导体基底 11 上形成第二功函数层 34，第二功函数层 34 的材料可以为 N 型功函数材料，第二功函数层 34 的材料可以包括 LaO、TiAl、TaAl、TiAlC、AlN、TiAlN 和 TaAlN 中的至少一种，在本实施例中，第二功函数层 34 的材料可以为 LaO。

如图 7a~图 7e 所示，在位于第一区域 A1、第二区域 A2 和阵列区 A3 的第二功函数层 34 上形成第三保护层 35。第三保护层 35 的材料可以与第一保护层 31 和第二保护层 33 的材料相同，第三保护层 35 的材料可以是金属氮化物、金属碳化物和金属中的至少一种。例如，金属氮化物可以为 TiN 或 TaN，金属碳化物可以是 TaC，金属可以是 Ti、Ta、Co 或 Ru。

步骤 S608: 在第三保护层 35 上形成导电层 36，以形成暂置层 3。

继续参考图 7a~图 7e，在位于第一区域 A1、第二区域 A2 和阵列区 A3 第三保护层 35 上形成导电层 36，该导电层 36 的材料可以是多晶硅、钨、镍、或氮化钛。可以利用沉积工艺形成导电层 36。因此，在导电层 36 与第二功函数层 34 之间形成第三保护层 35，能够避免在形成导电层 36 的过程中的元素扩散至第二功函数层 34，保证第二功函数层 34 的纯度，并且避免第二功函数层 34 受到损坏。如此，在分别位于第一区域 A1 和阵列区 A3 的第一保护层 31、第一功函数层 32、第二保护层 33、第二功函数层 34、第三保护层 35 和导电层 36 以及位于第二区域 A2 的第一保护层 31、第二功函数层 34、第三保护层 35 和导电层 36 形成了暂置层 3。

步骤 S800: 对第一介质层 2 和暂置层 3 进行第一热处理。

如图 8a~图 8e 所示，对具有暂置层 3 的半导体基底 11 进行第一热处理，即同时对位于第一区域 A1、第二区域 A2 和阵列区 A3 中的暂置层 3 进行第一热处理。第一热处理的温度在预设范围内先升高再降低。该第一热处理的预设温度范围为 500°C~1000°C，具体地，该温度可以是 550°C、600°C、650°C、700°C、800°C、900°C 或 950°C，可以根据实际需求在该范围内调节，此处不做特殊限定。第一热处理的气体可以包括 N₂ 和 O₂ 中的至少一种。

在一些实施例中，可以在 500°C~1000°C 的温度下以 10000~30000sccm（标准毫升/分钟）的流量通入 N₂，如 15000sccm、20000sccm 或 25000sccm，通入时间为 1~6sec（秒），如通入 N₂ 的时间具体可以为 2 sec、3 sec、4 sec、5sec，之后将温度以 65~90°C/sec 的速度升高至一预设温度，该预设温度小于 1000°C，例如该预设温度可以是 700°C、750°C、800°C、850°C、900°C 和 950°C 中的任一温度，具体地，该升温速度可以为 75°C/sec、80°C/sec、85°C/sec 或 90°C/sec，并且在该升温过程中以 10000~30000sccm 的流量通入

N₂, 如 15000sccm、20000sccm 或 25000sccm, 以 500~800sccm 的流量通入 O₂, 如通入 O₂ 的具体流量可以为 600sccm、650sccm、700sccm 或 7500sccm, 之后在升温后的预设温度下持续加热 6~12sec, 如 7sec、8sec、9sec、10sec 或 11sec, 并在该时间内维持通入 10000~30000sccm 的流量通入 N₂, 如 15000sccm、20000sccm 或 25000sccm, 以 500~800sccm 的流量通入 O₂ 如 600sccm、650sccm、700sccm 或 7500sccm。

在一实施例中, 可以在 550°C 下以 20000sccm 的流量通入 N₂, 通入时间为 2sec(秒), 之后将温度以 75°C/sec 的速度自 550°C 升高至 950°C, 并且在该升温过程中以 20000sccm 的流量通入 N₂, 以 650sccm 的流量通入 O₂, 在 950°C 下持续加热 10sec, 并在该时间内维持通入 20000sccm 的流量通入 N₂, 以 650sccm 的流量通入 O₂。

10 第一热处理能够将第一功函数层 32 的材料元素渗入到位于第一区域 A1 和阵列区 A3 的第一介质层 2 中, 将第二功函数层 34 的材料元素渗入到位于第二区域 A2 的第一介质层 2 中。在一些实施例中, 第一热处理可以是推阱 (Drive in) 工艺, 此处不做特殊限定。

15 另外, 由于在半导体基底 11 的第一区域 A1 和阵列区 A3 中形成有第一功函数层 32 和第二功函数层 34, 且第二功函数层 34 在第一功函数层 32 的上方, 在第一热处理过程中, 由于第二保护层 33 位于第一功函数层 32 和第二功函数层 34 之间, 因此, 第二保护层 33 起到了阻挡作用, 即第二保护层 33 能够阻挡第二功函数层 34 的材料渗入第一区域 A1 和阵列区 A3 中的第一介质层 2 中。为了实现更好的阻挡作用, 在一些实施例中, 可以调整第二保护层 33 的材料中各个元素的比值。例如当第二保护层 33 的材料是氮化钛时, 可以调整钛元素和氮元素的比例, 进而能够更好地阻挡第二功函数层 34 的材料。在一些实施例中, 也可以调整第二保护层 33 的厚度, 第二保护层 33 的厚度大于第一保护层 31 的厚度, 如第二保护层 33 的厚度可以是第一保护层 31 的厚度的 2 倍、3 倍或 4 倍, 以有效阻挡第二功函数层 34 的材料渗入。

步骤 S1000: 去除暂置层 3, 露出第一介质层 2。

25 如图 9a~图 9e 所示, 可以利用蚀刻工艺去除位于第一区域 A1、第二区域 A2 和阵列区 A3 暂置层 3。可以利用干法蚀刻工艺, 去除导电层 36 和第三保护层 35。在一些实施例中, 导电层 36 的材料可以包括多晶硅, 第三保护层 35 的材料可以包括氮化钛, 去除导电层 36 采用的蚀刻气体包括卤化氢, 如 HBr 和 HCl 中的至少一种, 调整偏压为 100V-140V, 例如可以为 110V、120V、130V。去除第三保护层 35 采用的蚀刻气体包括卤素分子, 如采用 Cl 或 Br 中的至少一种, 调整偏压为 0V-10V, 例如, 该偏压可以被调整为 1V、2V、5V 或 8V, 此处不做特殊限定。如此能够精确地去除导电层 36 和第三保护层 35。当然, 在该干法蚀刻工艺中, 本领域技术人员可以调整偏压, 此处不做特殊限定。

在一些实施例中, 在去除导电层 36 和第三保护层 35 后, 可以利用湿法蚀刻工艺去

除第一功函数层 32、第二保护层 33、第二功函数层 34 和第一保护层 31。

在一些实施例中，可以采用第一蚀刻剂去除第一功函数层 32 和第二保护层 33，第一蚀刻剂可以为 SC1 溶液，SC1 中，氨水：双氧水：水=1：（1-3）：50，如氨水：双氧水：水=1：2：50，且该蚀刻温度控制在 45℃~60℃，如蚀刻温度可以为 50℃或 55℃。

5 去除第一功函数层 32 和第二保护层 33 后，可以采用第二蚀刻剂去除第二功函数层 34。第二蚀刻剂可以为卤酸溶液，如 HCl 溶液或 HBr 溶液。

10 去除第二功函数层 34 后，可以采用第三蚀刻剂去除第一保护层 31。在一些实施例中，第三蚀刻剂可以与第一蚀刻剂相同，且蚀刻温度也相同。本领域技术人员可以根据第一保护层 31 的材料及厚度进行相应的调整，此处不做特殊限定。如此暂置层 3 被去除，露出第一介质层 2。

需要注意的是，由于在去除第三保护层 35 时可能会形成副产物，该副产物附着在第一功函数层 32 的表面，可能会影响湿法蚀刻工艺对第一功函数层 32 的去除，因此在利用湿法蚀刻工艺去除第一功函数层 32 之前需要先去除该副产物。在一些实施例中，可以利用 H₂ 和 N₂ 去除该副产物，其中 N₂ 的质量百分比大于 H₂ 的质量百分比。具体地，15 H₂ 和 N₂ 中，N₂ 的质量百分比可以为 90%~97%，具体地，N₂ 的质量百分可以为 92%、94%或 96%，此处不做特殊限定。利用 H₂ 和 N₂ 去除该副产物的工艺可以是干法蚀刻工艺。

步骤 S1200：对第一介质层 2 进行第二热处理。

20 在利用蚀刻工艺去除第一保护层 31 后，由于蚀刻剂的影响，第一介质层 2 中也会残留有蚀刻剂的元素，如第一介质层 2 中残留有氢元素、卤元素、氧元素等，这些杂质元素会导致第一介质层 2 不纯，影响第一介质层 2 所对应的半导体器件的性能，且湿法蚀刻工艺也可能会破坏第一介质层 2 的表面，产生界面缺陷，影响后续工艺中在该第一介质层 2 上形成的其他功能膜层的稳定性。

25 在本公开的一些实施例中，对露出的该第一介质层 2 进行第二热处理，第二热处理的温度为 500℃~650℃。在一些实施例中，第二热处理的温度为预设的恒定值，具体地，该第二热处理的温度的预设的恒定值处于 500℃~650℃范围内，例如第二热处理的温度可以为 550℃或 600℃，此处不做特殊限定，并且第二热处理的温度小于第一热处理的最高温度。在一些实施例中，第二热处理的温度为 550℃，第一热处理的最高温度为 950℃。

30 在一些实施例中，第二热处理的气体可以包括 NH₃、H₂、Ar 以及 He 中的至少一种。其中，NH₃ 的流量可以为 300~600sccm，例如 400sccm、450sccm、500sccm 或 550sccm，H₂ 的流量可以为 800sccm~1300sccm，例如 900sccm、1000sccm、1100sccm 或 1200sccm，Ar 的流量可以为 800sccm~1300sccm，例如 900sccm、1000sccm、1100sccm 或 1200sccm，He 的流量为 800sccm~1300sccm，例如 900sccm、1000sccm、1100sccm 或 1200sccm。第

二热处理的时间为 150sec~200sec, 如 160sec 或 180sec, 且保持压力为 20Pa~50Pa, 射频为 500~800W, 例如 600W 或 700W, 射频时间为 150sec~200sec, 例如 160sec 或 180sec。对于第二热处理的上述参数, 本领域技术人员可以根据实际需求调整, 此处不做特殊限定。

- 5 在对第一介质层 2 进行第二热处理的过程中, 能够将第一介质层 2 中掺杂的氢元素、卤元素以及氧元素清除, 并向其中补充氮元素, 以提高第一介质层 2 的纯度, 并改善第一介质层 2 的界面缺陷, 使第一介质层 2 的性能更加稳定。

步骤 S1400: 在第一介质层 2 上形成阻挡层 6。

- 10 如图 10a~图 10e, 在对第一介质层 2 进行第二热处理后, 可以利用沉积工艺在位于第一区域 A1、第二区域 A2 和阵列区 A3 的第一介质层 2 上形成阻挡层 6, 该阻挡层 6 的材料可以是金属氮化物、金属碳化物和金属中的至少一种, 例如, 金属氮化物可以为 TiN 或 TaN, 金属碳化物可以是 TaC, 金属可以是 Ti 或 Ta。在一实施例中, 该阻挡层 6 的材料可以是 TiN。

- 15 步骤 S1600: 在阻挡层 6 上形成栅极导电层 7。继续参考图 10a~图 10e, 可以利用沉积工艺在阻挡层 6 上形成栅极导电层 7。该栅极导电层 7 的材料可以包括多晶硅、氮化钛、钨或镍。如此, 形成了具有高 K 栅极金属 (High k metal gate) 的半导体器件。

- 20 本公开实施例的半导体器件的制备方法, 通过在第一介质层 2 上形成第一保护层 31, 避免了功函数层直接形成在第一介质层 2 上, 对第一介质层 2 起到保护的作用, 并使在后续工艺中去除暂置层更加容易; 通过在第一功函数层 32 上形成第二保护层 33, 能够避免在第一热处理过程中, 位于第一区域 A1 的第二功函数层 34 扩散至第一区域 A1 的第一介质层 2 中, 保证第一功函数层 32 的纯度, 通过对第一介质层 2 进行第二热处理, 能够对第一介质层 2 修复, 改善界面缺陷, 并提高其纯度, 保证了半导体器件的性能稳定性, 提高了半导体器件的良率。

- 25 根据本公开的另一方面, 提供了一种半导体器件, 该半导体器件通过上述任一实施例的方法制备。本公开实施例的半导体器件具有更加稳定的性能以及更高的良率。

- 30 应可理解的是, 本公开不将其应用限制到本说明书提出的部件的详细结构和布置方式。本公开能够具有其他实施方式, 并且能够以多种方式实现并且执行。前述变形形式和修改形式落在本公开的范围内。应可理解的是, 本说明书公开和限定的本公开延伸到文中和/或附图中提到或明显的两个或两个以上单独特征的所有可替代组合。所有这些不同的组合构成本公开的多个可替代方面。本说明书所述的实施方式说明了已知用于实现本公开的最佳方式, 并且将使本领域技术人员能够利用本公开。

权 利 要 求

- 1.一种半导体器件的制备方法，包括：
提供半导体基底，所述半导体基底包括第一区域和第二区域；
5 在所述半导体基底上形成第一介质层；
在所述第一介质层上形成暂置层，包括：
在所述第一介质层上形成第一保护层；
在位于所述第一区域的所述第一保护层上依序形成第一功函数层和第二保护层；
10 在位于所述第二区域的所述第一保护层和位于所述第一区域的所述第二保护层上依序形成第二功函数层和第三保护层；
在所述第三保护层上形成导电层，以形成所述暂置层；
对所述第一介质层和所述暂置层进行第一热处理；
去除所述暂置层，露出所述第一介质层；以及
15 对所述第一介质层进行第二热处理。
- 2.根据权利要求 1 所述的方法，其中，所述在位于所述第一区域的所述第一保护层上依序形成第一功函数层和第二保护层，包括：
在所述第一区域和所述第二区域的所述第一保护层上依序形成所述第一功函数层和所述第二保护层；
20 去除所述第二区域的所述第一功函数层和所述第二保护层。
- 3.根据权利要求 1 所述的方法，其中，所述第一热处理的温度在预设范围内先升高再降低，所述第二热处理的温度为预设恒定值，且所述第二热处理的温度小于所述第一热处理的最高温度。
- 4.根据权利要求 1 所述的方法，其中，所述第一热处理的温度为 500°C~1000°C，所述
25 所述第二热处理的温度为 500°C~650°C。
- 5.根据权利要求 1 所述的方法，其中，所述第一热处理的气体包括 N₂ 和 O₂ 中的至少一种，所述第二热处理的气体包括 NH₃、H₂、Ar 以及 He 中的至少一种。
- 6.根据权利要求 5 所述的方法，其中，在所述第一热处理中，通入 N₂ 的流量为 10000~30000sccm，通入 O₂ 的流量为 500~800sccm。
- 30 7.根据权利要求 1 所述的方法，其中，所述在所述半导体基底上形成第一介质层之前，包括：
在所述半导体基底上形成第二介质层，所述第二介质层的介电常数小于所述第一介质层的介电常数。
- 8.根据权利要求 7 所述的方法，其中，所述在所述半导体基底上形成第二介质层之

前，包括：

在对应于至少部分所述第一区域的所述半导体基底上形成应变层。

- 9.根据权利要求1所述的方法，其中，所述第一保护层、所述第二保护层和所述第三保护层的材料相同，所述第一保护层、所述第二保护层和所述第三保护层的材料包括金属氮化物、金属碳氮化物和金属中的至少一种。

10.根据权利要求1所述的方法，其中，所述第二保护层的厚度大于所述第一保护层的厚度。

11.根据权利要求1所述的方法，其中，去除所述暂置层包括：

利用干法蚀刻工艺，去除所述导电层和所述第三保护层；

- 10 利用湿法蚀刻工艺去除所述第一功函数层、所述第二保护层、所述第二功函数层和所述第一保护层。

12.根据权利要求11所述的方法，其中，所述导电层的材料包括多晶硅，所述第三保护层的材料包括氮化钛；

其中，去除所述导电层采用的蚀刻气体包括卤化氢；

- 15 去除所述第三保护层采用的蚀刻气体包括卤素分子。

13.根据权利要求12所述的方法，其中，所述利用湿法蚀刻工艺去除所述第一功函数层、所述第二保护层、所述第二功函数层和所述第一保护层前，还包括：

利用 H_2 和 N_2 ，去除在去除所述第三保护层时形成的副产物，其中所述 N_2 的质量百分比大于所述 H_2 的质量百分比。

- 20 14.根据权利要求1所述的方法，其中，所述半导体基底包括外围区和阵列区，所述第一区域和所述第二区域位于所述外围区中；

所述第一区域为 PMOS 区域，所述第二区域为 NMOS 区域，所述 PMOS 的阈值电压小于所述 NMOS 的阈值电压。

- 25 15.根据权利要求1所述的方法，其中，在对所述第一介质层进行第二热处理后，还包括：

在所述第一介质层上形成阻挡层；

在所述阻挡层上形成栅极导电层。

16.一种半导体器件，由权利要求1至15中任一项所述的方法制备。

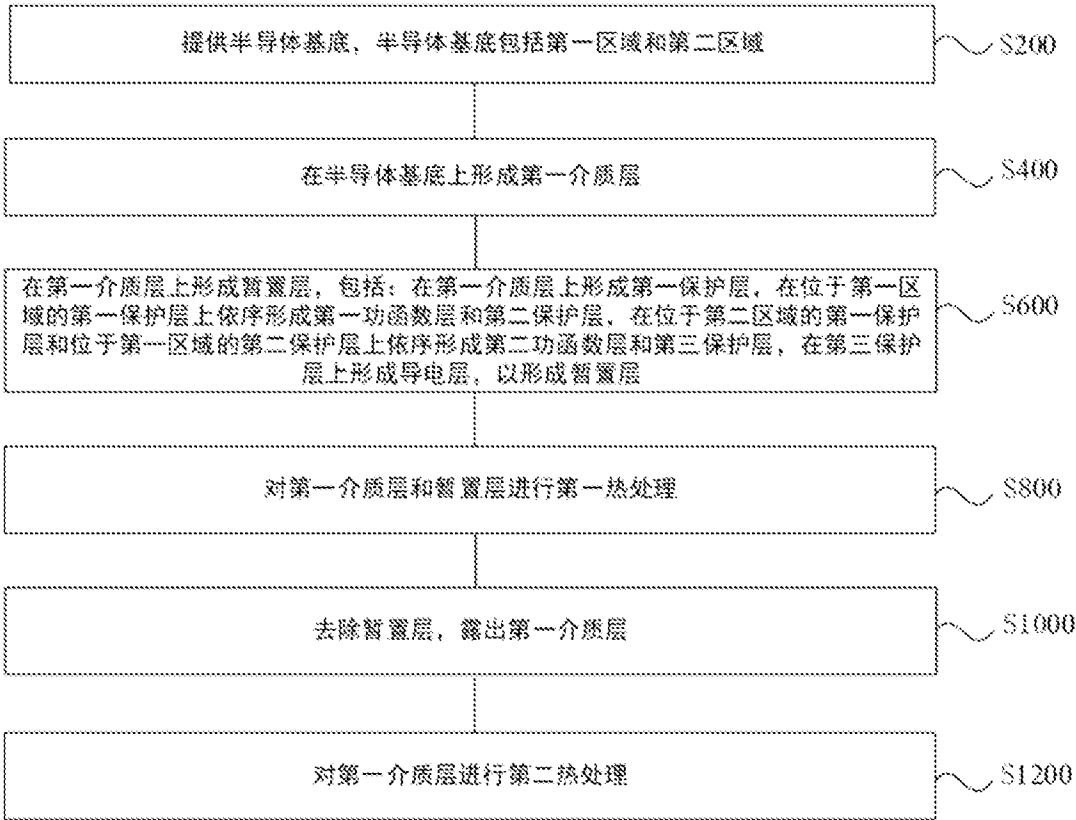
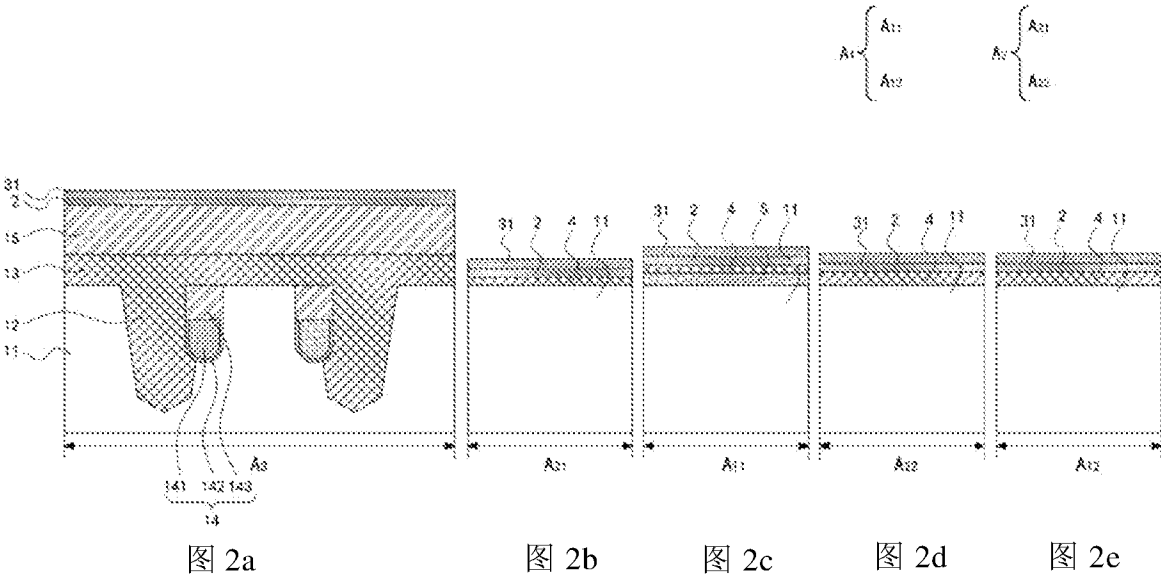


图 1



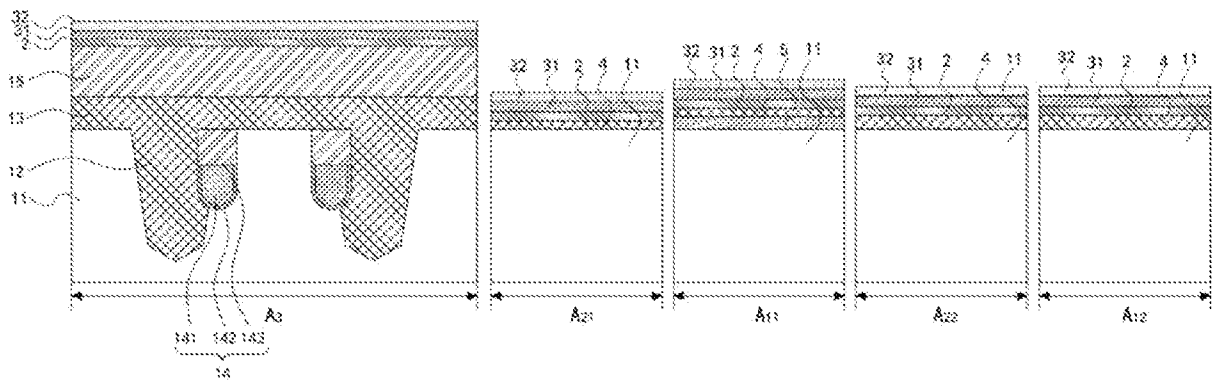


图 3a

图 3b

图 3c

图 3d

图 3e

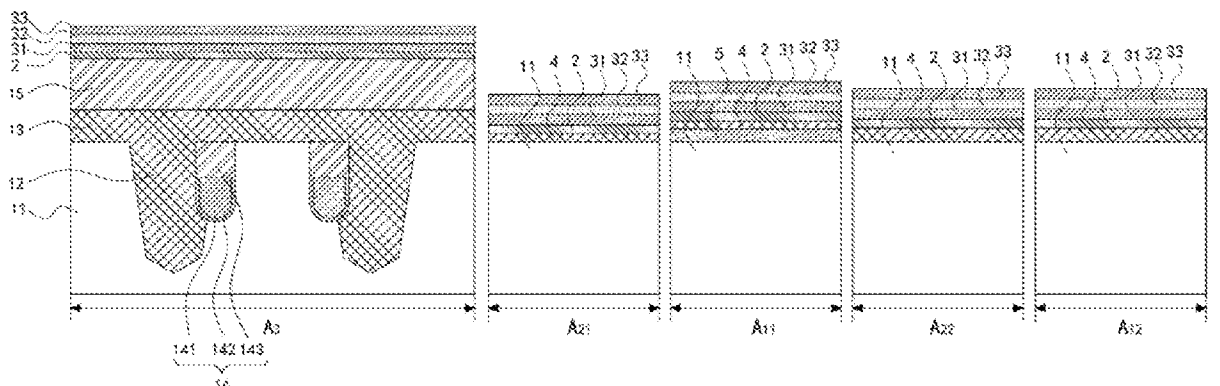


图 4a

图 4b

图 4c

图 4d

图 4e

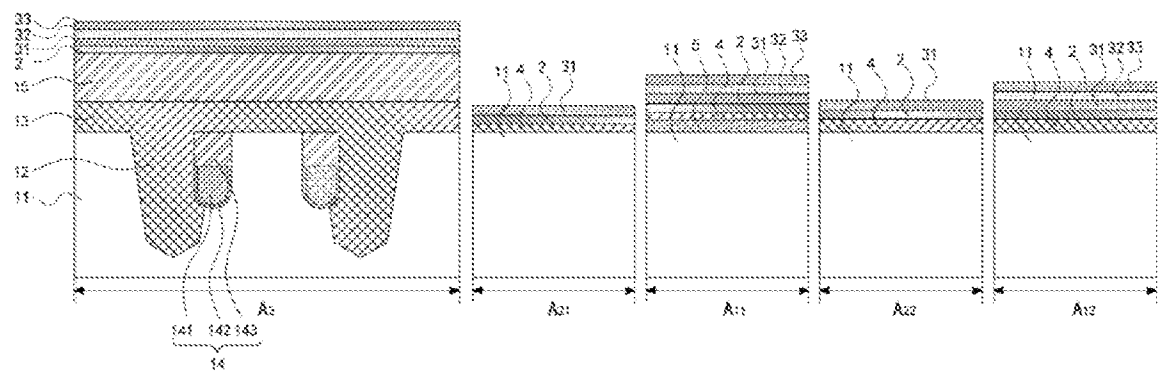


图 5a

图 5b

图 5c

图 5d

图 5e

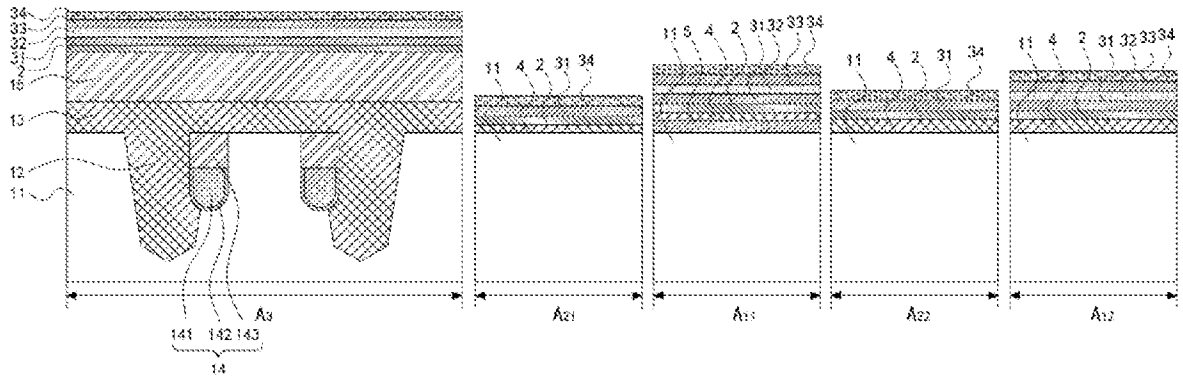


图 6a

图 6b

图 6c

图 6d

图 6e

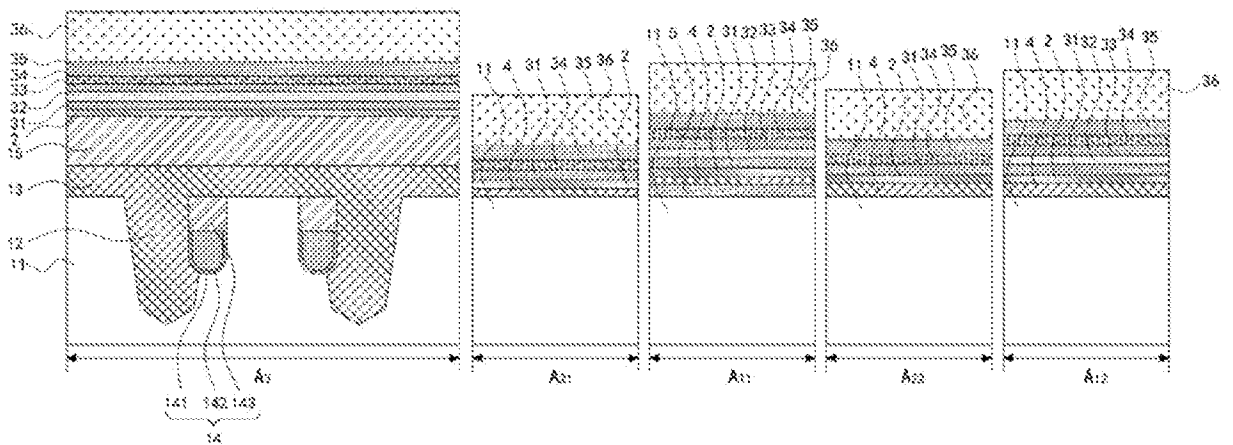


图 7a

图 7b

图 7c

图 7d

图 7e

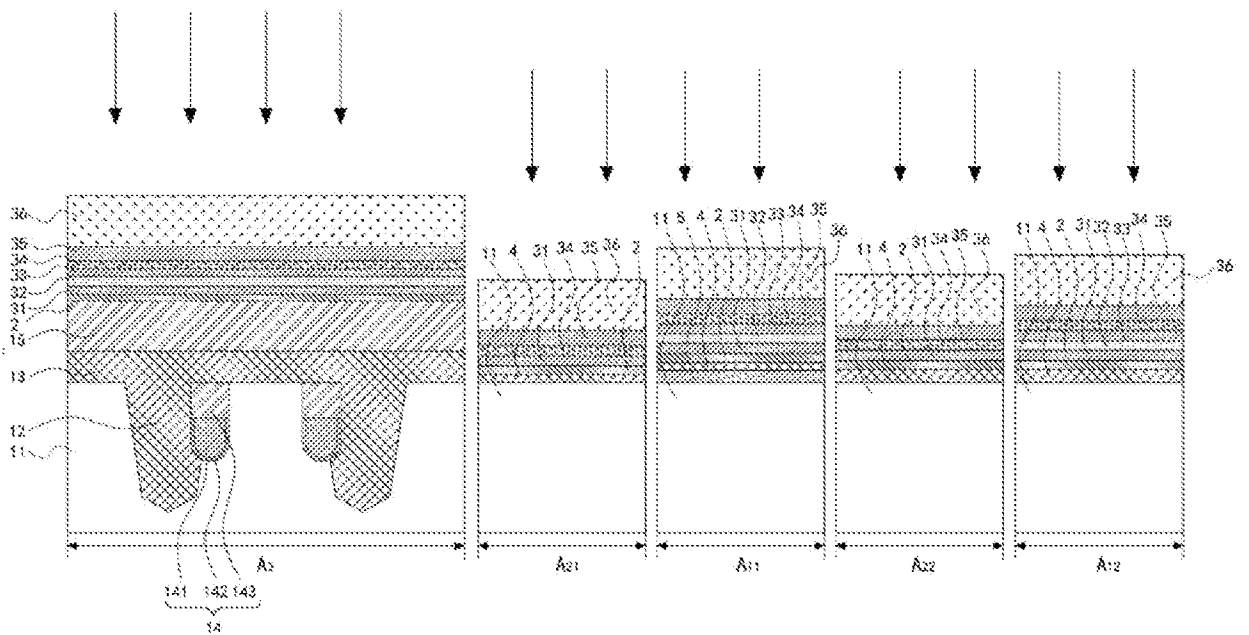


图 8a

图 8b

图 8c

图 8d

图 8e

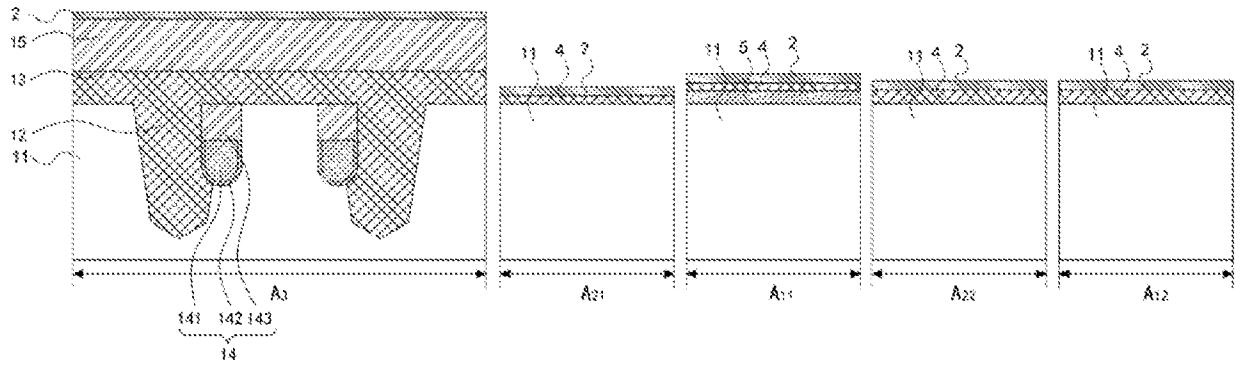


图 9a

图 9b

图 9c

图 9d

图 9e

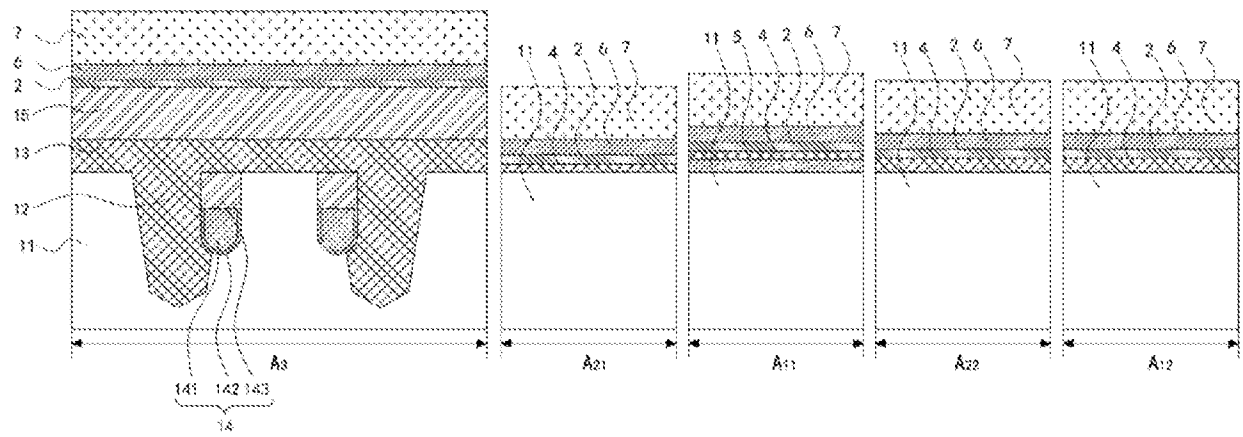


图 10a

图 10b

图 10c

图 10d

图 10e

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/080311

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/8238(2006.01)i; H01L 21/336(2006.01)i; H01L 29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI; CNPAT; IEEE; CNKI: 基底, 衬底, 介质层, 介电层, 保护层, 功函数, 热处理, 退火, 区域, NMOS, PMOS, substrate, dielectric layer, work function layer, protective, heat treatment, annealing, area

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 108022882 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP. et al.) 11 May 2018 (2018-05-11) description, paragraphs [0005]-[0136], and figures 1-9	1-16
A	CN 108155173 A (SAMSUNG ELECTRONICS CO., LTD.) 12 June 2018 (2018-06-12) entire document	1-16
A	CN 110233098 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP. et al.) 13 September 2019 (2019-09-13) entire document	1-16
A	US 2005258468 A1 (TEXAS INSTRUMENTS INC.) 24 November 2005 (2005-11-24) entire document	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

27 September 2022

Date of mailing of the international search report

11 October 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/080311

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108022882	A	11 May 2018	None			
CN	108155173	A	12 June 2018	KR	20180063755	A	12 June 2018
				US	2018158773	A1	07 June 2018
				US	10332831	B2	25 June 2019
CN	110233098	A	13 September 2019	None			
US	2005258468	A1	24 November 2005	US	7528024	B2	05 May 2009

国际检索报告

国际申请号

PCT/CN2022/080311

A. 主题的分类

H01L 21/8238(2006.01)i; H01L 21/336(2006.01)i; H01L 29/78(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

DWPI; CNPAT; IEEE; CNKI; 基底, 衬底, 介质层, 介电层, 保护层, 功函数, 热处理, 退火, 区域, NMOS, PMOS, substrate, dielectric layer, work function layer, protective, heat treatment, annealing, area

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 108022882 A (中芯国际集成电路制造上海有限公司 等) 2018年5月11日 (2018 - 05 - 11) 说明书第[0005]-[0136]段, 图1-9	1-16
A	CN 108155173 A (三星电子株式会社) 2018年6月12日 (2018 - 06 - 12) 全文	1-16
A	CN 110233098 A (中芯国际集成电路制造上海有限公司 等) 2019年9月13日 (2019 - 09 - 13) 全文	1-16
A	US 2005258468 A1 (TEXAS INSTRUMENTS INC.) 2005年11月24日 (2005 - 11 - 24) 全文	1-16

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年9月27日

国际检索报告邮寄日期

2022年10月11日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

张思秘

电话号码 86-10-53961227

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/080311

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108022882	A	2018年5月11日	无			
CN	108155173	A	2018年6月12日	KR	20180063755	A	2018年6月12日
				US	2018158773	A1	2018年6月7日
				US	10332831	B2	2019年6月25日
CN	110233098	A	2019年9月13日	无			
US	2005258468	A1	2005年11月24日	US	7528024	B2	2009年5月5日