

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-135698

(P2017-135698A)

(43) 公開日 平成29年8月3日(2017.8.3)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 19/173 (2006.01)	H03K 19/173 101	5B060
H03K 19/177 (2006.01)	H03K 19/177	5F048
H01L 21/82 (2006.01)	H01L 21/82 A	5F064
H01L 29/786 (2006.01)	H01L 29/78 613B	5F083
H01L 21/8234 (2006.01)	H01L 29/78 618B	5F110
審査請求 未請求 請求項の数 7 O L (全 61 頁) 最終頁に続く		

(21) 出願番号	特願2016-246375 (P2016-246375)	(71) 出願人	000153878
(22) 出願日	平成28年12月20日 (2016.12.20)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2015-257549 (P2015-257549)		神奈川県厚木市長谷398番地
(32) 優先日	平成27年12月29日 (2015.12.29)	(72) 発明者	黒川 義元
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2016-11245 (P2016-11245)		半導体エネルギー研究所内
(32) 優先日	平成28年1月25日 (2016.1.25)	Fターム(参考)	5B060 MM18
(33) 優先権主張国	日本国 (JP)		5F048 AA07 AB01 AB03 AC01 AC04
			AC10 BA01 BA14 BA19 BA20
			BB02 BB06 BB08 BB09 BF06
			BF07 CB01 CB03 CB04
			5F064 AA08 AA13 BB02 BB06 BB09
			BB12 BB13 BB16 BB19 BB27
			BB28 CC09 CC12 CC23 CC25
			FF04 FF24 FF36
			最終頁に続く

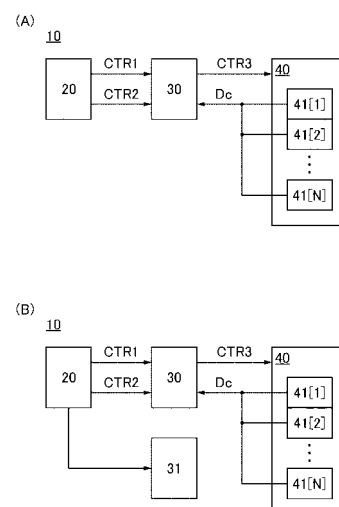
(54) 【発明の名称】 半導体装置、コンピュータ及び電子機器

(57) 【要約】

【課題】新規な半導体装置の提供、又は演算性能が優れた半導体装置の提供、又は消費電力の低減が可能な半導体装置の提供、又は面積の縮小が可能な半導体装置の提供。

【解決手段】半導体装置は、CPU及びPLDを有し、CPUによってPLDの動作を制御する。CPUは、複雑な演算が要求される処理や少量のデータ処理などを自身で実行し、大量のデータ処理が必要な演算や即応性が要求される演算などはPLDに処理させる。これにより、CPUによる処理の負荷の低減、及びメモリへのアクセス頻度の減少を図り、半導体装置の動作速度及び電力効率の向上を実現する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の回路と、第 2 の回路と、第 3 の回路と、を有し、
前記第 1 の回路は、演算を行う機能を有し、
前記第 2 の回路は、コンフィギュレーションデータを変更することにより、回路構成を変更することができる機能を有し、
前記第 3 の回路は、複数の記憶領域を有し、
前記複数の記憶領域はそれぞれ、前記第 2 の回路に格納されるコンフィギュレーションデータのセットを格納する機能を有し、
前記第 1 の回路は、前記複数の記憶領域のいずれかに格納された前記コンフィギュレーションデータのセットを、前記第 2 の回路に格納する機能を有する半導体装置。 10

【請求項 2】

第 1 の回路と、第 2 の回路と、第 3 の回路と、第 4 の回路と、第 5 の回路と、有し、
前記第 1 の回路は、演算を行う機能を有し、
前記第 2 の回路は、コンフィギュレーションデータを変更することにより、回路構成を変更することができる機能を有し、
前記第 3 の回路は、複数の記憶領域を有し、
前記複数の記憶領域はそれぞれ、前記第 2 の回路に格納されるコンフィギュレーションデータのセットを格納する機能を有し、
前記第 4 の回路は、前記第 1 の回路において行われる処理に用いられるデータを格納する機能を有し、
前記第 5 の回路は、タスクを実行する前記第 2 の回路のコンテキストを選択するための第 1 のデータと、前記複数の記憶領域のいずれかを選択するための第 2 のデータと、を格納する機能を有し、
前記第 1 の回路は、前記第 2 のデータを前記第 5 の回路に格納することにより、前記複数の記憶領域のいずれかに格納された前記コンフィギュレーションデータのセットを、前記第 2 の回路に格納する機能を有する半導体装置。 20

【請求項 3】

請求項 1 又は 2 において、
前記第 2 の回路は、第 1 のコンテキスト及び第 2 のコンテキストを有し、
前記第 1 の回路は、前記第 1 のコンテキストがタスクを実行している期間に、前記第 2 のコンテキストの再構成を行う機能を有する半導体装置。 30

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、
複数の前記第 1 の回路と、複数の前記第 2 の回路と、を有し、
複数の前記第 1 の回路は、第 1 のリンクによって電氣的に接続され、
複数の前記第 2 の回路は、第 2 のリンクによって電氣的に接続され、
複数の前記第 2 の回路は、前記第 2 のリンクを介してパイプラインを構築する機能を有する半導体装置。 40

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、
前記第 2 の回路は、第 1 のトランジスタと、第 2 のトランジスタと、容量素子と、を有し、
前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲート、及び前記容量素子と電氣的に接続され、
前記第 1 のトランジスタは、前記第 2 のトランジスタ上に設けられ、
前記第 1 のトランジスタは、チャネル形成領域に酸化物半導体を有する半導体装置。 50

【請求項 6】

請求項 1 乃至 5 のいずれか一項に記載の半導体装置と、入力装置と、出力装置と、を有するコンピュータ。

【請求項 7】

請求項 1 乃至 5 のいずれか一項に記載の半導体装置、又は請求項 6 に記載のコンピュータと、

表示部、マイクロホン、スピーカ、又は操作キーと、を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、コンピュータ及び電子機器に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンビジション・オブ・マター）に関するものである。または、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、撮像装置、それらの駆動方法、または、それらの製造方法に関する。

【背景技術】

【0003】

回路の構成をユーザーが任意に変更することが可能なデバイスとして、PLD（Programmable Logic Device）が広く知られている。

【0004】

PLDはその回路規模によって、SPLD（Simple Programmable Logic Device）、CPLD（Complex Programmable Logic Device）、FPGA（Field Programmable Gate Array）などに分類される。特許文献 1 には、コンフィギュレーションメモリが酸化物半導体を用いたトランジスタによって構成されたFPGAが開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】米国特許公開第 2014/0159771 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の一態様は、新規な半導体装置の提供を課題とする。または、本発明の一態様は、演算性能が優れた半導体装置の提供を課題とする。または、本発明の一態様は、消費電力の低減が可能な半導体装置の提供を課題とする。または、本発明の一態様は、面積の縮小が可能な半導体装置の提供を課題とする。

【0007】

なお、本発明の一態様は、必ずしも上記の課題の全てを解決する必要はなく、少なくとも一の課題を解決できるものであればよい。また、上記の課題の記載は、他の課題の存在を妨げるものではない。これら以外の課題は、明細書、特許請求の範囲、図面などの記載から、自ずと明らかとなるものであり、明細書、特許請求の範囲、図面などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0008】

本発明の一態様にかかる半導体装置は、第 1 の回路と、第 2 の回路と、第 3 の回路と、を有し、第 1 の回路は、演算を行う機能を有し、第 2 の回路は、コンフィギュレーションデータを変更することにより、回路構成を変更することができる機能を有し、第 3 の回路は、複数の記憶領域を有し、複数の記憶領域はそれぞれ、第 2 の回路に格納されるコンフィギュレーションデータのセットを格納する機能を有し、第 1 の回路は、複数の記憶領域のいずれかに格納されたコンフィギュレーションデータのセットを、第 2 の回路に格納する

機能を有する。

【0009】

また、本発明の一態様にかかる半導体装置は、第1の回路と、第2の回路と、第3の回路と、第4の回路と、第5の回路と、有し、第1の回路は、演算を行う機能を有し、第2の回路は、コンフィギュレーションデータを変更することにより、回路構成を変更することができる機能を有し、第3の回路は、複数の記憶領域を有し、複数の記憶領域はそれぞれ、第2の回路に格納されるコンフィギュレーションデータのセットを格納する機能を有し、第4の回路は、第1の回路において行われる処理に用いられるデータを格納する機能を有し、第5の回路は、タスクを実行する第2の回路のコンテキストを選択するための第1のデータと、複数の記憶領域のいずれかを選択するための第2のデータと、を格納する機能を有し、第1の回路は、第2のデータを第5の回路に格納することにより、複数の記憶領域のいずれかに格納されたコンフィギュレーションデータのセットを、第2の回路に格納する機能を有する。

10

【0010】

また、本発明の一態様にかかる半導体装置において、第2の回路は、第1のコンテキスト及び第2のコンテキストを有し、第1の回路は、第1のコンテキストがタスクを実行している期間に、第2のコンテキストの再構成を行う機能を有していてもよい。

【0011】

また、本発明の一態様にかかる半導体装置は、複数の第1の回路と、複数の第2の回路と、を有し、複数の第1の回路は、第1のリンクによって電氣的に接続され、複数の第2の回路は、第2のリンクによって電氣的に接続され、複数の第2の回路は、第2のリンクを介してパイプラインを構築する機能を有していてもよい。

20

【0012】

また、本発明の一態様にかかる半導体装置において、第2の回路は、第1のトランジスタと、第2のトランジスタと、容量素子と、を有し、第1のトランジスタのソース又はドレインの一方は、第2のトランジスタのゲート、及び容量素子と電氣的に接続され、第1のトランジスタは、第2のトランジスタ上に設けられ、第1のトランジスタは、チャネル形成領域に酸化半導体を有していてもよい。

【0013】

また、本発明の一態様にかかるコンピュータは、上記の半導体装置と、半導体装置と、入力装置と、出力装置と、を有する。

30

【0014】

また、本発明の一態様にかかる電子機器は、上記の半導体装置、又は上記のコンピュータと、表示部、マイクロホン、スピーカ、又は操作キーと、を有する。

【発明の効果】

【0015】

本発明の一態様により、新規な半導体装置を提供することができる。または、本発明の一態様により、演算性能が優れた半導体装置を提供することができる。または、本発明の一態様により、消費電力の低減が可能な半導体装置を提供することができる。または、本発明の一態様により、面積の縮小が可能な半導体装置を提供することができる。

40

【0016】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。これら以外の効果は、明細書、特許請求の範囲、図面などの記載から、自ずと明らかとなるものであり、明細書、特許請求の範囲、図面などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0017】

【図1】半導体装置の構成例を説明する図。

【図2】PLD、LUT、RSの構成例を説明する図。

【図3】CPU、PLDの動作を説明する図。

50

【図 4】マルチコンテキストを説明する図。	
【図 5】半導体装置の構成例を説明する図。	
【図 6】半導体装置の構成例を説明する図。	
【図 7】タイミングチャート。	
【図 8】半導体装置の構成例を説明する図。	
【図 9】P L D の構成例を説明する図。	
【図 10】L E の構成例を説明する図。	
【図 11】回路の構成例を説明する図。	
【図 12】回路の構成例を説明する図。	
【図 13】回路の構成例を説明する図。	10
【図 14】回路の構成例を説明する図。	
【図 15】回路の構成例を説明する図。	
【図 16】回路の動作例を説明する図。	
【図 17】コンピュータの構成例を説明する図。	
【図 18】トランジスタの構成例を説明する図。	
【図 19】トランジスタの構成例を説明する図。	
【図 20】トランジスタの構成例を説明する図。	
【図 21】トランジスタの構成例を説明する図。	
【図 22】トランジスタの構成例を説明する図。	
【図 23】トランジスタの構成例を説明する図。	20
【図 24】トランジスタの構成例を説明する図。	
【図 25】エネルギーバンド図。	
【図 26】半導体装置の構成例を説明する図。	
【図 27】電子部品を説明するためのフローチャート及び斜視図。	
【図 28】電子機器の構成例を示す図。	
【図 29】C A A C - O S 及び単結晶酸化物半導体の X R D による構造解析を説明する図、並びに C A A C - O S の制限視野電子回折パターンを示す図。	
【図 30】C A A C - O S の断面 T E M 像、並びに平面 T E M 像およびその画像解析像。	
【図 31】n c - O S の電子回折パターンを示す図、及び n c - O S の断面 T E M 像。	
【図 32】a - l i k e O S の断面 T E M 像。	30
【図 33】I n - G a - Z n 酸化物の電子照射による結晶部の変化を示す図。	
【図 34】酸化物半導体をチャネル領域に用いるトランジスタにおけるエネルギーバンドを説明する図。	
【図 35】記憶回路の構成例を説明する図。	
【図 36】ソフトエラー位置を表すエラーマップ。	
【図 37】ソフトエラー率 (S E R) とテクノロジーノードの関係を示すグラフ。	
【発明を実施するための形態】	
【0018】	
以下、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の実施の形態における説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。	40
【0019】	
また、本発明の一態様には、半導体装置、コンピュータ、電子機器の他、表示装置、記憶装置、撮像装置、R F (R a d i o F r e q u e n c y) タグなど、あらゆる装置がその範疇に含まれる。また、表示装置には、液晶表示装置、有機発光素子に代表される発光素子を各画素に備えた発光装置、電子ペーパー、D M D (D i g i t a l M i c r o m i r r o r D e v i c e) 、P D P (P l a s m a D i s p l a y P a n e l) 、F E D (F i e l d E m i s s i o n D i s p l a y) などが、その範疇に含まれる。	50

【0020】

また、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等を開示されているものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも、図又は文章に記載されているものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0021】

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

10

【0022】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。又は、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

20

【0023】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅又は電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

30

【0024】

なお、XとYとが電氣的に接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とが、本明細書等を開示されているものとする。つまり、電氣的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等を開示されているものとする。

40

【0025】

また、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いることがある。

【0026】

また、図面上は独立している構成要素同士が電氣的に接続しているように図示されている

50

場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0027】

(実施の形態1)

本実施の形態では、本発明の一態様に係る半導体装置について説明する。

【0028】

＜半導体装置の構成例1＞

図1(A)に、半導体装置10の構成例を示す。半導体装置10は、回路20、回路30、記憶回路40を有する。

【0029】

回路20は、各種の演算などを行う機能を有する回路である。具体的には、回路20は中央処理装置(CPU)としての機能を有する。以下、回路20をCPU20ともいう。回路20は、順序回路や組み合わせ回路などの論理回路によって構成することができる。

【0030】

回路30は、各種の演算などを行う機能を有する回路である。具体的には、回路30は回路構成を変更することが可能なPLD(Programmable Logic Device)としての機能を有する。以下、回路30をPLD30ともいう。PLD30としては、SPLD、CPLD、FPGAなどを用いることができる。以下、PLD30としてFPGAを用いた例について説明する。

【0031】

PLD30の構成の概要を、図2(A)に示す。PLD30は、複数のプログラム可能な論理素子(LE)と、LE間に設けられたプログラム可能なスイッチ(RS)を有する。LEが有する記憶素子に格納されたデータを変更することにより、LEの機能を変更することができる。また、RSが有する記憶素子に格納されたデータを変更することにより、LE間の接続状態を変更することができる。

【0032】

なお、本明細書等において、LEの機能を制御するデータ、及びLE間の接続状態を制御するデータをコンフィギュレーションデータといい、コンフィギュレーションデータが記憶される記憶素子をコンフィギュレーションメモリという。また、コンフィギュレーションメモリに記憶されたコンフィギュレーションデータを更新することを再構成という。所定のコンフィギュレーションデータを生成してコンフィギュレーションメモリに格納することにより、PLD30の回路構成を自由に変更することができる。

【0033】

LEは、ルックアップテーブル(LUT)やマルチプレクサ(MUX)などによって構成することができる。図2(B)に、LEに用いることができるLUTの構成例を示す。図2(B)に示すLUTは、コンフィギュレーションメモリCma1乃至Cma4に格納されたコンフィギュレーションデータを変更することにより、論理演算の内容を変更することができる。例えば、コンフィギュレーションメモリCma1乃至Cma3にデータ“1”を格納し、コンフィギュレーションメモリCma4にデータ“0”を格納することにより、端子A、Bを入力端子としたNANDゲートを実現することができる。また、コンフィギュレーションメモリCma1にデータ“1”を格納し、コンフィギュレーションメモリCma2乃至Cma4にデータ“0”を格納することにより、端子A、Bを入力端子としたNORゲートを実現することができる。

【0034】

RSは、トランジスタなどを用いて構成することができる。図2(C)に、RSの構成例を示す。図2(C)に示すRSは、コンフィギュレーションメモリCmb1、Cmb2に格納するコンフィギュレーションデータを変更することにより、端子A、B間の接続関係

10

20

30

40

50

を変更することができる。例えば、コンフィギュレーションメモリC M b 1にデータ“ 0 ”を格納することにより、端子Aから端子Bへの経路を非導通状態とすることができ、コンフィギュレーションメモリC M b 2にデータ“ 1 ”を格納することにより、端子Bから端子Aへの経路を導通状態とすることができる。

【0035】

このように、L E及びR Sが有するコンフィギュレーションメモリに格納するデータを制御することにより、L Eの機能及びL E間の接続関係を制御し、P L D 3 0の機能を自由に設定することができる。なお、コンフィギュレーションメモリのより具体的な構成例については、実施の形態2などで説明する。

【0036】

P L D 3 0は、C P U 2 0から入力される制御信号に応じて処理を実行する。図3に、C P U 2 0における処理とP L D 3 0における処理の代表的な手順を示す。C P U 2 0における処理は図3（A）に示すように、制御ユニットC Uによる命令メモリI Mからの命令の読み出し、制御ユニットC Uによる命令の解読、実行ユニットE UによるデータメモリD Mからの被演算データの読み出し、実行ユニットE Uによる演算、実行ユニットE Uによる演算結果のデータメモリD Mへの書き込み、を順次繰り返すことによって行われる。

【0037】

命令メモリI Mに記憶される命令は高い汎用性を有しており、当該命令を組み合わせることによってC P U 2 0は様々な機能を実現することができる。しかし、命令を実行する度にデータメモリD Mへのアクセスが必要となる。この頻繁なアクセスは、C P U 2 0の処理速度の低下につながる。

【0038】

一方、P L D 3 0はコンフィギュレーションデータを変更することにより、回路構成を柔軟に変更することができる。そのため、図3（B）に示すように複数の実行ユニットE Uを構成し、これらの実行ユニットE Uを接続することにより、一連の演算処理を行うパイプライン（P L）を構成することができる。また、処理するデータの量に応じて、パイプラインの数を制御することができる。

【0039】

パイプラインの最初の実行ユニットにデータメモリD Mから読み出した被演算データを入力すると、各パイプラインで一連の演算処理が行われ、演算処理が終了すると演算結果がデータメモリD Mに格納される。このように、複数の実行ユニットE Uで行われる一連の処理をパイプライン処理に置き換えた場合、データメモリD Mへのアクセスはパイプライン処理の最初と最後に行えばよい。そのため、P L D 3 0はC P U 2 0と比較してメモリへのアクセスの頻度を低くでき、高速な処理を行うことができる。また、メモリへのアクセスに伴う消費電力を大幅に削減でき、極めて電力効率のよい演算処理が可能となる。

【0040】

図1（A）に示す半導体装置10は、C P U 2 0及びP L D 3 0を有し、C P U 2 0によってP L D 3 0の動作を制御することができる。そのため、C P U 2 0は、複雑な演算が要求される処理や少量のデータ処理などを自身で実行し、大量のデータ処理が必要な演算や即応性が要求される演算などはP L D 3 0に処理させることができる。これにより、C P U 2 0による処理の負荷の低減、及びメモリへのアクセス頻度の減少を図ることができ、半導体装置10の動作速度及び電力効率の向上を実現することができる。

【0041】

記憶回路40は、P L D 3 0に格納するデータを記憶する機能を有する回路である。具体的には、記憶回路40はN個（Nは2以上の整数）の記憶領域41（記憶領域41〔1〕乃至〔N〕）を有する。

【0042】

記憶領域41には、P L D 3 0における処理に用いるデータD cが記憶される。データD cは、P L D 3 0に格納されるコンフィギュレーションデータのセットであり、P L D 3 0を所定のタスクの実行が可能となるように再構成するためのデータに相当する。

10

20

30

40

50

【0043】

ここで、PLD30の再構成の方法としては、PLD30の動作を停止した状態で再構成を行う静的再構成と、PLD30の動作中に再構成を行う動的再構成がある。動的再構成は、PLD30におけるタスクの実行とPLD30の再構成を並行して行うことができるため、PLD30の動作速度の向上に好ましい。

【0044】

ここで、PLD30にはマルチコンテキスト方式を用いることができる。マルチコンテキスト方式は、所定の回路構成に対応するコンフィギュレーションデータのセットを複数用意しておき、PLD30に格納するコンフィギュレーションデータのセットを切り替えることにより、PLD30の回路構成を高速で切り替える方式である。図4(A)に、マルチコンテキスト方式を用いたPLD30の概念図を示す。

10

【0045】

PLD30は複数のコンテキストを有する。図4(A)には、PLD30が2つのコンテキスト(Context[0]、[1])を有する構成例を示す。また、記憶領域41[k](kは1以上N以下の整数)には、タスクkの実行が可能な回路構成に対応するデータDcが格納されている。以下、コンテキスト数が2の場合について説明するが、PLD30のコンテキスト数は任意に設定することができる。

【0046】

記憶領域41[1]乃至[N]はそれぞれ、選択回路SCを介してPLD30と接続されている。記憶領域41[1]乃至[N]に格納されたデータDcのいずれかが選択され、PLD30に入力されることにより、PLD30の再構成が行なわれる。これにより、PLD30において実行するタスクに応じて、PLD30の再構成を高速に行うことができる。

20

【0047】

また、PLD30はContext[0]、[1]を有し、それぞれ記憶領域41に記憶されたデータDcを用いて再構成を行うことができる。具体的には、図4(B)に示すように、PLD30が有するコンフィギュレーションメモリCMは、Context[0]、[1]に対応する記憶領域MC[0]、[1]を有する。

【0048】

Context[0]が選択される場合は、端子C[0]にトランジスタT[0]がオン状態となる電位が供給され、端子C[1]にトランジスタT[1]がオフ状態となる電位が供給される。これにより、記憶領域MC[0]に保持されているデータがコンフィギュレーションデータとして端子OUTに出力される。一方、Context[1]が選択される場合は、端子C[0]にトランジスタT[0]がオフ状態となる電位が供給され、端子C[1]にトランジスタT[1]がオン状態となる電位が供給される。これにより、記憶領域MC[1]に保持されているデータがコンフィギュレーションデータとして端子OUTに出力される。このように、PLD30が有するコンテキストのいずれかが選択され、選択されたコンテキストに応じてPLD30の回路構成を変更することができる。

30

【0049】

記憶領域MC[0]、[1]にはそれぞれ、記憶領域41[1]乃至[N]に記憶されたデータのいずれかを選択して格納することができる。すなわち、記憶領域MC[0]にはContext[0]に対応するコンフィギュレーションデータを格納し、記憶領域MC[1]にはContext[1]に対応するコンフィギュレーションデータを格納することができる。これにより、Context[0]、[1]の再構成を独立して行うことができる。

40

【0050】

また、PLD30における処理は、Context[0]、[1]を交互に切り替えて行うことができる。この場合、Context[0]においてタスクが実行されている期間にContext[1]の再構成を行い、Context[1]においてタスクが実行されている期間にContext[0]の再構成を行うことができる。具体的には、Con

50

t e x t [0] においてタスクが実行されている期間に、記憶領域 M C [1] に格納されたコンフィギュレーションデータの更新を行い、C o n t e x t [1] においてタスクが実行されている期間に、記憶領域 M C [0] に格納されたコンフィギュレーションデータの更新を行うことができる。これにより、タスクの実行と再構成を並行して行う動的再構成を実現することができ、P L D 3 0 において極めて長いパイプラインを構築することができる。

【0051】

なお、コンフィギュレーションメモリ C M には、図 4 (B) に示す回路 K C を設けてもよい。回路 K C はトランジスタ T_K 、インバータ $I N V_K$ を有する。端子 O U T の電位がハイレベルの場合、端子 V H からトランジスタ T_K を介して端子 O U T に高電源電位が供給される。これにより、端子 O U T の電位をハイレベルに保つことができる。

10

【0052】

図 1 (A) において、P L D 3 0 は C P U 2 0 から入力される制御信号 C T R 1 及び制御信号 C T R 2 に従って処理を行う。制御信号 C T R 1 は、P L D 3 0 が有する複数のコンテキストから、タスクを実行するコンテキストを選択する機能を有する信号である。制御信号 C T R 2 は、タスクが実行されていないコンテキストの再構成を制御する機能を有する信号である。

【0053】

C P U 2 0 は、P L D 3 0 でタスクを実行する際、P L D 3 0 に制御信号 C T R 1 を出力する。制御信号 C T R 1 には、タスクを実行するコンテキストを変更する信号と、変更後のコンテキストを指定する信号とが含まれる。制御信号 C T R 1 に従い、P L D 3 0 が有する複数のコンテキストからタスクを実行するコンテキストが選択される。

20

【0054】

また、C P U 2 0 は P L D 3 0 に制御信号 C T R 2 を出力する。制御信号 C T R 2 には、タスクを実行していないコンテキストのコンフィギュレーションデータの更新を要求する信号と、コンフィギュレーションデータの更新を行うコンテキストを指定する信号とが含まれる。制御信号 C T R 2 に従い、タスクを実行していない特定のコンテキストが選択され、選択されたコンテキストにおいて再構成が行われる。

【0055】

具体的には、P L D 3 0 に制御信号 C T R 2 が入力されると、P L D 3 0 から記憶回路 4 0 に制御信号 C T R 3 が出力される。記憶回路 4 0 に制御信号 C T R 3 が入力されると、記憶領域 4 1 [1] 乃至 [N] からそれぞれコンフィギュレーションデータのセット（データ D c）が出力される。そして、これらのデータ D c のうち、制御信号 C T R 2 に従って選択されたコンテキストを再構成するための一のデータ D c が P L D 3 0 に入力され、P L D 3 0 の再構成が行われる。これにより、タスクを実行していないコンテキストの再構成を行うことができる。

30

【0056】

なお、半導体装置 1 0 は、C P U 2 0、P L D 3 0 に加えて、他の集積回路において演算を行うこともできる。図 1 (B) には、半導体装置 1 0 が、C P U 2 0 からの命令に従って演算を行う回路 3 1 を有する構成例を示す。回路 3 1 としては、G P U (G r a p h i c s P r o c e s s i n g U n i t) を用いることができる。この場合、C P U、G P U、P L D を用いて演算を行うことが可能な半導体装置 1 0 を構成することができる。以下、回路 3 1 を G P U 3 1 ともいう。

40

【0057】

以上のように、半導体装置 1 0 は、C P U 2 0 と、C P U 2 0 によって制御される P L D 3 0 とを用いて演算を行うことができる。また、C P U 2 0 は、P L D 3 0 で実行するタスクの切り替えに同期して、P L D 3 0 の動的再構成を行うことができる。これにより、演算性能に優れた半導体装置を提供することができる。

【0058】

<半導体装置の構成例 2>

50

次に、半導体装置 10 の具体的な構成例について説明する。図 5 に、半導体装置 10 の構成例を示す。図 5 に示す半導体装置 10 は、回路 20 (CPU 20)、回路 30 (PLD 30)、記憶回路 40、インターフェース (IF) 50、記憶回路 60、記憶回路 70、記憶回路 80、選択回路 90 を有する。回路 20、回路 30、記憶回路 40 の構成及び機能は、図 1 の説明と同様である。

【0059】

IF 50 は、CPU 20 と記憶回路 60 の間のデータの送受信、及び CPU 20 と記憶回路 70 の間のデータの送受信を制御する機能を有する回路である。CPU 20 から記憶回路 60 又は記憶回路 70 にアクセス要求があると、CPU 20 から IF 50 にアドレス信号 (信号 ADDR) が出力される。ここで、CPU 20 は記憶回路 60 及び記憶回路 70 を、特定の論理アドレス領域に割り振られた記憶回路として認識する。そして、論理アドレスに対応する信号 ADDR が、IF 50 において物理アドレスに対応する信号 ADDR_M 又は信号 ADDR_R に変換される。信号 ADDR_M は記憶回路 60 の物理アドレスに対応する信号であり、信号 ADDR_R は記憶回路 70 の物理アドレスに対応する信号である。なお、記憶回路 60 には、信号 ADDR_M とともに記憶回路 60 を選択するアクセス信号が入力されてもよい。また、記憶回路 70 には、信号 ADDR_R とともに記憶回路 70 を選択するアクセス信号が入力されてもよい。

【0060】

記憶回路 60 は、CPU 20 において行われる処理に用いられるデータを格納する機能を有する回路である。CPU 20 において行われる処理に用いられるデータとしては、CPU 20 において実行される命令に対応するプログラム、CPU 20 が実行する演算の対象となるデータ、CPU 20 による演算の結果に対応するデータなどが挙げられる。CPU 20 はファームウェアに従い、記憶回路 60 を作業用のメモリとして処理を行う。

【0061】

IF 50 から信号 ADDR_M が入力されると、記憶回路 60 においてデータの書き込み又は読み出しが行われる。データの書き込みは、CPU 20 から IF 50 に入力されたデータ D_i がデータ D_m として記憶回路 60 に出力され、データ D_m が信号 ADDR_M によって指定される記憶回路 60 のアドレスに格納されることにより行われる。データの読み出しは、信号 ADDR_M によって指定される記憶回路 60 のアドレスからデータ D_m が読み出され、データ D_m が IF 50 から CPU 20 にデータ D_i として出力されることにより行われる。

【0062】

記憶回路 70 は、CPU 20 において行われる処理に用いられるデータを格納する機能を有する。また、記憶回路 70 は、PLD 30 の動作の制御に用いられるデータを記憶する機能を有する。記憶回路 70 は、例えばレジスタによって構成することができる。

【0063】

IF 50 から信号 ADDR_R が入力されると、記憶回路 70 においてデータの書き込み又は読み出しが行われる。データの書き込みは、CPU 20 から IF 50 に入力されたデータ D_i がデータ D_r として記憶回路 70 に出力され、データ D_r が信号 ADDR_R によって指定される記憶回路 70 のアドレスに格納されることにより行われる。データの読み出しは、信号 ADDR_R によって指定される記憶回路 70 のアドレスからデータ D_r が読み出され、データ D_r が IF 50 から CPU 20 にデータ D_i として出力されることにより行われる。

【0064】

また、記憶回路 70 は、記憶領域 71、記憶領域 72 を有する。記憶領域 71 は、タスク A を実行するコンテキストを選択するためのデータ (D_{TA}) などを格納する機能を有する。記憶領域 72 は、タスク B を実行するコンテキストを選択するためのデータ (D_{TB})、タスク B に対応するコンフィギュレーションデータのセットが記憶された記憶領域 41 を選択するためのデータ (D_{CS}) などを格納する機能を有する。記憶領域 71、記憶領域 72 はそれぞれ、レジスタなどによって構成することができる。CPU 20 は、ファ

10

20

30

40

50

ームウェアに従って記憶回路70に適宜データの書き込みを行う。

【0065】

記憶領域71に格納されたデータがCPU20により変更されると、記憶領域71からPLD30に制御信号CTR1が出力され、タスクを実行するコンテキストの選択が行われる。また、記憶領域72に格納されたデータがCPU20により変更されると、記憶領域72からPLD30に制御信号CTR2が出力され、タスクが実行されていない特定のコンテキストにおいて再構成が行われる。

【0066】

具体的には、PLD30は、記憶領域72から制御信号CTR2が入力されると、記憶領域41[1]乃至[N]に制御信号CTR3を出力する。制御信号CTR3は、記憶領域41[1]乃至[N]にデータを出力させるための信号であり、チップセレクト信号などのアクセス信号に対応する。制御信号CTR3が記憶領域41[1]乃至[N]に入力されると、記憶回路40から選択回路90にコンフィギュレーションデータのセットに対応するデータDc[1]乃至[N]が出力される。

【0067】

記憶領域41から選択回路90へのデータDcの出力は、シリアルデータ出力とすることが好ましい。これにより、記憶回路40と選択回路90間のデータの送受信を制御するメモリインターフェースの構成を簡略化することができる。また、記憶領域41から選択回路90には、データDcと同期したクロック信号も出力される構成とすることが好ましい。これにより、記憶回路40と選択回路90間でクロック同期式のシリアル通信を行うことができる。なお、この通信は、NRZ(Non Return Zero)符合化、位相変調などを用いて行うこともできる。この場合、CDR(Clock Data Recovery)回路を設けることにより、データDcとクロック信号を分離することができる。

【0068】

なお、記憶回路70は、PLD30において行われる処理に用いられるデータDcpを記憶する機能を有していてもよい。PLD30において行われる処理に用いられるデータとしては、PLD30が実行する演算の対象となるデータ、PLD30による演算の結果に対応するデータなどが挙げられる。データDcpは、記憶回路70内のレジスタなどに記憶することができる。

【0069】

記憶回路80は、PLD30において行われる処理に用いられるデータを格納する機能を有する回路である。PLD30から記憶回路80にアドレス信号に対応する信号ADDRPが入力されると、記憶回路80においてデータの書き込み又は読み出しが行われる。データの書き込みは、PLD30から記憶回路80にデータDpが出力され、データDpが信号ADDRPによって指定される記憶回路80のアドレスに格納されることにより行われる。データの読み出しは、信号ADDRPによって指定される記憶回路80のアドレスからデータDpが読み出され、データDpがPLD30に出力されることにより行われる。

【0070】

PLD30は、制御信号CTR1により指定されたコンテキストを用いて、記憶回路80を作業用のメモリとしてタスクを実行する。また、PLD30は、記憶回路70に格納されたデータDcpを用いてタスクを実行することもできる。なお、PLD30は、タスクの途中経過(チェックポイントの終了)を知らせるデータ、タスク終了を知らせるデータ、タスクの実行により生成したデータなどを記憶回路70又は記憶回路80に格納する機能を有していてもよい。CPU20は、記憶回路70に所定のデータを格納することにより、PLD30のタスクスケジュールの更新などの処理を行うことができる。

【0071】

選択回路90は、記憶領域41[1]乃至[N]のそれぞれから出力されたコンフィギュレーションデータのセット(データDc[1]乃至Dc[N])からいずれかーを選択し

10

20

30

40

50

て、P L D 3 0 に出力する機能を有する回路である。データ D c の選択は、記憶回路 7 0 から選択回路 9 0 に入力される制御信号 C T R 4 に基づいて行われる。記憶領域 7 2 に格納されたデータが C P U 2 0 により変更されると、タスク B に対応するコンフィギュレーションデータのセットを選択する制御信号 C T R 4 が生成され、選択回路 9 0 に出力される。そして、選択回路 9 0 から出力されたデータ D c は P L D 3 0 のコンフィギュレーションメモリに格納される。これにより、制御信号 C T R 2 によって選択されたコンテキストの再構成が行われる。

【0072】

なお、図 5 に示す半導体装置 1 0 では、P L D 3 0 が記憶領域 4 1 [1] 乃至 [N] のいずれかを選択して当該記憶領域 4 1 に対応する制御信号を生成することにより、記憶回路 4 0 からデータ D c を選択的に抽出する方式ではなく、記憶回路 4 0 から一旦データ D c [1] 乃至 [N] を出力した後、P L D 3 0 に入力するデータ D c を選択回路 9 0 によって選択する方式を用いている。これにより、記憶領域 4 1 の個数を増加させても、P L D 3 0 と記憶回路 4 0 の通信を制御するメモリインターフェースの構成を大幅に変更する必要がなく、半導体装置の汎用性の向上を図ることができる。

【0073】

上記の P L D 3 0 の再構成は、あるコンテキストがタスクを実行しており動作状態である期間に、タスクを実行していないコンテキストが再構成されることにより行われる。これにより、P L D 3 0 の動的再構成を実現することができる。

【0074】

なお、図 5 に示す半導体装置 1 0 は、図 1 (B) に示す G P U 3 1 を有していてもよい。図 5 に示す半導体装置 1 0 が G P U 3 1 を有する構成を、図 6 に示す。

【0075】

C P U 2 0 と G P U 3 1 の間のデータの授受は、I F 5 0 を介して行われる。信号 A D D R G は G P U 3 1 へのアクセスのためのアドレス信号であり、データ D g は G P U 3 1 において書き込み又は読み出しが行われるデータである。このような構成とすることにより、半導体装置 1 0 において C P U 、 G P U 、 P L D を用いて演算を行うことが可能となる。

【0076】

<半導体装置の動作例>

次に、半導体装置 1 0 の動作例について説明する。図 7 は、半導体装置 1 0 にマルチコンテキスト方式の P L D 3 0 を用いた場合の動作例を示すタイミングチャートである。なお、ここでは P L D 3 0 が 2 つのコンテキスト (C o n t e x t [0]、[1]) を有する場合について説明するが、P L D 3 0 のコンテキスト数はこれに限定されず、任意の数とすることができる。

【0077】

まず、時刻 T 0 において、C o n t e x t [0] のコンフィギュレーションデータはタスク 1 に対応するデータ D c [1] であり、C o n t e x t [1] のコンフィギュレーションデータはタスク 2 に対応するデータ D c [2] であり、制御信号 C T R 1 によって選択されているコンテキスト (A c t i v e C o n t e x t) は C o n t e x t [0] である。このとき、P L D 3 0 が実行するタスク (A c t i v e C o n f i g u r a t i o n) は、データ D c [1] に対応したタスク 1 である。

【0078】

なお、時刻 T 0 以前に、C o n t e x t [0] のコンフィギュレーションデータを記憶領域 4 1 [1] に格納されたデータ D c [1] に更新するためのデータ、及び、C o n t e x t [1] のコンフィギュレーションデータを記憶領域 4 1 [2] に格納されたデータ D c [2] に更新するためのデータを、C P U 2 0 によって記憶領域 7 2 に格納し、さらに、タスクを実行するコンテキストとして C o n t e x t [0] を指定するデータを C P U 2 0 によって記憶領域 7 1 に格納する。これにより、P L D 3 0 を時刻 T 0 における状態とすることができる。上記の動作は、半導体装置 1 0 に電源電圧を供給した直後や、半導

10

20

30

40

50

体装置 10 のリセット動作を行った直後などに行うことができる。

【0079】

次に、時刻 T1 において、Active Context を Context [1] とする。これにより、PLD30 が実行するタスクは、データ Dc [2] に対応したタスク 2 に切り替わる。なお、上記の切り替えは、タスクを実行するコンテキストとして Context [1] を指定するデータを CPU20 によって記憶領域 71 に格納することにより、行うことができる。

【0080】

次に、時刻 T2 乃至 T3 において、タスクを実行していない Context [0] は、タスク 3 に対応するデータ Dc [3] を用いて再構成される。この動作は、Context [0] のコンフィギュレーションデータを記憶領域 41 [3] に格納されたデータ Dc [3] に更新するためのデータを、CPU20 によって記憶領域 72 に格納することにより行うことができる。

10

【0081】

次に、時刻 T4 において、Active Context を Context [0] とする。これにより、PLD30 が実行するタスクは、データ Dc [3] に対応するタスク 3 に切り替わる。なお、上記の切り替えは、タスクを実行するコンテキストとして Context [0] を指定するデータを CPU20 によって記憶領域 71 に格納することにより、行うことができる。

【0082】

次に、時刻 T5 乃至 T6 において、タスクを実行していない Context [1] は、タスク 4 に対応するデータ Dc [4] を用いて再構成される。この動作は、Context [1] のコンフィギュレーションデータを記憶領域 41 [4] に格納されたデータ Dc [4] に更新するためのデータを、CPU20 によって記憶領域 72 に格納することにより行うことができる。

20

【0083】

次に、時刻 T7 において、Active Context を Context [1] とする。これにより、PLD30 が実行するタスクは、データ Dc [4] に対応するタスク 4 に切り替わる。

【0084】

以上のように、PLD30 は CPU20 の制御により、Context [0]、[1] を交互に切り替えて処理を行うことができる。また、PLD30 は CPU20 の制御により、あるコンテキストがタスクを実行している期間に、タスクを実行していないコンテキストの再構成を行うことができる。これらの動作を行うことにより、PLD30 は実質的に無限長のパイプラインを構成することもでき、演算性能に優れた半導体装置を提供することができる。

30

【0085】

<半導体装置の構成例 3>

次に、半導体装置 10 の他の構成例について説明する。図 8 に、半導体装置 10 の構成例を示す。図 8 に示す半導体装置 10 は、複数の CPU20 及び複数の PLD30 を用いたコンピューティングシステムを構成している。

40

【0086】

図 8 において、CPU20 同士はリンク Lcc によって接続されている。これにより、複数の CPU20 は処理を分散して実行することができる。また、CPU20 と PLD30 はリンク Lcp によって接続されている。これにより、負荷の大きい演算処理などを PLD30 において実行することができる。

【0087】

そして、隣接する PLD30 同士は、リンク Lpp によって接続されている。これにより、複数の PLD30 を用いて一つの深いパイプラインを構築して演算処理を実行することができる。又は、複数の PLD30 を用いて同一のパイプラインを複数構築して、複数の

50

演算処理を並列に実行することができる。これにより、半導体装置 10 の演算処理のスループットを向上させることができる。

【0088】

また、複数の PLD 30 間にリンク Lpp が設けられていることにより、PLD 30 は CPU 20 及びリンク Lcc を介することなく、他の PLD 30 と通信を行うことができる。よって、PLD 30 の処理速度を向上させることができる。

【0089】

上記のように、本発明の一態様においては、CPU 20 及び PLD 30 を用いて演算を行うことができる。これにより、CPU 20 による処理の負荷の低減、及びメモリへのアクセス頻度の減少を図ることができ、半導体装置の処理速度及び電力効率の向上を実現することができる。また、本発明の一態様においては、PLD 30 のコンテキストを切り替えて処理を行い、PLD 30 で実行するタスクの切り替えに同期して、PLD 30 の動的再構成を行うことができる。これにより、演算性能に優れた半導体装置を提供することができる。

10

【0090】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【0091】

(実施の形態 2)

本実施の形態では、上記実施の形態で説明した半導体装置に用いることができる PLD の構成例について説明する。

20

【0092】

< PLD の構成例 >

図 9 に、PLD 200 の構成を示す。PLD 200 は、実施の形態 1 における PLD 30 として用いることができる。なお、PLD 200 にはマルチコンテキスト方式を適用することができる。

【0093】

PLD 200 は、ロジック部、入出力部、及び周辺回路部を有する。ロジック部は、ロジックアレイ (LA) 211、212、スイッチアレイ (SWA) 221 乃至 223 を有する。入出力部は、入出力アレイ (IOA) 224、225 を有する。周辺回路部は、ロジック部および入出力部を駆動する機能を有する回路を有する。例えば周辺回路部は、クロック信号生成装置 230、コンフィギュレーションコントローラ 231、コンテキストコントローラ 232、列ドライバ回路 234、行ドライバ回路 235 を有する。

30

【0094】

LA 211、212 はそれぞれ、複数の LE 240 を有する。図 9 には、LA 211 が 10 個の LE 240 (LE<00>乃至<09>) を有し、LA 212 が 10 個の LE 240 (LE<10>乃至<19>) を有する構成例を示しているが、LE 240 の数は自由に設定することができる。IOA 224、225 は、PLD 200 の外部端子と LA 211、212 との間の信号の入出力を制御する機能を有する。

【0095】

IOA 224、225 はそれぞれ、複数の入出力回路 (IO) を有する。図 9 には、IOA 224 が 10 個の入出力回路 (IO<00>乃至<09>) を有し、IOA 225 が 10 個の入出力回路 (IO<10>乃至<19>) を有する構成例を示している。IO<00>乃至<19>は、互いに異なる外部端子と接続されている。

40

【0096】

SWA 221 乃至 223 はそれぞれ、複数の RS 280 を有する。RS 280 内の表記は、その機能を表している。例えば、「LE0* to IO00」とは、RS 280 が、LE<00>乃至<09>の出力ノードと、IO<00>の入力ノードとの間のスイッチとしての機能を有することを示しており、RS 280 は、コンフィギュレーションデータ及びコンテキストを選択するデータ (以下、コンテキストデータともいう) に従って、LE<00>乃至<09>と IO<00>との接続関係を決定する。

50

【0097】

クロック信号生成装置230は、PLD200内で使用される1または複数のクロック信号を生成する機能を有する。列ドライバ回路234は、コンフィギュレーションデータを生成する機能を有する。行ドライバ回路235は、コンフィギュレーションメモリを選択する信号を生成する機能を有する。コンフィギュレーションコントローラ231は、列ドライバ回路234および行ドライバ回路235を制御する機能を有する。コンテキストコントローラ232は、コンテキストデータを生成する機能を有する。

【0098】

<LEの構成例>

図10に、LE240の構成例を示す。LE240はプログラム可能な論理回路であり、コンフィギュレーションメモリ部250、ロジックセル(LCELL)260を有する。

10

【0099】

コンフィギュレーションメモリ部250は、コンフィギュレーションデータを格納する機能を有する。LE240の機能は、コンフィギュレーションメモリ部250に格納されたコンフィギュレーションデータに従って決定される。

【0100】

LE240は、入力データDinに所定の論理演算を施したデータを生成し、これを出力データDoutとして出力する機能を有する。LE240は、排他的論理和(XOR)回路群261、LUT262、キャリーロジック263、セレクトタ(SEL)264、フリップフロップ(FF)265、セレクトタ(SEL)266を有する。FF265はレジスタとしての機能を有する。FF265は、データが入力される端子D、リセット信号RSTが入力される端子XR、クロック信号CLKが入力される端子、データを出力する端子Qを有する。コンフィギュレーションメモリ部250から出力されるコンフィギュレーションデータによって、LCELL260の論理機能が制御される。

20

【0101】

データDinは、RS280から入力される。また、データDoutはRS280に出力される。複数のLE240によってキャリーチェーンを形成するため、複数のLE240間でキャリー信号(carry signal)の入出力が行われる。また、複数のLE240によってレジスタチェーンを形成するため、隣接するLE240間でレジスタチェーン信号(register chain signal)の入出力が行われる。

30

【0102】

<コンフィギュレーションメモリの構成例>

PLD200が有するLE240及びRS280は、それぞれコンフィギュレーションメモリを有する。以下、LE240及びRS280に用いることができるコンフィギュレーションメモリの構成例について説明する。

【0103】

コンフィギュレーションメモリは、コンフィギュレーションデータを記憶する機能を有する記憶回路を有する。コンフィギュレーションメモリが有する記憶回路は、揮発性であっても不揮発性であってもよい。揮発性の記憶回路としては、例えば、SRAMなどが挙げられる。また、不揮発性の記憶回路としては、例えば、フラッシュメモリ、強誘電体メモリ(FeRAM)、磁気抵抗メモリ(MRAM)、相変化メモリ(PRAM)、抵抗変化型メモリ(ReRAM)などが挙げられる。

40

【0104】

ここで、記憶回路として、チャネル形成領域に酸化物半導体を有するトランジスタ(以下、OSTランジスタともいう)を有する回路を用いることが特に好ましい。酸化物半導体は、シリコンなどの半導体よりもバンドギャップが広く、また、キャリア密度を低くすることができる。そのため、OSTランジスタのオフ電流は極めて小さい。よって、コンフィギュレーションメモリにOSTランジスタを用いることにより、コンフィギュレーションデータを極めて長期間にわたって保持することができる。また、以下に述べるように、OSTランジスタを用いることによりコンフィギュレーションメモリの面積の縮小を図る

50

ことができる。

【0105】

〔構成例1〕

図11(A)に、コンフィギュレーションメモリに用いることができる記憶回路の構成例を示す。記憶回路300は、複数の回路310を有する。なお、図11(A)には一例として、2つの回路310(回路310[0]、[1])を示しているが、回路310の個数はこれに限られない。回路310に所定のコンフィギュレーションデータを格納することにより、配線INと配線OUTの間の接続状態を制御することができる。そのため、記憶回路300はRS280に適用することができる。

【0106】

回路310は、トランジスタ311、312、313、容量素子314を有する。ここではトランジスタ311、312、313をnチャネル型としているが、これらのトランジスタはそれぞれpチャネル型であってもよい。なお、「OS」の符号が付されたトランジスタはOSトランジスタである。

【0107】

トランジスタ311のゲートは配線WLと接続され、ソース又はドレインの一方はトランジスタ312のゲートおよび容量素子314の一方の電極と接続され、ソース又はドレインの他方は配線BLと接続されている。トランジスタ312のソース又はドレインの一方は配線INと接続され、ソース又はドレインの他方はトランジスタ313のソース又はドレインの一方と接続されている。トランジスタ313のゲートは配線CTXと接続され、ソース又はドレインの他方は配線OUTと接続されている。容量素子314の他方の電極は、所定の電位が供給される配線と接続されている。ここで、トランジスタ311のソース又はドレインの一方、トランジスタ312のゲート、および容量素子314の一方の電極と接続されたノードを、ノードN1とする。

【0108】

次に、回路310の動作について説明する。まず、配線WLの電位を制御してトランジスタ311をオン状態とする。これにより、配線BLの電位がノードN1に与えられる(コンフィギュレーションデータの書き込み)。なお、配線WLは行ドライバ回路235(図9参照)と接続されており、配線WLの電位は行ドライバ回路235によって制御することができる。

【0109】

その後、配線WLの電位を制御してトランジスタ311をオフ状態とする。これにより、ノードN1が浮遊状態となり、ノードN1の電位が保持される(コンフィギュレーションデータの保持)。ここで、配線INと配線OUT間に設けられたトランジスタ312の導通状態は、ノードN1の電位によって決定される。そのため、ノードN1の電位を制御することにより配線INと配線OUT間の導通状態を制御することができる。このような回路310を有する記憶回路300は、配線間の導通状態を制御するスイッチとしての機能を有するため、RS280のコンフィギュレーションメモリに用いることができる。記憶回路300をRS280のコンフィギュレーションメモリに用いる場合、配線INと配線OUTはそれぞれ、IO又はLE240と接続される。

【0110】

なお、記憶回路300は回路310[0]及び回路310[1]を有し、両者は配線OUTを共有している。そして、配線CTX[0]、[1]に所定の電位を供給することにより、回路310[0]又は回路310[1]の一方を選択することができる。これにより、記憶回路300をマルチコンテキスト方式のコンフィギュレーションメモリとして用いることができる。

【0111】

具体的には、Context[0]を選択する場合、配線CTX[0]を制御して回路310[0]のトランジスタ313をオン状態とする。また、配線CTX[1]を制御して回路310[1]のトランジスタ313をオフ状態とする。これにより、配線INと配線

10

20

30

40

50

OUT間の導通状態は、回路310[0]のノードN1の電位によって制御される。一方、Context[1]を選択する場合は、配線CTX[0]を制御して回路310[0]のトランジスタ313をオフ状態とする。また、配線CTX[1]を制御して回路310[1]のトランジスタ313をオン状態とする。これにより、配線INと配線OUT間の導通状態は、回路310[1]のノードN1の電位によって制御される。このように、配線CTX[0]、[1]の電位を制御することにより、配線INと配線OUTの間の導通状態を制御するコンテキストを選択することができる。

【0112】

ここで、トランジスタ311はOSトランジスタであり、オフ電流が極めて小さい。そのため、トランジスタ311をオフ状態である期間において、ノードN1の電位を長時間にわたって維持することができる。これにより、コンフィギュレーションデータの更新の頻度を大幅に減らすことができ、PLD200の消費電力を削減することができる。また、回路310への電力の供給が停止された期間においても、コンフィギュレーションデータを長期間保持することができる。

10

【0113】

また、OSトランジスタを用いることにより、少ないトランジスタ数（回路310においては3個）で回路310を構成することができる。これにより、PLD200の面積を縮小することができる。また、OSトランジスタは他のトランジスタ上に積層することができる。そのため、トランジスタ311をトランジスタ312又はトランジスタ313上に積層し、回路310の面積を縮小することができる。これにより、PLD200の面積をさらに縮小することができる。

20

【0114】

また、PLD200にマルチコンテキスト方式を用いる場合、コンフィギュレーションメモリには複数のコンテキストに対応するコンフィギュレーションデータを格納する必要があるため、コンフィギュレーションメモリの面積が大幅に増大する可能性がある。しかしながら、上記の通りOSトランジスタを有する記憶回路300を用いることにより、コンフィギュレーションメモリの面積の増加を抑えることができる。そのため、OSトランジスタをマルチコンテキスト方式のPLD200に用いることは特に好ましい。

【0115】

なお、図11(A)において、OSトランジスタ以外のトランジスタの材料は特に限定されない。例えば、チャネル形成領域が単結晶半導体を有する基板の一部に形成されるトランジスタ（以下、単結晶トランジスタともいう）を用いてもよい。単結晶半導体を有する基板としては、単結晶シリコン基板や単結晶ゲルマニウム基板などがあげられる。単結晶トランジスタは高速な動作が可能であるため、記憶回路に単結晶トランジスタを用いることにより、記憶回路の動作速度を向上させることができる。また、OSトランジスタ以外のトランジスタには、酸化物半導体以外の半導体を含む膜にチャネル形成領域が形成されるトランジスタを用いることもできる。酸化物半導体以外の半導体としては、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体などがあげられる。これらの半導体は、単結晶半導体であってもよいし、非晶質半導体、微結晶半導体、多結晶半導体などの非単結晶半導体であってもよい。これらのトランジスタは、以下の説明におけるOSトランジスタ以外のトランジスタにも用いることができる。

30

40

【0116】

また、図11(B)に、回路310の他の構成例を示す。図11(B)に示す回路310は、図11(A)における容量素子314の代わりに回路315が設けられた構成を有する。回路315はインバータループを構成しており、ノードN1の電位は回路315によってハイレベル又はローレベルに維持される。なお、トランジスタ311には上記のOSトランジスタ以外のトランジスタを用いることができる。この場合、回路310は揮発性となる。

【0117】

50

〔構成例 2〕

図 1 2 に、コンフィギュレーションメモリに用いることができる他の記憶回路の構成例を示す。記憶回路 4 0 0 は回路 4 1 0 を有する。なお、図 1 2 には一例として、2 つの回路 4 1 0 (回路 4 1 0 [0]、[1]) を示しているが、回路 4 1 0 の個数はこれに限られない。

【0 1 1 8】

回路 4 1 0 は、トランジスタ 4 1 1、4 1 2、容量素子 4 1 3、トランジスタ 4 1 4、4 1 5、容量素子 4 1 6、トランジスタ 4 1 7 を有する。ここでは、トランジスタ 4 1 1、4 1 2、4 1 4、4 1 5、4 1 7 を n チャネル型としているが、トランジスタ 4 1 1、4 1 2、4 1 4、4 1 5、4 1 7 はそれぞれ p チャネル型であってもよい。

10

【0 1 1 9】

トランジスタ 4 1 1 のゲートは配線 W L と接続され、ソース又はドレインの一方はトランジスタ 4 1 2 のゲートおよび容量素子 4 1 3 の一方の電極と接続され、ソース又はドレインの他方は配線 B L と接続されている。トランジスタ 4 1 2 のソース又はドレインの一方は所定の電位 (ここでは高電源電位 V D D) が供給される配線と接続され、ソース又はドレインの他方はトランジスタ 4 1 7 のソース又はドレインの一方と接続されている。容量素子 4 1 3 の他方の電極は、所定の電位が供給される配線と接続されている。また、トランジスタ 4 1 4 のゲートは配線 W L と接続され、ソース又はドレインの一方はトランジスタ 4 1 5 のゲートおよび容量素子 4 1 6 の一方の電極と接続され、ソース又はドレインの他方は配線 B L b と接続されている。トランジスタ 4 1 5 のソース又はドレインの一方は所定の電位 (ここでは低電源電位 V S S、例えば接地電位) が供給される配線と接続され、ソース又はドレインの他方はトランジスタ 4 1 7 のソース又はドレインの一方と接続されている。容量素子 4 1 6 の他方の電極は、所定の電位が供給される配線と接続されている。トランジスタ 4 1 7 のゲートは配線 C T X と接続され、ソース又はドレインの他方は配線 O U T と接続されている。

20

【0 1 2 0】

ここで、トランジスタ 4 1 1 のソース又はドレインの一方、トランジスタ 4 1 2 のゲート、および容量素子 4 1 3 の一方の電極と接続されたノードを、ノード N 2 とする。また、トランジスタ 4 1 4 のソース又はドレインの一方、トランジスタ 4 1 5 のゲート、および容量素子 4 1 6 の一方の電極と接続されたノードを、ノード N 3 とする。なお、配線 B L b には、配線 B L に供給される信号の反転信号が供給される。

30

【0 1 2 1】

ノード N 2 又はノード N 3 の一方にはハイレベルの電位、他方にはローレベルの電位が、コンフィギュレーションデータとして格納される。そのため、トランジスタ 4 1 2 又はトランジスタ 4 1 5 の一方はオン状態となり、他方はオフ状態となる。よって、ハイレベル又はローレベルの電位を配線 O U T に選択的に供給することができる。このような回路 4 1 0 を有する記憶回路 4 0 0 は、配線 O U T に出力される論理値を制御する機能を有するため、L E 2 4 0 のコンフィギュレーションメモリに用いることができる。記憶回路 4 0 0 を L E 2 4 0 のコンフィギュレーションメモリに用いる場合、配線 O U T は他の論理回路や R S 2 8 0 などに接続される。なお、ノード N 2 及びノード N 3 へのコンフィギュレーションデータの格納は、図 1 1 (A) の回路 3 1 0 と同様の動作により行うことができる。

40

【0 1 2 2】

なお、記憶回路 4 0 0 は回路 4 1 0 [0] 及び回路 4 1 0 [1] を有し、両者は配線 O U T を共有している。そして、配線 C T X [0]、[1] に所定の電位を供給することにより、回路 4 1 0 [0] 又は回路 4 1 0 [1] の一方を選択することができる。これにより、記憶回路 4 0 0 をマルチコンテキスト方式のコンフィギュレーションメモリとして用いることができる。

【0 1 2 3】

具体的には、C o n t e x t [0] を選択する場合、配線 C T X [0] を制御して回路 4

50

10 [0] のトランジスタ 417 をオン状態とする。また、配線 CTX [1] を制御して回路 410 [1] のトランジスタ 417 をオフ状態とする。これにより、配線 OUT の電位は、回路 410 [0] のノード N2 及びノード N3 の電位によって制御される。一方、Context [1] を選択する場合は、配線 CTX [0] を制御して回路 410 [0] のトランジスタ 417 をオフ状態とする。また、配線 CTX [1] を制御して回路 410 [1] のトランジスタ 417 をオン状態とする。これにより、配線 OUT の電位は、回路 410 [1] のノード N2 及びノード N3 の電位によって制御される。このように、配線 CTX [0]、[1] の電位を制御することにより、配線 OUT の電位を制御するコンテキストを選択することができる。

【0124】

回路 410 には、トランジスタ 411、414 として OS トランジスタが用いられている。そのため、回路 410 においても回路 310 と同様に、消費電力の削減及び面積の縮小を図ることができる。

【0125】

また、記憶回路 400 は、回路 420 を有していてもよい。回路 420 は、インバータ 421、トランジスタ 422 を有する。インバータ 421 の入力端子は配線 OUT と接続され、出力端子はトランジスタ 422 のゲートと接続されている。トランジスタ 422 のソース又はドレインの一方は配線 OUT と接続され、他方は所定の電位が供給される配線（ここでは高電源電位 VDD）と接続されている。回路 420 は、配線 OUT の電位を保持する機能を有しており、配線 OUT がフロート状態となることを防ぐことができる。これにより、配線 OUT の電位が中間電位になるのを防ぐことができ、配線 OUT と接続された回路素子における貫通電流の発生を防止することができる。

【0126】

また、図 13 に回路 410 の他の構成例を示す。図 13 (A) に示す回路 410 は、図 12 における容量素子 413、416 の代わりに回路 418、419 が設けられた構成を有する。回路 418、419 はインバータループを構成しており、ノード N2 の電位は回路 418 によって、ノード N3 の電位は回路 419 によって、それぞれハイレベル又はローレベルに維持される。なお、トランジスタ 411、414 には上記の OS トランジスタ以外のトランジスタを用いることができる。この場合、回路 410 は揮発性となる。

【0127】

また、図 12、図 13 (A) においては、トランジスタ 411 のゲートとトランジスタ 414 のゲートは同一の配線 WL と接続されているが、異なる配線と接続されていてもよい。トランジスタ 411 のゲートが配線 WLa と接続され、トランジスタ 414 のゲートが配線 WLb と接続されている構成を、図 13 (B) に示す。

【0128】

〔構成例 3〕

コンフィギュレーションメモリには、揮発性メモリと OS トランジスタを組み合わせた回路を用いることもできる。このような記憶回路の構成例を図 14 に示す。記憶回路 500 の構成例を示す。記憶回路 500 は、回路 510、回路 520 を有する。なお、記憶回路 500 は例えば、図 11 (B) におけるトランジスタ 311 及び回路 315、又は、図 13 (A) におけるトランジスタ 411 及び回路 418、又は、図 13 (A) におけるトランジスタ 414 及び回路 419 として用いることができる。

【0129】

回路 510 は、トランジスタ 511 乃至 516 を有する。トランジスタ 511、512、515、516 は n チャネル型であり、トランジスタ 513、514 は p チャネル型である。なお、トランジスタ 511、512 はそれぞれ、n チャネル型であっても p チャネル型であってもよい。

【0130】

トランジスタ 511 のゲートは配線 WL と接続され、ソース又はドレインの一方はトランジスタ 513 のソース又はドレインの一方、トランジスタ 515 のソース又はドレインの

10

20

30

40

50

一方、トランジスタ514のゲート、トランジスタ516のゲートと接続され、ソース又はドレインの他方は配線BLと接続されている。トランジスタ512のゲートは配線WLと接続され、ソース又はドレインの一方はトランジスタ514のソース又はドレインの一方、トランジスタ516のソース又はドレインの一方、トランジスタ513のゲート、トランジスタ515のゲートと接続され、ソース又はドレインの他方は配線BLbと接続されている。トランジスタ513のソース又はドレインの他方、トランジスタ514のソース又はドレインの他方は、それぞれ所定の電位（ここでは高電源電位VDD）が供給される配線と接続されている。トランジスタ515のソース又はドレインの他方、トランジスタ516のソース又はドレインの他方は、それぞれ所定の電位（ここでは低電源電位VSS）が供給される配線と接続されている。なお、トランジスタ513のゲートおよびトランジスタ515のゲートと接続されたノードをノードN5とし、トランジスタ514のゲートおよびトランジスタ516のゲートと接続されたノードをノードN4とする。

10

【0131】

このように、回路510は揮発性のSRAMセルを構成している。また、ノードN4およびノードN5は、コンフィギュレーションデータを保持するノードに対応する。

【0132】

回路520は、トランジスタ521、522、容量素子523、524を有する。ここで、トランジスタ521、522はOSトランジスタである。

【0133】

トランジスタ521のゲートは配線WEと接続され、ソース又はドレインの一方は容量素子523の一方の電極と接続され、ソース又はドレインの他方はノードN5と接続されている。トランジスタ522のゲートは配線WEと接続され、ソース又はドレインの一方は容量素子524の一方の電極と接続され、ソース又はドレインの他方はノードN4と接続されている。容量素子523の他方の電極および容量素子524の他方の電極はそれぞれ、所定の電位が供給される配線と接続されている。所定の電位が供給される配線は、高電位電源線であっても低電位電源線（接地線など）であってもよい。また、電位の切り替えが可能な配線であってもよい。なお、トランジスタ521のソース又はドレインの一方および容量素子523の一方の電極と接続されたノードをノードN6とし、トランジスタ522のソース又はドレインの一方および容量素子524の一方の電極と接続されたノードをノードN7とする。

20

30

【0134】

記憶回路500においてデータが保持されるノードに相当するノードN4は、OSトランジスタであるトランジスタ522を介してノードN7と接続されている。また、記憶回路500においてデータが保持されるノードに相当するノードN5は、OSトランジスタであるトランジスタ521を介してノードN6と接続されている。これにより、SRAMセルを構成する回路510に保持されたデータを、ノードN6およびノードN7に退避させることができる。また、退避させたデータを再度、回路510に復帰させることができる。

【0135】

具体的には、回路510においてデータの読み書きが行われない期間において、配線WEの電位をハイレベルとすることにより、トランジスタ521、522をオン状態とし、ノードN4に保持されたデータをノードN7に退避させ、ノードN5に保持されたデータをノードN6に退避させることができる。その後、配線WEの電位をローレベルとすることにより、トランジスタ521、522をオフ状態とし、ノードN6、N7の電位を保持する。また、配線WEの電位を再度ハイレベルとし、トランジスタ521、522をオン状態とすることにより、ノードN6、N7に退避させたデータをノードN4、N5に復帰させることができる。なお、データを退避する際には高電源電位VDDを高くし、データを復帰させる際には高電源電位VDDを低くすることで、より安定したデータ退避、復帰が可能となる。

40

【0136】

50

ここで、トランジスタ521、522はOSトランジスタであり、オフ電流が極めて小さい。そのため、トランジスタ521、522がオフ状態であるとき、ノードN6の電位とノードN7の電位を長期間にわたって保持することができる。従って、記憶回路500への電力の供給が停止される直前に、ノードN4、N5に保持されたデータをノードN6、N7に退避させることにより、記憶回路500への電力の供給が停止した場合であっても、記憶回路500に記憶されたデータを保持することが可能となる。そして、記憶回路500への電力の供給が再開された後、ノードN6、N7に保持されたデータをノードN4、N5に復帰させることができる。

【0137】

なお、記憶回路500はSRAMセルを構成するため、トランジスタ511乃至516には高速動作が要求される。そのため、トランジスタ511乃至516にはチャンネル形成領域にシリコンを有するトランジスタ（以下、Siトランジスタともいう）などを用いることが好ましい。

【0138】

また、記憶回路500に電力が供給され、回路510がSRAMセルとして動作している期間においては、トランジスタ521、522はオフ状態とすることが好ましい。これにより、回路510の高速な動作の阻害を防止することができる。

【0139】

なお、図14においては、回路520がトランジスタ521、522、容量素子523、524を有する例を示したが、トランジスタ521および容量素子523を省略した構成としてもよいし、トランジスタ522および容量素子524を省略した構成としてもよい。

【0140】

また、図14においては回路510に揮発性のメモリセルである6トランジスタ型のSRAMセルを用いたが、これに限定されず、回路510として他の揮発性のメモリセルを用いてもよい。他の揮発性メモリセルを用いた場合であっても、図14に示すようにOSトランジスタおよび容量素子を接続することにより、データの退避及び復帰が可能となる。

【0141】

以上のように、記憶回路500において、回路510に格納されたデータを回路520に退避させて保持することにより、記憶回路500への電力の供給が行われない期間においてもデータを保持することができる。また、電力の供給が再開された後、回路520に保持されたデータを回路510に復帰させることができる。そのため、データの保持期間において記憶回路500への電力の供給を停止することができ、消費電力を低減することができる。

【0142】

また、OSトランジスタは、Siトランジスタ上に積層することができる。そのため、回路520を回路510上に積層することができる。従って、記憶回路500の面積の増加を抑えることができる。

【0143】

〔構成例4〕

本実施の形態で説明したOSトランジスタは、一対のゲートを有していてもよい。図11（A）における回路310を例として、OSトランジスタに一対のゲートが設けられた構成を図15に示す。なお、トランジスタが一対のゲートを有する場合、一方のゲートをフロントゲート又は単にゲートと呼び、他方のゲートをバックゲートと呼ぶことができる。

【0144】

図15（A）に示すトランジスタ311はバックゲートを有し、バックゲートはフロントゲートと接続されている。この場合、フロントゲートの電位とバックゲートの電位は等しくなる。

【0145】

図15（B）に示すトランジスタ311は、バックゲートが配線BGLと接続されている

10

20

30

40

50

。配線 B G L は、バックゲートに所定の電位を供給する機能を有する配線である。配線 B G L の電位を制御することにより、トランジスタ 3 1 1 の閾値電圧を制御することができる。なお、配線 B G L は行ドライバ回路 2 3 5（図 9 参照）と接続することができ、配線 B G L の電位は行ドライバ回路 2 3 5 によって制御することができる。また、配線 B G L は同一の行の回路 3 1 0 において共有されている。

【0146】

図 1 6 は、バックゲートが設けられたトランジスタ 3 1 1 の動作例を説明するためのタイミングチャートである。図 1 6（A）は、図 1 5（B）に示す回路 3 1 0 にコンフィギュレーションデータを書き込むときの動作を表し、図 1 6（B）は、回路 3 1 0 にコンフィギュレーションデータが保持されているときの動作である。なお、配線 B G L < n > は n 行目（n は自然数）の配線 B G L を表し、配線 B G L < n + 1 > は n + 1 行目の配線 B G L を表す。

10

【0147】

回路 3 1 0 にコンフィギュレーションデータを書き込む際は、配線 W L の走査が行われ、図 1 6（A）に示すように配線 W L < n >、< n + 1 > の電位が順にハイレベルとなる。また、配線 B G L < n >、< n + 1 > の電位も、配線 W L < n >、< n + 1 > に同期して順にハイレベルとなる。ここで、配線 W L の電位をハイレベルにしてトランジスタ 3 1 1 をオン状態とする際、同一の行の配線 B G L の電位もハイレベルとする。これにより、コンフィギュレーションデータの書き込みを行う際に、トランジスタ 3 1 1 の閾値電圧をマイナス側にシフトさせ、トランジスタ 3 1 1 のオン状態における電流値を増加させることができる。

20

【0148】

一方、回路 3 1 0 に格納されたコンフィギュレーションデータを維持する期間においては、図 1 6（B）に示すように、配線 W L の電位をローレベルとし、トランジスタ 3 1 1 をオフ状態にする。このとき、同一の行の配線 B G L の電位もローレベルとする。これにより、コンフィギュレーションデータを保持する期間において、トランジスタ 3 1 1 の閾値電圧をプラス側にシフトさせ、トランジスタ 3 1 1 のオフ電流を減少させることができる。

【0149】

図 1 6 に示す動作は、図 1 5（A）に示す回路 3 1 0 においても行うことができる。ただし、図 1 5（A）に示す回路 3 1 0 においては、トランジスタ 3 1 1 のフロントゲートとバックゲートを接続するための開口部を回路 3 1 0 の内部に設ける必要があり、回路 3 1 0 の面積が増加する場合がある。一方、図 1 5（B）に示すように、トランジスタ 3 1 1 の一対のゲートの電位を別の配線によって制御する場合、回路 3 1 0 の内部に上記の開口部を設ける必要がない。そのため、回路 3 1 0 の面積の増加を抑えることができる。

30

【0150】

なお、図 1 5 においては、一例として回路 3 1 0 が有するトランジスタ 3 1 1 にバックゲートを設けた構成を示したが、本実施の形態における O S トランジスタにはいずれも、図同様にバックゲートを設けることができる。

【0151】

上記のように、本発明の一態様においては、O S トランジスタをコンフィギュレーションメモリに用いることにより、P L D の面積の縮小及び消費電力の低減を実現することができる。

40

【0152】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【0153】

（実施の形態 3）

本実施の形態では、本発明の一態様に係る半導体装置を用いたコンピュータについて説明する。

【0154】

50

図 17 は、上記の半導体装置を有するコンピュータの構成例を示すブロック図である。コンピュータ 600 は、入力装置 610、出力装置 620、CPU 630、PLD 640、記憶装置 650 を有する。CPU 630 及び PLD 640 を含む装置が、上記実施の形態における半導体装置 10 に対応する。

【0155】

入力装置 610 は、コンピュータ 600 の外部から入力されたデータを受信する機能を有する。出力装置 620 は、コンピュータ 600 の外部にデータを出力する機能を有する。

【0156】

CPU 630 は、制御装置 631、演算装置 632、記憶装置 633、記憶装置 634 を有する。なお、CPU 630 は上記実施の形態における CPU 20 に相当する。

10

【0157】

制御装置 631 は、入力装置 610、出力装置 620、記憶装置 650 に、それらの装置を制御するための制御信号を出力する機能を有する。演算装置 632 は、入力されたデータに対する演算を行う機能を有する。記憶装置 633 は、演算装置 632 が演算に用いるデータを保持する機能を有する。記憶装置 633 は、レジスタとしての機能を有する。記憶装置 634 は、キャッシュメモリとしての機能を有する。

【0158】

PLD 640 は、上記実施の形態における PLD 30 に相当する。CPU 630 は PLD 640 を制御する機能を有し、CPU 630 において行われる処理の一部を、PLD 640 に実行させることができる。また、記憶装置 650 は主記憶装置としての機能を有する。

20

【0159】

記憶装置 634 は記憶装置 650 よりも高速なアクセスが可能であり、記憶装置 634 を設けることにより CPU 630 の処理速度を向上させることができる。記憶装置 634 として、例えば図 5 における記憶回路 60 を用いることができる。すなわち、記憶回路 60 をキャッシュメモリとして用いることができる。

【0160】

なお、記憶装置 650 は半導体装置 10 の内部に設けることができる。この場合、記憶装置 650 として、例えば図 5 における記憶回路 60 を用いることができる。すなわち、記憶回路 60 を主記憶装置として用いることができる。

30

【0161】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【0162】

(実施の形態 4)

本実施の形態では、上記実施の形態に示した半導体装置などに用いることができる OSTRANSISTOR の構成例を説明する。

【0163】

<トランジスタの構成例 1>

図 18 (A) は OSTRANSISTOR の構成例を示す上面図である。図 18 (B) は、図 18 (A) の X1-X2 線断面図であり、図 18 (C) は Y1-Y2 線断面図である。ここでは、X1-X2 線方向をチャネル長方向と、Y1-Y2 線方向をチャネル幅方向と呼称する場合がある。図 18 (B) は、OSTRANSISTOR のチャネル長方向の断面構造を示す図であり、図 18 (C) は、OSTRANSISTOR のチャネル幅方向の断面構造を示す図である。なお、デバイス構造を明確にするため、図 18 (A) では、一部の構成要素が省略されている。

40

【0164】

OSTRANSISTOR 801 は絶縁表面に形成される。ここでは、絶縁層 821 上に形成されている。OSTRANSISTOR 801 は、絶縁層 828、829 で覆われている。OSTRANSISTOR 801 は、絶縁層 822 乃至 827、金属酸化物層 811 乃至 813、導電層 850 乃至 853 を有する。

50

【0165】

金属酸化物層 811 乃至 813 をまとめて酸化物層 810 と呼ぶ。図 18 (B)、図 18 (C) に示すように、酸化物層 810 は、金属酸化物層 811、金属酸化物層 812、金属酸化物層 813 の順に積層している部分を有する。O S トランジスタ 801 がオン状態のとき、チャンネルは酸化物層 810 の金属酸化物層 812 に主に形成される。

【0166】

O S トランジスタ 801 のゲート電極は導電層 850 で構成され、ソース電極またはドレイン電極として機能する一対の電極は、導電層 851、852 で構成される。バックゲート電極は導電層 853 で構成される。導電層 853 は、導電層 853 a、853 b を有する。なお、O S トランジスタ 801 はバックゲート電極を有さない構造としてもよい。後述する O S トランジスタ 802 乃至 807 も同様である。

10

【0167】

ゲート（フロントゲート）側のゲート絶縁層は絶縁層 827 で構成され、バックゲート側のゲート絶縁層は、絶縁層 824 乃至 826 の積層で構成される。絶縁層 828 は層間絶縁層である。絶縁層 829 はバリア層である。

【0168】

金属酸化物層 813 は、金属酸化物層 811、812、導電層 851、852 でなる積層体を覆っている。絶縁層 827 は金属酸化物層 813 を覆っている。導電層 851、852 はそれぞれ、金属酸化物層 813、絶縁層 827 を介して、導電層 850 と重なる領域を有する。

20

【0169】

導電層 851、852 は、金属酸化物層 811 と金属酸化物層 812 との積層を形成するために使用されるハードマスクから作製されている。例えば、次のような工程を経て、金属酸化物層 811、812、導電層 851、852 を作製することができる。2 層の金属酸化物膜を形成する。金属酸化物膜上に導電膜を形成する。この導電膜をエッチングしてハードマスクを形成する。ハードマスクを用いて、2 層の金属酸化物膜をエッチングして、金属酸化物層 811 と金属酸化物層 812 の積層を形成する。次に、ハードマスクをエッチングして、導電層 851 および導電層 852 を形成する。このような工程を経て形成されるため、導電層 851、852 は、金属酸化物層 811、812 の側面に接する領域を有していない。

30

【0170】

〔導電層〕

導電層 850 乃至 853 に用いられる導電材料には、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイド等のシリサイド、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属、または上述した金属を成分とする金属窒化物（窒化タンタル、窒化チタン、窒化モリブデン、窒化タングステン）等がある。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を用いることができる。

40

【0171】

導電層 850 に仕事関数の高い導電性材料を用いることで、O S トランジスタ 801 の V_t を大きくし、カットオフ電流を下げるができる。導電層 850 の仕事関数は好ましくは、4.8 eV 以上、さらに好ましくは 5.0 eV 以上、さらに好ましくは 5.2 eV 以上、さらに好ましくは 5.4 eV 以上、さらに好ましくは 5.6 eV 以上の導電性材料を用いればよい。仕事関数の大きな導電性材料として、例えば、モリブデン、酸化モリブデン、Pt、Pt シリサイド、Ni シリサイド、インジウム錫酸化物、窒素添加された $In-Ga-Zn$ 酸化物などが挙げられる。

【0172】

50

なお、カットオフ電流とは、ゲートソース間電圧が 0 V であるときのドレイン電流のことをいう。

【0173】

例えば、導電層 850 は、窒化タンタル、またはタングステン単層である。あるいは、導電層 850 が 2 層構造、および 3 層構造の場合、次のような組み合わせがある。(アルミニウム、チタン)、(窒化チタン、チタン)、(窒化チタン、タングステン)、(窒化タンタル、タングステン)、(窒化タングステン、タングステン)、(チタン、アルミニウム、チタン)、(窒化チタン、アルミニウム、チタン)、(窒化チタン、アルミニウム、窒化チタン)。先に記載した導電体が絶縁層 827 側の層を構成する。

【0174】

導電層 851 と導電層 852 は同じ層構造をもつ。例えば、導電層 851 が単層である場合、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金構成すればよい。導電層 851 が 2 層構造、および 3 層構造の場合、次のような組み合わせがある。(チタン、アルミニウム)、(タングステン、アルミニウム)、(タングステン、銅)、(銅-マグネシウム-アルミニウム合金、銅)、(チタン膜、銅)、(チタン又は窒化チタン、アルミニウムまたは銅、チタンまたは窒化チタン)、(モリブデンまたは窒化モリブデン、アルミニウムまたは銅、モリブデンまたは窒化モリブデン)。先に記載した導電体が絶縁層 827 側の層を構成する。

【0175】

例えば、導電層 853a は、水素に対するバリア性を有する導電層(例えば、窒化タンタル層)とし、導電層 853b は、導電層 853a よりも導電率の高い導電層(例えばタングステン)とすることが好ましい。このような構造であることで、導電層 853 は配線としての機能と、酸化物層 810 への水素の拡散を抑制する機能とをもつ。

【0176】

[絶縁体]

絶縁層 821 乃至 829 に用いられる絶縁材料には、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、アルミニウムシリケートなどがある。絶縁層 821 乃至 829 はこれらの絶縁材料でなる単層、または積層して構成される。絶縁層 821 乃至 829 を構成する層は、複数の絶縁材料を含んでいてもよい。

【0177】

なお、本明細書等において、酸化窒化物とは、酸素の含有量が窒素よりも多い化合物であり、窒化酸化物とは、窒素の含有量が酸素よりも多い化合物のことをいう。

【0178】

酸化物層 810 の酸素欠損の増加を抑制するため、絶縁層 826 乃至 828 は、酸素を含む絶縁層であることが好ましい。絶縁層 826 乃至 828 の少なくとも 1 つは、加熱により酸素が放出される絶縁膜(以下、「過剰酸素を含む絶縁膜」という。)で形成されることがより好ましい。過剰酸素を含む絶縁膜から酸化物層 810 に酸素を供給することで、酸化物層 810 の酸素欠損を補償することができる。したがって、OSTランジスタ 801 の信頼性および電気特性を向上することができる。

【0179】

過剰酸素を含む絶縁膜とは、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法)において、膜の表面温度が 100℃以上 700℃以下、または 100℃以上 500℃以下の範囲における酸素分子の放出量が 1.0×10^{18} [分子/cm³] 以上である膜とする。酸素分子の放出量は、 3.0×10^{20} atoms/cm³ 以上であることが好ましい。

【0180】

過剰酸素を含む絶縁膜は、絶縁膜に酸素を添加する処理を行って形成することができる。酸素を添加する処理は、酸素雰囲気下による熱処理や、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、またはプラズマ処理などを用いて行うことができる。酸素を添加するためのガスとしては、 $^{16}\text{O}_2$ もしくは $^{18}\text{O}_2$ などの酸素ガス、亜酸化窒素ガスまたはオゾンガスなどを用いることができる。

【0181】

酸化物層 810 の水素濃度の増加を防ぐために、絶縁層 821 乃至 829 中の水素濃度を低減することが好ましい。特に絶縁層 823 乃至 828 の水素濃度を低減することが好ましい。具体的には、水素濃度は、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下であり、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下が好ましく、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下がより好ましく、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下がさらに好ましい。

10

【0182】

酸化物層 810 の窒素濃度の増加を防ぐために、絶縁層 823 乃至 828 の窒素濃度を低減することが好ましい。具体的には、窒素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満であり、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下が好ましく、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下がより好ましく、 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下がより好ましい。

【0183】

上掲の水素濃度、窒素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) で測定された値である。

【0184】

OSトランジスタ 801 において、酸素および水素に対してバリア性をもつ絶縁層（以下、バリア層）によって酸化物層 810 が包み込まれる構造であることが好ましい。このような構造であることで、酸化物層 810 から酸素が放出されること、酸化物層 810 に水素が侵入することを抑えることができるので、OSトランジスタ 801 の信頼性、電気特性を向上できる。

20

【0185】

例えば、絶縁層 829 をバリア層として機能させ、かつ絶縁層 821、822、824 の少なくとも 1 つをバリア層と機能させればよい。バリア層は、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、窒化シリコンなどの材料で形成することができる。

30

【0186】

酸化物層 810 と導電層 850 の間に、バリア層をさらに設けてもよい。もしくは、金属酸化物層 813 として、酸素および水素に対してバリア性をもつ金属酸化物層を設けてもよい。

【0187】

絶縁層 824、絶縁層 825、絶縁層 826 の膜厚をそれぞれ薄くすることで、導電層 850 の電圧による OSトランジスタの V_{th} 制御が容易になり、好ましい。例えば、絶縁層 824 乃至 826 の各膜厚は 50 nm 以下にする。各膜厚は 30 nm 以下が好ましく、10 nm 以下がより好ましく、5 nm 以下がさらに好ましい。

40

【0188】

絶縁層 821 乃至 829 の構成例を記す。この例では、絶縁層 821、822、825、829 は、それぞれ、バリア層として機能する。絶縁層 826 乃至 828 は過剰酸素を含む酸化物層である。絶縁層 821 は窒化シリコンであり、絶縁層 822 は酸化アルミニウムであり、絶縁層 823 は酸化窒化シリコンである。バックゲート側のゲート絶縁層 (824 乃至 826) は、酸化シリコン、酸化アルミニウム、酸化シリコンの積層である。フロントゲート側のゲート絶縁層 (827) は、酸化窒化シリコンである。層間絶縁層 (828) は、酸化シリコンである。絶縁層 829 は酸化アルミニウムである。

【0189】

[金属酸化物層]

50

金属酸化物層 811 乃至 813 の各厚さは 3 nm 以上 500 nm 以下であり、3 nm 以上 100 nm 以下が好ましく、3 nm 以上 60 nm 以下がさらに好ましい。

【0190】

ＯＳトランジスタ 801 のオフ電流の低減のために、金属酸化物層 812 は、例えば、エネルギーギャップが大きいことが好ましい。金属酸化物層 812 のエネルギーギャップは、2.5 eV 以上 4.2 eV 以下であり、2.8 eV 以上 3.8 eV 以下が好ましく、3 eV 以上 3.5 eV 以下がさらに好ましい。

【0191】

酸化物層 810 は、結晶性金属酸化物層であることが好ましい。少なくとも、金属酸化物層 812 は結晶性金属酸化物層であることが好ましい。これにより、信頼性、および電気特性の良いＯＳトランジスタ 801 を実現できる。

10

【0192】

金属酸化物層 812 に適用できる酸化物は、代表的には、In-Ga 酸化物、In-Zn 酸化物、In-M-Zn 酸化物（M は Al、Ga、Y、または Sn）である。金属酸化物層 812 は、インジウムを含む酸化物層に限定されない。金属酸化物層 812 は、例えば、Zn-Sn 酸化物、Ga-Sn 酸化物、Zn-Mg 酸化物等で形成することができる。金属酸化物層 811、813 も、金属酸化物層 812 と同様の酸化物で形成することができる。金属酸化物層 811、813 は、それぞれ、Ga 酸化物で形成することができる。この場合、金属酸化物層 812 は Ga を含む金属酸化物層であることが好ましい。

【0193】

金属酸化物層 812 と金属酸化物層 811 の界面に界面準位が形成されると、界面近傍の領域にもチャネル領域が形成されるために、ＯＳトランジスタ 801 の閾値電圧が変動してしまう。そのため、金属酸化物層 811 は、構成要素として、金属酸化物層 812 を構成する金属元素の少なくとも 1 つを含むことが好ましい。これにより、金属酸化物層 812 と金属酸化物層 813 の界面には、界面準位が形成されにくくなり、ＯＳトランジスタ 801 の閾値電圧等の電気特性のばらつきを低減することができる。

20

【0194】

金属酸化物層 813 は、構成要素として、金属酸化物層 812 を構成する金属元素の少なくとも 1 つを含むことが好ましい。これにより、金属酸化物層 812 と金属酸化物層 813 との界面では、界面散乱が起こりにくくなり、キャリアの動きが阻害されにくくなるので、ＯＳトランジスタ 801 の電界効果移動度を高くすることができる。

30

【0195】

金属酸化物層 811 乃至 813 のうち、金属酸化物層 812 のキャリア移動度が最も高いことが好ましい。これにより、絶縁層 826、827 から離間している金属酸化物層 812 にチャネルを形成することができる。

【0196】

例えば、In-M-Zn 酸化物等の In 含有金属酸化物は、In の含有率を高めることで、キャリア移動度を高めることができる。In-M-Zn 酸化物では主として重金属の s 軌道がキャリア伝導に寄与しており、インジウムの含有率を多くすることにより、より多くの s 軌道が重なるため、インジウムの含有率が多い酸化物はインジウムの含有率が少ない酸化物と比較して移動度が高くなる。そのため、酸化物半導体膜にインジウムの含有量が多い酸化物を用いることで、キャリア移動度を高めることができる。

40

【0197】

例えば、In-Ga-Zn 酸化物で金属酸化物層 812 を形成し、Ga 酸化物で金属酸化物層 811、813 を形成する。例えば、In-M-Zn 酸化物で、金属酸化物層 811 乃至 813 を形成する場合、3 層のうち、金属酸化物層 811 を最も In 含有率が高い In-M-Zn 酸化物層とする。In-M-Zn 酸化物をスパッタリング法で形成する場合、ターゲットの金属元素の原子数比を変えることで、In 含有率を変化させることができる。

【0198】

50

例えば、金属酸化物層 812 の成膜に用いるターゲットの金属元素の原子数比 $I n : M : Z n$ は、 $1 : 1 : 1$ 、 $3 : 1 : 2$ 、または $4 : 2 : 4$ 、1 が好ましい。例えば、金属酸化物層 811 乃至 813 の成膜に用いるターゲットの金属元素の原子数比 $I n : M : Z n$ は、 $1 : 3 : 2$ 、または $1 : 3 : 4$ が好ましい。 $I n : M : Z n = 4 : 2 : 4$ 、1 のターゲットで成膜した $I n - M - Z n$ 酸化物の原子数比は、およそ $I n : M : Z n = 4 : 2 : 3$ である。

【0199】

OS トランジスタ 801 に安定した電気特性を付与するには、酸化物層 810 の不純物濃度を低減することが好ましい。金属酸化物において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンおよび炭素は酸化物半導体中で不純物準位の形成に寄与する。不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。

10

【0200】

例えば、酸化物層 810 は、シリコン濃度が $2 \times 10^{18} \text{ atoms/cm}^3$ 以下の、好ましくは、 $2 \times 10^{17} \text{ atoms/cm}^3$ 以下の領域を有する。酸化物層 810 の炭素濃度も同様である。

【0201】

酸化物層 810 は、アルカリ金属濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以下の、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下の領域を有する。アルカリ土類金属の濃度についても同様である。

20

【0202】

酸化物層 810 は、窒素濃度が $5 \times 10^{19} \text{ atoms/cm}^3$ 未満の、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下の、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下の、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下の領域を有する。

【0203】

酸化物層 810 は、水素濃度が $1 \times 10^{20} \text{ atoms/cm}^3$ 未満の、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満の、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満の、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満の領域を有する。

【0204】

上掲した酸化物層 810 の不純物濃度は、SIMS により得られる値である。

30

【0205】

金属酸化物層 812 が酸素欠損を有する場合、酸素欠損のサイトに水素が入り込むことでドナー準位を形成することがある。その結果、OS トランジスタ 801 のオン電流を減少させてしまう。酸素欠損のサイトは、水素が入るよりも酸素が入る方が安定する。したがって、金属酸化物層 812 中の酸素欠損を低減することで、OS トランジスタ 801 のオン電流を大きくすることができる場合がある。よって、金属酸化物層 812 の水素を低減することで、酸素欠損のサイトに水素が入りこまないようにすることが、オン電流特性の向上に有効である。

【0206】

金属酸化物に含まれる水素は、金属原子に結合している酸素と反応して水になるため、酸素欠損を形成することがある。酸素欠損に水素が入ることで、キャリアである電子が生成されることがある。また、水素の一部が金属原子に結合している酸素と結合して、キャリアである電子を生成することがある。金属酸化物層 812 にチャンネル形成領域が設けられるので、金属酸化物層 812 に水素が含まれていると、OS トランジスタ 801 はノーマリーオン特性となりやすい。このため、金属酸化物層 812 中の水素はできる限り低減されていることが好ましい。

40

【0207】

図 18 は、酸化物層 810 が 3 層構造の例であるが、これに限定されない。例えば、酸化物層 810 を金属酸化物層 811 または金属酸化物層 813 のない 2 層構造とすることが

50

できる。または、金属酸化物層 811 の上もしくは下、または金属酸化物層 813 上もしくは下に、金属酸化物層 811、金属酸化物層 812 および金属酸化物層 813 として例示した酸化物半導体層のいずれか一を有する 4 層構造とすることもできる。または、酸化物層 810 の任意の層の間、酸化物層 810 の上、酸化物層 810 の下のいずれか二箇所以上に、金属酸化物層 811 乃至 813 と同様の金属酸化物層を 1 層または複数进行けることができる。

【0208】

〔エネルギーバンド構造〕

図 25 を参照して、金属酸化物層 811 乃至 813 の積層によって得られる効果を説明する。図 25 は、OS トランジスタ 801 のチャネル形成領域のエネルギーバンド構造の模式図である。ここでは、OS トランジスタ 801 を例に説明するが、金属酸化物層 811 乃至 813 の積層による効果は、後述する OS トランジスタ 802、803 でも同様である。

10

【0209】

Ec 826、Ec 811、Ec 812、Ec 813、Ec 827 は、それぞれ、絶縁層 826、金属酸化物層 811、金属酸化物層 812、金属酸化物層 813、絶縁層 827 の伝導帯下端のエネルギーを示している。

【0210】

ここで、真空準位と伝導帯下端のエネルギーとの差（「電子親和力」ともいう。）は、真空準位と価電子帯上端のエネルギーとの差（イオン化ポテンシャルともいう。）からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリプソメータ（HORIBA JOBIN YVON 社 UT-300）を用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析（UPS: Ultraviolet Photoelectron Spectroscopy）装置（PHI 社 VersaProbe）を用いて測定できる。

20

【0211】

絶縁層 826、827 は絶縁体であるため、Ec 826 と Ec 827 は、Ec 811、Ec 812、および Ec 813 よりも真空準位に近い（電子親和力が小さい）。

【0212】

金属酸化物層 812 は、金属酸化物層 811、813 よりも電子親和力が大きい。例えば、金属酸化物層 812 と金属酸化物層 811 との電子親和力の差、および金属酸化物層 812 と金属酸化物層 813 との電子親和力の差は、それぞれ、0.07 eV 以上 1.3 eV 以下である。電子親和力の差は、0.1 eV 以上 0.7 eV 以下が好ましく、0.15 eV 以上 0.4 eV 以下がさらに好ましい。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

30

【0213】

OS トランジスタ 801 のゲート電極（導電層 850）に電圧を印加すると、金属酸化物層 811、金属酸化物層 812、金属酸化物層 813 のうち、電子親和力が大きい金属酸化物層 812 に主にチャネルが形成される。

【0214】

インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、金属酸化物層 813 がインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 $[Ga / (In + Ga)]$ は、例えば、70% 以上、好ましくは 80% 以上、さらに好ましくは 90% 以上とする。

40

【0215】

また、金属酸化物層 811 と金属酸化物層 812 との間には金属酸化物層 811 と金属酸化物層 812 の混合領域が存在する場合がある。また、金属酸化物層 813 と金属酸化物層 812 との間には金属酸化物層 813 と金属酸化物層 812 の混合領域が存在する場合がある。混合領域は、界面準位密度が低くなるため、金属酸化物層 811 乃至 813 の積層体（酸化物層 810）は、それぞれの界面近傍においてエネルギーが連続的に変化する

50

(連続接合ともいう。) バンド構造となる。

【0216】

このようなエネルギーバンド構造を有する酸化物層810において、電子は主に金属酸化物層812を移動することになる。そのため、金属酸化物層811と絶縁層826との界面に、または、金属酸化物層813と絶縁層827との界面に準位が存在したとしても、これらの界面準位により、酸化物層810中を移動する電子の移動が阻害されにくくなるため、OSトランジスタ801のオン電流を高くすることができる。

【0217】

また、図25に示すように、金属酸化物層811と絶縁層826の界面近傍、および金属酸化物層813と絶縁層827の界面近傍には、それぞれ、不純物や欠陥に起因したトラップ準位Et826、Et827が形成され得るものの、金属酸化物層811乃至813があることにより、金属酸化物層812をトラップ準位Et826、Et827から離間することができる。

10

【0218】

なお、Ec811とEc812とのエネルギー差が小さい場合、金属酸化物層812の電子が該エネルギー差を越えてトラップ準位Et826に達することがある。トラップ準位Et826に電子が捕獲されることで、絶縁膜の界面にマイナスの固定電荷が生じ、トランジスタの閾値電圧はプラス方向にシフトしてしまう。Ec812とEc813とのエネルギー差が小さい場合も同様である。

【0219】

OSトランジスタ801の閾値電圧の変動が低減され、OSトランジスタ801の電気特性を良好なものとするため、Ec811とEc812との差、Ec812とEc813と差は、それぞれ0.1eV以上が好ましく、0.15eV以上がより好ましい。

20

【0220】

<トランジスタの構成例2>

図19に示すOSトランジスタ802は、OSトランジスタ801の変形例である。OSトランジスタ802の導電層850は、導電層850a、導電層850b、導電層850cを有する。

【0221】

導電層850aは、熱CVD法、MOCVD法またはALD法を用いて形成する。特に、原子層堆積(ALD: Atomic Layer Deposition)法を用いて形成することが好ましい。ALD法等により形成することで、絶縁層827に対するプラズマによるダメージを減らすことができる。また、被覆性を向上させることができるため好ましい。従って、信頼性が高いOSトランジスタ802を提供することができる。

30

【0222】

導電層850bは、タンタル、タングステン、銅、アルミニウムなどの導電性が高い材料を用いて形成する。さらに、導電層850b上に形成する導電層850cは、窒化タングステンなどの酸化しづらい導電体を用いて形成することが好ましい。絶縁層828に酸素が脱離する酸化物材料を用いる場合、導電層850が、脱離した酸素により酸化することを防止することができる。従って、導電層850の酸化を抑制し、絶縁層828から、脱離した酸素を効率的に酸化物層810へと供給することができる。

40

【0223】

過剰酸素領域を有する絶縁層828と接する面積が大きい導電層850cに酸化しにくい導電体を用いることで、絶縁層828の過剰酸素が導電層850に吸収されることを抑制することができる。また、導電層850bに導電性が高い導電体を用いることで、消費電力が小さいOSトランジスタ802を提供することができる。

【0224】

<トランジスタの構成例3>

図20に示すOSトランジスタ803は、OSトランジスタ801の変形例である。OSトランジスタ803では、導電層850をエッチングマスクに用いて、金属酸化物層81

50

3 および絶縁層 8 2 7 がエッチングされている。

【0 2 2 5】

<トランジスタの構成例 4>

図 2 1 に示す O S トランジスタ 8 0 4 は、O S トランジスタ 8 0 1 の変形例である。

【0 2 2 6】

導電層 8 5 0 は導電層 8 5 0 a と導電層 8 5 0 b の 2 層構造である。導電層 8 5 0 は絶縁層 8 3 0 に覆われている。

【0 2 2 7】

例えば、絶縁層 8 3 0 は、酸素に対してバリア性を有する絶縁層とする。これにより、絶縁層 8 2 8 等から離脱した酸素によって、導電層 8 5 0 が酸化することを抑制することができる。この場合、絶縁層 8 3 0 には、酸化アルミニウムなどの金属酸化物を用いることができる。絶縁層 8 3 0 の厚さは、導電層 8 5 0 の酸化を防止できる程度であればよく、例えば、1 nm 以上 1 0 nm 以下であり、好ましくは 3 nm 以上 7 nm 以下である。

【0 2 2 8】

なお、O S トランジスタ 8 0 4 も、O S トランジスタ 8 0 3 と同様に、金属酸化物層 8 1 3 と絶縁層 8 2 7 を部分的に除去し、導電層 8 5 1、8 5 2 の上面の一部を露出させてもよい。あるいは、絶縁層 8 2 7 のみを部分的に除去してもよい。

【0 2 2 9】

<トランジスタの構成例 5>

図 2 2 に示す O S トランジスタ 8 0 5 は、O S トランジスタ 8 0 1 の変形例である。

【0 2 3 0】

導電層 8 5 1 は導電層 8 5 1 a と導電層 8 5 1 b の 2 層構造であり、導電層 8 5 2 は導電層 8 5 2 a と導電層 8 5 2 b の 2 層構造である。

【0 2 3 1】

導電層 8 5 1 において、導電層 8 5 1 a、8 5 2 a は金属酸化物層 8 1 2 との密着性が高い導電膜で形成することが好ましい。この導電膜を A L D 法で成膜することは、被覆性を向上させることができるので、好ましい。導電層 8 5 1 b、8 5 2 b は、導電層 8 5 1 a、8 5 2 a よりも高い導電率をもつ導電体で形成することが好ましい。導電層 8 5 1 a、8 5 2 a を設けることで、導電層 8 5 1 b、8 5 2 b に用いることのできる導電体材料の制約が小さくなる。導電層 8 5 1 a、8 5 2 a に、タンタル、タングステン、銅、アルミニウムなどの導電性が高い材料を用いることで、O S トランジスタ 8 0 5 で構成される回路の消費電力を低減できる。

【0 2 3 2】

<トランジスタの構成例 6>

図 2 3 に示す O S トランジスタ 8 0 6 は、O S トランジスタ 8 0 1 の変形例であり、主に、ゲート電極の構造が異なる。

【0 2 3 3】

絶縁層 8 2 8 に形成された開口部には、金属酸化物層 8 1 3、絶縁層 8 2 7、導電層 8 5 0 が設けられている。つまり、絶縁層 8 2 8 の開口部を利用して、ゲート電極が自己整合的に形成することができる。よって、O S トランジスタ 8 0 6 では、ゲート電極 (8 4 0) は、ゲート絶縁層 (8 1 7) を介してソース電極およびドレイン電極 (8 4 1、8 4 2) と重なる領域を有していない。そのためゲートソース間の寄生容量、ゲートドレイン間の寄生容量が低減でき、周波特性を向上できる。また、絶縁層 8 2 8 の開口部によってゲート電極幅を制御できるため、チャンネル長の短い O S トランジスタの作製が容易である。

【0 2 3 4】

<トランジスタの構成例 7>

図 2 4 に示す O S トランジスタ 8 0 7 は、O S トランジスタ 8 0 6 の変形例である。

【0 2 3 5】

酸化物層 8 1 0 は、さらに金属酸化物層 8 1 4 を有する。金属酸化物層 8 1 4 は、金属酸

10

20

30

40

50

化物層 811、812、導電層 851、852 を覆っている。

【0236】

金属酸化物層 814 によって、金属酸化物層 812 は絶縁層 828 から離間される。酸化物層 810 において、金属酸化物層 812 に主にチャネルが形成されるため、金属酸化物層 812 が絶縁層 828 と接している領域が存在しないようにすることで、チャネル近傍に浅い準位が生じることが抑制できる。よって、OS トランジスタ 807 の信頼性を向上できる。

【0237】

<半導体装置の構成例>

次に、OS トランジスタと Si トランジスタを有する半導体装置の構成例について説明する。図 26 に、トランジスタ 910、トランジスタ 920、容量素子 930 を有する半導体装置 900 の構成例を示す。

10

【0238】

トランジスタ 910 は、OS トランジスタである。トランジスタ 910 としては、本実施の形態で説明した OS トランジスタを用いることができる。

【0239】

トランジスタ 920 は、半導体基板 921 にチャネル形成領域が形成されるトランジスタである。ここでは特に、半導体基板 921 として単結晶シリコン基板を用いている。よって、トランジスタ 920 は Si トランジスタである。また、トランジスタ 920 は、ソース領域又はドレイン領域として機能する不純物領域 922 を有する。

20

【0240】

トランジスタ 910 は、トランジスタ 920 の上に積層されている。このような構成にすることにより、半導体装置 900 の面積を縮小することができる。

【0241】

容量素子 930 は、一方の電極がトランジスタ 910 のソース又はドレインの一方、及びトランジスタ 920 のゲートと接続されている。また、容量素子 930 は、トランジスタ 910 上に積層されている。このような構成にすることにより、半導体装置 900 の面積を縮小することができる。

【0242】

半導体装置 900 の構成は、上記実施の形態で説明した半導体装置に適用することができる。具体的には、図 11 乃至 15 に示す回路などに用いることができる。例えば、トランジスタ 910、トランジスタ 920、容量素子 930 を、それぞれ図 11 (A) におけるトランジスタ 311、トランジスタ 312、容量素子 314 として用いることができる。これにより、コンフィギュレーションメモリの面積を縮小することができる。

30

【0243】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【0244】

(実施の形態 5)

本実施の形態では、上記実施の形態に記載の OS トランジスタに用いることができる酸化物半導体について説明する。

40

【0245】

<酸化物半導体の結晶構造>

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC-OS、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) および非晶質酸化物半導体などがある。

【0246】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-

50

OS、多結晶酸化物半導体およびnc-OSなどがある。

【0247】

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

【0248】

即ち、安定な酸化物半導体を完全な非晶質 (completely amorphous) 酸化物半導体とは呼べない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a-like OSは、等方的でないが、鬆 (ボイドともいう。) を有する不安定な構造である。不安定であるという点では、a-like OSは、物性的に非晶質酸化物半導体に近い。

10

【0249】

なお、以下の説明において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

20

【0250】

[CAAC-OS]

まずは、CAAC-OSについて説明する。

【0251】

CAAC-OSは、c軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一種である。

【0252】

CAAC-OSをX線回折 (XRD: X-Ray Diffraction) によって解析した場合について説明する。例えば、空間群 $R-3m$ に分類される $InGaZnO_4$ の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図29 (A) に示すように回折角 (2θ) が 31° 近傍にピークが現れる。このピークは、 $InGaZnO_4$ の結晶の (009) 面に帰属されることから、CAAC-OSでは、結晶がc軸配向性を有し、c軸がCAAC-OSの膜を形成する面 (被形成面ともいう。)、または上面に略垂直な方向を向いていることが確認できる。なお、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、空間群 $Fd-3m$ に分類される結晶構造に起因する。そのため、CAAC-OSは、該ピークを示さないことが好ましい。

30

【0253】

一方、CAAC-OSに対し、被形成面に平行な方向からX線を入射させるin-plane法による構造解析を行うと、 2θ が 56° 近傍にピークが現れる。このピークは、 $InGaZnO_4$ の結晶の (110) 面に帰属される。そして、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸 (ϕ 軸) として試料を回転させながら分析 (ϕ スキャン) を行っても、図29 (B) に示すように明瞭なピークは現れない。一方、単結晶 $InGaZnO_4$ に対し、 2θ を 56° 近傍に固定して ϕ スキャンした場合、図29 (C) に示すように (110) 面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、a軸およびb軸の配向が不規則であることが確認できる。

40

【0254】

次に、電子回折によって解析したCAAC-OSについて説明する。例えば、 $InGaZnO_4$ の結晶を有するCAAC-OSに対し、CAAC-OSの被形成面に平行にブロー

50

プローブ径が300 nmの電子線を入射させると、図29 (D) に示すような回折パターン（制限視野電子回折パターンともいう。）が現れる場合がある。この回折パターンには、 InGaZnO_4 の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300 nmの電子線を入射させたときの回折パターンを図29 (E) に示す。図29 (E) より、リング状の回折パターンが確認される。したがって、プローブ径が300 nmの電子線を用いた電子回折によっても、CAAC-OSSに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図29 (E) における第1リングは、 InGaZnO_4 の結晶の(010)面および(100)面などに起因すると考えられる。また、図29 (E) における第2リングは(110)面などに起因すると考えられる。

10

【0255】

また、透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって、CAAC-OSSの明視野像と回折パターンとの複合解析像（高分解能TEM像ともいう。）を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像であってもペレット同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を明確に確認することができない場合がある。そのため、CAAC-OSSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

20

【0256】

図30 (A) に、試料面と略平行な方向から観察したCAAC-OSSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正（Spherical Aberration Corrector）機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。

【0257】

図30 (A) より、金属原子が層状に配列している領域であるペレットを確認することができる。ペレット一つの大きさは1 nm以上のものや、3 nm以上のものがあることがわかる。したがって、ペレットを、ナノ結晶（nc：nanocrystal）と呼ぶこともできる。また、CAAC-OSSを、CANC（C-Axis Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。ペレットは、CAAC-OSSの被形成面または上面の凹凸を反映しており、CAAC-OSSの被形成面または上面と平行となる。

30

【0258】

また、図30 (B) および図30 (C) に、試料面と略垂直な方向から観察したCAAC-OSSの平面のCs補正高分解能TEM像を示す。図30 (D) および図30 (E) は、それぞれ図30 (B) および図30 (C) を画像処理した像である。以下では、画像処理の方法について説明する。まず、図30 (B) を高速フーリエ変換（FFT：Fast Fourier Transform）処理することでFFT像を取得する。次に、取得したFFT像において原点を基準に、 2.8 nm^{-1} から 5.0 nm^{-1} の間の範囲を残すマスク処理する。次に、マスク処理したFFT像を、逆高速フーリエ変換（IFFT：Inverse Fast Fourier Transform）処理することで画像処理した像を取得する。こうして取得した像をFFTフィルタリング像と呼ぶ。FFTフィルタリング像は、Cs補正高分解能TEM像から周期成分を抜き出した像であり、格子配列を示している。

40

【0259】

図30 (D) では、格子配列の乱れた箇所を破線で示している。破線で囲まれた領域が、一つのペレットである。そして、破線で示した箇所がペレットとペレットとの連結部である。破線は、六角形状であるため、ペレットが六角形状であることがわかる。なお、ペレ

50

ットの形状は、正六角形状とは限らず、非正六角形状である場合が多い。

【0260】

図30(E)では、格子配列の揃った領域と、別の格子配列の揃った領域と、の間に格子配列の向きが変化している箇所を点線で示し、格子配列の向きの変化を破線で示している。点線近傍においても、明確な結晶粒界を確認することはできない。点線近傍の格子点を中心に周囲の格子点を繋ぐと、歪んだ六角形や、五角形または／および七角形などが形成できる。即ち、格子配列を歪ませることによって結晶粒界の形成を抑制していることがわかる。これは、CAAC-OSが、a-b面方向において原子配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

10

【0261】

以上に示すように、CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のペレット（ナノ結晶）が連結し、歪みを有した結晶構造となっている。よって、CAAC-OSを、CAAC crystal (c-axis-aligned a-b-plane-anchored crystal) を有する酸化物半導体と称することもできる。

【0262】

CAAC-OSは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。

20

【0263】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0264】

[nc-OS]

次に、nc-OSについて説明する。

30

【0265】

nc-OSをXRDによって解析した場合について説明する。例えば、nc-OSに対し、out-of-plane法による構造解析を行うと、配向性を示すピークが現れない。即ち、nc-OSの結晶は配向性を有さない。

【0266】

また、例えば、InGaZnO₄の結晶を有するnc-OSを薄片化し、厚さが34nmの領域に対し、被形成面に平行にプローブ径が50nmの電子線を入射させると、図31(A)に示すようなリング状の回折パターン（ナノビーム電子回折パターン）が観測される。また、同じ試料にプローブ径が1nmの電子線を入射させたときの回折パターン（ナノビーム電子回折パターン）を図31(B)に示す。図31(B)より、リング状の領域内に複数のスポットが観測される。したがって、nc-OSは、プローブ径が50nmの電子線を入射させることでは秩序性が確認されないが、プローブ径が1nmの電子線を入射させることでは秩序性が確認される。

40

【0267】

また、厚さが10nm未満の領域に対し、プローブ径が1nmの電子線を入射させると、図31(C)に示すように、スポットが略正六角状に配置された電子回折パターンが観測される場合がある。したがって、厚さが10nm未満の範囲において、nc-OSが秩序性の高い領域、即ち結晶を有することがわかる。なお、結晶が様々な方向を向いているため、規則的な電子回折パターンが観測されない領域もある。

【0268】

50

図31(D)に、被形成面と略平行な方向から観察したnc-Osの断面のCs補正高分解能TEM像を示す。nc-Osは、高分解能TEM像において、補助線で示す箇所などのように結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-Osに含まれる結晶部は、1nm以上10nm以下の大きさであり、特に1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化物半導体を微結晶酸化物半導体(microcrystalline oxide semiconductor)と呼ぶことがある。nc-Osは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-Osにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-Osの結晶部をペレットと呼ぶ場合がある。

10

【0269】

このように、nc-Osは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-Osは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-Osは、分析方法によっては、a-like Osや非晶質酸化物半導体と区別が付かない場合がある。

【0270】

なお、ペレット(ナノ結晶)間で結晶方位が規則性を有さないことから、nc-Osを、RANC(Random Aligned nanocrystals)を有する酸化物半導体、またはNANC(Non-Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。

20

【0271】

nc-Osは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-Osは、a-like Osや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-Osは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-Osは、CAAC-Osと比べて欠陥準位密度が高くなる。

【0272】

[a-like Os]

a-like Osは、nc-Osと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

30

【0273】

図32に、a-like Osの高分解能断面TEM像を示す。ここで、図32(A)は電子照射開始時におけるa-like Osの高分解能断面TEM像である。図32(B)は $4.3 \times 10^8 \text{ e}^-/\text{nm}^2$ の電子(e^-)照射後におけるa-like Osの高分解能断面TEM像である。図32(A)および図32(B)より、a-like Osは電子照射開始時から、縦方向に延伸する縞状の明領域が観察されることがわかる。また、明領域は、電子照射後に形状が変化することがわかる。なお、明領域は、鬆または低密度領域と推測される。

【0274】

鬆を有するため、a-like Osは、不安定な構造である。以下では、a-like Osが、CAAC-Osおよびnc-Osと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

40

【0275】

試料として、a-like Os、nc-OsおよびCAAC-Osを準備する。いずれの試料もIn-Ga-Zn酸化物である。

【0276】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有する。

【0277】

なお、InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-

50

O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29 nmと求められている。したがって、以下では、格子縞の間隔が0.28 nm以上0.30 nm以下である箇所を、InGaZnO₄の結晶部と見なした。なお、格子縞は、InGaZnO₄の結晶のa-b面に対応する。

【0278】

図33は、各試料の結晶部(22箇所から30箇所)の平均の大きさを調査した例である。なお、上述した格子縞の長さを結晶部の大きさとしている。図33より、a-like OSは、TEM像の取得などに係る電子の累積照射量に応じて結晶部が大きくなっていることがわかる。図33より、TEMによる観察初期においては1.2 nm程度の大きさだった結晶部(初期核ともいう。)が、電子(e⁻)の累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ においては1.9 nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。図33より、電子の累積照射量によらず、nc-OSおよびCAAC-OSの結晶部の大きさは、それぞれ1.3 nm程度および1.8 nm程度であることがわかる。なお、電子線照射およびTEMの観察は、日立透過電子顕微鏡H-9000NARを用いた。電子線照射条件は、加速電圧を300 kV、電流密度を $6.7 \times 10^5 \text{ e}^- / (\text{nm}^2 \cdot \text{s})$ 、照射領域の直径を230 nmとした。

【0279】

このように、a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAAC-OSは、電子照射による結晶部の成長がほとんど見られない。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、不安定な構造であることがわかる。

【0280】

また、鬆を有するため、a-like OSは、nc-OSおよびCAAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満である。また、nc-OSの密度およびCAAC-OSの密度は、同じ組成の単結晶の密度の92.3%以上100%未満である。単結晶の密度の78%未満である酸化物半導体は、成膜すること自体が困難である。

【0281】

例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶InGaZnO₄の密度は $6.357 \text{ g} / \text{cm}^3$ である。よって、例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において、a-like OSの密度は $5.0 \text{ g} / \text{cm}^3$ 以上 $5.9 \text{ g} / \text{cm}^3$ 未満である。また、例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において、nc-OSの密度およびCAAC-OSの密度は $5.9 \text{ g} / \text{cm}^3$ 以上 $6.3 \text{ g} / \text{cm}^3$ 未満である。

【0282】

なお、同じ組成の単結晶が存在しない場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

【0283】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有する積層膜であってもよい。

【0284】

<酸化物半導体のキャリア密度>

次に、酸化物半導体のキャリア密度について、以下に説明を行う。

【0285】

酸化物半導体のキャリア密度に影響を与える因子としては、酸化物半導体中の酸素欠損（ V_o ）、または酸化物半導体中の不純物などが挙げられる。

【0286】

酸化物半導体中の酸素欠損が多くなると、該酸素欠損に水素が結合（この状態を V_oH ともいう）した際に、欠陥準位密度が高くなる。または、酸化物半導体中の不純物が多くなると、該不純物に起因し欠陥準位密度が高くなる。したがって、酸化物半導体中の欠陥準位密度を制御することで、酸化物半導体のキャリア密度を制御することができる。

10

【0287】

ここで、酸化物半導体をチャネル領域に用いるトランジスタを考える。

【0288】

トランジスタの閾値電圧のマイナスシフトの抑制、またはトランジスタのオフ電流の低減を目的とする場合においては、酸化物半導体のキャリア密度を低くする方が好ましい。酸化物半導体のキャリア密度を低くする場合においては、酸化物半導体中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。高純度真性の酸化物半導体のキャリア密度としては、 $8 \times 10^{15} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 未満、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上とすればよい。

20

【0289】

一方で、トランジスタのオン電流の向上、またはトランジスタの電界効果移動度の向上を目的とする場合においては、酸化物半導体のキャリア密度を高くする方が好ましい。酸化物半導体のキャリア密度を高くする場合においては、酸化物半導体の不純物濃度をわずかに高める、または酸化物半導体の欠陥準位密度をわずかに高めればよい。あるいは、酸化物半導体のバンドギャップをより小さくするとよい。例えば、トランジスタの I_d-V_g 特性のオン／オフ比が取れる範囲において、不純物濃度がわずかに高い、または欠陥準位密度がわずかに高い酸化物半導体は、実質的に真性とみなせる。また、電子親和力が大きく、それにとまってバンドギャップが小さくなり、その結果、熱励起された電子（キャリア）の密度が増加した酸化物半導体は、実質的に真性とみなせる。なお、より電子親和力が大きな酸化物半導体を用いた場合には、トランジスタの閾値電圧がより低くなる。

30

【0290】

上述のキャリア密度が高められた酸化物半導体は、わずかにn型化している。したがって、キャリア密度が高められた酸化物半導体を、「*Slightly-n*」と呼称してもよい。

【0291】

実質的に真性の酸化物半導体のキャリア密度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 未満が好ましく、 $1 \times 10^7 \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下がより好ましく、 $1 \times 10^9 \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下がさらに好ましく、 $1 \times 10^{10} \text{ cm}^{-3}$ 以上 $1 \times 10^{16} \text{ cm}^{-3}$ 以下がさらに好ましく、 $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{15} \text{ cm}^{-3}$ 以下がさらに好ましい。

40

【0292】

また、上述の実質的に真性の酸化物半導体を用いることで、トランジスタの信頼性が向上する場合がある。ここで、図34を用いて、酸化物半導体をチャネル領域に用いるトランジスタの信頼性が向上する理由について説明する。図34は、酸化物半導体をチャネル領域に用いるトランジスタにおけるエネルギーバンドを説明する図である。

【0293】

図34において、GEはゲート電極を、GIはゲート絶縁膜を、OSは酸化物半導体を、SDはソース電極またはドレイン電極を、それぞれ表す。すなわち、図34は、ゲート電

50

極と、ゲート絶縁膜と、酸化物半導体と、酸化物半導体に接するソース電極またはドレイン電極のエネルギーバンドの一例である。

【0294】

また、図34において、ゲート絶縁膜としては、酸化シリコン膜を用い、酸化物半導体にIn-Ga-Zn酸化物を用いる構成である。また、酸化シリコン膜中に形成されうる欠陥の遷移レベル(ϵf)はゲート絶縁膜の伝導帯下端から約3.1 eV離れた位置に形成されるものとし、ゲート電圧(V_g)が30 Vの場合の酸化物半導体と酸化シリコン膜との界面における酸化シリコン膜のフェルミ準位(E_f)はゲート絶縁膜の伝導帯下端から約3.6 eV離れた位置に形成されるものとする。なお、酸化シリコン膜のフェルミ準位は、ゲート電圧に依存し変動する。例えば、ゲート電圧を大きくすることで、酸化物半導体と、酸化シリコン膜との界面における酸化シリコン膜のフェルミ準位(E_f)は低くなる。また、図34中の白丸は電子(キャリア)を表し、図34中のXは酸化シリコン膜中の欠陥準位を表す。

10

【0295】

図34に示すように、ゲート電圧が印加された状態で、例えばキャリアが熱励起されると、欠陥準位(図中X)にキャリアがトラップされ、プラス(“+”)からニュートラル(“0”)に欠陥準位の荷電状態が変化する。すなわち、酸化シリコン膜のフェルミ準位(E_f)に上述の熱励起のエネルギーを足した値が欠陥の遷移レベル(ϵf)よりも高くなる場合、酸化シリコン膜中の欠陥準位の荷電状態は正の状態から中性となり、トランジスタの閾値電圧がプラス方向に変動することになる。

20

【0296】

また、電子親和力が異なる酸化物半導体を用いると、ゲート絶縁膜と酸化物半導体との界面のフェルミ準位が形成される深さが異なることがある。電子親和力の大きな酸化物半導体を用いると、ゲート絶縁膜と酸化物半導体との界面近傍において、ゲート絶縁膜の伝導帯下端が相対的に高くなる。この場合、ゲート絶縁膜中に形成されうる欠陥準位(図34中X)も相対的に高くなるため、ゲート絶縁膜のフェルミ準位と酸化物半導体のフェルミ準位とのエネルギー差が大きくなる。該エネルギー差が大きくなることにより、ゲート絶縁膜中にトラップされる電荷が少なくなる、例えば、上述の酸化シリコン膜中に形成されうる欠陥準位の荷電状態の変化が少なくなり、ゲートバイアス熱(Gate Bias Temperature:GBTともいう)ストレスにおける、トランジスタの閾値電圧の変動を小さくできる。

30

【0297】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【0298】

(実施の形態6)

本実施の形態では、上記実施の形態に記載の膜を形成する方法の例について説明する。

【0299】

上記実施の形態に示す電極などの導電層、絶縁層、および半導体層は、CVD法、蒸着法、またはスパッタリング法などを用いて形成することができる。一般に、CVD法は、プラズマを利用するプラズマCVD(PECVD)法、熱を利用する熱CVD(TCVD)法などに分類できる。また、大気圧下で成膜を行なう常圧CVD(APCVD)法などもある。さらに用いる原料ガスによって金属CVD(MCVD)法、有機金属CVD(MOCVD)法などに分類できる。

40

【0300】

また、一般に、蒸着法は、抵抗加熱蒸着法、電子線蒸着法、MBE(Molecular Beam Epitaxy)法、PLD(Pulsed Laser Deposition)法、IAD(Ion beam Assisted Deposition)法、ALD(Atomic Layer Deposition)法などに分類できる。

【0301】

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、MOCVD法や蒸着法

50

などの、成膜時にプラズマを用いない成膜方法を用いると、被形成面にダメージが生じにくく、また、欠陥の少ない膜が得られる。

【0302】

また、一般に、スパッタリング法は、DCスパッタリング法、マグネトロンスパッタリング法、RFスパッタリング法、イオンビームスパッタリング法、ECR（Electron Cyclotron Resonance）スパッタリング法、対向ターゲットスパッタリング法などに分類できる。

【0303】

対向ターゲットスパッタリング法では、プラズマがターゲット間に閉じこめられるため、基板へのプラズマダメージを低減することができる。また、ターゲットの傾きによっては、スパッタリング粒子の基板への入射角度を浅くすることができるため、段差被覆性を高めることができる。

10

【0304】

なお、CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

20

【0305】

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、トランジスタや半導体装置の生産性を高めることができる場合がある。

【0306】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

30

【0307】

（実施の形態7）

本実施の形態では、上述の実施の形態で説明した半導体装置を電子部品に適用する例、及び該電子部品を具備する電子機器に適用する例について、図27、図28を用いて説明する。

【0308】

<電子部品>

図27（A）では上記実施の形態で説明した半導体装置を電子部品に適用する例について説明する。なお電子部品は、半導体パッケージ、又はIC用パッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。

40

【0309】

上記実施の形態に示すトランジスタで構成される半導体装置は、組み立て工程（後工程）を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。

【0310】

後工程については、図27（A）に示す各工程を経ることで完成させることができる。具体的には、前工程で得られる素子基板が完成（ステップS1）した後、基板の裏面を研削する（ステップS2）。この段階で基板を薄膜化することで、前工程での基板の反り等を低減し、部品としての小型化を図るためである。

50

【0311】

基板の裏面を研削して、基板を複数のチップに分離するダイシング工程を行う。そして、分離したチップを個々にピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う（ステップS3）。このダイボンディング工程におけるチップとリードフレームとの接着は、樹脂による接着や、テープによる接着等、適宜製品に応じて適した方法を選択する。なお、ダイボンディング工程は、インターポーザ上に搭載し接合してもよい。

【0312】

なお、本実施の形態において、基板の一方の面に素子が形成されていたとき、基板の一方の面を表面とし、該基板の他方の面（該基板の素子が形成されていない側の面）を裏面とする。

10

【0313】

次いでリードフレームのリードとチップ上の電極とを、金属の細線（ワイヤー）で電氣的に接続する、ワイヤーボンディングを行う（ステップS4）。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

【0314】

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される、モールド工程が施される（ステップS5）。モールド工程を行うことで電子部品の内部が樹脂で充填され、機械的な外力による内蔵される回路部やワイヤーに対するダメージを低減することができ、また水分や埃による特性の劣化を低減することができる。

20

【0315】

次いでリードフレームのリードをメッキ処理する。そしてリードを切断及び成形加工する（ステップS6）。このめっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。

【0316】

次いでパッケージの表面に印字処理（マーキング）を施す（ステップS7）。そして最終的な検査工程（ステップS8）を経て電子部品が完成する（ステップS9）。

【0317】

以上説明した電子部品は、上述の実施の形態で説明した半導体装置を含む構成とすることができる。そのため、信頼性に優れた電子部品を実現することができる。

30

【0318】

また、完成した電子部品の斜視模式図を図27（B）に示す。図27（B）では、電子部品の一例として、QFP（Quad Flat Package）の斜視模式図を示している。図27（B）に示す電子部品4700は、リード4701及び回路部4703を示している。図27（B）に示す電子部品4700は、例えばプリント基板4702に実装される。このような電子部品4700が複数組み合わされて、それぞれがプリント基板4702上で電氣的に接続されることで電子機器の内部に搭載することができる。完成した回路基板4704は、電子機器等の内部に設けられる。

【0319】

<電子機器>

次に上述した電子部品を適用した電子機器について説明する。

40

【0320】

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオブ

50

レイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機、医療機器などが挙げられる。これら電子機器の具体例を図28に示す。

【0321】

図28(A)は携帯型ゲーム機であり、筐体5201、筐体5202、表示部5203、表示部5204、マイクロホン5205、スピーカ5206、操作キー5207、スタイラス5208等を有する。本発明の一態様にかかる半導体装置は、携帯型ゲーム機の各種集積回路に用いることができる。なお、図28(A)に示した携帯型ゲーム機は、2つの表示部5203と表示部5204とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

10

【0322】

図28(B)は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示部5603、第2表示部5604、接続部5605、操作キー5606等を有する。本発明の一態様にかかる半導体装置は、携帯情報端末の各種集積回路に用いることができる。第1表示部5603は第1筐体5601に設けられており、第2表示部5604は第2筐体5602に設けられている。そして、第1筐体5601と第2筐体5602とは、接続部5605により接続されており、第1筐体5601と第2筐体5602の間の角度は、接続部5605により変更が可能である。第1表示部5603における映像を、接続部5605における第1筐体5601と第2筐体5602との間の角度に従って、切り替える構成としても良い。また、第1表示部5603及び第2表示部5604の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

20

【0323】

図28(C)はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。本発明の一態様にかかる半導体装置は、ノート型パーソナルコンピュータの各種集積回路に用いることができる。

【0324】

図28(D)は電気冷凍冷蔵庫であり、筐体5301、冷蔵室用扉5302、冷凍室用扉5303等を有する。本発明の一態様にかかる半導体装置は、電気冷凍冷蔵庫の各種集積回路に用いることができる。

30

【0325】

図28(E)はビデオカメラであり、第1筐体5801、第2筐体5802、表示部5803、操作キー5804、レンズ5805、接続部5806等を有する。本発明の一態様にかかる半導体装置は、ビデオカメラの各種集積回路に用いることができる。操作キー5804及びレンズ5805は第1筐体5801に設けられており、表示部5803は第2筐体5802に設けられている。そして、第1筐体5801と第2筐体5802とは、接続部5806により接続されており、第1筐体5801と第2筐体5802の間の角度は、接続部5806により変更が可能である。表示部5803における映像を、接続部5806における第1筐体5801と第2筐体5802との間の角度に従って切り替える構成としてもよい。

40

【0326】

図28(F)は乗用車であり、車体5701、車輪5702、ダッシュボード5703、ライト5704等を有する。本発明の一態様にかかる半導体装置は、乗用車の各種集積回路に用いることができる。

【0327】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【実施例1】

50

【0328】

本実施例では、OSトランジスタを用いた記憶回路の特性を測定した結果について説明する。

【0329】

記憶回路において発生し得るエラーとして、放射線の入射によるソフトエラーがあげられる。ソフトエラーは、メモリやパッケージを構成する材料などから放出される α 線や、宇宙から大気に入射した一次宇宙線が大気中に存在する原子の原子核と核反応を起こすことにより発生する二次宇宙線中性子などがトランジスタに照射され、電子正孔対が生成されることにより、メモリに保持されたデータが反転するなどの誤作動が生じる現象である。本実施例では、OSトランジスタを用いた記憶回路に放射線を照射することにより、ソフトエラー耐性の評価を行った。

10

【0330】

測定には、図35(A)に示す回路1000を8192個備えた記憶回路と、図35(B)に示す回路1100を8192個備えた記憶回路を用いた。

【0331】

図35(A)に示す回路1000は、トランジスタ1001、1002、1003、容量素子1004によって構成されている。回路1000は、図11(A)に示す回路310を変形した構成に対応する。

【0332】

図35(B)に示す回路1100は、トランジスタ1101、1102、インバータ1103、1104、トランジスタ1105、1106、容量素子1107、1108によって構成されている。回路1100は、図14における記憶回路500に対応する。

20

【0333】

図35(A)に示す回路1000において、容量素子1004の容量は6.7 fFとし、トランジスタ1002、1003はチャンネル長0.35 μm のSiトランジスタとし、トランジスタ1001はチャンネル長0.8 μm のOSトランジスタとした。また、図35(B)に示す回路1100において、容量素子1107、1108の容量は30 fFとし、トランジスタ1101、1102、インバータ1103、1104はチャンネル長0.35 μm のSiトランジスタとし、トランジスタ1105、1106はチャンネル長0.8 μm のOSトランジスタとした。また、SiトランジスタにはSOI基板を用いた。

30

【0334】

ソフトエラー耐性の評価は、上記の回路を有する記憶回路1乃至3に対して放射線を照射し、その時のデータの保持特性を測定することにより行った。記憶回路1は、図35(A)に示す回路1000のノードNaにデータが保持された状態の記憶回路である。記憶回路2は、図35(B)に示す回路1100のノードNb、Ncにデータが保持された状態の記憶回路である。記憶回路3は、図35(B)に示す回路1100のノードNd、Neにデータが保持された状態の記憶回路である。記憶回路1乃至3のそれぞれについて、2サンプル(サンプルA、B)ずつ測定を行った。また、記憶回路1乃至3に照射する放射線の放射線源には、 α 線源として質量数241のアメリシウム(Am)を用い、放射線源とサンプル間の距離は1 mmとした。そして、放射線の照射により、保持されたデータが変動した回路1000及び回路1100の個数をソフトエラー数としてカウントすることにより試験を行った。試験結果を表1に示す。

40

【0335】

【表 1】

試験No.		1	2	3
試験条件	電源電圧	2V	最低動作電圧	最低動作電圧
	放射線源距離	1mm	1mm	1mm
	保持時間	5分	5分	20分
記憶回路1	ソフトエラー数(A)	0	0	—
	ソフトエラー数(B)	0	0	—
記憶回路2	ソフトエラー数(A)	0	0	0
	ソフトエラー数(B)	0	0	0
記憶回路3	ソフトエラー数(A)	0	1	5
	ソフトエラー数(B)	0	1	2

10

【0336】

試験は、3種類の条件下で行った（試験1乃至3）。記憶回路の電源電圧を2Vとし、放射線が照射された状態においてデータを5分間保持した試験1では、いずれのサンプルにおいてもソフトエラーは生じなかった。

【0337】

次に、動作電圧を、2V未満で記憶回路が動作する最小の電圧（最低動作電圧）に変更して試験2を行った。その結果、記憶回路3において、サンプルA、Bの両方でソフトエラーが確認された。すなわち、図35（B）におけるSRAMセル部分において、ソフトエラーが発生した。一方、OSトランジスタによってデータが保持された記憶回路1、2においては、ソフトエラーは確認されなかった。

20

【0338】

次に、動作電圧を最低動作電圧としたまま、データの保持時間を20分に延長して試験3を行った。その結果、記憶回路3においてはソフトエラー数が増加した。一方、OSトランジスタを用いてデータを保持している記憶回路2においては、保持時間が長くなり照射される放射線の量が増加してもソフトエラーが確認されず、データが正確に保持されていた。

【0339】

試験1乃至3の結果から、図35（A）に示す回路1000は、ソフトエラー耐性が高いことが分かった。また、図35（B）に示す回路1100においては、ノードNd、Neに記憶されたデータをノードNb、Ncに退避されることにより、ソフトエラーの発生を抑制することができた。すなわち、SRAMセルにおいて、OSトランジスタを用いたバックアップを行うことにより、ソフトエラー耐性を向上させることができた。

30

【0340】

以上の結果から、OSトランジスタを用いた記憶回路は、ソフトエラー耐性が高いことが分かる。よって、OSトランジスタをコンフィギュレーションメモリに用いることにより、信頼性が高いPLDを実現することができる。

【実施例2】

【0341】

次に、OSトランジスタを用いた記憶回路の他の測定結果について説明する。

40

【0342】

測定には、図35（A）に示す回路1000を8kbit（32bit×256address）分備えた記憶回路と、図35（B）に示す回路1100を8kbit（32bit×256address）分備えた記憶回路を用いた。

【0343】

図35（A）に示す回路1000において、容量素子1004の容量は5.34fFとし、トランジスタ1002、1003はチャンネル長0.35μmのSiトランジスタとし、トランジスタ1001はチャンネル長0.8μmのOSトランジスタとした。また、図35（B）に示す回路1100において、容量素子1107、1108の容量は30fFとし、トランジスタ1101、1102、インバータ1103、1104はチャンネル長0.3

50

5 μm のSiトランジスタとし、トランジスタ1105、1106はチャネル長0.8 μm のOSTランジスタとした。また、SiトランジスタにはSOI基板を用いた。

【0344】

ソフトウェア耐性の評価は、上記の回路を有する記憶回路4乃至6に対して放射線を照射し、その時のデータの保持特性を測定することにより行った。記憶回路4は、図35(A)に示す回路1000のノードNaにデータが保持された状態の記憶回路である。記憶回路5は、図35(B)に示す回路1100のノードNb、Ncにデータが保持された状態の記憶回路である。記憶回路6は、図35(B)に示す回路1100のノードNd、Neにデータが保持された状態の記憶回路である。記憶回路の電源電圧は1.5Vとした。また、記憶回路4乃至6に照射する放射線の放射線源には、 α 線源として質量数241のアメリカシウム(Am)を用い、放射線源とサンプル間の距離は1mmとした。そして、放射線の照射を5分間、10分間または20分間行い、保持されたデータが変動した回路1000及び回路1100の個数をソフトウェア数としてカウントすることにより試験を行った。試験結果を表2に示す。

【0345】

【表2】

保持時間	試験No.	記憶回路4	記憶回路5	記憶回路6
5分	1	0	0	1
	2	0	0	1
	3	0	—	1
	4	—	—	1
10分	5	0	—	—
	6	0	—	—
	7	0	—	—
20分	8	0	0	3
	9	—	0	2
	10	—	—	5

【0346】

保持時間（放射線を照射した時間）を5分とした場合、記憶回路6においてソフトウェアが確認された。すなわち、図35(B)におけるSRAMセル部分において、ソフトウェアが発生した。一方、OSTランジスタによってデータが保持された記憶回路4、5においては、ソフトウェアは確認されなかった。

【0347】

保持時間を10分として記憶回路4のソフトウェアを測定した結果、ソフトウェアは確認されなかった。

【0348】

保持時間を20分とした場合、記憶回路6においてはソフトウェア数が増加した。一方、OSTランジスタを用いてデータを保持している記憶回路5においては、保持時間が長くなり照射される放射線の量が増加してもソフトウェアが確認されず、データが正確に保持されていた。

【0349】

なお、表2には示していないが、記憶回路の電源電圧を2.0V、保持時間を5分とした場合の測定も行った。この結果、記憶回路4、5、6のいずれもソフトウェアは確認されなかった。

【0350】

記憶回路4におけるソフトウェア位置を表すエラーマップを図36(A)に示す。記憶回路6におけるソフトウェア位置を表すエラーマップを図36(B)に示す。

【0351】

表 2 および図 3 6 (A)、(B) に示す結果から、図 3 5 (A) に示す回路 1 0 0 0 は、ソフトエラー耐性が高いことが分かった。また、図 3 5 (B) に示す回路 1 1 0 0 においては、ノード N d、N e に記憶されたデータをノード N b、N c に退避されることにより、ソフトエラーの発生を抑制することができた。すなわち、S R A M セルにおいて、O S トランジスタを用いたバックアップを行うことにより、ソフトエラー耐性を向上させることができた。

【0 3 5 2】

以上の結果から、O S トランジスタ用いた記憶回路は、ソフトエラー耐性が高いことが分かる。よって、O S トランジスタをコンフィギュレーションメモリに用いることにより、信頼性が高い P L D を実現することができる。

10

【0 3 5 3】

1 6 M b i t S R A M および 0 . 3 5 μ m 8 k b i t S R A M における、ソフトエラー率 (S E R) とテクノロジーノードの関係を図 3 7 に示す。1 6 M b i t S R A M における S E R とテクノロジーノードの関係は、「R. C. Baumann, I E E E T r a n s . D e v i c e M a t e r . R e l . , V o l . 5 , N o . 3 , p p . 3 0 5 - 3 1 6 , 2 0 0 5 .」に記載されている。図 3 7 中の「0 . 3 5 μ m S R A M」は図 3 5 (B) に示した記憶回路に相当し、「N O S R A M」は図 3 5 (A) に示した記憶回路に相当し、S E R は表 2 の記憶回路 6 における実験結果を基に算出した値である。なお、図 3 7 において S E R は正規化した値を示す。

20

【0 3 5 4】

参照の 9 0 n m 1 6 M b i t S R A M の S E R は 7.20×10^8 b i t / M b i t / h o u r である。一方、0 . 3 5 μ m 8 k b i t S R A M の S E R は 1.28×10^6 b i t / M b i t / h o u r であった。つまり、0 . 3 5 μ m 8 k b i t S R A M の S E R は、9 0 n m 1 6 M b i t S R A M の S E R の 1.78×10^{-3} 倍であった。

【0 3 5 5】

なお、図 3 5 (A) に示す回路 1 0 0 0 (記憶回路 4) についてはソフトエラーが確認できなかったが、回路 1 0 0 0 における S E R は 0 . 3 5 μ m 8 k b i t S R A M における S E R より低いことが示唆される。

【0 3 5 6】

記憶回路 4 および記憶回路 6 の、容量 C m、反転電位 V i、臨界電荷量 Q c r i t および α 線の衝突により電子正孔対が発生する回路面積 A を表 3 に示す。ここで、容量 C m は、ノード N a の容量およびノード N d、N e の容量を表す。反転電位 V i は、ノード N a に保持されたデータの論理が反転する場合のノード N a の電位および、ノード N d、N e に保持されたデータの論理が反転する場合のノード N d、N e の電位を表す。臨界電荷量 Q c r i t は、ノード N a に保持されたデータの論理を反転させるために必要な電荷量および、ノード N d、N e に保持されたデータの論理を反転させるために必要な電荷量を表す。

30

【0 3 5 7】

【表 3】

40

	記憶回路4	記憶回路6
容量Cm (fF)	5.34	5.80
反転電位Vi (V)	0.50	0.75
臨界電荷量Qcrit = Cm × Vi (fC)	2.67	4.35
回路面積A (cm ²)	1.76×10^{-8}	3.20×10^{-8}

【0 3 5 8】

また、S E R は以下の数式で表される。ここで、Q s はデバイスの電荷収集効率を表す。

【0 3 5 9】

50

【数 1】

$$SER \propto A \times \exp(-Q_{crit}/Q_s)$$

【0360】

図36、図37および表3より、記憶回路4と記憶回路6では、SERの差が回路面積Aおよび臨界電荷量 Q_{crit} の差と比べて大きいことが確認される。つまり、上記の数式より、記憶回路4の電荷収集効率 Q_s は、記憶回路6の電荷収集効率 Q_s より低いことが示唆される。

【符号の説明】

【0361】

10	半導体装置	10
20	回路	
30	回路	
31	回路	
40	記憶回路	
41	記憶領域	
50	インターフェース	
60	記憶回路	
70	記憶回路	
71	記憶領域	20
72	記憶領域	
80	記憶回路	
90	選択回路	
200	PLD	
211	ロジックアレイ	
212	ロジックアレイ	
221	スイッチアレイ	
223	スイッチアレイ	
224	入出力アレイ	
225	入出力アレイ	30
230	クロック信号生成装置	
231	コンフィギュレーションコントローラ	
232	コンテキストコントローラ	
234	列ドライバ回路	
235	行ドライバ回路	
240	LE	
250	コンフィギュレーションメモリ部	
260	ロジックセル	
261	排他的論理和回路群	
262	LUT	40
263	キャリーロジック	
265	フリップフロップ	
280	RS	
300	記憶回路	
310	回路	
311	トランジスタ	
312	トランジスタ	
313	トランジスタ	
314	容量素子	
315	回路	50

4 0 0	記憶回路	
4 1 0	回路	
4 1 1	トランジスタ	
4 1 2	トランジスタ	
4 1 3	容量素子	
4 1 4	トランジスタ	
4 1 5	トランジスタ	
4 1 6	容量素子	
4 1 7	トランジスタ	
4 1 8	回路	10
4 1 9	回路	
4 2 0	回路	
4 2 1	インバータ	
4 2 2	トランジスタ	
5 0 0	記憶回路	
5 1 0	回路	
5 1 1	トランジスタ	
5 1 2	トランジスタ	
5 1 3	トランジスタ	
5 1 4	トランジスタ	20
5 1 5	トランジスタ	
5 1 6	トランジスタ	
5 2 0	回路	
5 2 1	トランジスタ	
5 2 2	トランジスタ	
5 2 3	容量素子	
5 2 4	容量素子	
6 0 0	コンピュータ	
6 1 0	入力装置	
6 2 0	出力装置	30
6 3 0	C P U	
6 3 1	制御装置	
6 3 2	演算装置	
6 3 3	記憶装置	
6 3 4	記憶装置	
6 4 0	P L D	
6 5 0	記憶装置	
8 0 1	トランジスタ	
8 0 2	トランジスタ	
8 0 3	トランジスタ	40
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 7	トランジスタ	
8 1 0	酸化物層	
8 1 1	金属酸化物層	
8 1 2	金属酸化物層	
8 1 3	金属酸化物層	
8 1 4	金属酸化物層	
8 1 8	絶縁層	50

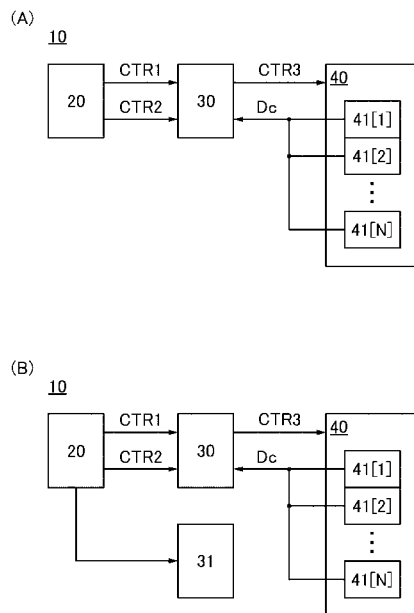
8 2 1	絶縁層	
8 2 2	絶縁層	
8 2 3	絶縁層	
8 2 4	絶縁層	
8 2 5	絶縁層	
8 2 6	絶縁層	
8 2 7	絶縁層	
8 2 8	絶縁層	
8 2 9	絶縁層	
8 3 0	絶縁層	10
8 5 0	導電層	
8 5 1	導電層	
8 5 2	導電層	
8 5 3	導電層	
9 0 0	半導体装置	
9 1 0	トランジスタ	
9 2 0	トランジスタ	
9 2 1	半導体基板	
9 2 2	不純物領域	
9 3 0	容量素子	20
1 0 0 0	回路	
1 0 0 1	トランジスタ	
1 0 0 2	トランジスタ	
1 0 0 3	トランジスタ	
1 0 0 4	容量素子	
1 1 0 0	回路	
1 1 0 1	トランジスタ	
1 1 0 2	トランジスタ	
1 1 0 3	インバータ	
1 1 0 4	インバータ	30
1 1 0 5	トランジスタ	
1 1 0 6	トランジスタ	
1 1 0 7	容量素子	
1 1 0 8	容量素子	
4 7 0 0	電子部品	
4 7 0 1	リード	
4 7 0 2	プリント基板	
4 7 0 3	回路部	
4 7 0 4	回路基板	
5 2 0 1	筐体	40
5 2 0 2	筐体	
5 2 0 3	表示部	
5 2 0 4	表示部	
5 2 0 5	マイクロホン	
5 2 0 6	スピーカ	
5 2 0 7	操作キー	
5 2 0 8	スタイラス	
5 3 0 1	筐体	
5 3 0 2	冷蔵室用扉	
5 3 0 3	冷凍室用扉	50

5 4 0 1	筐体
5 4 0 2	表示部
5 4 0 3	キーボード
5 4 0 4	ポインティングデバイス
5 6 0 1	筐体
5 6 0 2	筐体
5 6 0 3	表示部
5 6 0 4	表示部
5 6 0 5	接続部
5 6 0 6	操作キー
5 7 0 1	車体
5 7 0 2	車輪
5 7 0 3	ダッシュボード
5 7 0 4	ライト
5 8 0 1	筐体
5 8 0 2	筐体
5 8 0 3	表示部
5 8 0 4	操作キー
5 8 0 5	レンズ
5 8 0 6	接続部

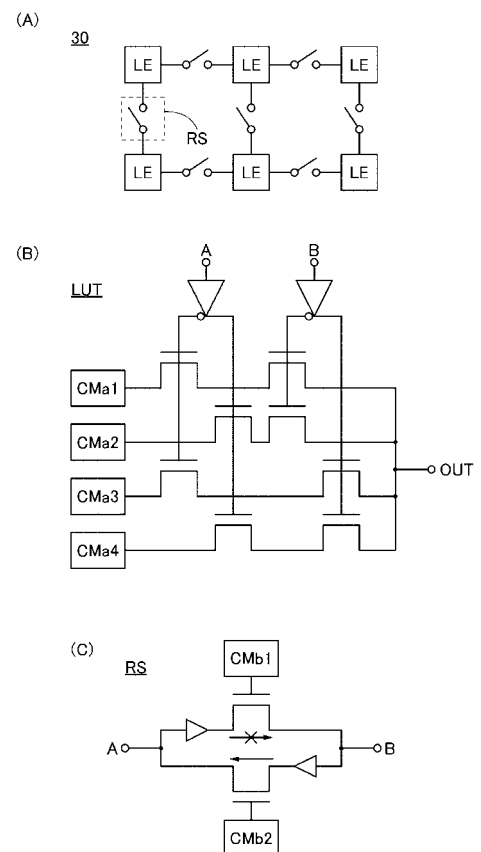
10

20

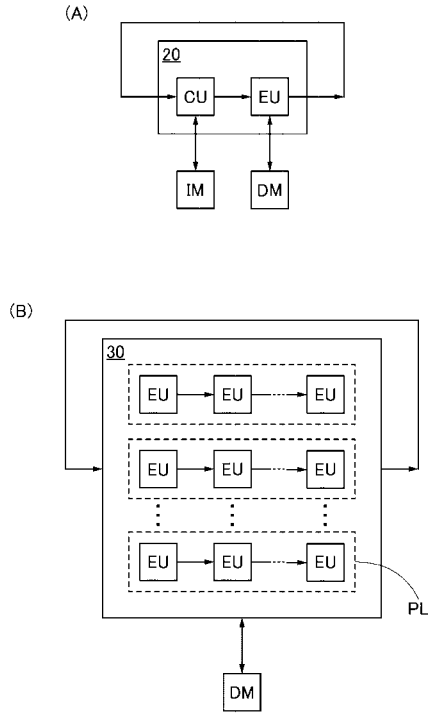
【図 1】



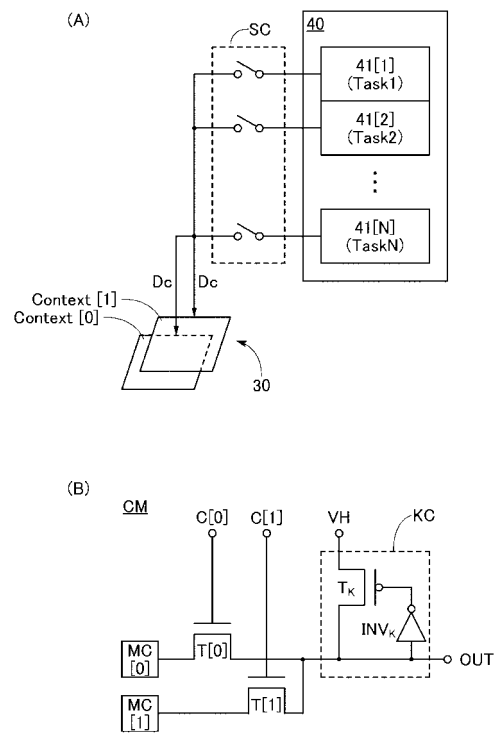
【図 2】



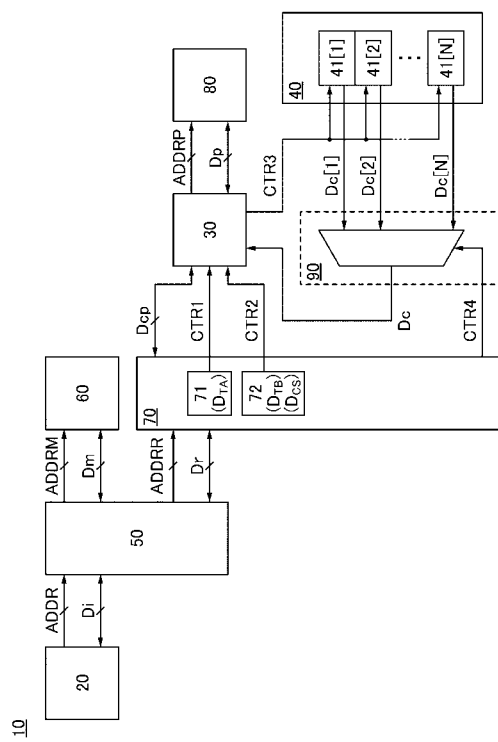
【図 3】



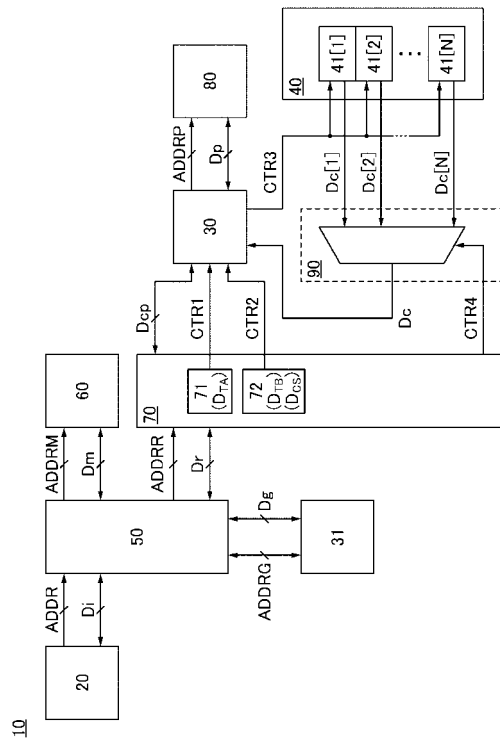
【図 4】



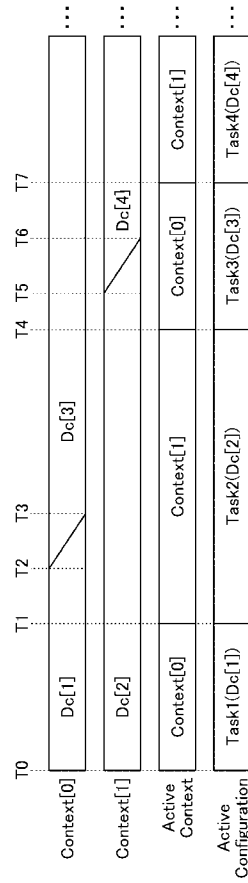
【図 5】



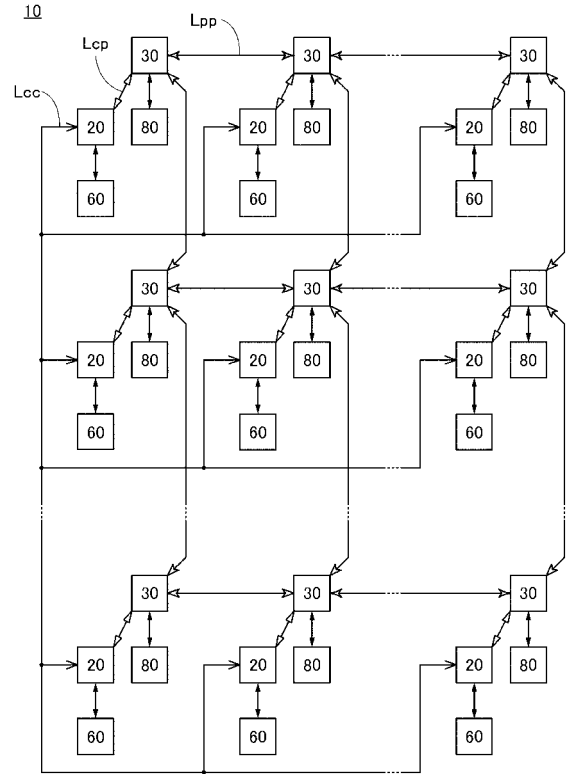
【図 6】



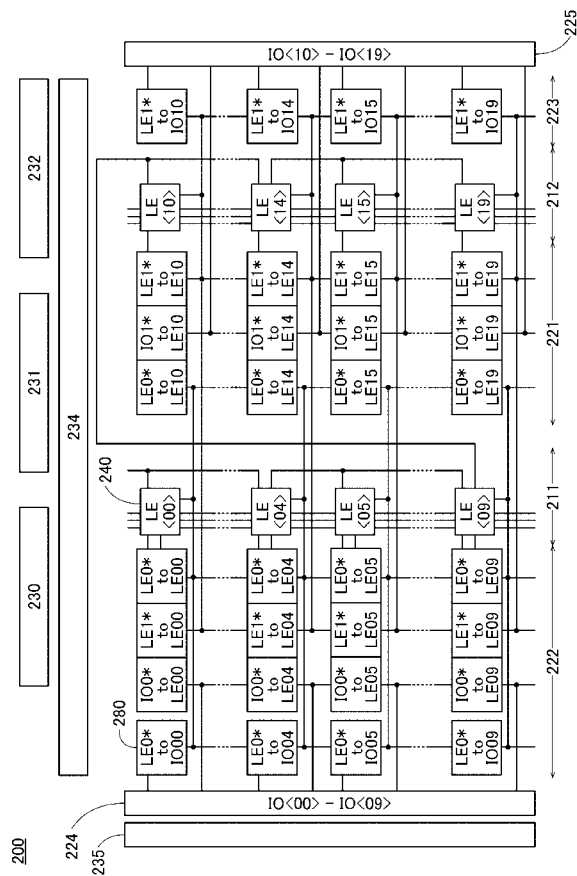
【図 7】



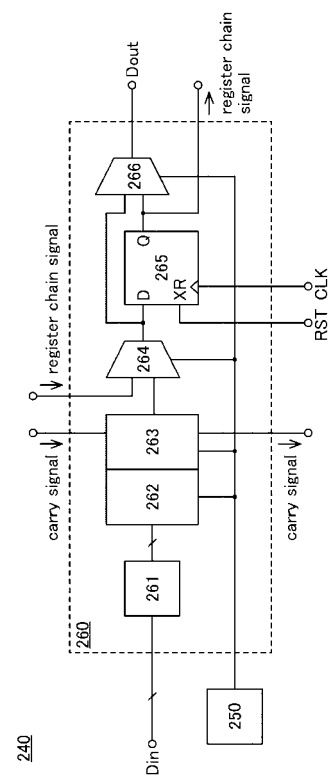
【図 8】



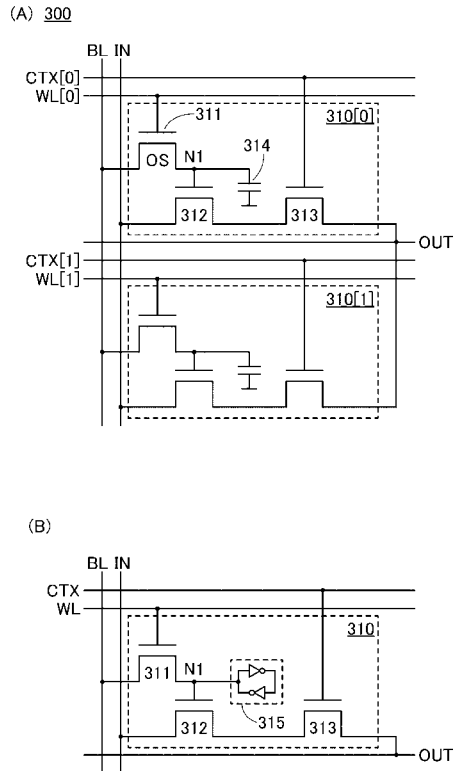
【図 9】



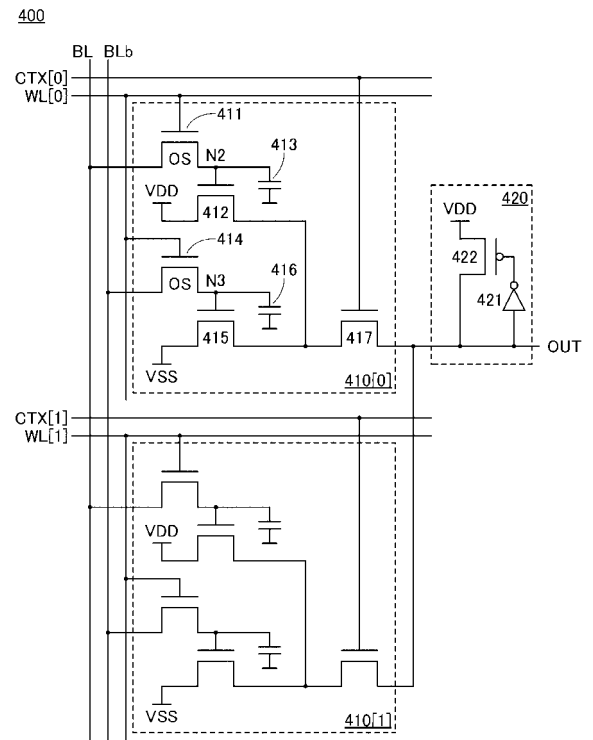
【図 10】



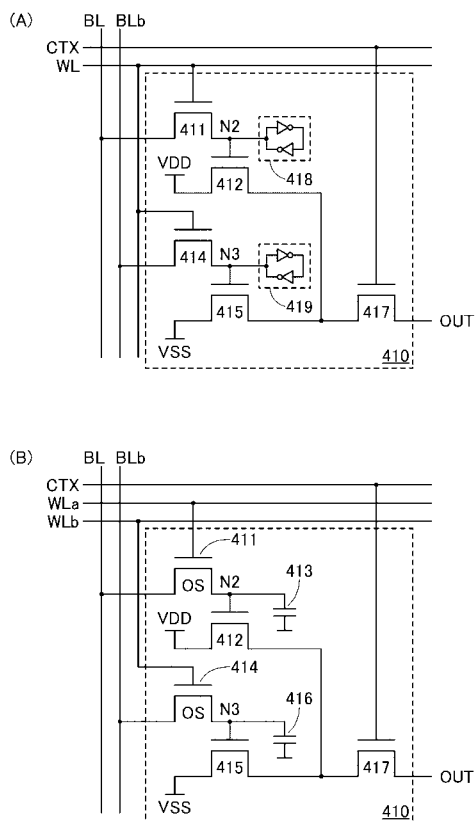
【図 1 1】



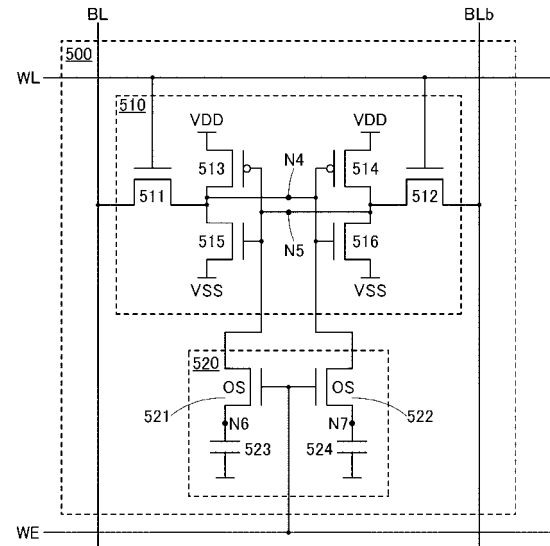
【図 1 2】



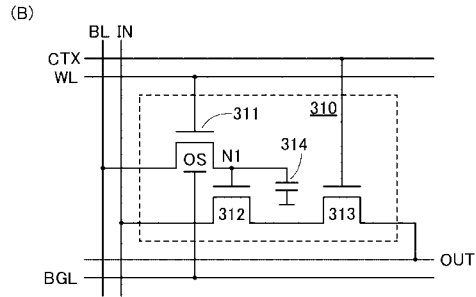
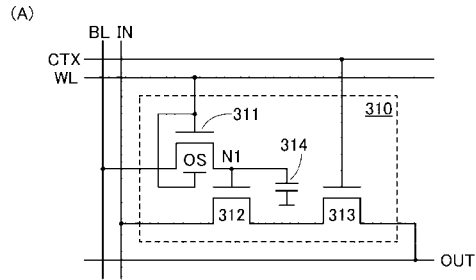
【図 1 3】



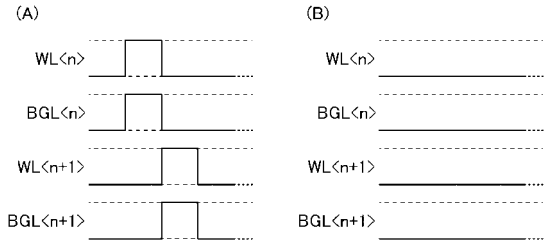
【図 1 4】



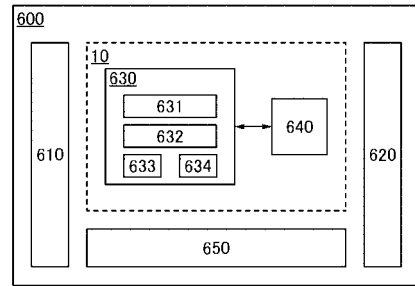
【図 15】



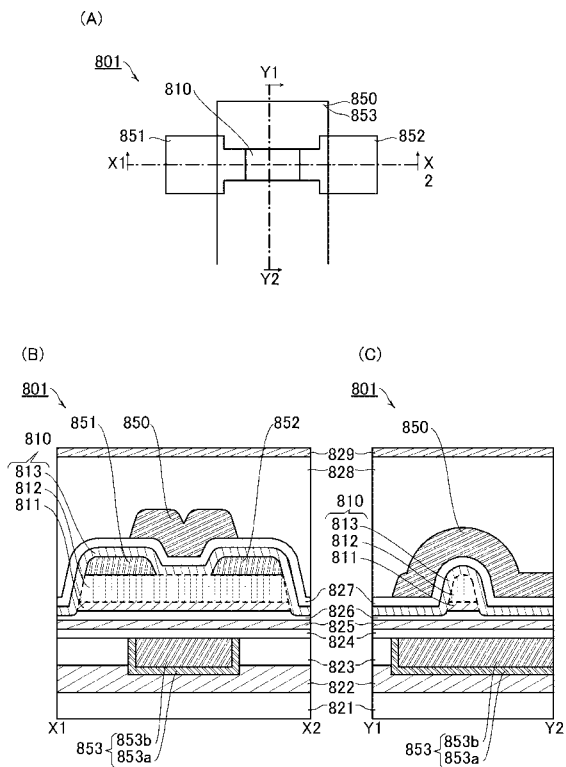
【図 16】



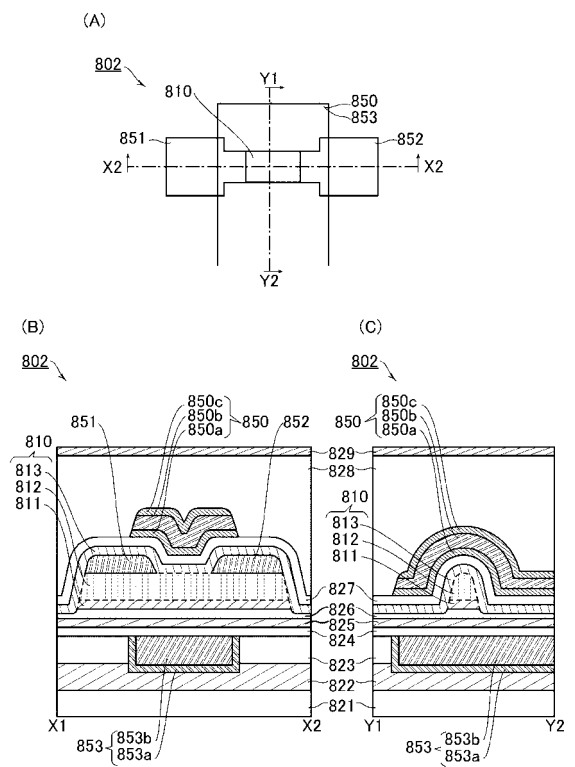
【図 17】



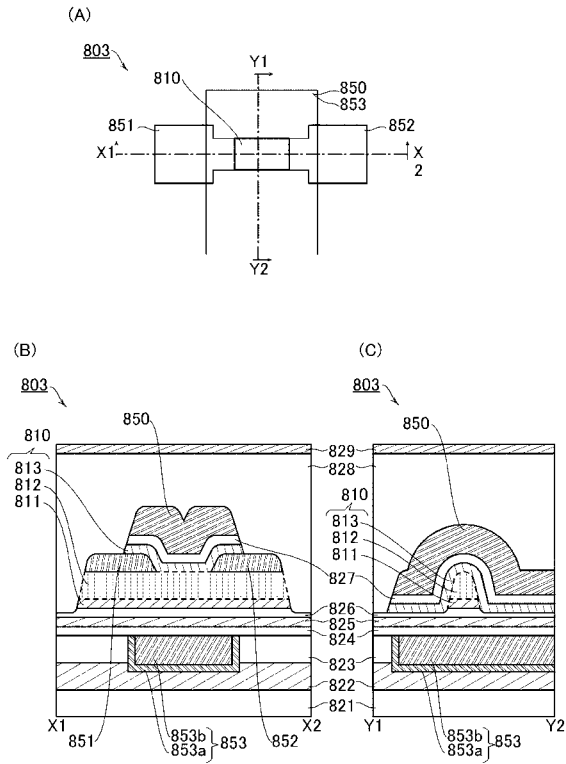
【図 18】



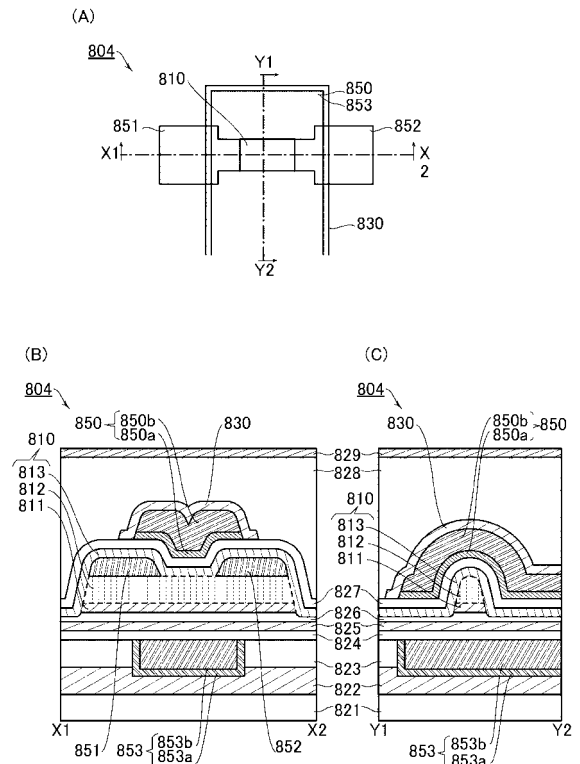
【図 19】



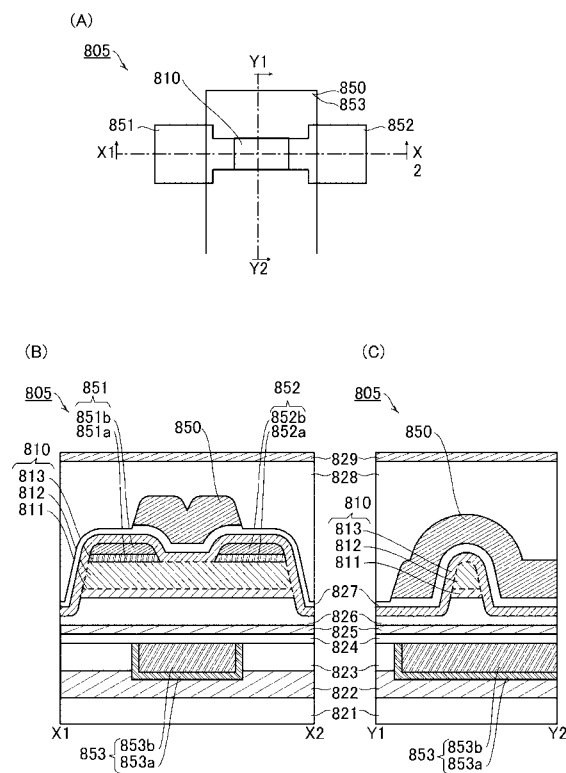
【図 20】



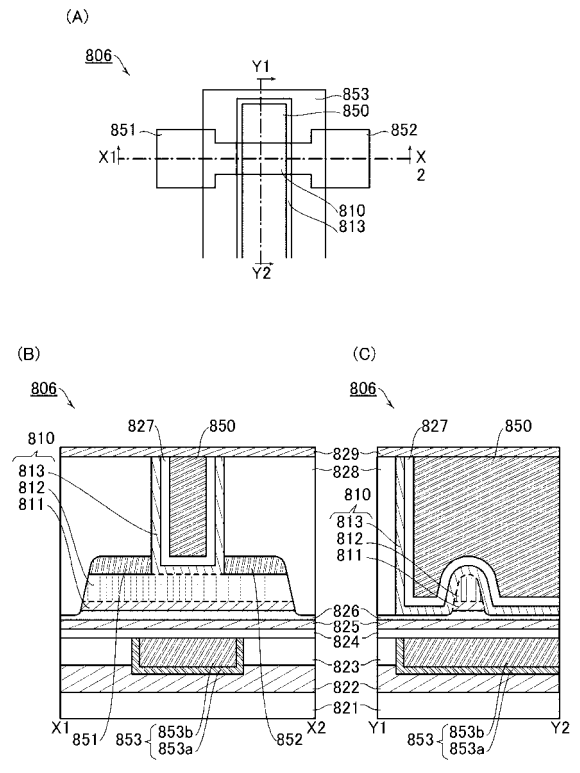
【図 21】



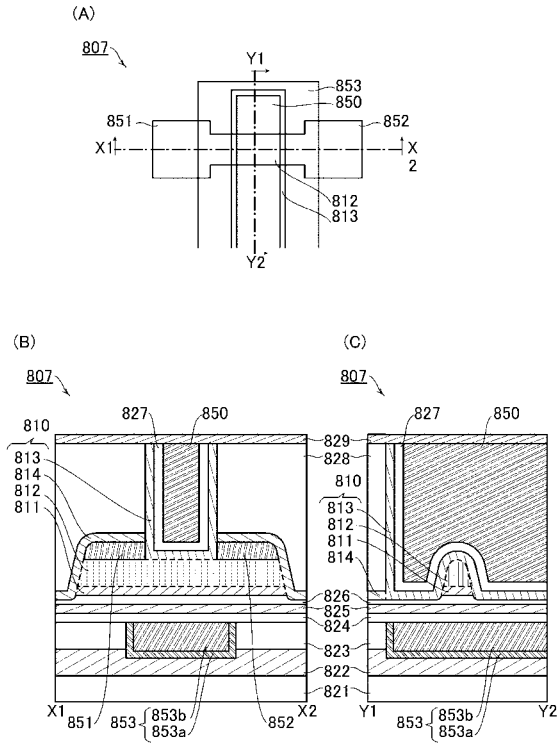
【図 22】



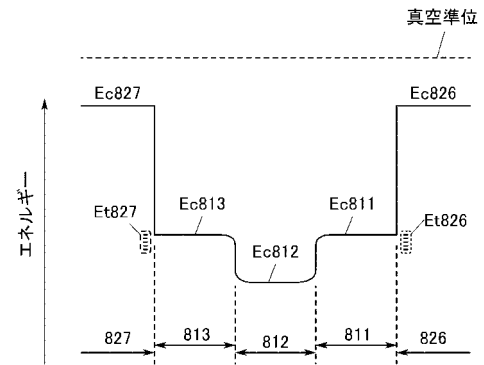
【図 23】



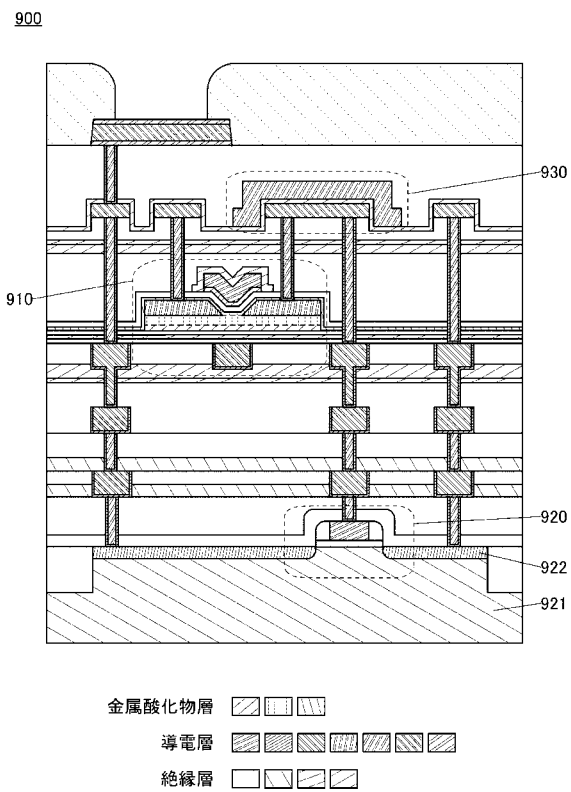
【図 2 4】



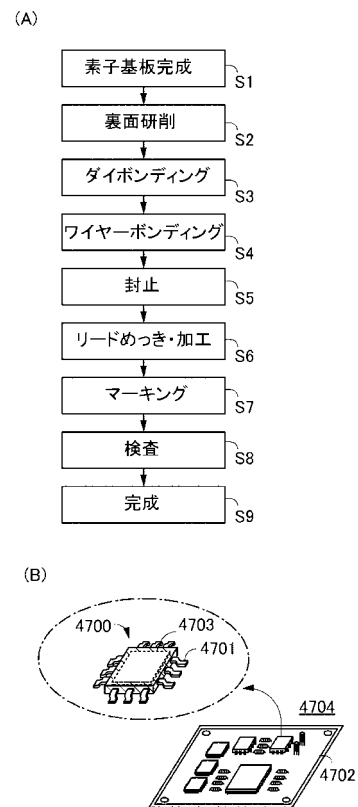
【図 2 5】



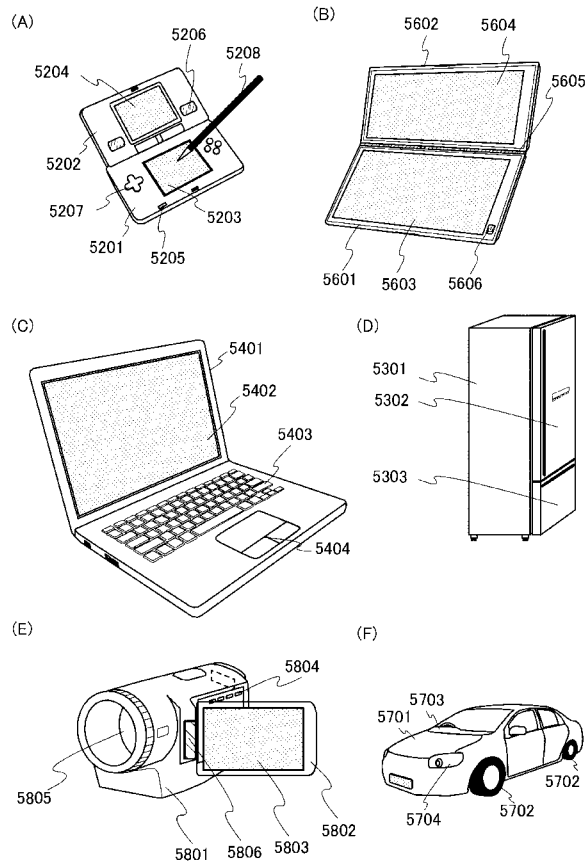
【図 2 6】



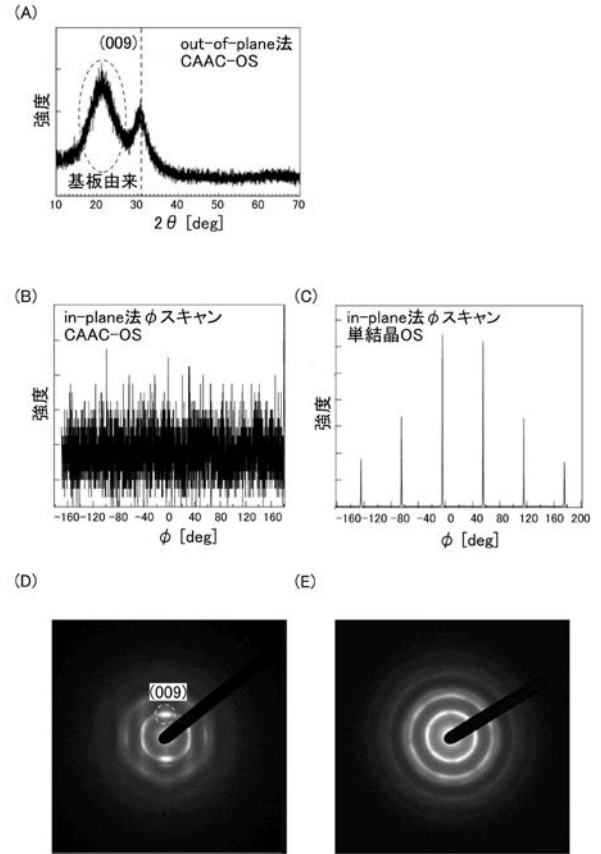
【図 2 7】



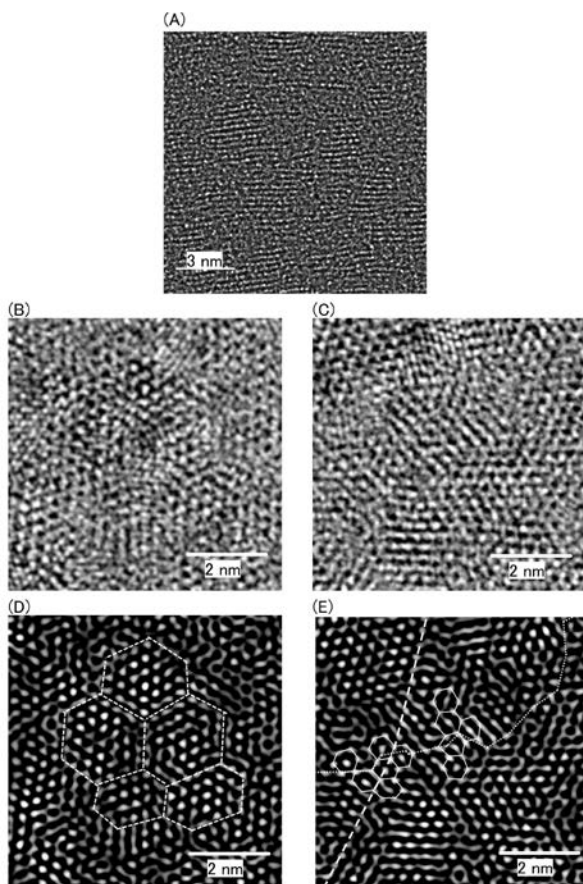
【図 28】



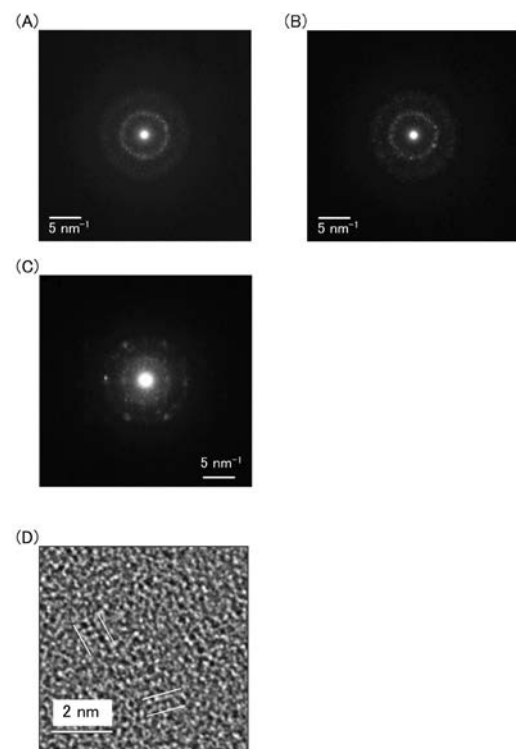
【図 29】



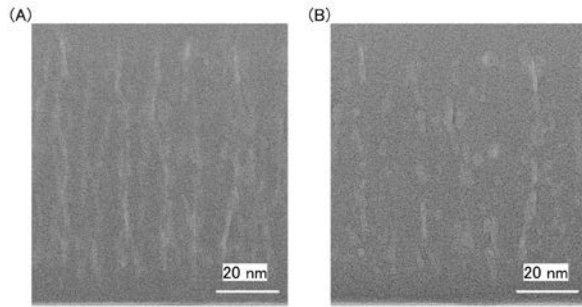
【図 30】



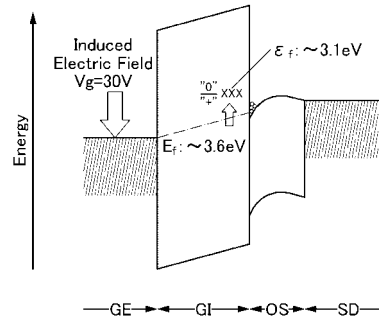
【図 31】



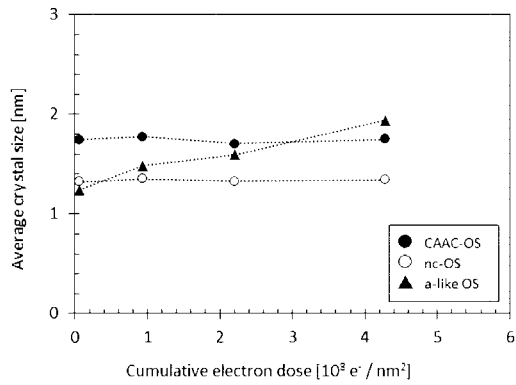
【図 3 2】



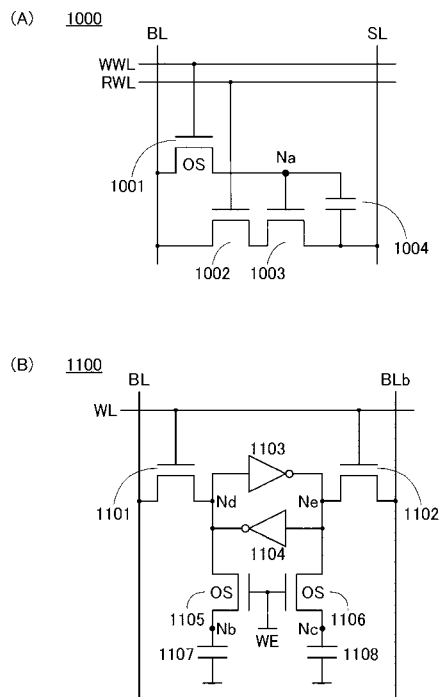
【図 3 4】



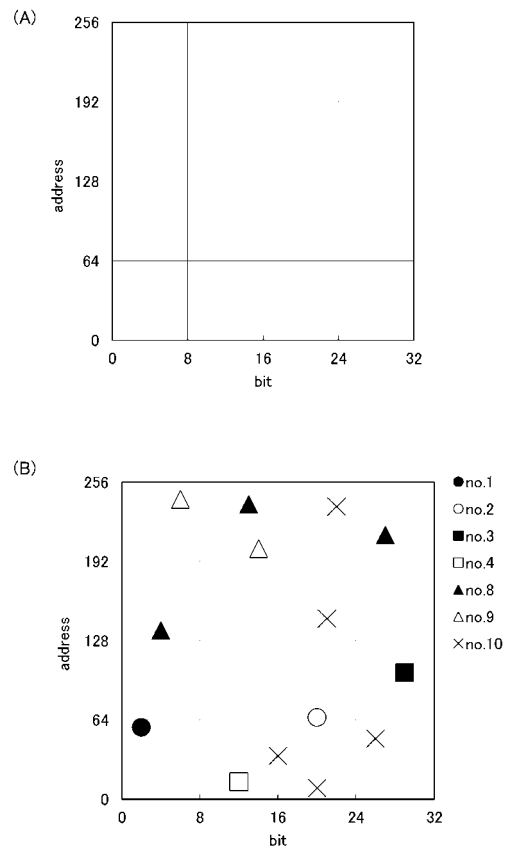
【図 3 3】



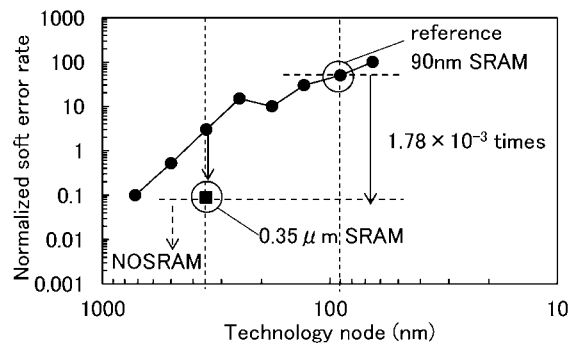
【図 3 5】



【図 3 6】



【図 37】



フロントページの続き

(51)Int.Cl.			F I			テーマコード (参考)	
H O 1 L	27/088	(2006.01)	H O 1 L	27/08	1 0 2 E	5 J 0 4 2	
H O 1 L	21/8242	(2006.01)	H O 1 L	27/08	1 0 2 J		
H O 1 L	27/108	(2006.01)	H O 1 L	27/10	3 2 1		
H O 1 L	21/8244	(2006.01)	H O 1 L	27/10	6 9 1		
H O 1 L	27/11	(2006.01)	H O 1 L	27/10	3 8 1		
G O 6 F	12/00	(2006.01)	G O 6 F	12/00	5 5 0 C		

Fターム(参考)	5F083	AD02	AD21	AD69	BS27	BS50	GA18	JA02	JA03	JA05	JA06
		JA19	JA36	JA37	JA39	JA40	JA56	JA60	MA06	MA16	MA18
		MA19									
	5F110	AA01	AA02	AA08	AA09	AA30	BB03	BB05	BB11	CC01	DD06
		DD12	DD13	DD14	DD15	DD17	EE01	EE02	EE03	EE04	EE05
		EE07	EE08	EE09	EE11	EE14	EE15	EE22	EE42	EE43	EE44
		EE45	EE48	FF01	FF02	FF03	FF04	FF05	FF10	FF12	FF27
		FF28	FF29	FF30	GG01	GG06	GG13	GG14	GG15	GG16	GG17
		GG19	GG22	GG24	GG25	GG32	GG34	GG35	GG42	GG43	GG44
		GG45	HK01	HK02	HK03	HK04	HK05	HK07	HK08	HK09	HK14
		HK25	HK32	HK33	HK34	HK35	HM02	HM03	NN03	NN22	NN24
		NN28	NN33	NN34	NN35	NN72	NN74				
	5J042	BA04	CA07	CA10	CA14	CA27	DA04				