

公告本 299469

申請日期	85.5.14
案 號	85105653
類 別	Int. Cl ⁶

A4
C4
299469

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	對鎢為高選擇性之各向同性矽蝕刻程序
	英 文	Isotropic silicon etch process that is highly selective to tungsten
二、發明 創作人	姓 名	1. 艾克艾克斯坦 Elke Eckstein 2. 伯吉特荷夫曼 Birgit Hoffman 3. 艾德華威廉凱伍拉 Edward William Kiewra 4. 瓦德馬瓦特寇肯 Waldemar Walter Kocon 5. 馬克傑維斯 Mark Jay Weiss
	國 籍	1. 法國 2. 德國 3. 瑞士 4. 美國 5. 美國
三、申請人	住、居所	1. 法國巴黎 F-75006 卡西特路 20 號 2. 德國潘特林 93080 阿荷恩街 7 號 3. 瑞士凱屈伯格 CH-8802 史屈特山馬特街 27-B 號 4. 美國紐約州 12590 瓦平格斯弗斯維里路 25 號 5. 美國紐約州 10128 紐約尤克道 1675 號第 28D 公寓
	代 表 人 姓 名	1. 西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT 2. 國際商業機器股份有限公司 International Business Machines Corporation 1. 德國 2. 美國 1. 德國慕尼黑 80333 威田巴契廣場 2 號 2. 美國紐約 10504 艾蒙克老橡樹路 1. 納特布斯克 (Natebusch) 歐姆克 (Ohmke) 2. 威廉 T. 艾里斯 William T. Ellis

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

美 國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

1995年4月27日 08/430,011

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明()

發明背景

發明領域

本發明一般而言是關於一種半導體元件之製造方法，更特別地說，則是有關一種製造像64MB的動態隨機存取記憶體(DRAM)晶片之類的高密度半導體元件之鎢柱栓時，用來去除硬性氧化罩及暫時性(犧牲的)矽心軸的各向同性蝕刻程序。

相關技術說明

利用無邊界之擴散及無邊界之閘極接觸結構是增加積體電路密度的有效方法。例如，在動態隨機存取記憶體陣列中允許一個完全無邊界的擴散接觸與閘極導體和元件之隔離區域重疊。這是D.Kenney等人於「64MB DRAM所用之埋藏板溝道單元」，1992 Symposium on VLSI Technology, Seattle, WA.發表的結果，與完全的著陸式擴散接觸相比可以使製成的DRAM單元區域減小大約百分之四十。此外，也可以使無邊界的閘極導體觸點與隔離區域重疊。

傳統的製造程序中製造接觸通路需要一個暫時性(犧牲的)心軸結構。此心軸比方說可以用化學機械拋光技術(CMP)全域平坦化到達閘極罩之電介質的多晶矽結構，加上一個作為氧化罩之蝕刻阻止層的多晶矽延伸層。

在此層上形成一硬性氧化罩層。這些多晶矽層是以硬性氧化罩和無氟之化學蝕刻作各向異性蝕刻，以達到對多晶矽之蝕刻速率比閘極罩之電介質蝕刻速率為高的選擇

五、發明說明()

性(>50:1)，因而在心軸上形成高微縮的通路。然後以化學氣相沈積法將鎢填充到這些高微縮比的通路中，並將鎢磨光到硬性氧化罩層以形成擴散接觸(CD)與閘極接觸(CG)之柱栓。

一旦製成了CD和CG柱栓，就必需去除硬性氧化罩及暫時性多晶矽心軸層而以絕緣體取代。過去的努力是以氟程序來處理，不過至少造成兩個問題，第一，雖然氟程序去除多晶矽的效果不錯，卻也會快速地蝕刻鎢層。第二，高度聚合化的氟化學會阻塞反應性離子蝕刻腔而必需經常清理。

有鑑於這些氟蝕刻程序的缺點，已採用氯氣／溴化氫Cl₂/HBr程序以蝕刻多晶矽。然而這些氯氣／溴化氫程序也有其本身的缺點。第一，氯氣／溴化氫程序不是各向同性的，因此在閘極堆疊的側壁上留下相當多的殘餘多晶矽，造成柱栓與柱栓間的高漏電。第二，氯氣亦減低鎢柱栓的高度而可能導致斷路。

也已採用溴化氫之各向異性程序作為單質蝕刻劑以蝕刻對光阻有選擇性的矽和多晶矽，然而這些程序對鎢的選擇性不佳。且由於其亦為各向異性程序，這些程序無法去除在鎢柱栓底部的殘餘多晶矽縱樑。

因此需要一種方法以各向同性蝕刻殘留在側壁的矽，而不致去掉太多鎢柱栓或電介質閘極罩。

發明總述

因此本發明之目的為在製造高密度半導體元件之鎢質

五、發明說明(3)

擴散接觸(CD)與閘極接觸(CG)時提供用以去除暫時性硬性氧化罩及矽心軸的程序，實質上排除相關技術之限制與缺點所造成的困難。

本發明另一目的在減少鎢柱栓的損失，以減小心軸延伸厚度，並於蝕刻閘極接觸(CG)時減小CG孔洞的加寬。減小CG孔洞的加寬是必要的，因為CG孔洞的加寬使CD到CG之短路增加。

根據本發明，提供一種各向同性之矽蝕刻程序，包括下列步驟：(1)提供一具有鎢柱栓之晶圓，有一氧化罩及矽與鎢柱栓接觸；(2)以氮氣於晶圓背面提供冷卻；(3)以 CF_4/CHF_3 和氮氣約3:1的比例產生的電漿褪去氧化罩；(4)移去背面提供冷卻的氮氣；(5)用蝕刻劑之電漿褪除矽。

根據本發明另一種型態之矽蝕刻程序包括下列步驟：(1)提供一具有鎢柱栓之晶圓，有一氧化罩及矽與鎢柱栓接觸；(2)以氮氣12Torr的壓力於晶圓背面提供冷卻；(3)利用終點偵測以 CF_4/CHF_3 和氮氣約3:1的比例之電漿褪去氧化罩；(4)再對氧化罩進行大約相當於終點偵測時間之百分之二十八的過蝕刻；(5)移去背面提供冷卻的氮氣；(6)用蝕刻劑之電漿褪除矽。

上述之去除程序是在形成閘極堆疊和鎢柱栓之後進行的，且需要選擇性地蝕刻矽到達電介質閘極罩和鎢。電介質閘極罩可以是氮化矽或二氧化矽。而矽材料可以是未摻雜質的多晶矽、摻雜質的多晶矽、或是單晶矽。所

五、發明說明(4)

揭示的各向同性程序用溴化氫作為單質反應劑，並相對於鎢和電介質閘極罩而選擇性地蝕刻矽。

藉著移去晶圓背面在溴化氫蝕刻程序中提供冷卻的氮氣以增加基片溫度而去除殘留的矽縱樑。也可以使用 NF_3 和 SF_6 的各向同性蝕刻去除殘留的矽縱樑，不過由於氟化學而使鎢柱栓的高度減低。

圖式簡述

前述的及其他的目的、型態及優點由下列本發明優選實施例的詳細說明參照圖式將更清楚的了解。

圖1為在心軸蝕刻前之閘極堆疊和鎢質擴散接觸(CD)柱栓的橫剖面圖；

圖2為圖1去除硬性氧化罩後之閘極堆疊和鎢質擴散接觸(CD)鎢柱栓的橫剖面圖；

圖3為圖2作心軸多晶矽蝕刻後之閘極堆疊和鎢質擴散接觸(CD)鎢柱栓的橫剖面圖；

圖4為圖3以 NF_3/SF_6 作清除蝕刻後之閘極堆疊和鎢質擴散接觸(CD)鎢柱栓的橫剖面圖；

圖5為本發明之步驟的流程圖；

圖6為根據本發明在多晶矽以溴化氫的化學反應褪去，並移去背面提供冷卻的氮氣後之閘極堆疊和鎢質擴散接觸(CD)鎢柱栓的橫剖面圖；

發明優選實施例詳述

現在特別參照圖1到圖4，圖1所示是一種被賦予通常以數字10標示之具有閘極堆疊和為硬性氧化罩、及暫時

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(5)

性矽心軸所圍繞的鎢質擴散接觸(CD)柱栓的半導體元件，在作矽蝕刻前的截面透視圖。

當本發明之矽蝕刻程序時，分別會被描述成去除聚合矽層膜13和15，值得慶幸的是層膜13和15不只可以用未摻雜質的多晶矽製造，還可以用摻雜質的多晶矽或是矽單晶來製造。下面將要討論的本發明之程序參數，即使層膜13和15所用之矽的材料不同也會儘可能維持相同。

我們不準備描述圖1所示的結構。半導體元件10包括晶圓14及長於其上的閘極導體11。閘極導體11上覆蓋著以氮化矽或氧化矽長成的電介質閘極罩16，在此一結構上則成長以機械化學拋光技術全域平坦化達閘極罩之電介質的多晶矽心軸層膜13。然後將這個多晶矽心軸層膜13長成延伸多晶矽層膜15。延伸多晶矽層膜15的上面長成一個硬性氧化罩層膜18，用以定義成長多晶矽層膜13和15的開端。

以硬性氧化罩和無氟蝕刻化學反應對這些多晶矽層膜作各向異性蝕刻，以達成高微縮式的多晶矽心軸通路。這些通路是以化學氣相沈積法填充鎢，並以機械化學拋光技術製成擴散接觸(CD)柱栓12。硬性氧化罩層膜18和暫時性多晶矽填充物，包括了心軸層膜13和延伸多晶矽層膜15，都必需依序蝕刻無邊界接觸選擇性地蝕刻成閘極罩。在完成這個目的之後，得將硬性氧化罩和多晶矽填充物都換成絕緣體。

接下來的褪除心軸程序的目的，是將柱栓周圍及閘極

五、發明說明(b)

堆疊之間的氧化罩和多晶矽填充物全部去除，同時讓鎢柱栓和電介質閘極罩受到最小的破壞。參照圖2，首先以活性離子蝕刻技術褪除硬性氧化罩層膜18。結果去除了氧化罩而對鎢柱栓12造成最小的破壞。主要由碳和氟構成的聚合層膜或薄膜17是在活性離子蝕刻氧化罩時長成的。這個聚合薄膜有助於防止鎢受到蝕刻，而使鎢柱栓在活性離子蝕刻過程中保持其高度。因為自由氟離子會破壞鎢，所以在活性離子蝕刻過程中必需作聚合沈積。

褪除多晶矽心軸之程序必需有各向同性矽蝕刻技術，因為若使用各向同性矽蝕刻技術則在鎢柱栓12頂上的聚合罩17會成為多晶矽的覆罩。

圖3所示是在一種和溴化氫反應褪除多晶矽心軸層膜13和15的傳統方法。不幸的是使用這個方法時，在這個蝕刻步驟之後有些多晶矽心軸的殘留矽縱樑19會繼續黏附在擴散接觸(CD)柱栓12和閘極絕緣體16的基部。這些殘留矽縱樑19會造成柱栓與柱栓之間的高漏失所以必須去除。

過去是以各向同性的 NF_3/SF_6 活性離子蝕刻去除殘留多晶矽縱樑19。然而如圖4所示在這個清除步驟裡，擴散接觸(CD)鎢柱栓的高度會因鎢被氟破壞而減低。這是無法接受的結果，因為在製造程序中下一個金屬層膜必需與鎢柱栓接觸，否則若鎢柱栓太短會造成斷路的現象。

圖5所示是根據此項發明之步驟的流程圖，這個方法克服了前面所提到的困難，也就是在去除殘留多晶矽縱

五、發明說明(7)

標 19 的同時令擴散接觸 (CD) 鎢柱栓的高度受到最小的破壞。

首先參照圖 5 舉例來說如圖 1 所示的半導體元件 10，是為準備進行蝕刻而於步驟 20 中所提供的。步驟 20 裡，硬性氧化罩層膜 18 是在壓力大約為 240mTorr、功率 1200 瓦、且具 1.015 公分的閘極間隙條件下作氧化層膜的蝕刻。硬性氧化罩可以是氧化矽 (SiO_x)，那可以用許多方法沈積而成，例如裂塊四乙基原矽酸鹽 (TEOS)、由 SiO_x 靶噴鍍、或將 SiO_x 蒸發等。除 TEOS 之外如以 SiH_4 及 N_2O 作化學蒸氣沈積也可以製造該氧化罩。

氧化罩蝕刻大致應用於下列條件，氮氣流速 200sccm (每分鐘一標準立方公分)，四氯化碳流速 60sccm， CHF_3 則為 20sccm。設定的氮氣壓在這個步驟裡維持在 12Torr。氧化罩蝕刻的終止是以傳統的終點偵測達成的，也就是以光譜儀測量所要的波長之強度的技術。

於步驟 30，可以對晶圓進行過蝕刻以確保硬性氧化罩的完全清除。這個步驟令晶圓暴露於和步驟 20 的相同情況下，再進行大約相當於步驟 20 中蝕刻時間之百分之二十八的過蝕刻。

接下來的三個步驟 40，50 和 60 展現的是根據此項發明之多晶矽蝕刻程序。在進行這三個步驟時，氮氣壓力設定在 0Torr。若除去這項背部的冷卻時，步驟 40，50 和 60 中晶圓的溫度會升到 260℃ 的數量級。同時在這三個步驟進行時，是利用 300sccm 溴化氫反應及保持在大約

五、發明說明(8)

575瓦之功率的電漿褪去多晶矽。

步驟40對延伸多晶矽層膜15進行蝕刻。晶圓暴露於650m Torr的壓力下，而電極間隙由前述步驟之1.015公分加寬到1.3公分。這個蝕刻步驟大約耗時20秒。

下一個多晶矽蝕刻步驟50，壓力降到350m Torr而電極間隙則減為0.8公分且耗時大約20秒。這個步驟是為了破除心軸多晶矽層膜13與延伸多晶矽層膜15之間所存在的任何界面。

最後一個多晶矽蝕刻步驟60對心軸多晶矽層膜13進行蝕刻。這個步驟將壓力回升到650m Torr而電極間隙則回復為1.3公分，且持續了大約125秒是最耗時的一個多晶矽蝕刻步驟。圖6所示是在完成步驟60後之閘極堆疊和擴散接觸(CD)柱栓的截面透視圖。

根據本發明的程序，即使在上述程序參數(功率、壓力、氣體流速、時間、及電極間隙)的目標值發生+/-20%的變化，也能有效地去除多晶矽縱樑。

若於步驟40-60中不用氯氣(Cl_2)並除去背部的冷卻(而氯氣壓力設定在0 Torr)，則多晶矽對鎢之蝕刻選擇性會從6:1劇增為15:1。同時清除殘留在側面的矽縱樑又維持多晶矽對鎢柱栓和閘極罩之電介質的高選擇性。

氧化層膜的蝕刻步驟(20和30)及矽蝕刻步驟(40-60)，可以在同一個反應腔內進行、也可以在不同的反應腔裡進行。也就是說，可以先作氧化層膜的蝕刻，之後改變電極間隙於同一個反應腔內進行矽蝕刻步驟，或者以分

五、發明說明(9)

開的兩個反應腔進行這些程序。

不過以分開的反應腔進行這些程序是有優點的。第一，那可以將步驟20和30中使用的氟氣與步驟40-60中使用的溴化氫分開。同時在分開的反應腔進行矽蝕刻程序(選擇性地作矽對鎢柱栓和閘極罩電介質的蝕刻)也可以達成較佳的效果。

此項發明是常用具體實例描述，熟悉藝術級技術的人可以練習於不偏離此一發明之精神及架構下去作不同的改變或修正。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱：對鎢為高選擇性之各向同性矽蝕刻程序)

揭示一種背面之線性乾式蝕刻方法。在形成閘極堆疊和鎢柱栓之後，再蝕刻氧化罩及暫時性(犧牲的)矽心軸。藉著一種聚合性氧化物蝕刻對鎢和矽選擇性地蝕刻氧化罩。對氮化矽和二氧化矽及鎢選擇性地蝕刻矽。以溴化氫為單質蝕刻劑，並於矽蝕刻程序中調整持久度、壓力、電壓間隙，移開背面的氬氣冷卻，而去除矽心軸及相關的殘留矽縱樑。矽材料可以是未摻雜質的多晶矽、摻雜質的多晶矽、或是單晶矽。

英文發明摘要(發明之名稱：Isotropic silicon etch process that is highly selective to tungsten)

A back end of the line dry etch method is disclosed. Etching of a mask oxide and temporary (sacrificial) silicon mandrel occurs following the formation of gate stacks and tungsten studs. The mask oxide is etched selectively to tungsten and silicon through the use of a polymerizing oxide etch. The silicon is etched selectively to both silicon nitride, silicon oxide, and tungsten. The process removes the silicon mandrel and associated silicon residual stringers by removing backside helium cooling, while using HBr as the single species etchant, and by adjusting the duration, the pressure, and the electrode gaps during the silicon etch process. The silicon may be undoped polysilicon, doped polysilicon, or single crystal silicon.

六、申請專利範圍

1. 一種各向同性之矽蝕刻程序包括下列步驟：

提供一具錫柱栓之晶圓，有一氧化罩及矽與錫柱栓接觸：

以氮氣於晶圓背面提供冷卻：

以 CF_4 / CHF_3 和氮氣約 3:1 的比例產生的電漿褪除氧化罩：

移去背面提供冷卻的氮氣；以及

用蝕刻劑之電漿褪去矽。

2. 如申請專利範圍第 1 項之矽蝕刻程序，其中矽材料選自未摻雜質的多晶矽、摻雜質的多晶矽、及單晶矽。
3. 如申請專利範圍第 1 項之矽蝕刻程序，其中以電漿褪去矽之步驟使用溴化氫作為蝕刻劑。
4. 如申請專利範圍第 3 項之矽蝕刻程序，其對錫具高選擇性。
5. 如申請專利範圍第 4 項之矽蝕刻程序，其對二氧化矽或氮化矽具高選擇性。
6. 如申請專利範圍第 1 項之矽蝕刻程序，其中該氧化罩是氮化矽 (SiO_x)。
7. 如申請專利範圍第 6 項之矽蝕刻程序，並含以四乙基原矽酸鹽 (TEOS) 裂塊、來自 SiO_x 靶之噴鍍物、或將 SiO_x 蒸發等方法形成氧化罩的步驟。
8. 如申請專利範圍第 6 項之矽蝕刻程序，並含以 SiH_4 及 N_2O 之化學氣相沈積形成氧化罩的步驟。
9. 如申請專利範圍第 1 項之矽蝕刻程序，其中以電漿褪

六、申請專利範圍

除氯化罩的步驟所使用的條件是：氬氣流速200sccm，四氟化碳流速60sccm， CHF_3 則為20sccm，設定壓力為240mTorr，功率1200瓦，而電極間隙則是1.015公分。

10.如申請專利範圍第3項之矽蝕刻程序，其中以電漿褪除矽層的步驟所使用的條件是：溴化氬速度300sccm，壓力為650mTorr，功率575瓦，電極間隙為1.3公分，大約進行20秒，然後以壓力350mTorr，功率575瓦，電極間隙0.8公分，大約進行20秒，再以壓力650mTorr，功率575瓦，電極間隙1.3公分進行大約125秒。

11.一種各向同性之矽蝕刻程序，包括下列步驟：

提供一具鎢柱栓之晶圓，有一氯化罩及矽與鎢柱栓接觸：

以氮氣約12Torr的壓力於晶圓背面提供冷卻；

利用終點偵測以 CF_4/CHF_3 和氬氣約3:1的比例之電漿褪去氯化罩；

再對氯化罩進行大約相當於終點偵測時間之百分之二十八之過蝕刻；

移去背面提供冷卻的氮氣；以及

用蝕刻劑之電漿褪除矽。

12.如申請專利範圍第11項之矽蝕刻程序，其中矽材料選自未摻雜質的多晶矽、摻雜質的多晶矽、及單晶矽。

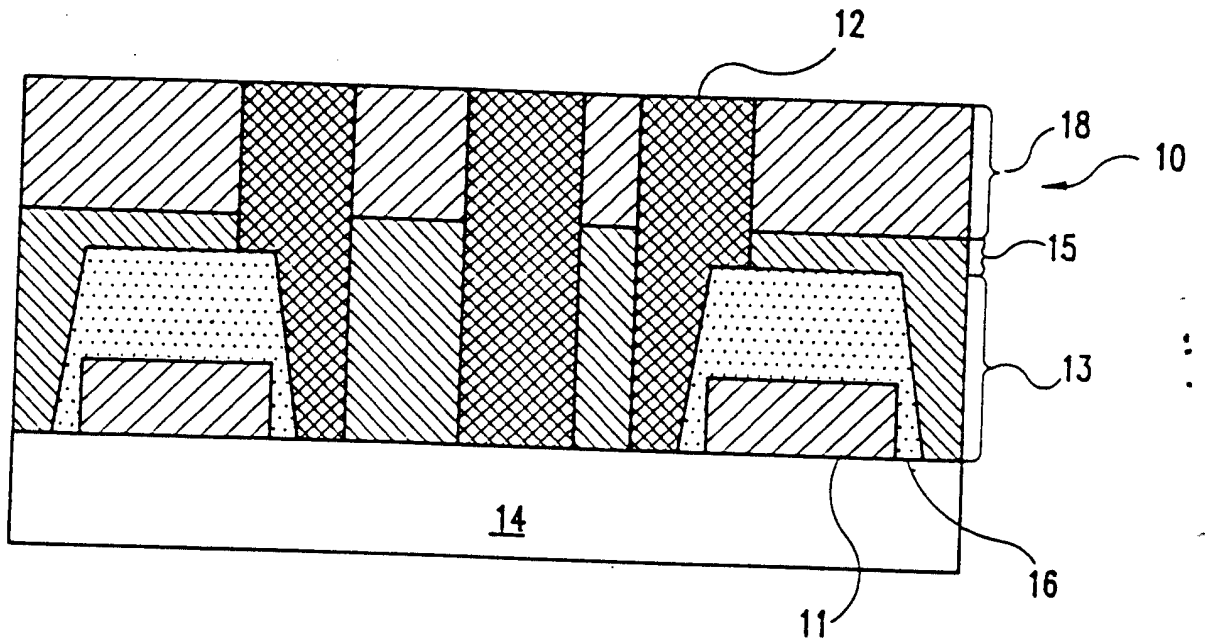
13.如申請專利範圍第11項之矽蝕刻程序，其中電漿褪去矽之步驟使用流速300sccm的溴化氬作為蝕刻劑。

14.如申請專利範圍第13項之矽蝕刻程序，其對鎢具高

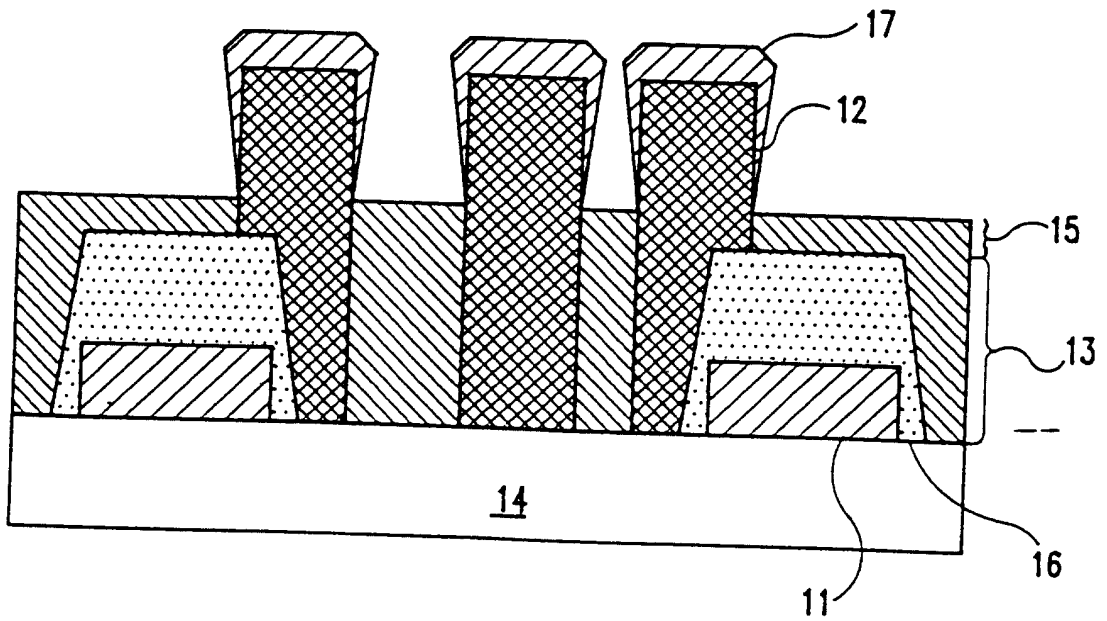
六、申請專利範圍

選擇性。

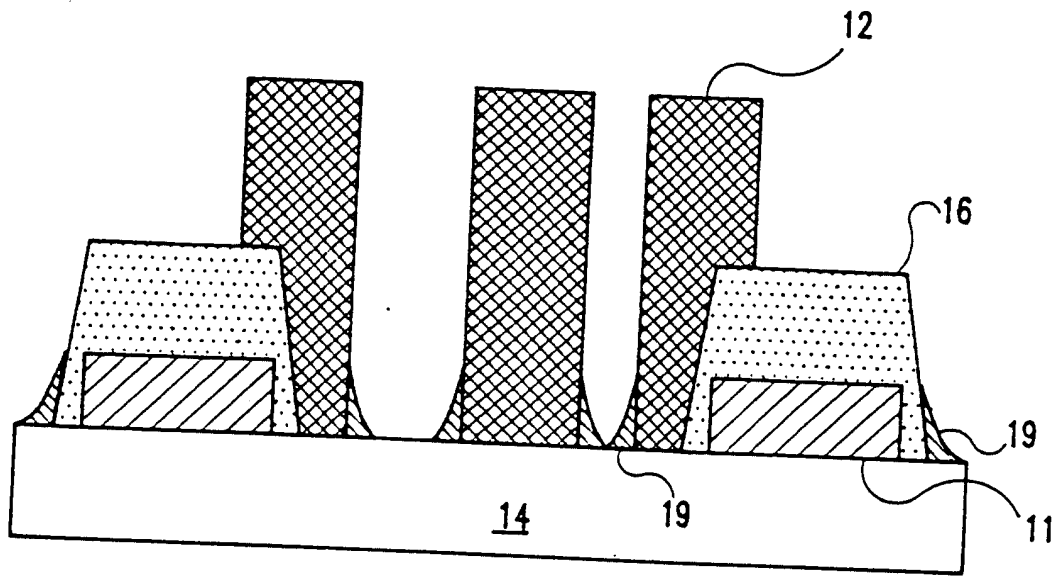
- 15.如申請專利範圍第14項之矽蝕刻程序，其對二氧化矽或氮化矽具有高選擇性。
- 16.如申請專利範圍第11項之矽蝕刻程序，其中該氧化罩是氮化矽(SiO_x)。
- 17.如申請專利範圍第16項之矽蝕刻程序，並含以四乙基原矽酸鹽(TEOS)之裂塊、來自 SiO_x 靶之噴鍍物、或將 SiO_x 蒸發等方法形成氧化罩的步驟。
- 18.如申請專利範圍第16項之矽蝕刻程序，並含以 SiH_4 及 N_2O 之化學氣相沈積形成氧化罩的步驟。
- 19.如申請專利範圍第11項之矽蝕刻程序，其中以電漿褪除氧化罩的步驟使用的條件是：氬氣流速200sccm，四氟化碳流速60sccm， CHF_3 則為20sccm，設定壓力為240mTorr，功率1200瓦，而電極間隙則是1.015公分。
- 20.如申請專利範圍第13項之矽蝕刻程序，其中以電漿褪除矽層的步驟使用的條件是：壓力為650mTorr，功率575瓦，電極間隙為1.3公分，大約進行20秒，然後以壓力350mTorr，功率575瓦，電極間隙0.8公分，大約進行20秒，再以壓力650mTorr，功率575瓦，電極間隙1.3公分進行大約125秒。



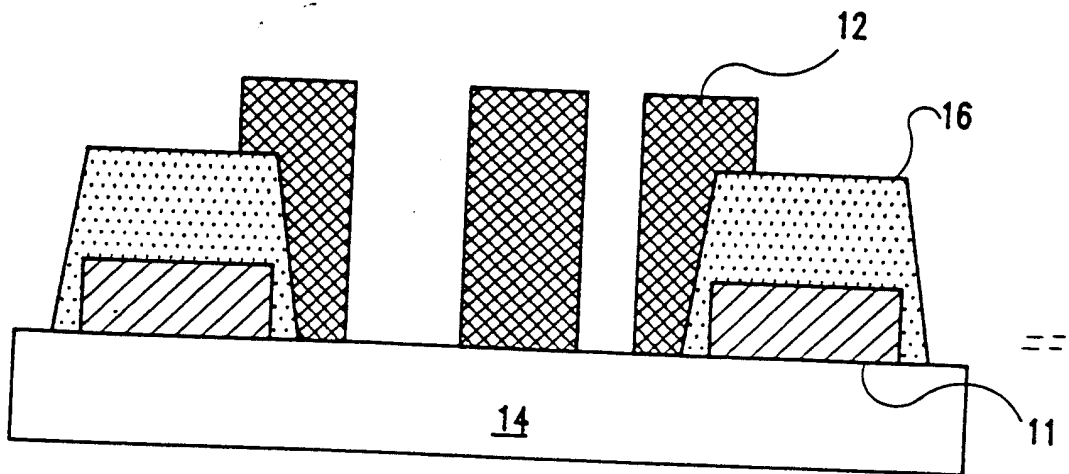
第 1 圖



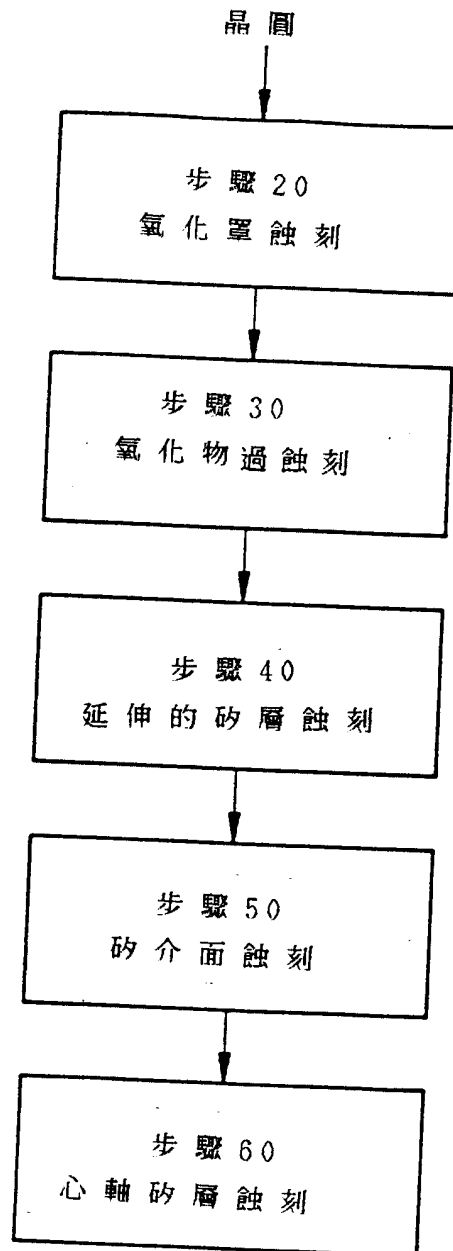
第 2 圖



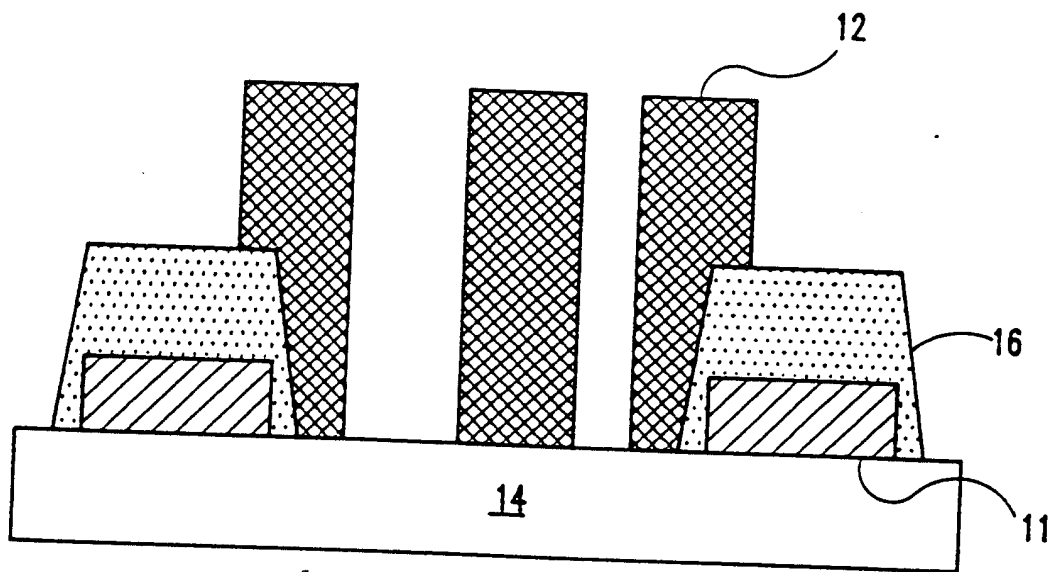
第 3 圖



第 4 圖



第 5 圖



第 6 圖