



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I478251 B

(45) 公告日：中華民國 104 (2015) 年 03 月 21 日

(21) 申請案號：101112197

(22) 申請日：中華民國 101 (2012) 年 04 月 06 日

(51) Int. Cl. : **H01L21/56 (2006.01)**

(71) 申請人：矽品精密工業股份有限公司 (中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路 3 段 123 號

(72) 發明人：蔡文山 TSAI, WEN SHAN (TW)

(74) 代理人：陳昭誠

(56) 參考文獻：

TW 201139100A1

TW 201145410A1

審查人員：許智誠

申請專利範圍項數：5 項 圖式數：4 共 13 頁

(54) 名稱

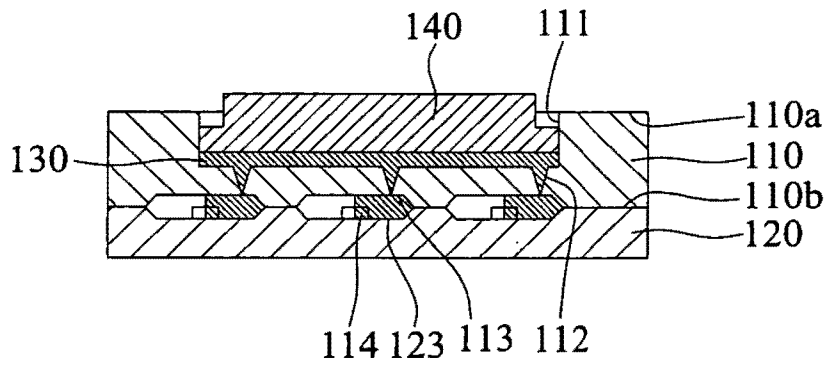
用於封裝半導體元件之鑄模裝置

CASTING MOLD DEVICE FOR PACKAGING SEMICONDUCTOR ELEMENTS

(57) 摘要

本發明提供一種用於封裝半導體元件之鑄模裝置，包括：第一模具、第二模具及柱塞，該第一模具具有分別形成於其相對兩側的注膠腔及複數第一模穴，以及形成於該第一模具中，且上下各別連通該注膠腔及複數第一模穴之澆口，由於該澆口位於該注膠腔及複數第一模穴之間，各該第一模穴與注膠腔之間距差異不大，封裝膠體注入各該第一模穴的時間相同，可令每一個半導體元件被封裝膠體完整包覆，提升封裝品質。

The invention provides a casting mold device for use in packaging semiconductor elements, comprising a first mold, a second mold and a column plunger, wherein the first mold has an encapsulant-filling cavity formed on the opposing two sides respectively as well as multiple first mold cavities, and an opening formed in the first mold with its top and bottom interconnecting with the glue-filling cavities and the multiple first mold cavities. As the opening is formed between the encapsulant-filling cavities and multiple first mold cavities, a minimal gap exists between each of the first mold cavities to enable the encapsulant to be filled therein at the same time, thereby fully encapsulating semiconductor elements therein and thus increasing the packaging quality.



第1B圖

- 110 . . . 第一模具
- 110a . . . 第一表面
- 110b . . . 第二表面
- 120 . . . 第二模具
- 111 . . . 注膠腔
- 112 . . . 澆口
- 113 . . . 第一模穴
- 123 . . . 第二模穴
- 114 . . . 半導體晶片
- 130 . . . 封裝膠體
- 140 . . . 柱塞

發明專利說明書



(本說明書格式、順序，請勿任意更動；※記號部分請勿填寫)

※申請案號：101112197

※申請日：101. 4. 06

※IPC分類：H01L 21/56 (2006.01)

一、發明名稱：(中文/英文)

用於封裝半導體元件之鑄模裝置

CASTING MOLD DEVICE FOR PACKAGING SEMICONDUCTOR ELEMENTS

二、中文發明摘要：

本發明提供一種用於封裝半導體元件之鑄模裝置，包括：第一模具、第二模具及柱塞，該第一模具具有分別形成於其相對兩側的注膠腔及複數第一模穴，以及形成於該第一模具中，且上下各別連通該注膠腔及複數第一模穴之澆口，由於該澆口位於該注膠腔及複數第一模穴之間，各該第一模穴與注膠腔之間距差異不大，封裝膠體注入各該第一模穴的時間相同，可令每一個半導體元件被封裝膠體完整包覆，提升封裝品質。

三、英文發明摘要：

The invention provides a casting mold device for use in packaging semiconductor elements, comprising a first mold, a second mold and a column plunger, wherein the first mold has an encapsulant-filling cavity formed on the opposing two sides respectively as well as multiple first mold cavities, and an opening formed in the first mold with its top and bottom interconnecting with the glue-filling cavities and the multiple first mold cavities. As the opening is formed between the encapsulant-filling cavities and multiple first mold cavities, a minimal gap exists between each of the first mold cavities to enable the encapsulant to be filled therein at the same time, thereby fully encapsulating semiconductor elements therein and thus increasing the packaging quality.

四、指定代表圖：

(一)本案指定代表圖為：第 (1B) 圖。

(二)本代表圖之元件符號簡單說明：
(13.0008)

- 110 第一模具
- 110a 第一表面
- 110b 第二表面
- 120 第二模具
- 111 注膠腔
- 112 澆口
- 113 第一模穴
- 123 第二模穴
- 114 半導體晶片
- 130 封裝膠體
- 140 柱塞

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種鑄模裝置，更具體而言，係一種用於封裝半導體元件之鑄模裝置。

【先前技術】

在半導體製程中，半導體的晶片經由複數個導線將晶片上的輸入輸出單元(I/O)連接至基板上，為防止晶片與導線受到環境與灰塵的影響，因此會將晶片與導線利用環氧樹脂封裝保護。傳統的封裝方法為將一定量的塑料置於加熱室加熱後，使該塑料融化，再以柱塞將熔膠經流道(runner)系統填入模穴，以覆蓋晶片與導線。最後，再經過加熱使塑料硬化，完成半導體封裝。

請參閱第4圖，現有的半導體封裝製程用之鑄模裝置4包括注膠腔410；以該注膠腔410為中心向外形成之複數流道420；形成於該鑄模裝置4之流道420下方之複數模穴440；以及連接各該模穴440與流道420之注膠孔4201，其中，該注膠腔410之開口係連通至該鑄模裝置4之底面。是種鑄模裝置4的缺點在於各該流道420的模穴440與注膠腔410之距離不同，導致封裝膠體430注入每一模穴440之時間也不一致，距注膠腔410較遠的模穴440可能因封裝膠體430受熱時間較長，樹脂逐漸固化，極易造成金線偏移(wire sweep)或在封裝件中產生空隙(void)，甚至無法填滿模穴440。而該空隙在之後的固化過程中容易發生爆米花效應(popcorn effect)；金線偏移則可能導致相鄰

導線接觸造成短路，因而導致廢品，降低封裝良率。

Tsuji 等人於第 5,672,550 號美國專利中揭露將注膠腔設置於各封裝陣列之中間位置，以平均拉近與各個模穴間之间距，藉以縮短流道長度並且使樹脂到達各個模穴間的時間均相同。然而，其流道設計，仍難以完全避免上述缺陷之形成。

另一種改善方式則係如 Yokoyama 等人在第 5,470,219 號美國專利所揭示者，藉由加設加熱與冷卻單元，以控制流道中膠體之溫度，以調整黏度與固化度等流動特性。然而，此裝置之架設極為複雜，在溫度控制上也極為耗能，在無量好隔熱或距離控制時亦可能有熱交換不完全之問題，尤其是在冷卻與加熱間往往造成無謂的能量浪費。由於此方法須要較精密的控制以及能量的給予，故使整體之製造成本也隨之增加。

因此，鑒於上述之問題，如何提供一種用於封裝半導體元件之鑄模裝置，使封裝膠體注入各該模穴的時間相同，以完整包覆每一個半導體元件，提升封裝品質，實已成為目前亟欲解決之課題。

【發明內容】

本發明提供一種用於封裝半導體元件之鑄模裝置，包括：第一模具，係具有相對之第一表面及第二表面，且該第一模具具有：形成於該第一模具中以容納封裝膠體之至少一注膠腔，且該注膠腔具有連通至該第一表面之開口；位於該注膠腔正下方之複數第一模穴，且具有連通至該第

二表面之凹穴；以及各別形成於該第一模具中之澆口，以各別連通該注膠腔及複數第一模穴；第二模具，係具有對應該複數第一模穴之複數第二模穴；以及柱塞，係可移動地設於該注膠腔之開口內，俾自該開口向該複數澆口擠壓該封裝膠體至該複數第一模穴。

本發明之用於封裝半導體元件之鑄模裝置係將澆口形成於該第一模具中，且上下連通該注膠腔及複數第一模穴，由於該澆口位於該注膠腔及複數第一模穴之間，各該第一模穴與注膠腔之間距差異不大，因而可以直接將熔融之封裝膠體灌注至複數第一模穴，因此無習知技術造成封裝膠體因流道過長固化度變高之顧慮。本發明之鑄模裝置可使封裝膠體注入各該第一模穴的時間相同，可令每一個半導體元件被封裝膠體完整包覆，大幅提升封裝品質。

【實施方式】

以下係藉由特定之具體實施例詳細說明本發明之技術內容及實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明的優點及功效。本發明亦可藉由其它不同的具體實施例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例

關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如“上”、“下”、“第一”、“第二”及“一”等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

本發明之第一實施例係如第 1A 圖所示，本發明之用於封裝半導體元件之鑄模裝置具有第一模具 110 與第二模具 120，其中，該第一模具 110 具有第一表面 110a 及第二表面 110b。該第一模具 110 之中形成有一凹槽空間，並具有連通至該第一模具 110 之第一表面 110a 的開口，作為裝載封裝膠體之注膠腔 111。於該注膠腔 111 之正下方，該第一模具 110 之第二表面 110b 形成有複數第一模穴 113，並且設有一澆口 112 於該注膠腔 111 下及第一模穴 113 上，各別直接連通該注膠腔 111 及複數第一模穴 113，以提供封裝膠體直接灌注而不須另外透過流道進行傳輸。該第二模具 120 具有複數第二模穴 123，係對應該複數第一模穴 113，例如對應至第一模穴 113 連通至第二表面 110b 之凹穴，第一模穴 113 和第二模穴 123 兩者可結合形成一容納空間，提供待封裝之半導體晶片等元件之置放。

如第 1B 圖所示，本發明之鑄模裝置復包括可移動地設於該注膠腔 111 之第一表面 110a 開口內的柱塞 140，俾自該注膠腔 111 之開口向該複數澆口 112 擠壓該封裝膠體

103 年 8 月 4 日修正替換頁

130 至複數第一模穴 113。亦即待封裝之半導體晶片 114 係置於該第一模穴 113 與第二模穴 123 之結合空間中，於注膠腔 111 中裝載封裝膠體 130，並將柱塞 140 可移動地設於注膠腔 111，以柱塞 140 自該第一模具 110 之第一表面 110a 處之之開口擠壓封裝膠體 130，封裝膠體 130 經澆口 112 由上至下灌注至第一模穴 113 與第二模穴 123 之結合空間中。之後可依加熱固化步驟固化封裝膠體 130，並分離該第一模具 110 與第二模具 120，取出半導體封裝件。

本發明復提供較佳之實施方式，如第 2 圖所示，本發明之第一模具 210 提供複數個注膠腔 211，每一個注膠腔 211 皆配有複數個澆口 212，且單一該注膠腔 211 係供注膠至該複數第一模穴 213，俾藉由至少一該澆口 212 連通各該第一模穴 213 和注膠腔 211，且由於該注膠腔 211 之橫截面面積大於至少二該澆口 212 之佈設範圍，各該澆口 212 之長度不會過長，各該第一模穴 213 和注膠腔 211 的間距相同，於利用柱塞 240 擠壓封裝膠體 130 時，封裝膠體 130 注入第一模穴 213 與第二模穴 223 構成之結合空間的時間相同，可在同一時間內進行大量的半導體元件封裝，且可令每一個半導體元件被封裝膠體完整包覆，大幅提升封裝品質。

於另一較佳之實施方式中，如第 3 圖所示，在封裝較大型的元件(如晶圓 314)時，可使用較大之第一模穴 313，至少兩個該澆口 312 連通該相同之注膠腔 311 及相同之第一模穴 313，並與對應的第二模穴 323 結合。俾於封裝較

10年8月4日修正替換頁

大型的元件時，元件的各個部分亦獲良好的包覆。於一具體實施例中，該澆口 312 係可連通至第一模穴 313 之角落

本發明之用於封裝半導體元件之鑄模裝置設計主要係令注膠腔下方直接對應模穴，且澆口由上至下連通注膠腔和模穴，縮短封裝膠體輸送距離，且較佳地，注膠腔到各該模穴的距離大致相同，則封裝膠體注入每一模穴的時間一致，避免使用長度較長的流道導致封裝膠體受熱固化度變高，使金線偏移或產生空隙等降低封裝良率等問題，故而提升封裝品質。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第 1A 及 1B 圖係為本發明之用於封裝半導體元件之鑄模裝置的剖視圖，其中，第 1A 圖係顯示模具構造示意圖，第 1B 圖係顯示柱塞擠壓封裝膠體之示意圖；

第 2 圖係顯示本發明之具有複數注膠腔之鑄模裝置；

第 3 圖係顯示本發明之具有複數澆口連通相同注膠腔及相同第一模穴之鑄模裝置；以及

第 4 圖係顯示習知半導體封裝裝置之剖視圖。

【主要元件符號說明】

110, 210 第一模具

10年8月4日修正替換頁

| | |
|---------------|-------|
| 110a | 第一表面 |
| 110b | 第二表面 |
| 120 | 第二模具 |
| 111, 211, 311 | 注膠腔 |
| 112, 212, 312 | 澆口 |
| 113, 213, 313 | 第一模穴 |
| 123, 223, 323 | 第二模穴 |
| 114 | 半導體晶片 |
| 130 | 封裝膠體 |
| 140, 240 | 柱塞 |
| 314 | 晶圓 |
| 4 | 鑄模裝置 |
| 410 | 注膠腔 |
| 420 | 流道 |
| 4201 | 注膠孔 |
| 430 | 封裝膠體 |
| 440 | 模穴 |

七、申請專利範圍：

103年8月4日修正

1. 一種用於封裝半導體元件之鑄模裝置，包括：

第一模具，係具有相對之第一表面及第二表面，且該第一模具具有：

至少一注膠腔，係形成於該第一模具中以容納封裝膠體，且該注膠腔具有連通至該第一表面之開口；

複數第一模穴，係位於該注膠腔正下方，且具有連通至該第二表面之凹穴；以及

複數澆口，係形成於該第一模具中，且各別連通該注膠腔及複數第一模穴，而該注膠腔之橫截面面積大於至少二該澆口之佈設範圍；

第二模具，係具有對應該複數第一模穴之複數第二模穴；以及

柱塞，係可移動地設於該注膠腔之開口內，俾自該開口向該複數澆口擠壓該封裝膠體至複數第一模穴。

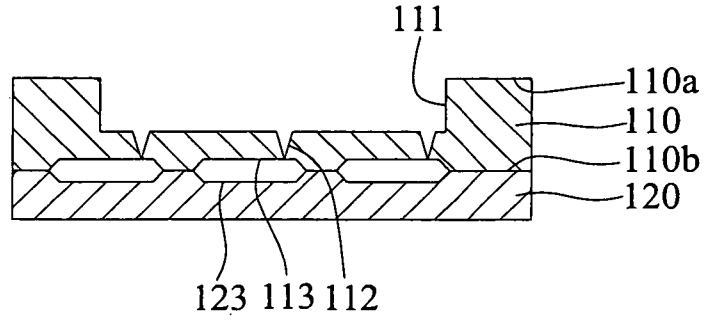
2. 如申請專利範圍第 1 項所述之用於封裝半導體元件之鑄模裝置，其中，該澆口係位於該注膠腔下及該第一模穴上。

3. 如申請專利範圍第 1 項所述之用於封裝半導體元件之鑄模裝置，其中，該第一模具具有複數該注膠腔，係供注膠至該複數第一模穴，俾藉由至少一該澆口連通各該第一模穴和注膠腔。

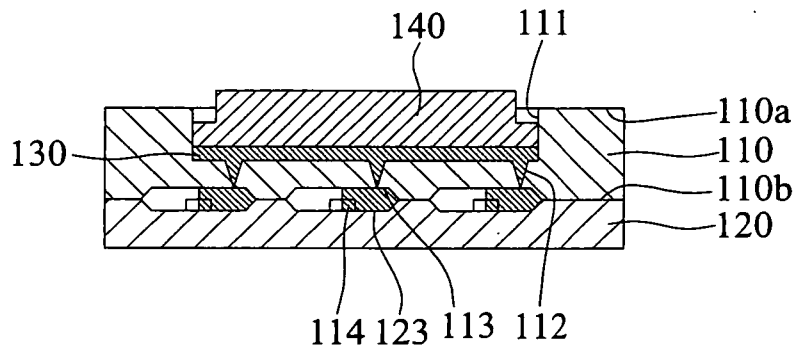
4. 如申請專利範圍第 3 項所述之用於封裝半導體元件之鑄模裝置，其中，至少兩個該澆口連通該相同之注膠腔及相同之第一模穴。
5. 如申請專利範圍第 4 項所述之用於封裝半導體元件之鑄模裝置，其中，該澆口係連通至該相同之第一模穴之角落。

10年8月4日修正替換頁

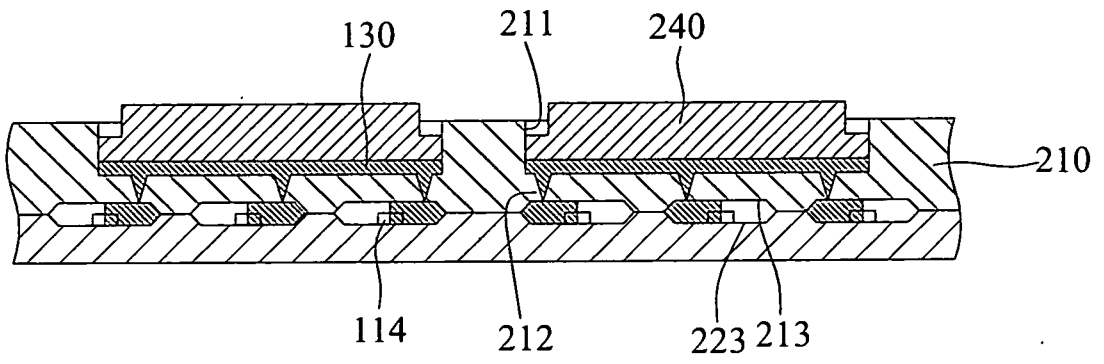
八、圖式：



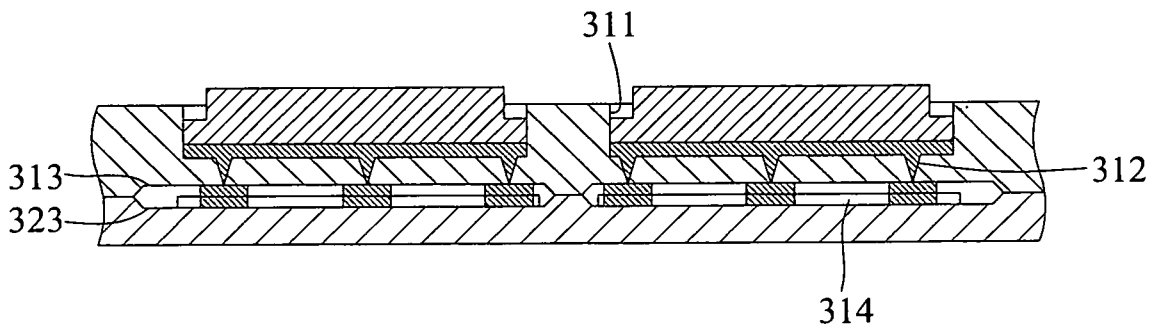
第1A圖



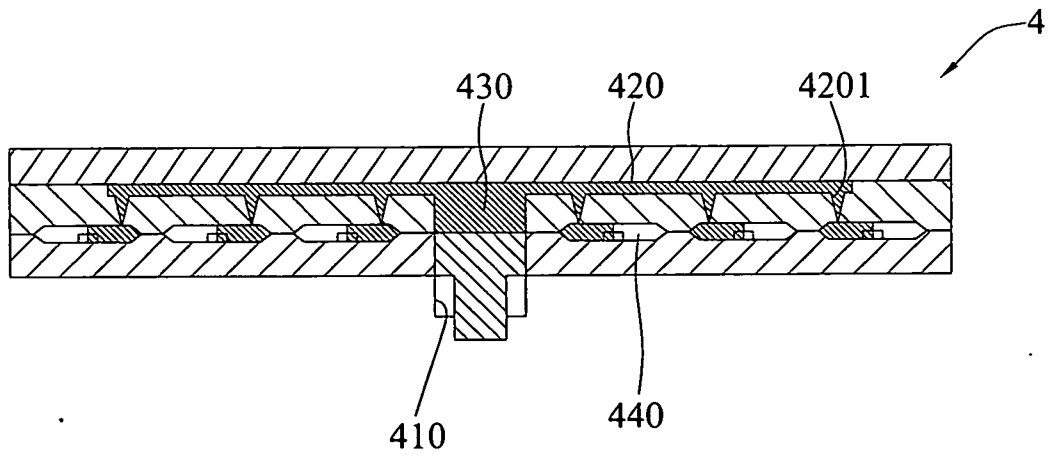
第1B圖



第2圖



第3圖



第4圖