

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2011/037101 A1

PCT

(43) 国際公開日
2011 年 3 月 31 日(31.03.2011)

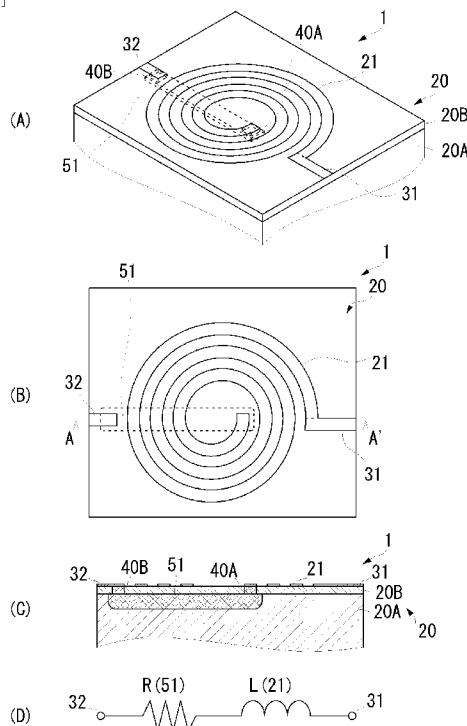
- (51) 国際特許分類:
H01L 21/822 (2006.01) H01L 27/04 (2006.01)
H01L 23/12 (2006.01)
- (21) 国際出願番号: PCT/JP2010/066292
- (22) 国際出願日: 2010 年 9 月 21 日(21.09.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-219297 2009 年 9 月 24 日(24.09.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 (Murata Manufacturing Co., Ltd.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 0 番 1 号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山田浩輔 (YAMADA Kosuke) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 0 番 1 号 株式会社 村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 楓国際特許事務所 (Kaede Patent Attorneys' Office); 〒5400011 大阪府大阪市中央区農人橋 1 丁目 4 番 3 4 号 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF,

[続葉有]

(54) Title: ELECTRONIC CIRCUIT DEVICE

(54) 発明の名称: 電子回路デバイス

[図1]



(57) Abstract: A spiral electrode (21) is formed on the surface of a Si substrate (20). The outer circumferential end of the spiral electrode (21) is electrically connected to a wiring electrode (31). A contact hole (40A) is formed in a region that corresponds to the inner circumferential end of the spiral electrode (21) on an insulating layer (20B), i.e., the surface layer of the Si substrate (20). A contact hole (40B) is formed also at a predetermined position outside of the winding region of the spiral electrode (21) on the insulating layer (20B). The contact hole (40B) is electrically connected to a wiring electrode (32) on the surface of the Si substrate (20). An n+ doping layer (51) is formed in a substantially cubic region having the contact holes (40A, 40B) at both the ends, said region being in the Si base material portion (20A) of the Si substrate (20). The n+ doping layer is the extraction electrode of the spiral electrode (21) and also functions as a resistor.

(57) 要約: Si 基板 (20) の表面にはスパイラル電極 (21) が形成されている。スパイラル電極 (21) の外周端は配線電極 (31) に導通している。Si 基板 (20) の表層である絶縁層 (20B) におけるスパイラル電極 (21) の内周端に対応する領域には、コンタクトホール (40A) が形成されている。また、絶縁層 (20B) におけるスパイラル電極 (21) の巻回領域よりも外部側の所定位置にもコンタクトホール (40B) が形成されている。このコンタクトホール (40B) は、Si 基板 (20) の表面の配線電極 (32) に導通している。Si 基板 (20) の Si 基材部 (20A) における、コンタクトホール (40A、40B) を両端とする略直方体形状の領域には n+ドーピング層 (51) が形成されている。この n+ドーピング層がスパイラル電極 (21) の引き出し電極であり、且つ抵抗器として機能する。

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, 添付公開書類:
SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 電子回路デバイス

技術分野

[0001] 本発明は、インダクタや抵抗等により回路形成された電子回路デバイス、特に、半導体基板を用いて回路形成された電子回路デバイスに関するものである。

背景技術

[0002] 現在、携帯端末等に利用する電子回路は小型化が要求されており、当該小型化を実現するために、CSP (Chip Size Package) のような集積化された電子デバイスが多く利用されている。このような集積化された電子デバイスに利用するインダクタは、Si基板上に所定パターンで電極を形成することにより実現される。例えば、特許文献1では、Si基板上にミアンダ形状の電極（ミアンダ電極）を形成することで、インダクタを実現している。このようなミアンダ電極のインダクタを用いたLR直列回路の構成を図8に示す。図8は、従来のSi基板を用いて、ミアンダ電極のインダクタを用いたLR直列回路100Aの構造を示す外観斜視図である。

[0003] 図8に示すように、Si基板20は、詳細な構成は図示しないが、母材となるSi基材部と、その表面のSiO₂からなる絶縁層と、を備える。Si基板20の表面には、Al等の電極膜からなるインダクタ200がミアンダ形状で形成されている。当該インダクタ200の一方端は、配線電極300Aに接続し、他方端は、SiO₂の絶縁膜に形成されたコンタクトホール40Aに接続している。このコンタクトホール40Aに対して、インダクタ200と反対側に所定距離の位置には、もう一個のコンタクトホール40Bが形成されおり、当該コンタクトホール40Bは配線電極300Bに接続している。そして、これらコンタクトホール40A、40B間のSi基材部は、所定の不純物によりドーピングされたドーピング層50が形成され、当該ドーピング層50が抵抗器として機能する。

先行技術文献

特許文献

[0004] 特許文献1：特開2007-189241号公報

発明の概要

発明が解決しようとする課題

- [0005] しかしながら、上述のミアンダ形状のインダクタは、面積当たりに稼げるインダクタンスが小さく、集積化された電子デバイスのS i 基板上に形成するような場合には、必要とするインダクタンスを得ることができないことがある。また、このインダクタと抵抗器とを直列接続したLR直列回路を形成する場合、さらに広い面積を有することになる。
- [0006] このように、従来のミアンダ形状のインダクタを用いたLR直列回路は、広いスペースを必要とし、さらにインダクタンスを高くしようとするれば、ミアンダ形状をさらに延長しなければならず、より一層広いスペースを必要としてしまう。
- [0007] このため、ミアンダ形状よりも単位面積当たりのインダクタンスが高い、スパイラル形状の電極（スパイラル電極）を用いたインダクタを採用することも可能である。
- [0008] ところが、このようなスパイラル電極は、一方端が巻回される電極群の最内周にあるので、S i 基板上の電極が一層構造である場合には、当該内周端を他の電極へ直接に接続することはできない。
- [0009] 例えば、スパイラル電極によるインダクタと抵抗器とからなるLR直列回路を形成する場合、従来では図9や図10の構成が用いられる。図9、図10は従来のスパイラル電極を用いたLR直列回路の構成を示す外観斜視図である。
- [0010] 図9のLR直列回路100Bでは、スパイラル電極21を、S i 基板20の実装面側に形成した再配線層によって実現している。このスパイラル電極21を含む再配線層は、パッシベーション層や絶縁性の保護層等からなる絶

縁材部 29 を介して、S i 基板 20 上に形成される。スパイラル電極 21 の外周端は配線電極 31 に接続しており、内周端は絶縁材部 29 に形成されたビアホール 60 に接続している。ビアホール 60 は絶縁材部 29 を貫通する形状からなり、スパイラル電極 21 への接続端と反対側の端部が、S i 基板 20 上に形成された配線電極 30 の一方端へ接続している。配線電極 30 は、S i 基板 20 とスパイラル電極 21 を平面視した状態で、他方端がスパイラル電極 21 と重ならないような形状で、形成されている。配線電極 30 の他方端は、図 8 と同様に、コンタクトホール 40 A を介してドーピング層 50 からなる抵抗器の一方端部に接続する。この抵抗器の他方端部は、コンタクトホール 40 B を介して S i 基板 20 上の配線電極 32 に接続する。

[0011] また、図 10 の LR 直列回路 100 C では、スパイラル電極 21 を、S i 基板 20 上に形成する。スパイラル電極 21 の外周端は、S i 基板 20 上に形成された配線電極 31 に接続する。一方、スパイラル電極 21 の内周端は、絶縁材部 29 に形成されたビアホール 60 A を介して再配線層の配線電極 30 A の一方端に接続し、当該配線電極 30 A の他方端はビアホール 60 B を介して、S i 基板 20 上の配線電極 30 B の一方端に接続している。配線電極 30 B の他方端は、図 9 と同様に、コンタクトホール 40 A を介してドーピング層 50 からなる抵抗器の一方端部に接続する。この抵抗器の他方端部は、コンタクトホール 40 B を介して S i 基板 20 上の配線電極 32 に接続する。

[0012] このように従来では、スパイラル電極を用いようとする、必ず再配線層や多層配線を用いる等、S i 基板の表面上に二層構造を設けなければならなかった。そして、このような構造で用いられる再配線層は、通常 S i 基板表面の電極膜よりも厚く、絶縁材部の厚みも或程度必要とするので、低背化に対して制約となったり、低コスト化への妨げになっていた。さらに、ミアンダ電極やスパイラル電極からなるインダクタ素子の形成領域と抵抗器との形成領域を分ける必要があった。このため、高いインダクタンスを有するインダクタを備えた電子回路デバイスを形成する場合、面積的にも小型化に制約

があった。

- [0013] この発明の目的は、高いインダクタンスを有するインダクタを備えた電子回路デバイスを、より小型に形成することにある。

課題を解決するための手段

- [0014] (1) この発明は、半導体基板を用いて電子回路パターンを形成してなる電子回路デバイスに関するものである。この電子回路デバイスは、インダクタと抵抗器との直列回路を備える。インダクタは、半導体基板表面に形成されたスパイラル形状の電極パターンから形成される。抵抗器の一方端はスパイラル電極の内周端に接続する。抵抗器の他方端はスパイラル電極の巻回領域よりも外部に達する。そして、抵抗器自身は、半導体基板におけるスパイラル電極の形成面側の内部に形成された多結晶領域もしくはドーピング領域により形成される。
- [0015] この構成では、スパイラル電極からなるインダクタをS i 基板表面で形成しても、当該インダクタの内周端は、S i 基板内に形成された抵抗器を介して、スパイラル電極と同じS i 基板表面に形成された配線電極に接続される。これにより、再配線層や多層配線を用いずとも、スパイラル電極からなるインダクタを他の回路素子へ接続できる。すなわち、高いインダクタンス値を得られるインダクタを含む電子回路デバイスを低背且つ低コストに形成できる。さらに、インダクタの内周端が、他の回路素子への配線電極へ導通する抵抗器がS i 基板を平面視して、スパイラル電極の形成領域と重なる領域に形成されるので、LR直列回路を小さな面積で実現できる。すなわち、高いインダクタンスを実現できるインダクタを備えるLR直列回路が小型（低背、小面積）で実現される。
- [0016] (2) また、この発明の電子回路デバイスは、半導体基板がシリコン基板であり、多結晶領域がポリシリコン領域である。そして、シリコン基板は、スパイラル電極の形成面側に絶縁層を備える。この絶縁層は、抵抗器の一方端とスパイラル電極の内周端とを導通するコンタクトホールを備える。
- [0017] この構成では、上述のS i 基板表面のスパイラル電極（インダクタ）とS

i 基板内部の抵抗器との具体的接続構成を示すものであり、通常のS i 基板の構造で利用されている絶縁層に設けたコンタクトホールによって、インダクタと抵抗器との接続を実現している。

[0018] (3) また、この発明の電子回路デバイスは整流素子をさらに備える。半導体基板がシリコン基板であり、整流素子は、シリコン基板にドーピング領域を設けることでp n接合領域を形成して実現する。そして、この電子回路デバイスは、該整流素子と抵抗器もしくはインダクタの少なくとも一方とを導通するシリコン基板表面に形成された配線電極を備える。

[0019] この構成では、上述のLR直列回路に対して、他の回路素子を付加した電子回路デバイスの構成を示すものである。この電子回路デバイスでは、シリコン基板に形成されたp n接合領域を利用して整流素子を形成し、LR直列回路へ接続する。これにより、LR直列回路と整流素子を備える電子回路デバイスを小型に実現できる。

[0020] (4) また、この発明の電子回路デバイスは、キャパシタをさらに備える。キャパシタは、p n接合領域を複数設けることで実現される。そして、この電子回路デバイスは、キャパシタと抵抗器もしくはインダクタの少なくとも一方とを導通するシリコン基板表面に形成された配線電極を備える。

[0021] この構成も、上述のLR直列回路に対して、他の回路素子を付加した電子回路デバイスの構成を示すものである。この電子回路デバイスでは、S i 基板に形成された複数のp n接合領域を利用してキャパシタを形成し、LR直列回路へ接続する。これにより、LR直列回路とキャパシタを備える電子回路デバイス、例えばLCRを用いた共振回路等を小型に実現できる。

[0022] (5) また、この発明の電子回路デバイスは、ESD素子をさらに備える。ESD素子は、p n接合領域を複数設けることで実現される。そして、この電子回路デバイスは、ESD素子と抵抗器もしくはインダクタの少なくとも一方とを導通するシリコン基板表面に形成された配線電極を備える。

[0023] この構成も、上述のLR直列回路に対して、他の回路素子を付加した電子回路デバイスの構成を示すものである。この電子回路デバイスでは、S i 基

板に形成された複数の $p-n$ 接合領域を利用して ESD 素子を形成し、LR 直列回路へ接続する。これにより、LR 直列回路と ESD 素子を備える ESD 保護デバイスを小型に実現できる。なお、この明細書においては、場合に依りて、シリコン基板を Si 基板と適宜称することとする。

発明の効果

- [0024] この発明によれば、高いインダクタンスを実現できるスパイラル電極で形成されたインダクタを含む電子回路デバイスを、小型に形成することができる。

図面の簡単な説明

- [0025] [図1] 第 1 の実施形態の LR 回路デバイス 1 の構造を示す図である。
[図2] 第 2 の実施形態の LR 回路デバイス 1' の構造を示す図である。
[図3] 第 3 の実施形態の RLR 回路デバイス 1'' の構造を示す図である。
[図4] 第 4 の実施形態の ESD 保護デバイス 10 の構造を示す図である。
[図5] 本願と従来の T 型の R-L-C-R ローパスフィルタの通過特性 (S_{21} 特性) を示すグラフである。
[図6] 第 5 の実施形態の LCR 共振回路デバイス 11 構造を示す図である。
[図7] π 型の ESD 保護デバイスおよび π 型のローパスフィルタを示す等価回路図である。
[図8] 従来のミアンダ電極を用いた LR 直列回路の構成を示す外観斜視図である。
[図9] 従来のスパイラル電極を用いた LR 直列回路の構成を示す外観斜視図である。
[図10] 従来の他のスパイラル電極を用いた LR 直列回路の構成を示す外観斜視図である。

発明を実施するための形態

- [0026] 本発明の第 1 の実施形態に係る電子回路デバイスについて、図を参照して説明する。図 1 は、本実施形態の電子回路デバイスである LR 回路デバイス 1 の構造を示す図であり、図 1 (A) がインダクタ L の形成面側から見た外

観斜視図、図 1 (B) がインダクタ L の形成面側を見た平面図、図 1 (C) が図 1 (B) の A-A' 断面図、図 1 (D) が LR 回路デバイス 1 の等価回路図である。

[0027] 本実施形態の LR 回路デバイス 1 は、当該 LR 回路デバイス 1 を含む集積回路を形成可能な Si 基板 20 を備える。Si 基板 20 は、母材となる Si 基材部 20A と、当該 Si 基材部 20A の表面に形成された SiO₂ の絶縁層 20B とからなる。Si 基材部 20A は、p 型もしくは n 型にドーピングされている。なお、以下では、p 型の場合を例に示すが、n 型であっても、同様に本実施形態の構成を実現できる。

[0028] Si 基板 20 の表面すなわち絶縁層 20B の表面には、AL 等の金属薄膜からなるスパイラル形状の電極 21 が形成されている。このスパイラル電極 21 の電極幅および電極長は、所望とするインダクタンスが得られる値に設定されている。このスパイラル電極によりインダクタ L が形成される。当該スパイラル電極 21 の外周端は、同じく Si 基板 20 の表面に形成された配線電極 31 に接続されている。

[0029] Si 基板 20 の絶縁層 20B には、コンタクトホール 40A、40B が形成されている。コンタクトホール 40A、40B は、絶縁層 20B を貫通する所定導電率の材料からなる。コンタクトホール 40A は、スパイラル電極 21 の内周端側における所定面積の電極形成領域に形成されている。一方、コンタクトホール 40B は、スパイラル電極 21 の形成領域すなわち Si 基板 20 を平面視して巻回形に形成された電極群よりも外側の領域で、且つコンタクトホール 40A から所定距離離間された位置に形成されている。

[0030] Si 基板 20 の Si 基材部 20A には、コンタクトホール 40A、40B の形成領域を含むように所定長、所定幅、および所定深さで n+ドーピング層 51 が形成されている。このような n+ドーピング層 51 は、所定の抵抗率を有するので、抵抗器 R として機能する。なお、この抵抗器の抵抗値は、n+ドーピング層 51 の形成条件、すなわちドーピング濃度、全長（コンタクトホール 40A、40B 間の距離に対応）、全幅、深さにより、設定すること

ができる。この $n+$ ドーピング層51は、コンタクトホール40Bを介して、Si基板20の表面に形成された配線電極32に接続されている。

[0031] このような構成とすれば、図1(D)に示すようなインダクタLと抵抗器Rとが直列接続されたLR直列回路を実現できる。そして、このような構成を用いることで、スパイラル電極からなるインダクタを構成しても、従来のように再配線層を用いなくてもよく、低背化することができる。また、ミアンダ電極でなくスパイラル電極であるので、単位面積あたりにインダクタンスを高くすることができる。これにより、高いインダクタンスを有するインダクタを小さい面積で低背且つ低コストで形成することができる。

[0032] さらに、このインダクタに直列接続する抵抗器を、平面視してインダクタと重なるように形成できるので、これらインダクタと抵抗器とからなるLR直列回路を小さい面積で形成することができる。すなわち、LR直列回路の電子回路デバイスを、従来よりも小型に形成することができる。

[0033] 次に、第2の実施形態に係る電子回路デバイスであるLR回路デバイス1'について、図を参照して説明する。図2は、本実施形態のLR回路デバイス1'の構造を示す図であり、図2(A)がインダクタLの形成面側から見た外観斜視図、図2(B)がインダクタLの形成面側を見た平面図、図2(C)が図2(B)のB-B'断面図、図2(D)がLR回路デバイス1'の等価回路図である。

[0034] 本実施形態のLR回路デバイス1'は、抵抗器Rを、第1の実施形態に示したドーピング層で形成するのではなく、ポリシリコン層50で形成するものである。

[0035] 本実施形態のSi基板20は、母材となるSi基材部20Aと、当該Si基材部20Aの表面に形成されたSiO₂の絶縁層20B、20Cとからなる。Si基材部20Aは、第1の実施形態と同じであってもよく、真性半導体であってもよい。

[0036] Si基板20の表面すなわち絶縁層20Cの表面には、Al等の金属薄膜からなるスパイラル形状の電極21が形成されている。なお、スパイラル電

極 21 の構造は、第 1 の実施形態と同じである。当該スパイラル電極 21 の外周端は、同じく Si 基板 20 の表面に形成された配線電極 31 に接続している。

[0037] Si 基板 20 の最表面層である絶縁層 20C には、コンタクトホール 40A, 40B が形成されている。コンタクトホール 40A, 40B は、絶縁層 20C を貫通する所定導電率の材料からなる。コンタクトホール 40A は、スパイラル電極 21 の内周端側における所定面積の電極形成領域に形成されている。一方、コンタクトホール 40B は、スパイラル電極 21 の形成領域すなわち Si 基板 20 を平面視して巻回形に形成された電極群よりも外側の領域で、且つコンタクトホール 40A から所定距離離間された位置に形成されている。

[0038] Si 基板 20 の Si 基材部 20A と絶縁層 20C に挟まれた絶縁層 20B には、コンタクトホール 40A, 40B の形成領域を含むように所定長で所定幅のポリシリコン層 50 が形成されている。このようなポリシリコン層 50 は、所定の抵抗率を有するので、抵抗器 R として機能する。なお、この抵抗器の抵抗値は、ポリシリコン層 50 の形成条件、すなわち全長（コンタクトホール 40A, 40B 間の距離に対応）および全幅により設定することができる。このポリシリコン層 50 は、コンタクトホール 40B を介して、Si 基板 20 の表面に形成された配線電極 32 に接続されている。

[0039] このような構成としても、図 1 (D) と同じように、図 2 (D) に示すようなインダクタ L と抵抗器 R とが直列接続された LR 直列回路を実現できる。そして、このような構成を用いることで、第 1 の実施形態と同様に、単位面積当たりのインダクタンスが高いインダクタを用いた LR 直列回路の電子回路デバイスを、従来よりも小型に形成することができる。

[0040] なお、ポリシリコン層を形成する方法として、蒸着法、スパッタリング法および CVD 法のいずれかの方法を用いる。

[0041] 次に、第 3 の実施形態に係る電子回路デバイスである LR 回路デバイスについて、図を参照して説明する。図 3 は、本実施形態の RL R 回路デバイス

1”の構造を示す図であり、図3（A）がインダクタLの形成面側から見た外観斜視図、図3（B）がインダクタLの形成面側を見た平面図、図3（C）が図3（B）のB-B’断面図、図3（D）が図3（B）のC-C’断面図、図3（E）がRLR回路デバイス1”の等価回路図である。

[0042] 本実施形態のRLR回路デバイス1”は、第2の実施形態に示したLR回路デバイス1’のスパイラル電極21の外周端側にさらに抵抗器を直列接続したものである。したがって、スパイラル電極21からなるインダクタLと、当該スパイラル電極21の内周端側に接続されたポリシリコン層50Aからなる抵抗器R_aとの構成やコンタクトホール40A、40Bの構成については、説明を省略する。

[0043] Si基板20の最表面層である絶縁層20Cには、スパイラル電極21の外周端側における所定面積の電極形成領域に、コンタクトホール40Cが形成されている。さらに、当該コンタクトホール40Cから所定距離の位置にコンタクトホール40Dが形成されている。

[0044] Si基板20の絶縁層20Bには、コンタクトホール40C、40Dの形成領域を含むように所定長、所定幅でポリシリコン層50Bが形成されている。このポリシリコン層50Bが抵抗器R_bとして機能する。この際、ポリシリコン層50Bは、伸延方向（長さ方向）がスパイラル電極21の外周端における接線方向と一致するように形成することが望ましい。そして、このポリシリコン層50Bは、コンタクトホール40Dを介して、Si基板20の表面に形成された配線電極31に接続されている。

[0045] このような構成とすれば、図3（E）に示すような抵抗器R_a、インダクタL、および抵抗器R_bが直列接続されたRLR直列回路を実現できる。そして、このような構成を用いることで、これらインダクタと二個の抵抗器とからなるRLR直列回路を小さい面積で形成することができる。すなわち、RLR直列回路の電子回路デバイスを、従来よりも小型に形成することができる。さらに、スパイラル電極21の外周端に接続するポリシリコン層50Bの伸延方向を、スパイラル電極21の外周端における接線方向に一致させ

れば、RLR回路デバイスを、より小型に形成することができる。

[0046] なお、本実施形態では、ポリシリコン層を用いて抵抗器を形成する例を示したが、第1の実施形態に示すようなドーピング層により、それぞれの抵抗器を形成してもよい。

[0047] また、抵抗値の仕様に応じて、それぞれの抵抗器を、ポリシリコン層とドーピング層のそれぞれで形成してもよい。

[0048] 次に、第4の実施形態に係る電子回路デバイスであるESD保護デバイスについて、図を参照して説明する。図4は、本実施形態のESD保護デバイス10の構造を示す図であり、図4(A)がインダクタLの形成面側から見た外観斜視図、図4(B)が図4(A)のD-D'断面図、図4(C)がESD保護デバイス10の等価回路図である。

[0049] 本実施形態のESD保護デバイス10は、第3の実施形態に示したRLR回路デバイス1”のスパイラル電極21の外周端側にさらにESD保護素子ESDを直列接続したものであり、抵抗器Ra、Rbをドーピング層51A、51Bで形成したものである。したがって、スパイラル電極21からなるインダクタLと、ドーピング層51A、51Bからなる抵抗器Ra、Rbとの構成やコンタクトホール40A~40Dの構成については、説明を省略する。

[0050] スパイラル電極21の外周端には、当該スパイラル電極21に連続するように、配線電極33が形成されている。

[0051] Si基板20の絶縁層20Bには、配線電極33のスパイラル電極21側と反対側の所定面積の電極形成領域に、コンタクトホール41Aが形成されている。さらに、当該コンタクトホール41Aから所定距離の位置にコンタクトホール41Bが形成されている。コンタクトホール41A、41Bは、絶縁層20Bを貫通する所定導電率の材料からなる。

[0052] Si基板20のSi基材部20Aには、コンタクトホール41A、41Bの形成領域を含むように所定面積および所定深さでn+ドーピング層80A、80Bがそれぞれ形成されている。この際、n+ドーピング層80A、8

OB間は、所定幅で離間されるように形成されている。さらに、Si基材部20Aには、これらn+ドーピング層80A、80Bを含むようにpウェル層81が形成されている。

[0053] このような構成とすることで、コンタクトホール41A、41B間、すなわち、配線電極33、34間に、極性が逆のpn接合領域を連続して形成できる。これにより、配線電極33、34間に、極性が逆のダイオードを直列接続した回路が構成され、ESD保護素子ESDを形成することができる。

[0054] そして、このn+ドーピング層80B上に形成されたコンタクトホール41Bは、Si基板20の表面に形成された配線電極34に接続されている。

[0055] このような構成とすれば、図4(C)に示すような抵抗器Ra、インダクタL、抵抗器Rbの順に直列接続されたRLR直列回路と、インダクタLおよび抵抗器Rbの接続点に接続されたESD保護素子ESDとで、T型のESD保護デバイス10を実現することができる。そして、このような構成を用いることで、ESD保護デバイスを、従来よりも小型に形成することができる。

[0056] なお、このESD保護素子ESDは、ON状態にならない範囲であれば、キャパシタCeとして機能する。これにより、本実施形態の構成を用いれば、T型のR-L-C-Rローパスフィルタを形成することもできる。

[0057] このローパスフィルタは、図5に示すような減衰極を形成することができる。図5は、本実施形態のT型のR-L-C-Rローパスフィルタの通過特性(S21特性)を示すグラフであり、太実線は本実施形態の構成すなわちスパイラル電極でインダクタLを形成した場合、細破線は従来のミアンダ電極(メアンダ電極)でインダクタLを形成した場合を示す。

[0058] 図5に示すように、本実施形態のようなスパイラル電極でインダクタLを形成することで、従来のミアンダ電極を用いる場合より、形状を小さく抑えながらも、より通過帯域に近い周波数で且つ急峻な特性で減衰極を形成することができる。

[0059] 次に、第5の実施形態に係る電子回路デバイスであるLCR共振回路につ

いて、図を参照して説明する。

- [0060] 図6は、本実施形態のLCR共振回路デバイス11構造を示す図であり、図6(A)がインダクタLの形成面側から見た外観斜視図、図6(B)がLCR共振回路デバイス11の等価回路図である。
- [0061] 上述の各実施形態では、抵抗器として機能するポリシリコン層やドーピング層を、スパイラル電極の内周端を基準にして、外周端と反対側の方向に延伸して形成する例を示したが、本実施形態では抵抗器として機能するポリシリコン層やドーピング層を外周端側に向けて形成した場合の一例を示す。なお、以下の説明では、ドーピング層で抵抗器を形成する場合を示すが、上述の各実施形態と同様に、ポリシリコン層で抵抗器を形成してもよい。
- [0062] 本実施形態のLCR共振回路デバイス11は、スパイラル電極21、配線電極31、コンタクトホール40Aの構成は同じであるので、説明は省略する。
- [0063] Si基板20の表面におけるスパイラル電極21の外周端には、当該スパイラル電極21に連続するように、配線電極33が形成されている。
- [0064] Si基板20の絶縁層20Bには、配線電極33のスパイラル電極21側と反対側の所定面積の電極形成領域に、コンタクトホール41Aが形成されている。さらに、当該コンタクトホール41Aから所定距離の位置にコンタクトホール41Bが形成されている。コンタクトホール41A、41Bは、絶縁層20Bを貫通する所定導電率の材料からなる。そして、コンタクトホール41Bの形成領域に対応するSi基板20の表面には、配線電極34が形成されている。
- [0065] Si基板20のSi基材部20Aには、コンタクトホール41A、41Bの形成領域を含むように所定面積および所定深さでn+ドーピング層80A、80Bがそれぞれ形成されている。この際、n+ドーピング層80A、80B間は、所定幅で離間されるように形成されている。
- [0066] さらに、Si基板20のSi基材部20Aには、コンタクトホール40Aの形成領域とコンタクトホール41Bの形成領域とを両端とするように、所

定長、所定幅、および所定深さで $n +$ ドーピング層52が形成されている。この際、図6に示すように、 $n +$ ドーピング層52と、上述の $n +$ ドーピング層80Bとを一体形成する。

[0067] このような構成とすることで、コンタクトホール40A、41B間の $n +$ ドーピング層52が抵抗器 R_a として機能し、コンタクトホール41A、41B間の一連の $p n$ 接合構造がキャパシタCとして機能する。これにより、図6(B)に示すように、配線電極31、34を入出力端子とし、インダクタLおよび抵抗器 R_a の直列回路と、キャパシタCとが並列接続されたLCR共振回路デバイスを形成することができる。そして、本実施形態に示すような構成を用いることで、低背且つ小面積のLCR共振回路デバイスを実現することができる。

[0068] なお、本実施形態では、 $n +$ ドーピング層52、80Bを一体化し、配線電極34を一本の電極で形成する例を示したが、配線電極34を二分岐の形状で形成し、それぞれの終端部にコンタクトホールを設けて、各コンタクトホールにそれぞれ接続するように、 $n +$ ドーピング層52、80Bを所定距離離間して形成してもよい。

[0069] なお、上述の各実施形態の構成を用いれば、上記T型のESD保護デバイスやT型のR-L-C-Rローパスフィルタのみでなく、次に示すような他のESD保護デバイスや、フィルタを形成することもできる。

[0070] 図7は、 π 型のESD保護デバイスおよび π 型のローパスフィルタを示す等価回路図である。図7(A)は π 型のESD保護デバイスの等価回路図であり、図7(B)は π 型のC-R-L-Cローパスフィルタの等価回路図である。

[0071] 図7(A)に示すような π 型のESD保護デバイス10Pは、入力ポートPiと出力ポートPoとの間に、抵抗器RとインダクタLとが直列接続されている。このLR直列回路の両端は、ESD保護素子ESD1、ESD2によりグランドに接続されている。

[0072] また、図7(B)に示す π 型のC-R-L-Cローパスフィルタ10Fは

、入力端子 P_i と出力ポート P_o との間に、抵抗器 R とインダクタ L とが直列接続されている。この LR 直列回路の両端は、キャパシタ C_{e1} , C_{e2} によりグランドに接続されている。

[0073] これらの電子回路に対して、例えば第 1、第 2 の実施形態の構成を用いれば、図 7 (A), (B) に示す LR 直列回路を実現できる。また、第 4 実施形態の図 4 に示したスパイラル電極 21 の外周端側に形成した一連の pn 接合構造を、図 1, 図 2 に示す配線電極 32 のコンタクトホール 40B の位置または配線電極 32 におけるコンタクトホール 40B の近傍位置に形成すれば、図 7 (A), (B) に示す LR 直列回路と一方の ESD 素子もしくは一方のキャパシタとの L 型回路を実現することができる。

[0074] さらに、これらは一例を示すものであり、スパイラル電極とこれに直列接続する抵抗器とからなる LR 直列回路を含む電子回路デバイスであれば、本発明の構成を適用することができる。

[0075] また、上述の各実施形態では、半導体基板が Si 基板、多結晶がポリシリコンであるが、本発明の構成は、 Si 基板以外の半導体基板およびポリシリコン以外の多結晶にも適用することができる。すなわち、ゲルマニウム、 $GaAs$, InP , $ZnTe$ などからなる半導体基板にも適用することができる。 Ta_2O_5 からなる多結晶にも適用することができる。

符号の説明

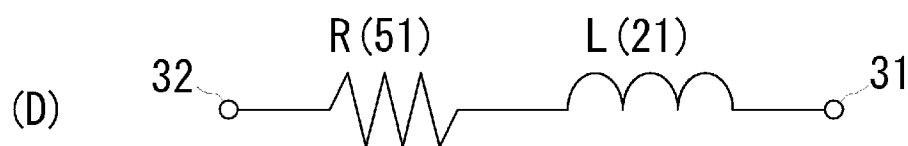
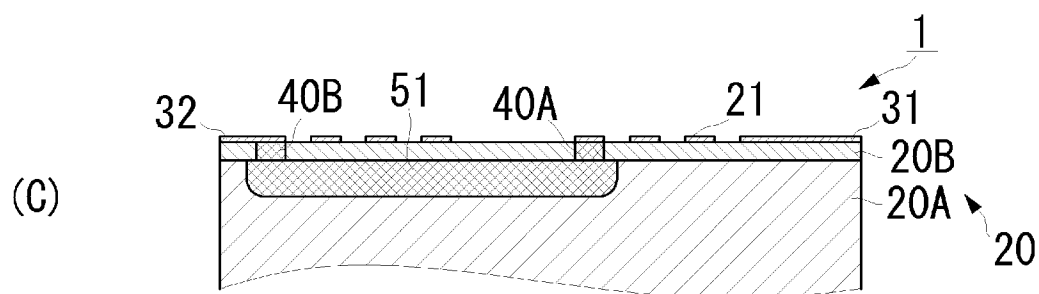
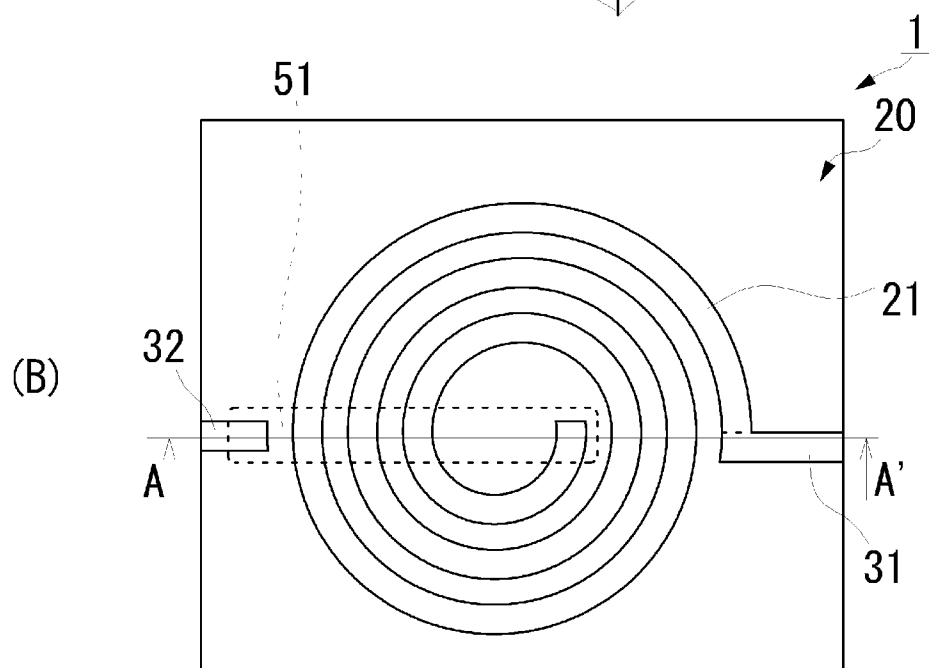
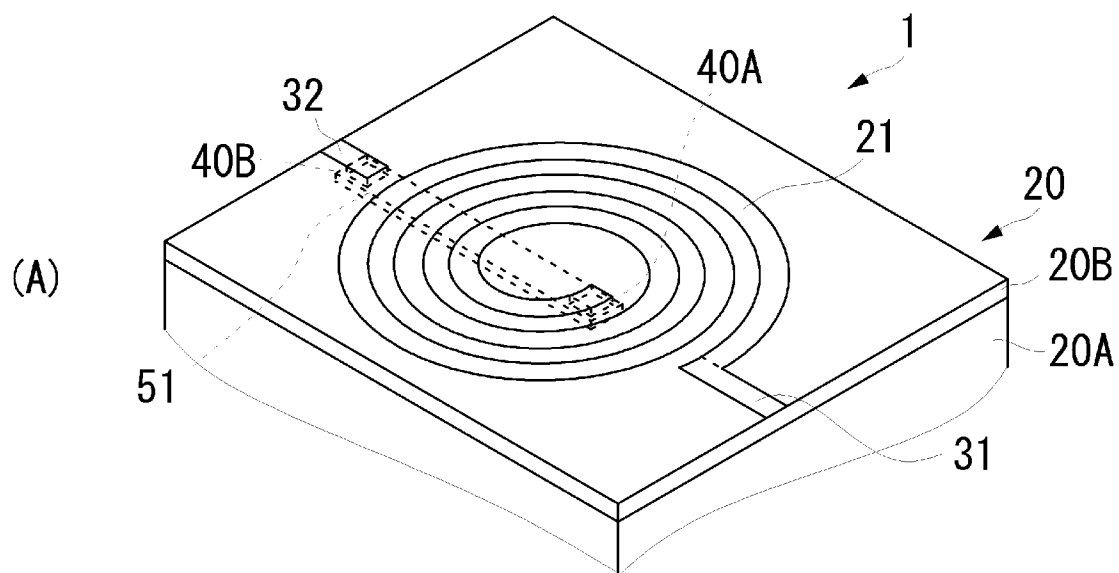
[0076] 1, 1' - LR 回路デバイス、1'' - RLR 回路デバイス、10 - ESD 保護デバイス、11 - LCR 共振回路デバイス、10P - π 型 ESD 保護デバイス、10F - π 型 LCR 共振回路デバイス、20 - Si 基板、20A - Si 基材部、20B, 20C - 絶縁層、21 - スパイラル電極、29 - 絶縁材部、31, 32, 33, 34 - 配線電極、40A, 40B, 40C, 40D, 41A, 41B, 90A, 90B - コンタクトホール、50, 50A, 50B - ポリシリコン層、51, 52, 80A, 80B - $n+$ ドーピング層、81 - p ウェル層、60, 60A, 60B - ビアホール

請求の範囲

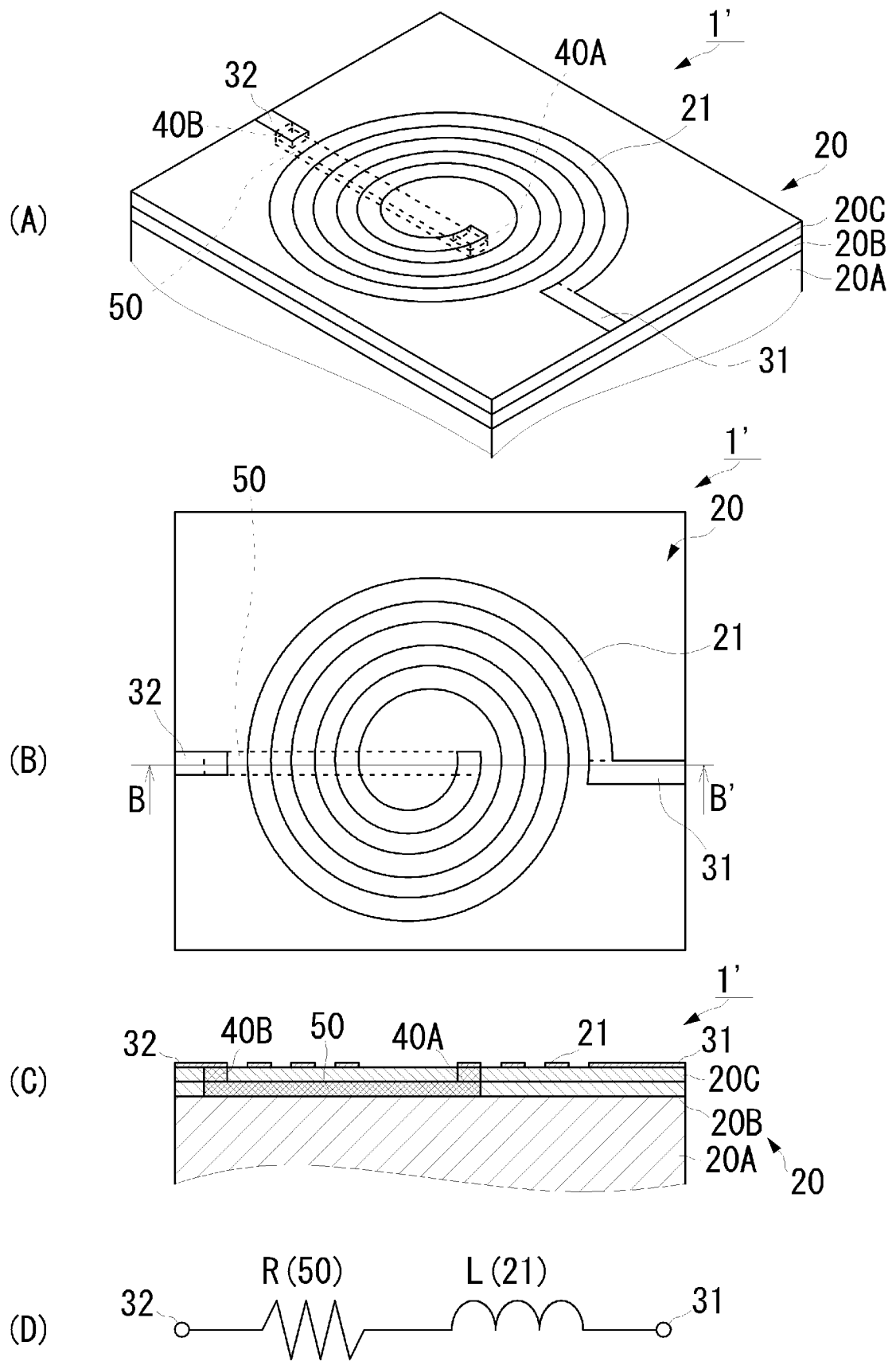
- [請求項1] 半導体基板を用いて電子回路パターンを形成してなる電子回路デバイスであって、
- 半導体基板表面に形成されたスパイラル形状の電極パターンからなるインダクタと、
- 一方端が前記スパイラル電極の内周端に接続し、他方端が前記スパイラル電極の巻回領域よりも外部に達する、前記半導体基板における前記スパイラル電極の形成面側の内部に形成された多結晶領域もしくはドーピング領域により形成された抵抗器と、
- を備える電子回路デバイス。
- [請求項2] 前記半導体基板がシリコン基板であり、前記多結晶領域がポリシリコン領域であり、
- 前記シリコン基板は、前記スパイラル電極の形成面側に絶縁層を備え、
- 該絶縁層は、前記抵抗器の前記一方端と前記スパイラル電極の前記内周端とを導通するコンタクトホールを備える、請求項1に記載の電子回路デバイス。
- [請求項3] 前記半導体基板がシリコン基板であり、前記シリコン基板にドーピング領域を設けることでp n接合領域を形成してなる整流素子と、
- 該整流素子と前記抵抗器もしくは前記インダクタの少なくとも一方とを導通する、前記シリコン基板表面に形成された配線電極とを、さらに備える、請求項1または請求項2に記載の電子回路デバイス。
- [請求項4] 前記p n接合領域を複数設けることで形成されるキャパシタと、
- 該キャパシタと前記抵抗器もしくは前記インダクタの少なくとも一方とを導通する、前記シリコン基板表面に形成された配線電極とを、さらに備える、請求項3に記載の電子回路デバイス。
- [請求項5] 前記p n接合領域を複数設けることで形成されるESD素子と、
- 該ESD素子と前記抵抗器もしくは前記インダクタの少なくとも一

方とを導通する、前記シリコン基板表面に形成された配線電極とを、さらに備える、請求項 3 または請求項 4 に記載の電子回路デバイス。

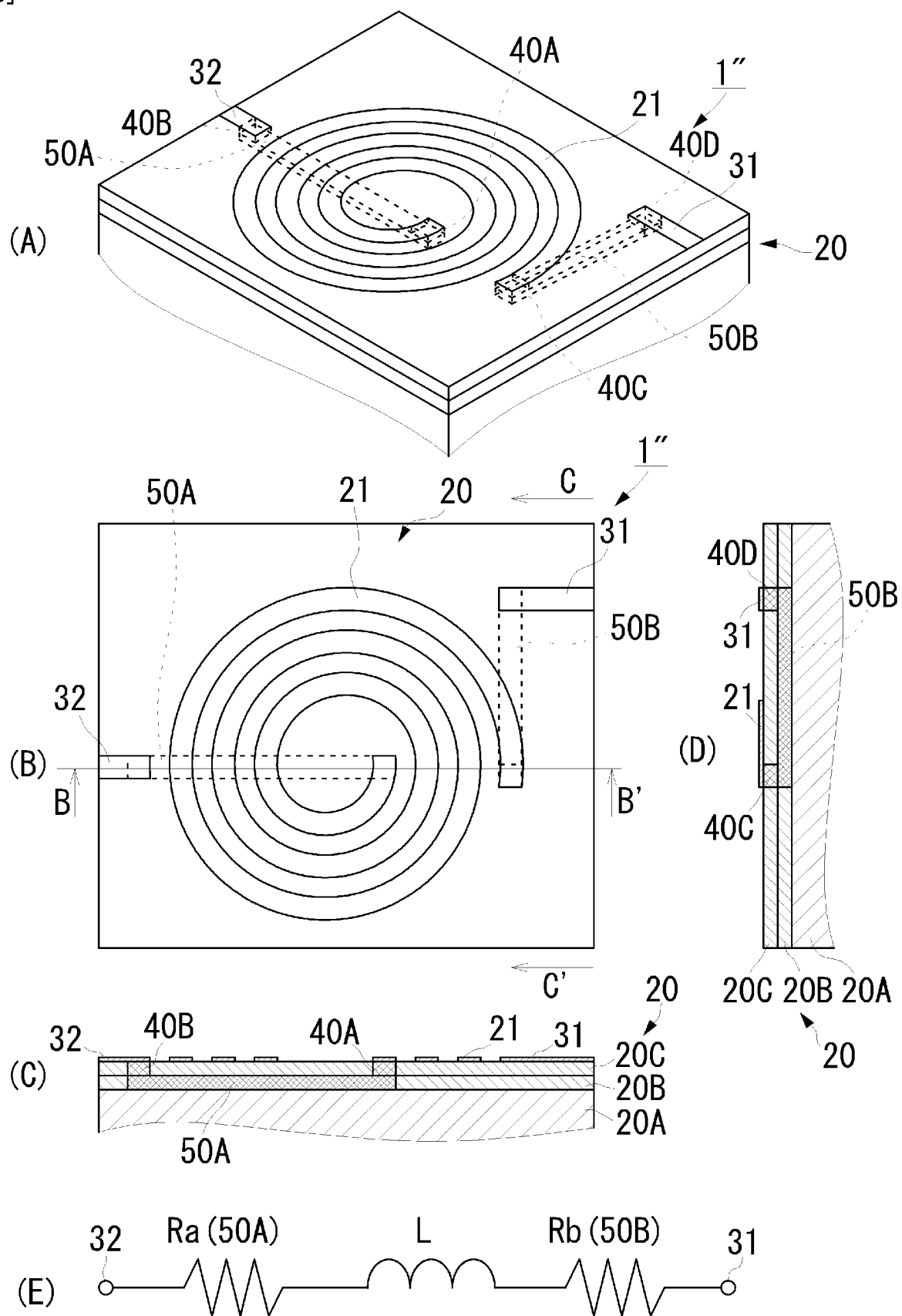
[図1]



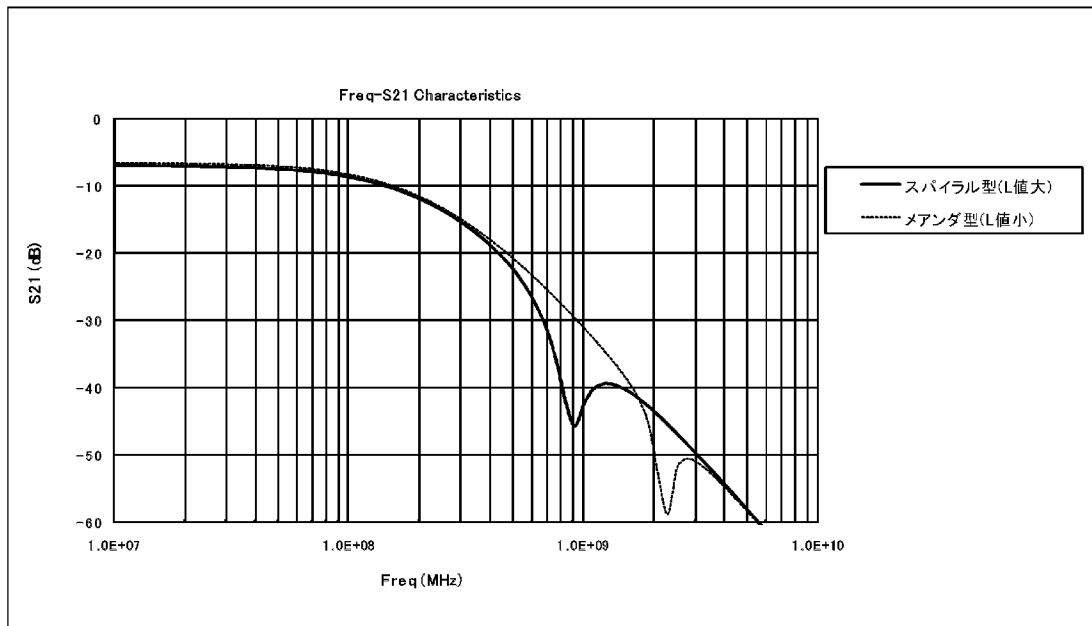
[図2]



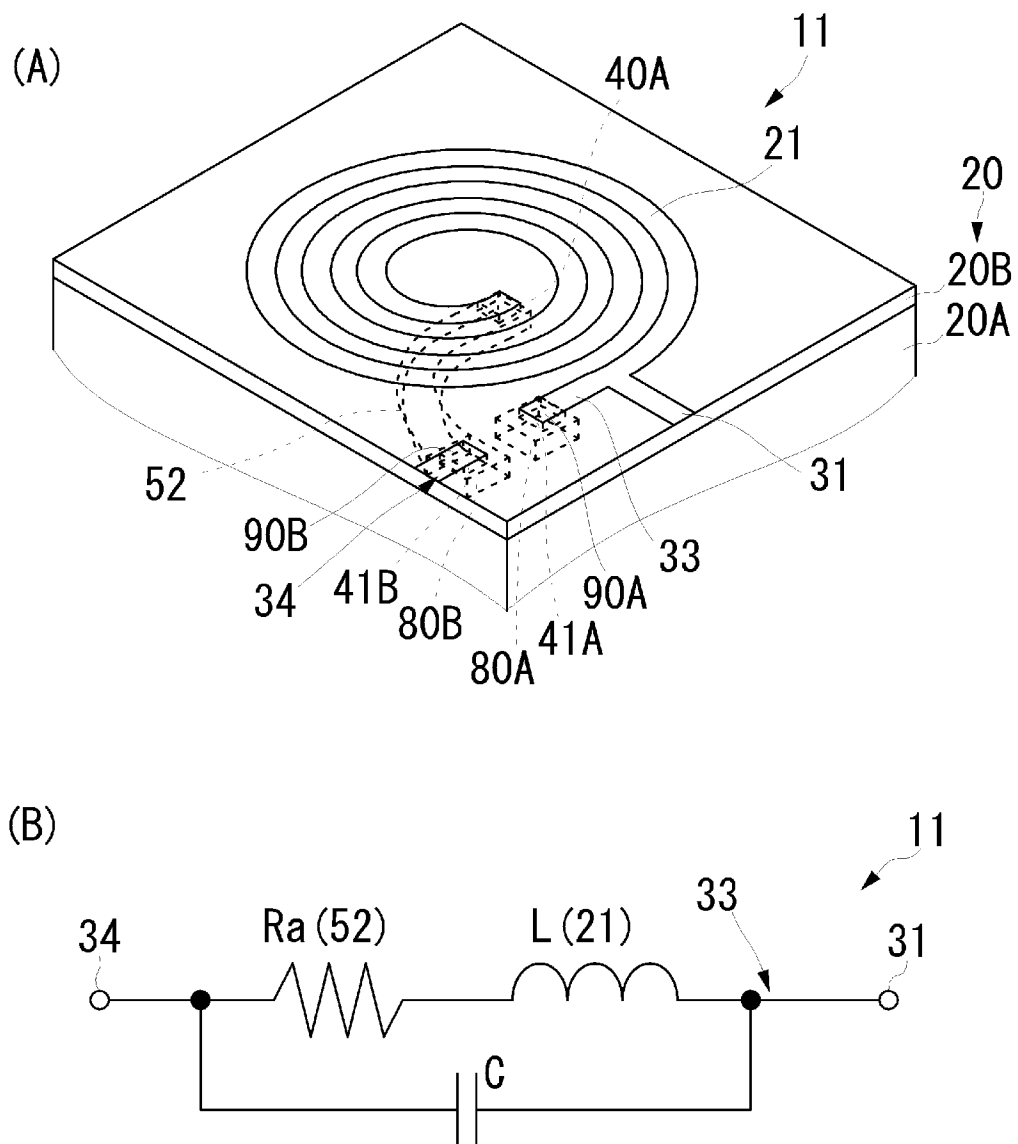
[図3]



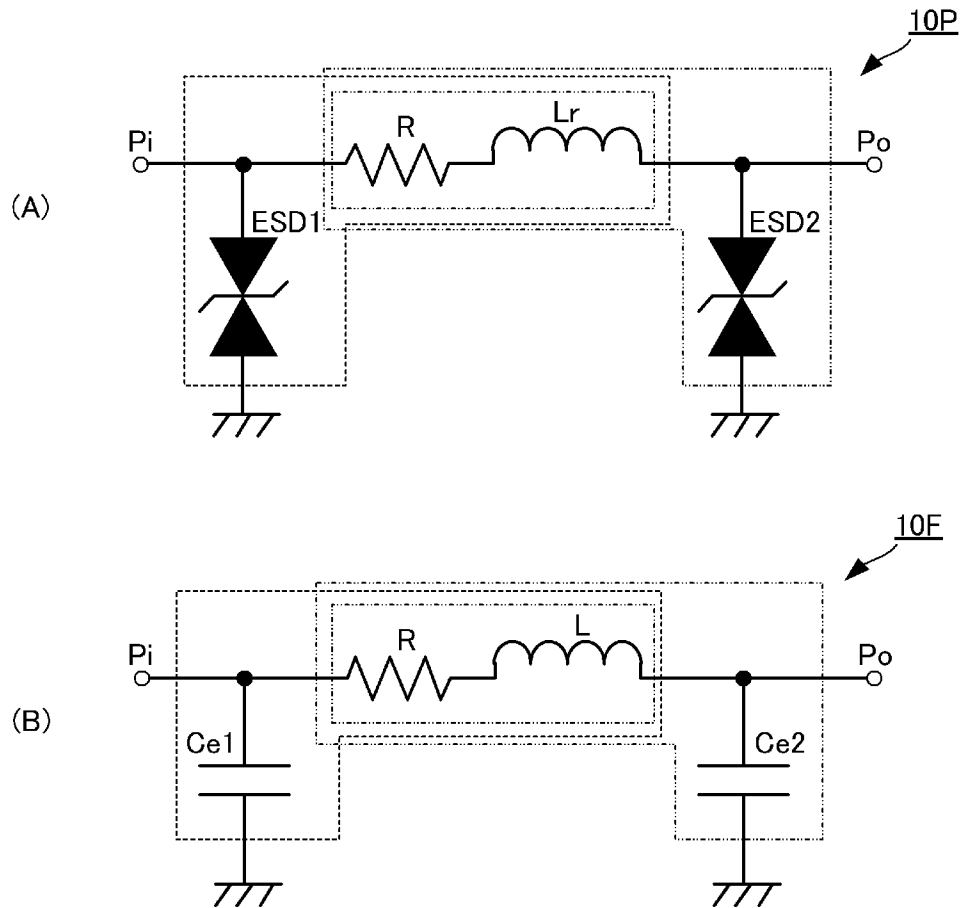
[図5]



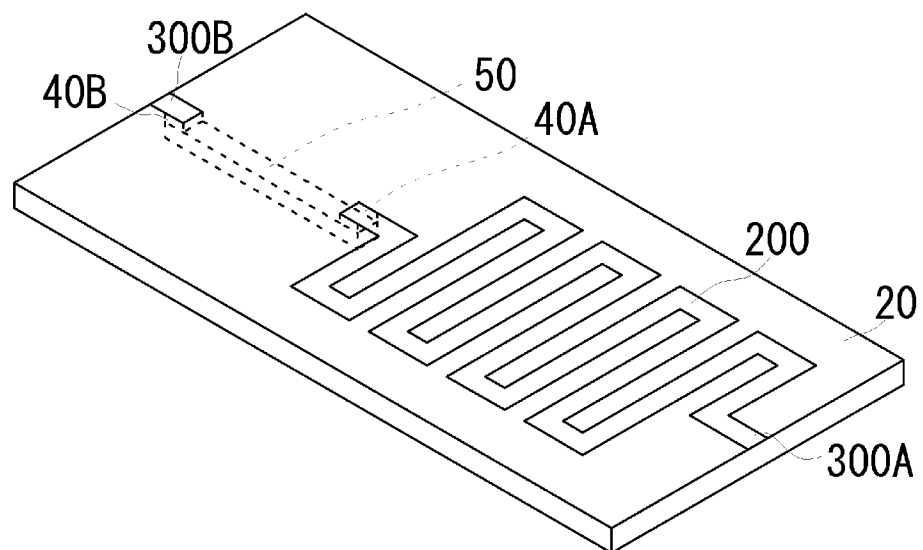
[図6]



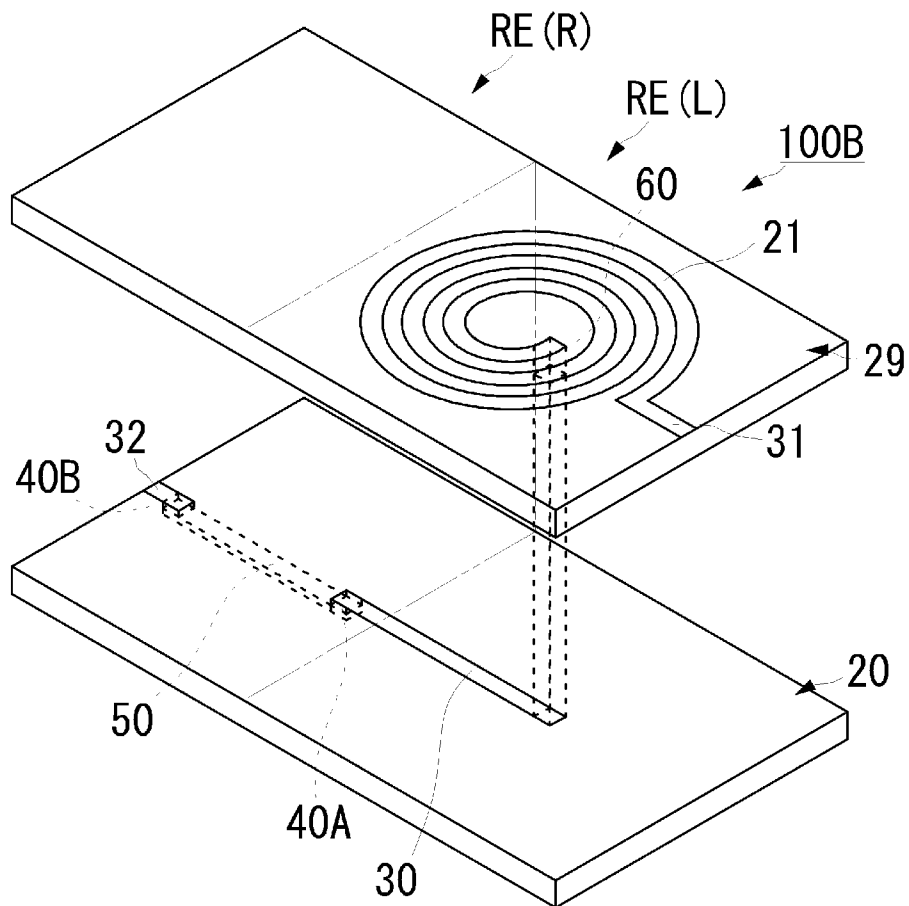
[図7]



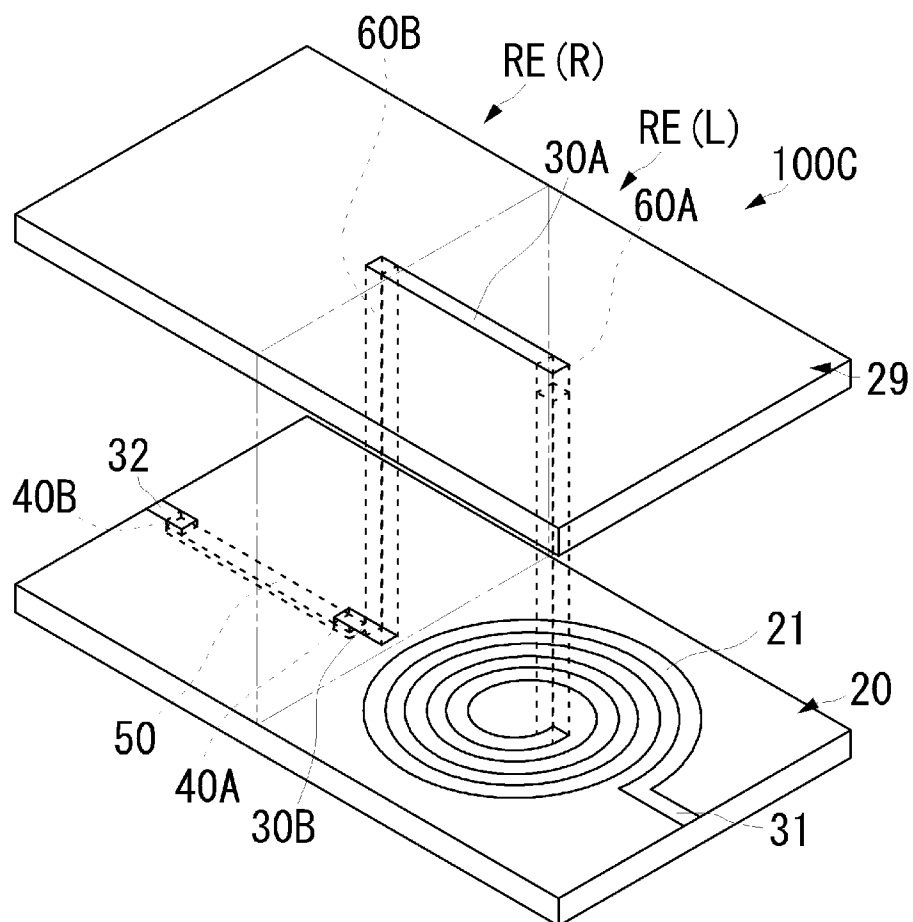
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/066292

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822(2006.01)i, H01L23/12(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822, H01L23/12, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-022085 A (Toshiba Corp.), 21 January 2000 (21.01.2000), entire text; all drawings & US 2001/0045616 A1 entire text; all drawings & KR 10-2000-0006512 A	1-5
X Y	JP 06-140851 A (NEC Corp.), 20 May 1994 (20.05.1994), fig. 2 (Family: none)	1, 2 1-5

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 December, 2010 (06.12.10)Date of mailing of the international search report
14 December, 2010 (14.12.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/066292

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-510653 A (The Board of Trustees of the Leland Stanford, Junior University), 15 August 2000 (15.08.2000), fig. 7 & WO 1998/047190 A1 fig. 7 & US 5969929 A & EP 976190 A & AU 6964698 A	3-5
Y	JP 2008-288236 A (New Japan Radio Co., Ltd.), 27 November 2008 (27.11.2008), entire text; all drawings (Family: none)	4, 5
A	JP 2009-038203 A (Fujikura Ltd.), 19 February 2009 (19.02.2009), entire text; all drawings (Family: none)	1-5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/822 (2006.01)i, H01L23/12 (2006.01)i, H01L27/04 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/822, H01L23/12, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2000-022085 A（株式会社東芝）2000.01.21, 全文, 全図 & US 2001/0045616 A1, 全文, 全図 & KR 10-2000-0006512 A	1-5
X Y	JP 06-140851 A（日本電気株式会社）1994.05.20, 第2図（ファミリーなし）	1, 2 1-5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 1 2 . 2 0 1 0

国際調査報告の発送日

1 4 . 1 2 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宇多川 勉

4 L

3 1 2 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2000-510653 A (ザ ボード オブ トラスティーズ オブ ザ リーランド スタンフォード ジュニア ユニバーシティ) 2000.08.15, 第7図 & WO 1998/047190 A1, 第7図 & US 5969929 A & EP 976190 A & AU 6964698 A	3-5
Y	JP 2008-288236 A (新日本無線株式会社) 2008.11.27, 全文, 全図 (ファミリーなし)	4,5
A	JP 2009-038203 A (株式会社フジクラ) 2009.02.19, 全文, 全図 (フ ァミリーなし)	1-5