(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3571993号
(P3571993)
(45)発行日　平成16年9月29日(2004.9.29)　(24)登録日　平成16年7月2日(2004.7.2)

(51)Int.Cl.[7]	F I		
G02F 1/133	G02F	1/133	550
G09G 3/20	G09G	3/20	611D
G09G 3/36	G09G	3/36	

請求項の数 9　(全 11 頁)

(21)出願番号　特願2000-104519(P2000-104519)
(22)出願日　平成12年4月6日(2000.4.6)
(65)公開番号　特開2001-290122(P2001-290122A)
(43)公開日　平成13年10月19日(2001.10.19)
審査請求日　平成13年12月13日(2001.12.13)

前置審査

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100086287
弁理士　伊東　哲也
(74)代理人　100086461
弁理士　齋藤　和則
(72)発明者　森　秀雄
東京都大田区下丸子３丁目３０番２号キヤノン株式会社内
(72)発明者　門叶　剛司
東京都大田区下丸子３丁目３０番２号キヤノン株式会社内

最終頁に続く

(54)【発明の名称】液晶表示素子の駆動方法

(57)【特許請求の範囲】

【請求項１】

複数の画素をマトリクス状に配置すると共に、行電極走査および列電極の信号印加によって画像を表示するアクティブマトリクス型の液晶表示素子の各画素への印加電圧の極性を１画面の走査毎に切り替えるフィールド反転駆動を行う液晶表示素子の駆動方法であって、

黒背景に縦の長さの異なる白四角を表示した場合の、列電極に印加される電圧の変動によって生じる白四角内の画素の輝度差を抑制するために、

表示画像に応じて該画素に書き込むべき電圧（Ｖｌｃ）と、前記表示画像に応じて該画素のアクティブ素子が接続される列電極に印加されるべき電圧の変化量（ΔＶｓ）に補正係数ηを乗じた電圧値（Ｖｆ）を、その画素のアクティブ素子が選択されてから次に選択されるまでの期間累積して得る電圧値とを加算することによって、各画素に印加する電圧を補正することを特徴とする液晶表示素子の駆動方法。

【請求項２】

複数の画素をマトリクス状に配置すると共に、行電極走査および列電極の信号印加によって画像を表示するアクティブマトリクス型の液晶表示素子の各画素への印加電圧の極性を１画面の走査毎に切り替えるフィールド反転駆動を行う液晶表示素子の駆動方法であって、

各画素に印加する電圧を、表示画像に応じて該画素に書き込むべき電圧（Ｖｌｃ）と、該画素のアクティブ素子が接続される列電極に接続されたアクティブ素子を有する他の画素

に前記表示画像に応じて書き込むべき電圧の平均値との差に、該画素の電極と列電極および行電極との間の寄生容量と、該画素の液晶容量と、該画素に形成した保持容量とで表される補正係数ηを乗じた電圧値分補正し、
前記電圧の平均値は、その画素のアクティブ素子が選択されてから次に選択されるまでの期間の時間平均値であることを特徴とする液晶表示素子の駆動方法。
【請求項３】
前記補正係数ηは、前記画素の電極と列電極との間の寄生容量をＣｄｓ、該画素電極と行電極との間の寄生容量をＣｇｄ、該画素の液晶容量をＣｌｃ、該画素に形成した保持容量をＣｃｓとして
η＝Ｃｄｓ／（Ｃｄｓ＋Ｃｇｄ＋Ｃｌｃ＋Ｃｃｓ）
で表されることを特徴とする請求項１または２に記載の液晶表示素子の駆動方法。
【請求項４】
前記液晶がカイラルスメクチック液晶であることを特徴とする請求項１～３のいずれかに記載の液晶表示素子の駆動方法。
【請求項５】
前記カイラルスメクチック液晶の層転移系列が、高温側より、等方性液体相（ＩＳＯ．）－コレステリック相（Ｃｈ）－カイラルスメクチックＣ相、または等方性液体相（ＩＳＯ．）－カイラルスメクチックＣ相であることを特徴とする請求項４に記載の液晶表示素子の駆動方法。
【請求項６】
前記液晶表示素子は、電圧無印加時では、液晶の平均分子軸が単安定化された第一の状態を示し、第一の極性の電圧印加時には、該液晶の平均分子軸は印加電圧の大きさに応じた角度で該単安定化された位置から一方の側にチルトし、該第一の極性とは逆極性の第二の極性の電圧を印加したときとは逆側にチルトし、前記第一の極性の電圧印加時と第二の極性の電圧印加時の液晶の平均分子軸の該第一の状態における単安定化された位置を基準とした最大チルト状態のチルトの角度をそれぞれβ１、β２としたとき、β１＞β２となる液晶表示素子であることを特徴とする請求項５に記載の液晶表示素
子の駆動方法。
【請求項７】
前記チルト角度β１とβ２が、β１≧５×β２となることを特徴とする請求項６に記載の液晶表示素子の駆動方法。
【請求項８】
前記液晶表示素子は、電圧無印加時では、液晶の平均分子軸が単安定化された第一の状態を示し、第一の極性の電圧印加時には、該液晶の平均分子軸は印加電圧の大きさに応じた角度で該単安定化された位置から一方の側にチルトし、該第一の極性とは逆極性の第二の極性の電圧印加時には、該液晶の平均分子軸は該単安定化された位置から実質的に変化しない液晶表示素子であることを特徴とする請求項５に記載の液晶表示素子の駆動方法。
【請求項９】
前記カイラルスメクチック液晶のバルク状態での螺旋ピッチはセ厚の２倍より長い請求項５～８のいずれかに記載の液晶表示素子の駆動方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、液晶表示装置等に用いられる液晶表示素子の駆動方法に関する。
【０００２】
【従来の技術】
近年、液晶表示素子はＰＣのモニタを初めとしてビデオカムコーダのビューファインダ、プロジェクタ等々様々な分野で製品化が果たされており、これらの多くにはツイストネマチック液晶を用いている。しかしながら、ツイストネマチック液晶を用いた液晶表示素子には、応答速度の遅さ、視野角の狭さといった問題が存在している。一方、カラー液晶表

示素子の新たな方式としてカラーフィルタを用いないフィールドシーケンシャル方式が提案されている。これは赤（Ｒ）、緑（Ｇ）、青（Ｂ）の光源を順次点灯させて、これに合わせた画像を液晶パネルに表示させることで時間混色によってカラー表示を行うものである。フィールドシーケンシャル方式の場合は各色フィールドの間に確実に液晶応答が完了していなければ所望の色が表示出来なくなる為、液晶応答速度にはこれまで以上の高速性が求められる。

【０００３】

これらの問題を解決する液晶モードとして、例えば特許第２６８１５２８号で吉田が単安定モードの強誘電性液晶とアクティブマトリクス素子を組み合わせた方法を提案している。この単安定モード強誘電性液晶は、図２に示す片極性の電気光学特性を有する。両極性の電気光学特性を有するツイストネマチック液晶や特開平９－５００４９号で提案されている液晶は正極性電圧にも負極性電圧にもほぼ同様の光学応答を示し、このＶ－Ｔカーブの形からＶ字型と称されている。これに対して単安定モードの強誘電性液晶はＶ字を半分に切った形に見えることから片側Ｖ字液晶（モード）と称されている。以降、片側Ｖ字液晶と称する。

【０００４】

図３にフィールドシーケンシャル方式において、片側Ｖ字液晶をアクティブマトリクス素子を用いて駆動するシーケンスの例を、図４にこのときのアクティブマトリクス素子構成の一例を示し、駆動方法を説明する。図４において、４１はＸゲート駆動回路、４２はゲートライン（行電極）、４３はソースライン（列電極）、４４はソース駆動回路、Ｃｃｓは保持容量、Ｃｌｃは液晶容量である。

【０００５】

図３に示すように、例えば１／６０ｓｅｃ　の１フレームの間に表示素子の全面を６回走査する。第一の走査では赤（Ｒ）の情報電圧を＋極性で書き込み、第二の走査では赤（Ｒ）の情報電圧を－極性で書き込む。さらに第三の走査では緑（Ｇ）の情報電圧を＋極性で書き込み、第四の走査では緑（Ｇ）の情報電圧を－極性で書き込み、第五の走査では青（Ｂ）の情報電圧を＋極性で書き込み、第六の走査では青（Ｂ）の情報電圧を－極性で書き込む。これに対して赤の光源は第一の走査から第二の走査の期間に渡って点灯させ、緑の光源は第三の走査から第四の走査の期間に渡って点灯させ、青の光源は第五の走査から第六の走査の期間に渡って点灯させる。片側Ｖ字液晶は、図２に示す光学応答を示すため、各画素は赤情報輝度→黒→緑情報輝度→黒→青情報輝度→黒を繰り返し表示する。これにより、カラーフィルタを用いずにフルカラー表示を得ることができる。

【０００６】

【発明が解決しようとする課題】

しかしながら、図３に示す駆動シーケンスはフィールド反転駆動である為、クロストークの問題を考える必要がある。図５に示すように画素電極にはいくつかの寄生容量が存在する。特にソースライン４３とのカップリングは、ソースライン上を表示画像に依存する電圧が印加される為、当該画素のゲートがオフになっているときに、ソースライン４３上の電圧変動によるフィードスルーが発生して画素電極電位の変動を引き起こし、ひいては液晶の透過光量が変動して所望の階調特性を得られなくなるという問題、すなわち図６を用いて後述するようなクロストークが生じる。

【０００７】

図７は図６に示すクロストークの発生を定量的に説明するタイミングチャートである。図６ではクロストークの仕組みを端的に説明するために、黒背景に白四角を表示した場合を示す。白四角は画素ａの近傍の小さな四角と、画素ｂから画素ｄに跨る縦に長い四角の二つである。ゲートの走査は上から下へと順次行われていく。画素ａ、ｂのゲートラインＩは時刻ｔ３、ｔ３’に選択され、画素ｃ、ｄのゲートラインＩＩは時刻ｔ５、ｔ５’に選択される。一方、画素ａ、ｃのソースラインＡに印加される電圧は時刻ｔ２に白を書く＋極性の電圧＋Ｖｗとなり、時刻ｔ４に０Ｖとなり、時刻ｔ２’には前述の白を書く＋極性の電圧＋Ｖｗと絶対値が同じで極性が逆の電圧－Ｖｗが印加され、時刻ｔ４’に０Ｖとな

る。同様に、画素ｂ、ｄのソースラインＢに印加される電圧は時刻ｔ１に白を書く＋極性の電圧＋Ｖｗとなり、時刻ｔ６に０Ｖとなり、時刻ｔ１’には前述の白を書く＋極性の電圧＋Ｖｗと絶対値が同じで極性が逆の電圧－Ｖｗが印加され、時刻ｔ６’に０Ｖとなる。

【０００８】

次に画素電位の時間的推移について説明する。画素ａでは時刻ｔ３にゲートラインＩが選択されたときにソースラインＡの電圧＋Ｖｗが書き込まれる。この後ゲートがオフされると、画素電位はハイインピーダンス状態となるので＋Ｖｗを保とうとするが、図５に示すような寄生容量が存在することから寄生容量先の電位の変動によってフィードスルーの影響を受ける。時刻ｔ４まではソースラインＡの電位が＋Ｖｗである為、画素ａの電位に変動は無いが、時刻ｔ４でソースラインＡの電位は０Ｖに変わる為に、この影響を受け、画素ａの電位は若干ドロップする。更に時刻ｔ２’でソースラインＡの電位は－Ｖｗに変わるため、画素ａの電位は更にドロップする。次に時刻ｔ３’でゲートラインＩが選択されたときにソースラインＡの電圧－Ｖｗが書き込まれる。この後時刻ｔ４’、時刻ｔ２でソースラインＡの電位が変わるため、画素ａの電位はここでも影響を受ける。画素ｂ、画素ｃ、画素ｄについても画素ａと同様に各画素電位は、ソースラインの変動の影響を受ける。影響の受け方の説明はここでは省略するが、図７中に図示する通りである。

【０００９】

次に光学応答について説明する。画素ａでは時刻ｔ３に＋Ｖｗの電圧が画素に書き込まれ、透過状態が白状態へと遷移する。その後、前述した画素電位の変動に従って透過光量が変化する。時刻ｔ３’に－Ｖｗの電圧が画素に書き込まれ、透過状態が黒状態へと遷移する。なお、液晶は図２に示す片側Ｖ字液晶である。同様に画素ｂにおいても画素ａと同じタイミングで時刻ｔ３に＋Ｖｗ、時刻ｔ３’に－Ｖｗが書き込まれて光学応答が起きるが、その後の画素電位の変動は図７に示すように画素ａと画素ｂでは異なるため、画素ａと画素ｂとでは透過光量の積分値が異なり、観察者に輝度差を認識させてしまう。また、図６において、画素ｃは本来黒表示であるが、クロストークにより、白（光源色）表示となっている。

【００１０】

一般的にはクロストーク対策としてライン反転駆動、あるいはドット反転駆動によってソースラインに印加する電圧の極性を一水平走査期間毎に反転させることでクロストークの抑制を図っているが、上述したフィールドシーケンシャルの駆動方法は、フィールド反転駆動による駆動が不可欠であり、ライン反転駆動やドット反転駆動による対策以外の対策手法が求められる。

【００１１】

本発明は、上述の従来例における問題点に鑑みてなされたもので、フィールド反転駆動を用いるフィールドシーケンシャル駆動にも適用可能な、反転駆動によらないクロストーク対策を提供することを目的とする。

【００１２】

【課題を解決する為の手段および作用】

そこで本発明では、ある画素の電位が変動する量を、該画素がハイインピーダンスになっている期間のソース電圧の電圧変化量、すなわち該画素を含む縦方向の画像情報および、電圧極性の情報から算出し、算出した画素電位変動量を補正するべく画像データを補正することでクロストークの抑制を図るものである。

【００１３】

【発明の実施の形態】

本発明の好ましい実施の一形態では、複数の画素をマトリクス状に配置すると共に、行電極走査および列電極の信号印加によって画像を表示するアクティブマトリクス型の液晶表示素子で１画面の走査（１フィールド）毎に液晶への印加電圧の極性を切り替えるフィールド反転駆動を行う際、各画素に印加する電圧を、表示画像に応じてその画素に書き込むべき電圧と、該画素のアクティブ素子が接続される列電極に接続されたアクティブ素子を有する他の画素に前記表示画像に応じて書き込むべき電圧の平均値との差に補正係数η を

乗じた電圧値分補正する液晶表示素子の駆動方法であって、前記電圧の平均値は、その画素のアクティブ素子が選択されてから次に選択されるまでの期間の時間平均値であることを特徴とする。

【００１４】

上記補正係数ηとしては、該画素電極と列電極との間の寄生容量Ｃｄｓ、該画素電極と行電極との間の寄生容量Ｃｇｄ、該画素の液晶容量Ｃｌｃ、および該画素に形成した保持容量Ｃｃｓの関係する関係式、例えば

η＝Ｃｄｓ／（Ｃｄｓ＋Ｃｇｄ＋Ｃｌｃ＋Ｃｃｓ）

で表される補正係数を用いる。

【００１５】

また、前記液晶は、カイラルスメクチック液晶である。層転移系列が、高温側より、等方性液体相（ＩＳＯ．）－コレステリック相（Ｃｈ）－カイラルスメクチックＣ相、または等方性液体相（ＩＳＯ．）－カイラルスメクチックＣ相であるものが特に好ましい。このような液晶を用いた液晶表示素子の例は、特願平１０－１７７１４５や特開２０００－０１００７６等に記載されている。

【００１６】

また、前記液晶表示素子としては、電圧無印加時では、該液晶の平均分子軸が単安定化された第一の状態を示し、第一の極性の電圧印加時には、該液晶の平均分子軸は印加電圧の大きさに応じた角度で該単安定化された位置から一方の側にチルトし、該第一の極性とは逆極性の第二の極性の電圧を印加したときとは逆側にチルトする液晶表示素子において、前記第一の極性の電圧印加時と第二の極性の電圧印加時の液晶の平均分子軸の該第一の状態における単安定化された位置を基準とした最大チルト状態のチルトの角度をそれぞれβ１、β２としたときβ１＞β２となる液晶表示素子である。β１≧５×β２であればより好ましく、β２　０であればさらに好ましい。

【００１７】

前記カイラルスメクチック液晶のバルク状態での螺旋ピッチはセル厚の２倍より長くなっている。

【００１８】

【実施例】

以下、図面を用いて本発明の実施例を説明する。

図１、図８および図９は、本発明に係る第一の実施例を説明するための図であり、図１はデータ処理を示すフローチャート、図８は回路構成を示すブロック図、図９は本実施例の効果を示すタイミングチャートである。本実施例に係る液晶駆動方式は図３に示すフィールドシーケンシャル駆動方式を用いたものであり、液晶は図２に示す電気光学応答特性を持つ片側Ｖ字液晶である。また、フィールドシーケンシャル駆動の為に用いるメモリ空間は図１０に示すものである。

【００１９】

本実施例のシステムはデジタルビデオカムコーダ（ＤＶＣ）やデジタルスチルカメラ（ＤＳＣ）等のモニタとして用いられるものであり、図８に示すように、以下の構成をとる。ビデオ信号をデジタル画像データに変換する回路ブロック１、赤（Ｒ）緑（Ｇ）青（Ｂ）パラレルの画像データをＲＧＢシリアル画像データに変換し、かつＬＣＤ（液晶表示素子）４の特性に合わせて画像データを補正する回路ブロック２、ＬＣＤに合わせたアナログ信号にＤ／Ａ変換する回路ブロック３、図１０に示すメモリ空間を有するフレームメモリ５、そしてＬＣＤ４である。

【００２０】

ビデオデコード、パラシリ（並直）変換、Ｄ／Ａ変換部分については、ここでは説明を省略し、回路ブロック２の中で行われる画像データの補正について説明する。図１に示すフローチャートは、フィールド反転駆動時に発生するソースラインからの影響によるフィードスルーによって起きる画素電位の変動に起因するクロストークを抑制するための処理を示す。まず処理すべき画素（仮に画素ａとする）の画像データの格納されているメモリ上

のアドレスから行アドレスを抽出し、行アドレスレジスタに画像データ行アドレスをセットするとともに、繰り返しカウンタに『走査線数－１』の値をセットする（ステップ１）。一方、処理すべき画素の画像データの値と画像データに応じた印加電圧を示すテーブルの値に従い、印加電圧Ｖｌｃを算出する（ステップ２、３）。なお、Ｖｌｃは実際に印加するアナログ電圧ではなく、電圧値を示すデジタル情報である。次に行アドレスレジスタの値に１を加え（このとき同時に繰り返しカウンタの値を１減じる）（ステップ４）、その値に従って画像データを読み出す（ステップ５）。この画像データはすなわち、表示エリア上の画素ａの１ライン下で横方向が同一位置に位置する画素の画像データである。この画像データについても、画像データの値と画像データに応じた印加電圧を示すテーブルの値に従い、印加電圧Ｖｌｃを算出する（ステップ６）。他方、走査線数と行アドレスの値の関係から、アドレスレジスタの値で示される行アドレスが期間１、すなわち＋極性の電圧を印加すべき期間であるのか、期間２、すなわち－極性の電圧を印加すべき期間であるかを判定し（ステップ７）、この判定結果、およびフィードスルーを引き起こす度合いを示す容量結合係数テーブルに基づいて、当該行アドレスのソースラインに印加されている電圧によって画素ａに如何ほどのフィードスルー電圧が発生するかを算出し（ステップ８）、この値を累積フィードスルー電圧値として所定のメモリ空間に保存する（ステップ９）。このときのフィードスルー電圧値Ｖｆは

【００２１】

【数１】

$$Vf=\Delta Vs\times Cds/(Cds+Cgd+Clc+Ccs)$$

で表される。なお、ΔＶｓはソースライン４３（図５）に印加される電圧の変化量、Ｃｄｓはソースラインと画素電極との間の寄生容量、Ｃｇｄはゲートラインと画素電極との間の寄生容量、Ｃｌｃは当該画素の液晶容量、Ｃｃｓは当該画素に形成される保持容量である。

【００２２】

次に、繰り返しカウンタの値を確認して（ステップ１０）、これが０でなければ行アドレスカウンタの値に１を加える処理（ステップ４）に戻り、それ以降の処理を繰り返し、累積フィードスルー電圧の値を順次書き換える。繰り返しカウンタの値が０であれば、最初に算出した印加電圧Ｖｌｃと累積フィードスルー電圧値を加算して、画素ａに印加すべき電圧を算出する。最後に、印加電圧から画像データを逆引きするテーブルに従い、補正後の画像データ値を得る（ステップ１１）。このときの画像データ値は、補正前の画像データが例えば６ビットであったとすると、補正後の画像データは６ビットより多いビット数のデータとなる。

【００２３】

また、画素に印加すべき電圧はフィードスルーを考慮しなければ、図１１に示すように最大で＋Ｖｗであるが、フィードスルーを考慮して、これを補正する電圧を印加する場合は、これより大きな値の電圧＋Ｖｗ’を印加する。この値は最大で

【００２４】

【数２】

$$Vw'=Vw+2Vw\times Cds/(Clc+Ccs+Cds)$$

で示される。なお、前述の通り、Ｃｄｓはソースラインと当該画素電極との間の寄生容量、Ｃｇｄはゲートラインと当該画素電極との間の寄生容量、Ｃｌｃは当該画素の液晶容量、Ｃｃｓは当該画素の保持容量である。

【００２５】

このように、ソースラインの電圧変動によるフィードスルーに起因する輝度変動を、表示画像データに基づく補正をかけることによって補正した電圧をソースラインに印加するこ

とで図９に示すように所望の光学応答を得、クロストークの発生を大幅に抑制した正確な階調表示を得ることができる。

【００２６】

【他の実施例】

図１２は、本発明の第二の実施例に係る駆動シーケンスを示すタイミングチャートである。

本発明は、図１２に示すようにフィールドシーケンシャル方式の駆動に対してだけでなく、カラーフィルタによるカラー表示を行う場合の駆動に対しても有効である。また、この場合も片側Ｖ字液晶の特徴を活かす為に倍速駆動（例えば６０Ｈｚのフレームレートの入力画像を＋フィールド、－フィールドの２フィールドに分けた１２０Ｈｚにする）の為にフレームメモリを用いているため、本実施例の為に新たにフレームメモリを抱える必要はない。

【００２７】

【発明の効果】

以上に述べたように、本発明は、ある画素の電位が変動する量を、該画素がハイインピーダンスになっている期間のソース電圧の電圧変化量、すなわち該画素を含む縦方向の画像情報および、電圧極性の情報から算出し、算出した画素電位変動量を補正するべく画像データを補正することでクロストークの抑制を図り、正確な階調表示を得るものである。

【図面の簡単な説明】

【図１】本発明に係る第一の実施例のデータ処理を示すフローチャートである。

【図２】片側Ｖ字液晶の電気光学特性を示す図である。

【図３】片側Ｖ字液晶を用いたフィールドシーケンシャル駆動シーケンスを示すタイミングチャートである。

【図４】アクティブマトリクス素子の一例を示す模式図である。

【図５】画素に寄生する容量を示す模式図である。

【図６】クロストークが発生したときの表示状態を示す図である。

【図７】クロストークの発生を定量的に説明するタイミングチャートである。

【図８】本発明に係る第一の実施例の回路構成を示すブロック図である。

【図９】本発明に係る第一の実施例の効果を示すタイミングチャートである。

【図１０】本発明に係る第一の実施例で用いるメモリ空間を示す模式図である。

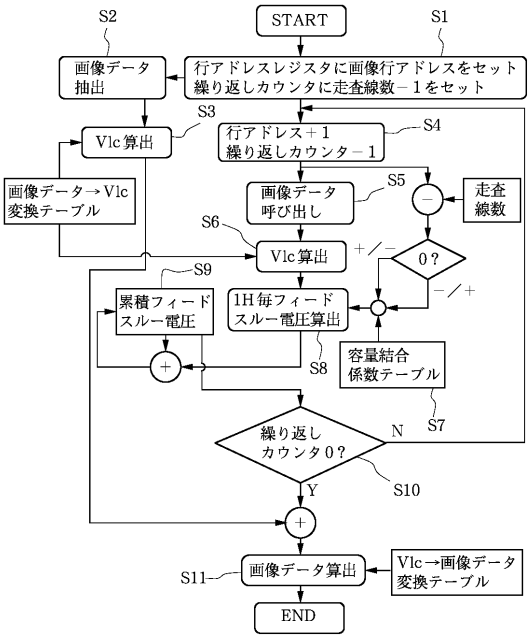
【図１１】本発明に係る第一の実施例の印加電圧を説明する図である。

【図１２】本発明に係る第二の実施例の駆動シーケンスを示すタイミングチャートである。

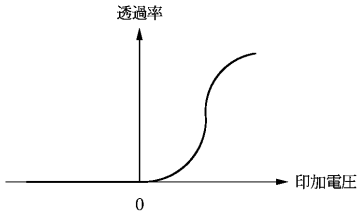
【符号の説明】

１：ビデオ信号をデジタル画像データに変換する回路ブロック、２：赤（Ｒ）緑（Ｇ）青（Ｂ）パラレルの画像データをＲＧＢシリアル画像データに変換し、かつＬＣＤの特性に合わせて画像データを補正する回路ブロック、３：ＬＣＤに合わせたアナログ信号にＤ／Ａ変換する回路ブロック、４：ＬＣＤ、５：フレームメモリ、４１：Ｘゲート駆動回路、４２：ゲートライン（行電極）、４３：ソースライン（列電極）、４４：ソース駆動回路、Ｃｃｓ：保持容量、Ｃｌｃ：液晶容量。

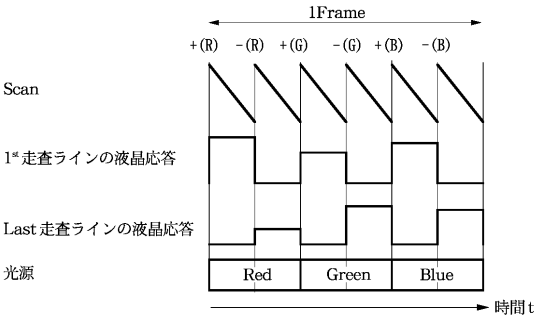
【図１】



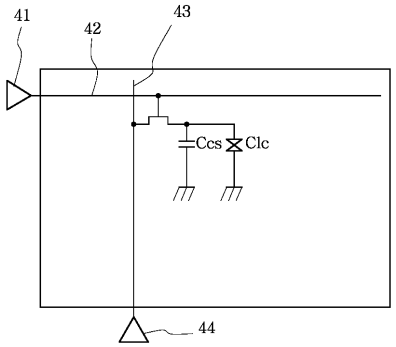
【図２】



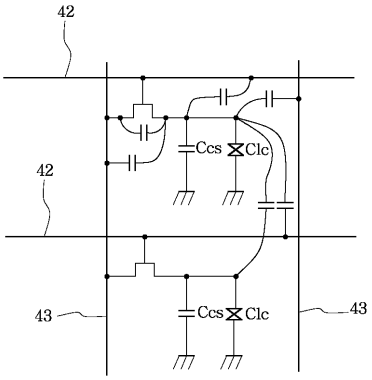
【図３】



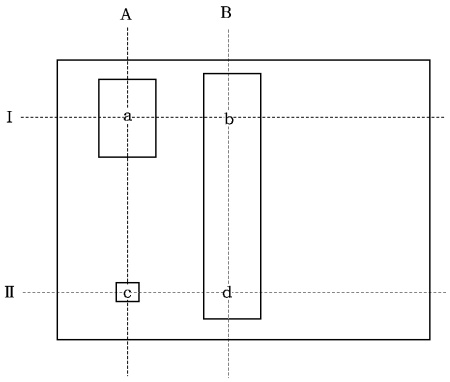
【図４】



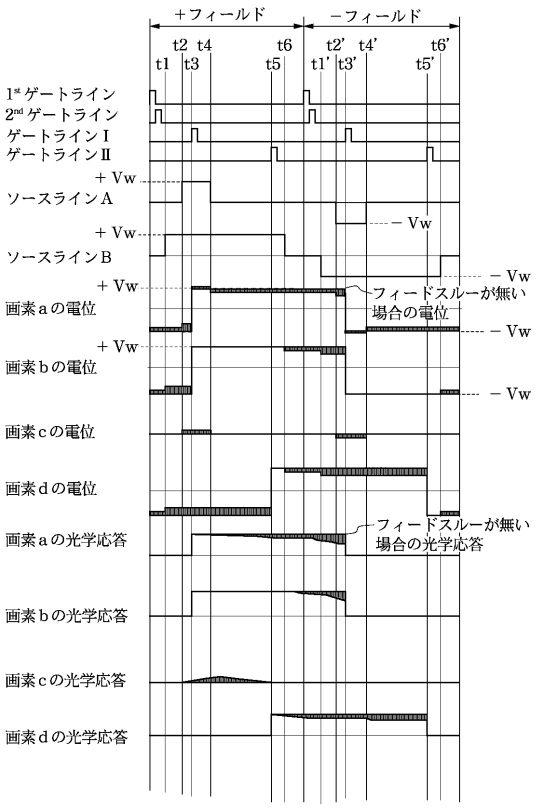
【図５】



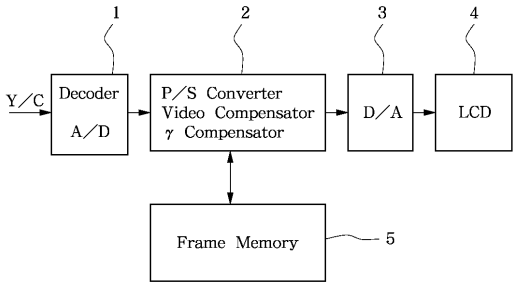
【図６】



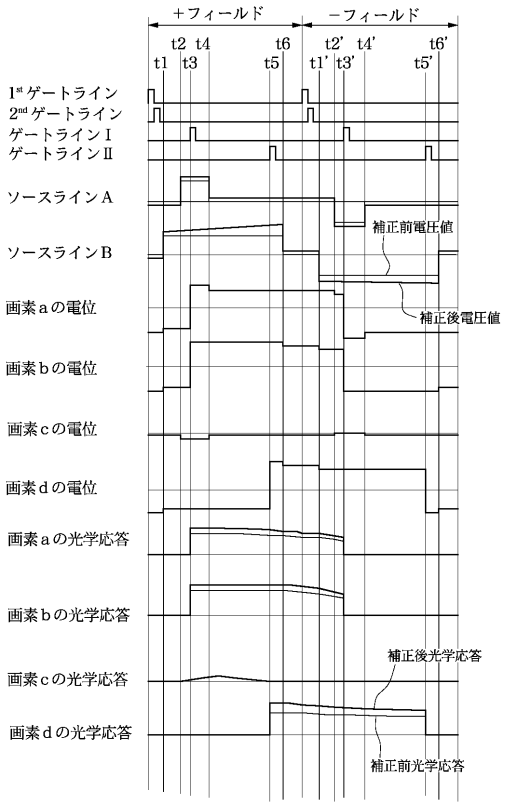
【図７】


＋フィールド
－フィールド
t1 t2 t3 t4 t5 t6
t1' t2' t3' t4' t5' t6'
1st ゲートライン
2nd ゲートライン
ゲートラインⅠ
ゲートラインⅡ
＋Vw
ソースラインA
－Vw
ソースラインB
画素ａの電位
フィードスルーが無い場合の電位
画素ｂの電位
画素ｃの電位
画素ｄの電位
画素ａの光学応答
フィードスルーが無い場合の光学応答
画素ｂの光学応答
画素ｃの光学応答
画素ｄの光学応答

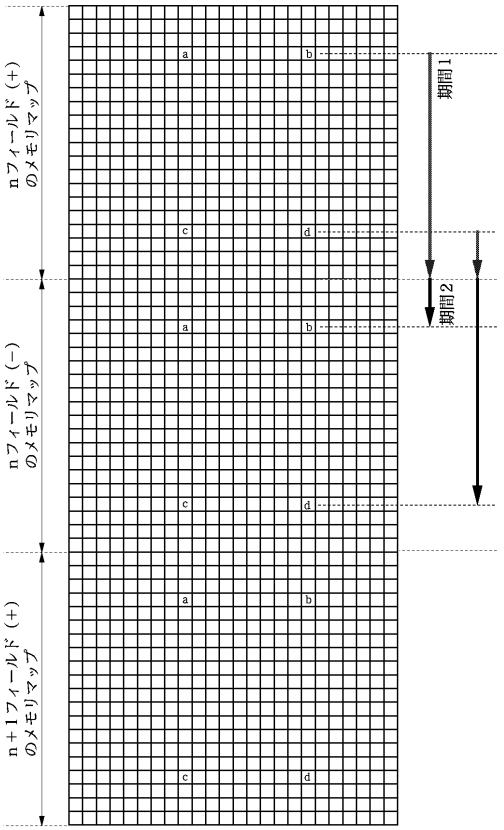
【図８】


1
2
3
4
Y／C
Decoder
A／D
P／S Converter
Video Compensator
γ Compensator
D／A
LCD
Frame Memory
5

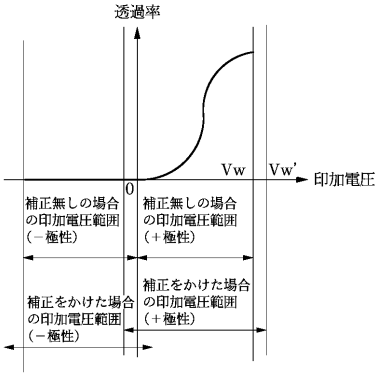
【図９】


＋フィールド
－フィールド
t1 t2 t3 t4 t5 t6
t1' t2' t3' t4' t5' t6'
1st ゲートライン
2nd ゲートライン
ゲートラインⅠ
ゲートラインⅡ
ソースラインA
補正前電圧値
ソースラインB
補正後電圧値
画素ａの電位
画素ｂの電位
画素ｃの電位
画素ｄの電位
画素ａの光学応答
画素ｂの光学応答
補正後光学応答
画素ｃの光学応答
画素ｄの光学応答
補正前光学応答

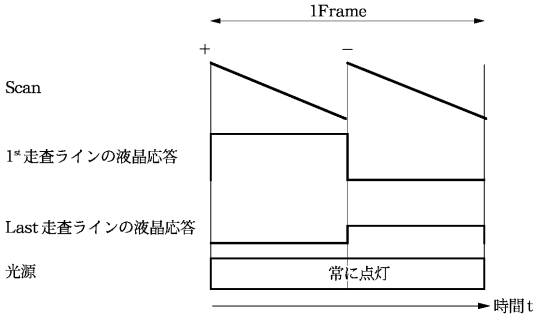
【図１０】


nフィールド（＋）のメモリマップ
nフィールド（－）のメモリマップ
n＋1フィールド（＋）のメモリマップ
a
b
c
d
期間1
期間2

【図１１】


透過率
Vw
Vw'
印加電圧
0
補正無しの場合
の印加電圧範囲
（－極性）
補正無しの場合
の印加電圧範囲
（＋極性）
補正をかけた場合
の印加電圧範囲
（－極性）
補正をかけた場合
の印加電圧範囲
（＋極性）

【図１２】


1Frame
+
−
Scan
1st 走査ラインの液晶応答
Last 走査ラインの液晶応答
光源
常に点灯
時間t

フロントページの続き

(72)発明者　三浦　聖志
東京都大田区下丸子３丁目３０番２号キヤノン株式会社内

審査官　井口　猶二

(56)参考文献　特開平０９－０８１０８９（ＪＰ，Ａ）
特開平１１－２８２４２４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G02F　1/133　550
G09G　3/20　611
G09G　3/36