



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년12월10일
(11) 등록번호 10-2740407
(24) 등록일자 2024년12월04일

- (51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) G02F 1/1345 (2006.01)
- (52) CPC특허분류
H01L 27/124 (2013.01)
G02F 1/13452 (2022.01)
- (21) 출원번호 10-2022-7015030
- (22) 출원일자(국제) 2020년03월24일
심사청구일자 2023년03월17일
- (85) 번역문제출일자 2022년05월03일
- (65) 공개번호 10-2022-0157929
- (43) 공개일자 2022년11월29일
- (86) 국제출원번호 PCT/CN2020/080810
- (87) 국제공개번호 WO 2021/189230
국제공개일자 2021년09월30일
- (56) 선행기술조사문헌
CN110752223 A
KR100922802 B1
KR101248467 B1
JP2009282366 A

- (73) 특허권자
보에 테크놀로지 그룹 컴퍼니 리미티드
중국 베이징 100016, 차오양 디스트릭트, 지우시 양치아오 로드 10호
- (72) 발명자
왕, 커
중국 100176 베이징 비디에이 디저 로드 넘버 9
디, 무신
중국 100176 베이징 비디에이 디저 로드 넘버 9
(뒷면에 계속)
- (74) 대리인
양영준, 김성운, 백만기

전체 청구항 수 : 총 20 항

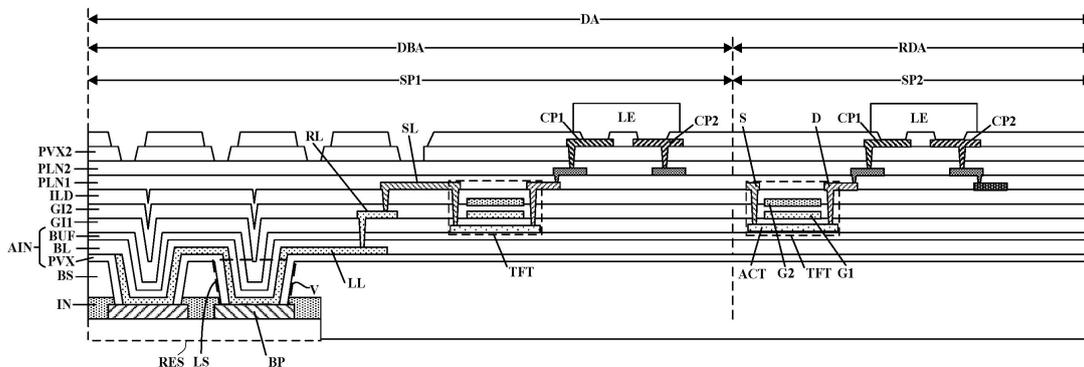
심사관 : 정용택

(54) 발명의 명칭 어레이 기판, 디스플레이 장치, 및 어레이 기판을 제조하는 방법

(57) 요약

복수의 서브픽셀을 갖는 디스플레이 영역을 포함하는 어레이 기판이 제공된다. 복수의 서브픽셀은 디스플레이-본딩 서브-영역 내의 복수의 제1 서브픽셀 및 정규 디스플레이 서브-영역 내의 복수의 제2 서브픽셀을 포함한다. 어레이 기판은 베이스 기판의 제1 측면 상에 그리고 복수의 서브픽셀 내에 각각 복수의 박막 트랜지스터를 포함한다. 복수의 제1 서브픽셀 중 각각의 하나는 베이스 기판의 제2 측면 상의 본딩 패드; 복수의 박막 트랜지스터 중 각각의 하나를 본딩 패드에 전기적으로 접속하는 리드 라인; 및 베이스 기판을 통해 연장되는 비아를 포함한다. 리드 라인은 어레이 기판에서 노출되지 않는다. 리드 라인은 비아를 통해 베이스 기판의 제1 측면으로부터 제2 측면으로 연장되어, 본딩 패드에 접속된다.

대표도



(52) CPC특허분류

H01L 27/1218 (2013.01)

G02F 2201/42 (2013.01)

(72) 발명자

량, 즈웨이

중국 100176 베이징 비디에이 디저 로드 넘버 9

왕, 귀창

중국 100176 베이징 비디에이 디저 로드 넘버 9

구, 런취안

중국 100176 베이징 비디에이 디저 로드 넘버 9

쑹, 샤오신

중국 100176 베이징 비디에이 디저 로드 넘버 9

주, 샤오옌

중국 100176 베이징 비디에이 디저 로드 넘버 9

류, 잉웨이

중국 100176 베이징 비디에이 디저 로드 넘버 9

차오, 잔평

중국 100176 베이징 비디에이 디저 로드 넘버 9

명세서

청구범위

청구항 1

어레이 기판으로서, 복수의 서브픽셀을 갖는 디스플레이 영역을 포함하고;

상기 디스플레이 영역은 정규 디스플레이 서브-영역 및 디스플레이-본딩 서브-영역을 포함하고;

상기 복수의 서브픽셀은 상기 디스플레이-본딩 서브-영역 내의 복수의 제1 서브픽셀 및 상기 정규 디스플레이 서브-영역 내의 복수의 제2 서브픽셀을 포함하고;

상기 어레이 기판은,

상기 정규 디스플레이 서브-영역 및 상기 디스플레이-본딩 서브-영역 전체에 걸쳐 연장되는 베이스 기판; 및

상기 베이스 기판의 제1 측면 상에 그리고 상기 복수의 서브픽셀 내에 각각 있는 복수의 박막 트랜지스터를 포함하고;

상기 복수의 제1 서브픽셀 중 각각의 하나는,

상기 베이스 기판의 제2 측면 상의 본딩 패드-상기 제2 측면은 상기 제1 측면에 대향함-;

상기 복수의 박막 트랜지스터 중 각각의 하나를 상기 본딩 패드에 전기적으로 접속하는 리드 라인-상기 리드 라인은 상기 어레이 기판에서 노출되지 않음-; 및

상기 베이스 기판을 통해 연장되는 비아를 포함하며;

상기 리드 라인은 상기 비아를 통해 상기 베이스 기판의 상기 제1 측면으로부터 상기 제2 측면으로 연장되어, 상기 본딩 패드에 접속되는 어레이 기판.

청구항 2

제1항에 있어서,

상기 베이스 기판의 상기 제2 측면 상에 있고 상기 디스플레이-본딩 서브-영역 내에 제한된 절연층을 추가로 포함하고;

상기 본딩 패드는 상기 베이스 기판으로부터 먼 상기 절연층의 측면 상에 있으며;

상기 비아는 상기 베이스 기판 및 상기 절연층을 통해 연장되는 어레이 기판.

청구항 3

제2항에 있어서,

상기 베이스 기판은 상기 본딩 패드에 대응하는 영역에서 제1 두께(t_1)를 갖고, 상기 본딩 패드에 대응하는 영역 외부의 영역에서 제2 두께(t_2)를 갖고;

상기 절연층은 제3 두께(t_3)를 가지며;

$t_2 > (t_1 + t_3)$ 인 어레이 기판.

청구항 4

제1항에 있어서,

상기 본딩 패드를 집적 회로와 본딩하기 위해 상기 본딩 패드에 대응하는 영역에 리세스를 추가로 포함하며,

상기 리세스는 상기 베이스 기판의 상기 제2 측면 상에 있어, 상기 본딩 패드의 표면을 노출시키는 어레이 기판.

청구항 5

제4항에 있어서,

상기 베이스 기관의 상기 제2 측면 상에 있고 상기 디스플레이-본딩 서브-영역 내에 제한된 절연층을 추가로 포함하고;

상기 본딩 패드는 상기 베이스 기관으로부터 먼 상기 절연층의 측면 상에 있고;

상기 비아는 상기 베이스 기관 및 상기 절연층을 통해 연장되며;

상기 리세스는 상기 본딩 패드의 상기 표면 및 상기 절연층의 표면을 노출시키는 어레이 기관.

청구항 6

제5항에 있어서,

상기 베이스 기관은 상기 본딩 패드에 대응하는 영역에서 제1 두께(t_1)를 갖고, 상기 본딩 패드에 대응하는 영역 외부의 영역에서 제2 두께(t_2)를 갖고;

상기 절연층은 제3 두께(t_3)을 갖고;

상기 리세스는 제4 두께(t_4)를 가지며;

t_2 는 t_1 , t_3 , 및 t_4 의 합과 실질적으로 동일한 어레이 기관.

청구항 7

제2항에 있어서,

각각이 상기 비아 내로 부분적으로 연장되는 복수의 추가 절연층을 추가로 포함하는 어레이 기관.

청구항 8

제7항에 있어서,

상기 복수의 추가 절연층은 상기 디스플레이 영역 전체에 걸쳐 연장되는 패시베이션층을 포함하고;

상기 패시베이션층은 상기 베이스 기관의 상기 제1 측면 상에 있고, 상기 비아의 측방향 측면을 적어도 부분적으로 커버하며;

상기 리드 라인은 상기 절연층으로부터 먼 상기 패시베이션층의 측면 상에 있는 어레이 기관.

청구항 9

제8항에 있어서,

상기 복수의 추가 절연층은 상기 디스플레이 영역 전체에 걸쳐 연장되는 장벽층을 추가로 포함하고;

상기 장벽층은 상기 베이스 기관으로부터 먼 상기 패시베이션층 및 상기 리드 라인의 측면 상에 있으며;

상기 절연층, 상기 본딩 패드, 상기 패시베이션층 및 상기 장벽층은 상기 어레이 기관 내부에 상기 리드 라인을 캡슐화하는 어레이 기관.

청구항 10

제9항에 있어서,

상기 복수의 추가 절연층은 상기 디스플레이 영역 전체에 걸쳐 연장되는 버퍼층을 추가로 포함하며;

상기 복수의 박막 트랜지스터 중 각각의 하나는 상기 베이스 기관으로부터 먼 상기 버퍼층의 측면 상의 활성층을 포함하는 어레이 기관.

청구항 11

제1항 내지 제10항 중 어느 한 항에 있어서,

상기 베이스 기판은 플렉서블 베이스 기판인 어레이 기판.

청구항 12

제1항 내지 제10항 중 어느 한 항의 상기 어레이 기판, 및 상기 어레이 기판에 접속된 하나 이상의 집적 회로를 포함하는 디스플레이 장치.

청구항 13

어레이 기판을 제조하는 방법으로서,

복수의 서브픽셀을 갖는 디스플레이 영역을 형성하는 단계를 포함하고;

상기 디스플레이 영역을 형성하는 단계는 정규 디스플레이 서브-영역을 형성하는 단계 및 디스플레이-본딩 서브-영역을 형성하는 단계를 포함하고;

상기 복수의 서브픽셀을 형성하는 단계는 상기 디스플레이-본딩 서브-영역에 복수의 제1 서브픽셀을 형성하는 단계 및 상기 정규 디스플레이 서브-영역에 복수의 제2 서브픽셀을 형성하는 단계를 포함하고;

상기 방법은, 상기 정규 디스플레이 서브-영역 및 상기 디스플레이-본딩 서브-영역 전체에 걸쳐 연장되는 베이스 기판을 형성하는 단계; 및

상기 베이스 기판의 제1 측면 상에 그리고 상기 복수의 서브픽셀 내에 각각 복수의 박막 트랜지스터를 형성하는 단계를 포함하고;

상기 복수의 제1 서브픽셀의 각각의 하나를 형성하는 단계는,

상기 베이스 기판의 제2 측면 상에 본딩 패드를 형성하는 단계-상기 제2 측면은 상기 제1 측면에 대항함-;

상기 복수의 박막 트랜지스터 중 각각의 하나를 상기 본딩 패드에 전기적으로 접속하는 리드 라인을 형성하는 단계-상기 리드 라인은 상기 어레이 기판에서 노출되지 않음-; 및

상기 베이스 기판을 통해 연장되는 비아를 형성하는 단계를 포함하며;

상기 리드 라인은 상기 비아를 통해 상기 베이스 기판의 상기 제1 측면으로부터 상기 제2 측면으로 연장되어 상기 본딩 패드에 접속되도록 형성되는 방법.

청구항 14

제13항에 있어서,

지지 기판을 제공하는 단계;

상기 디스플레이-본딩 서브-영역 내에 그리고 상기 본딩 패드에 대응하는 영역 내에 제한된 탈본딩층을 형성하는 단계;

상기 지지 기판으로부터 먼 상기 탈본딩층의 측면 상에 상기 본딩 패드를 형성하는 단계;

상기 디스플레이-본딩 서브-영역 내에 제한된 절연 재료 층을 형성하는 단계;

상기 정규 디스플레이 서브-영역 및 상기 디스플레이-본딩 서브-영역 전체에 걸쳐 그리고 상기 지지 기판으로부터 먼 상기 절연 재료 층의 측면 상에 베이스 기판 재료 층을 형성하는 단계; 및

상기 절연 재료 층 및 상기 베이스 기판 재료 층을 에칭하여 상기 절연 재료 층 및 상기 베이스 기판 재료 층을 통해 연장되는 상기 비아를 형성하여 상기 본딩 패드의 접촉 표면을 노출시킴으로써, 상기 디스플레이-본딩 서브-영역 내에 제한된 절연층을 형성하고, 상기 절연층 상에 상기 베이스 기판을 형성하는 단계를 추가로 포함하는 방법.

청구항 15

제14항에 있어서,

상기 정규 디스플레이 서브-영역 및 상기 디스플레이-본딩 서브-영역 전체에 걸쳐 그리고 상기 지지 기판으로부터 먼 상기 베이스 기판의 측면 상에 패시베이션 재료 층을 형성하는 단계; 및

상기 패시베이션 재료 층을 에칭하여 상기 본딩 패드의 상기 접촉 표면을 노출시킴으로써, 패시베이션층을 형성하는 단계를 추가로 포함하며;

상기 패시베이션층은 상기 베이스 기판의 상기 제1 측면 상에 형성되고, 상기 비아의 측방향 측면을 적어도 부분적으로 커버하는 방법.

청구항 16

제15항에 있어서,

상기 베이스 기판으로부터 먼 상기 패시베이션층의 측면의 상기 리드 라인을 형성하는 단계를 추가로 포함하며;

상기 리드 라인은 상기 본딩 패드에 접속하기 위해 상기 비아 내로 연장되도록 형성되는 방법.

청구항 17

제16항에 있어서,

상기 정규 디스플레이 서브-영역 및 상기 디스플레이-본딩 서브-영역 전체에 걸쳐 그리고 상기 베이스 기판으로부터 먼 상기 리드 라인의 측면 상에 장벽층을 형성하는 단계;

상기 정규 디스플레이 서브-영역 및 상기 디스플레이-본딩 서브-영역 전체에 걸쳐 그리고 상기 베이스 기판으로부터 먼 상기 장벽층의 측면 상에 버퍼층을 형성하는 단계; 및

상기 베이스 기판으로부터 먼 상기 버퍼층의 측면 상에 활성층을 형성하는 단계를 추가로 포함하는 방법.

청구항 18

제14항 내지 제17항 중 어느 한 항에 있어서,

상기 본딩 패드 및 상기 절연층으로부터 상기 탈본딩층을 분리하여, 상기 본딩 패드에 대응하는 영역에 리세스를 형성하는 단계를 추가로 포함하며;

상기 리세스는 상기 베이스 기판의 상기 제2 측면 상에 형성되어, 상기 본딩 패드의 표면을 노출시키는 방법.

청구항 19

제18항에 있어서,

상기 리세스 내에 집적 회로를 제공하는 단계를 추가로 포함하며, 상기 집적 회로는 상기 리세스 내에 노출된 상기 본딩 패드의 상기 표면에 접속되는 방법.

청구항 20

제14항 내지 제17항 중 어느 한 항에 있어서,

상기 복수의 제1 서브픽셀 및 상기 복수의 제2 서브픽셀을 포함하는 상기 복수의 서브픽셀 내에 각각 복수의 발광 요소를 형성하는 단계를 추가로 포함하는 방법.

발명의 설명

기술 분야

[0001] 관련 출원의 교차 참조

[0002] 본 출원은 2019년 10월 12일자로 출원된 국제 출원 번호 PCT/CN2019/110779의 일부 계속 출원이다. 상기 출원들 각각은 모든 목적들을 위해 그 전체가 본 명세서에 참조로 포함된다.

[0003] 본 발명은 디스플레이 기술에 관한 것으로서, 더 구체적으로는 디스플레이 기판, 디스플레이 장치, 및 어레이 기판을 제조하는 방법에 관한 것이다.

배경 기술

[0004] 좁은 프레임을 갖는 디스플레이 장치를 제조하기 위한 기술들이 급속히 개발되고 있다. 좁은 프레임을 갖는 디

스플레이 장치를 제조하는 데 사용되는 다양한 방법들은 칩 온 필름(chip on film)(COF), 칩 온 플라스틱(chip on plastic)(COP) 및 게이트 드라이버 온 어레이(gate driver on array)(GOA)를 포함하지만 이에 한정되지는 않는다. 예를 들어, 칩 온 필름(COF) 및 칩 온 플라스틱(COP)은 프레임의 좁은 하부 부분을 갖는 디스플레이 패널을 제조하는 데 사용된다. 게이트 드라이버 온 어레이(GOA)는 프레임의 좁은 좌측 또는 좁은 우측을 갖는 디스플레이를 제조하는 데 사용된다.

발명의 내용

과제의 해결 수단

- [0005] 일 양태에서, 본 개시내용은 어레이 기관으로서, 복수의 서브픽셀을 갖는 디스플레이 영역을 포함하고; 상기 디스플레이 영역은 정규 디스플레이 서브-영역 및 디스플레이-본딩 서브-영역을 포함하고; 상기 복수의 서브픽셀은 상기 디스플레이-본딩 서브-영역 내의 복수의 제1 서브픽셀 및 상기 정규 디스플레이 서브-영역 내의 복수의 제2 서브픽셀을 포함하고; 상기 어레이 기관은, 상기 정규 디스플레이 서브-영역 및 상기 디스플레이-본딩 서브-영역 전체에 걸쳐 연장되는 베이스 기관; 및 상기 베이스 기관의 제1 측면 상에 그리고 상기 복수의 서브픽셀 내에 각각 있는 복수의 박막 트랜지스터를 포함하고; 상기 복수의 제1 서브픽셀 중 각각의 하나는, 상기 베이스 기관의 제2 측면 상의 본딩 패드-상기 제2 측면은 상기 제1 측면에 대향함-; 상기 복수의 박막 트랜지스터 중 각각의 하나는 상기 본딩 패드에 전기적으로 접속하는 리드 라인-상기 리드 라인은 상기 어레이 기관에서 노출되지 않음-; 및 상기 베이스 기관을 통해 연장되는 비아(via)를 포함하며; 상기 리드 라인은 상기 비아를 통해 상기 베이스 기관의 상기 제1 측면으로부터 상기 제2 측면으로 연장되어, 상기 본딩 패드에 접속되는 어레이 기관을 제공한다.
- [0006] 임의로, 어레이 기관은 상기 베이스 기관의 상기 제2 측면 상에 있고 상기 디스플레이-본딩 서브-영역 내에 제한된 절연층을 추가로 포함하고; 상기 본딩 패드는 상기 베이스 기관으로부터 먼 상기 절연층의 측면 상에 있으며; 상기 비아는 상기 베이스 기관 및 상기 절연층을 통해 연장된다.
- [0007] 임의로, 상기 베이스 기관은 상기 본딩 패드에 대응하는 영역에서 제1 두께(t1)를 갖고, 상기 본딩 패드에 대응하는 영역 외부의 영역에서 제2 두께(t2)를 갖고; 상기 절연층은 제3 두께(t3)를 가지며; $t_2 > (t_1 + t_3)$ 이다.
- [0008] 임의로, 상기 어레이 기관은 상기 본딩 패드를 집적 회로와 본딩하기 위해 상기 본딩 패드에 대응하는 영역에 리세스를 추가로 포함하며; 상기 리세스는 상기 베이스 기관의 상기 제2 측면 상에 있어, 상기 본딩 패드의 표면을 노출시킨다.
- [0009] 임의로, 상기 어레이 기관은, 상기 베이스 기관의 상기 제2 측면 상에 있고 상기 디스플레이-본딩 서브-영역 내에 제한된 절연층을 추가로 포함하고; 상기 본딩 패드는 상기 베이스 기관으로부터 먼 상기 절연층의 측면 상에 있고; 상기 비아는 상기 베이스 기관 및 상기 절연층을 통해 연장되며; 상기 리세스는 상기 본딩 패드의 상기 표면 및 상기 절연층의 표면을 노출시킨다.
- [0010] 임의로, 상기 베이스 기관은 상기 본딩 패드에 대응하는 영역에서 제1 두께(t1)를 갖고, 상기 본딩 패드에 대응하는 영역 외부의 영역에서 제2 두께(t2)를 갖고; 상기 절연층은 제3 두께(t3)를 갖고; 상기 리세스는 제4 두께(t4)를 가지며; t2는 t1, t3, 및 t4의 합과 실질적으로 동일하다.
- [0011] 임의로, 상기 어레이 기관은 각각이 상기 비아 내로 부분적으로 연장되는 복수의 추가 절연층을 추가로 포함한다.
- [0012] 임의로, 상기 복수의 추가 절연층은 상기 디스플레이 영역 전체에 걸쳐 연장되는 패시베이션층을 포함하고; 상기 패시베이션층은 상기 베이스 기관의 상기 제1 측면 상에 있고, 상기 비아의 측방향 측면을 적어도 부분적으로 커버하며; 상기 리드 라인은 상기 절연층으로부터 먼 상기 패시베이션층의 측면 상에 있다.
- [0013] 임의로, 상기 복수의 추가 절연층은 상기 디스플레이 영역 전체에 걸쳐 연장되는 장벽층을 추가로 포함하고; 상기 장벽층은 상기 베이스 기관으로부터 먼 상기 패시베이션층 및 상기 리드 라인의 측면 상에 있으며; 상기 절연층, 상기 본딩 패드, 상기 패시베이션층 및 상기 장벽층은 상기 어레이 기관 내부에 상기 리드 라인을 캡슐화한다.
- [0014] 임의로, 상기 복수의 추가 절연층은 상기 디스플레이 영역 전체에 걸쳐 연장되는 버퍼층을 추가로 포함하며; 상기 복수의 박막 트랜지스터 중 각각의 하나는 상기 베이스 기관으로부터 먼 상기 버퍼층의 측면 상의 활성층을 포함한다.

- [0015] 임의로, 상기 베이스 기판은 플렉서블 베이스 기판이다.
- [0016] 다른 양태에서, 본 개시내용은 본 명세서에 설명되거나 본 명세서에 설명된 방법에 의해 제조되는 어레이 기판, 및 상기 어레이 기판에 접속된 하나 이상의 집적 회로를 포함하는 디스플레이 장치를 제공한다.
- [0017] 다른 양태에서, 본 개시내용은 어레이 기판을 제조하는 방법으로서, 복수의 서브픽셀을 갖는 디스플레이 영역을 형성하는 단계를 포함하고; 상기 디스플레이 영역을 형성하는 단계는 정규 디스플레이 서브-영역을 형성하는 단계 및 디스플레이-본딩 서브-영역을 형성하는 단계를 포함하고; 상기 복수의 서브픽셀을 형성하는 단계는 상기 디스플레이-본딩 서브-영역에 복수의 제1 서브픽셀을 형성하는 단계 및 상기 정규 디스플레이 서브-영역에 복수의 제2 서브픽셀을 형성하는 단계를 포함하고; 상기 방법은, 상기 정규 디스플레이 서브-영역 및 상기 디스플레이-본딩 서브-영역 전체에 걸쳐 연장되는 베이스 기판을 형성하는 단계와; 상기 베이스 기판의 제1 측면 상에 그리고 상기 복수의 서브픽셀 내에 각각 복수의 박막 트랜지스터를 형성하는 단계를 포함하고; 상기 복수의 제1 서브픽셀의 각각의 하나를 형성하는 단계는, 상기 베이스 기판의 제2 측면 상에 본딩 패드를 형성하는 단계-상기 제2 측면은 상기 제1 측면에 대향함-; 상기 복수의 박막 트랜지스터 중 각각의 하나를 상기 본딩 패드에 전기적으로 접속하는 리드 라인을 형성하는 단계-상기 리드 라인은 상기 어레이 기판에서 노출되지 않음-; 및 상기 베이스 기판을 통해 연장되는 비아를 형성하는 단계를 포함하며; 상기 리드 라인은 상기 비아를 통해 상기 베이스 기판의 상기 제1 측면으로부터 상기 제2 측면으로 연장되어 상기 본딩 패드에 접속되도록 형성되는 방법을 제공한다.
- [0018] 임의로, 상기 방법은 지지 기판을 제공하는 단계; 상기 디스플레이-본딩 서브-영역 내에 그리고 상기 본딩 패드에 대응하는 영역 내에 제한된 탈본딩층을 형성하는 단계; 상기 지지 기판으로부터 먼 상기 탈본딩층의 측면 상에 상기 본딩 패드를 형성하는 단계; 상기 디스플레이-본딩 서브-영역 내에 제한된 절연 재료 층을 형성하는 단계; 상기 정규 디스플레이 서브-영역 및 상기 디스플레이-본딩 서브-영역 전체에 걸쳐 그리고 상기 지지 기판으로부터 먼 상기 절연 재료 층의 측면 상에 베이스 기판 재료 층을 형성하는 단계; 및 상기 절연 재료 층 및 상기 베이스 기판 재료 층을 에칭하여 상기 절연 재료 층 및 상기 베이스 기판 재료 층을 통해 연장되는 상기 비아를 형성하여 상기 본딩 패드의 접촉 표면을 노출시킴으로써, 상기 디스플레이-본딩 서브-영역 내에 제한된 절연층을 형성하고, 상기 절연층 상에 상기 베이스 기판을 형성하는 단계를 추가로 포함한다.
- [0019] 임의로, 상기 방법은 상기 정규 디스플레이 서브-영역 및 상기 디스플레이-본딩 서브-영역 전체에 걸쳐 그리고 상기 지지 기판으로부터 먼 상기 베이스 기판의 측면 상에 패시베이션 재료 층을 형성하는 단계; 및 상기 패시베이션 재료 층을 에칭하여 상기 본딩 패드의 상기 접촉 표면을 노출시킴으로써, 패시베이션층을 형성하는 단계를 추가로 포함하며; 상기 패시베이션층은 상기 베이스 기판의 상기 제1 측면 상에 형성되고, 상기 비아의 측방향 측면을 적어도 부분적으로 커버한다.
- [0020] 임의로, 상기 방법은 상기 베이스 기판으로부터 먼 상기 패시베이션층의 측면의 리드 라인을 형성하는 단계를 추가로 포함하며; 상기 리드 라인은 상기 본딩 패드에 접속하기 위해 상기 비아 내로 연장되도록 형성된다.
- [0021] 임의로, 상기 방법은 상기 정규 디스플레이 서브-영역 및 상기 디스플레이-본딩 서브-영역 전체에 걸쳐 그리고 상기 베이스 기판으로부터 먼 상기 리드 라인의 측면 상에 장벽층을 형성하는 단계; 상기 정규 디스플레이 서브-영역 및 상기 디스플레이-본딩 서브-영역 전체에 걸쳐 그리고 상기 베이스 기판으로부터 먼 상기 장벽층의 측면 상에 버퍼층을 형성하는 단계; 및 상기 베이스 기판으로부터 먼 상기 버퍼층의 측면 상에 활성층을 형성하는 단계를 추가로 포함한다.
- [0022] 임의로, 상기 방법은 상기 본딩 패드 및 상기 절연층으로부터 상기 탈본딩층을 분리하여, 상기 본딩 패드에 대응하는 영역에 리세스를 형성하는 단계를 추가로 포함하며; 상기 리세스는 상기 베이스 기판의 상기 제2 측면 상에 형성되어, 상기 본딩 패드의 표면을 노출시킨다.
- [0023] 임의로, 상기 방법은 상기 리세스 내에 집적 회로를 제공하는 단계를 추가로 포함하며, 상기 집적 회로는 상기 리세스 내에 노출된 상기 본딩 패드의 상기 표면에 접속된다.
- [0024] 임의로, 상기 방법은 상기 복수의 제1 서브픽셀 및 상기 복수의 제2 서브픽셀을 포함하는 상기 복수의 서브픽셀 내에 각각 복수의 발광 요소를 형성하는 단계를 추가로 포함한다.

도면의 간단한 설명

- [0025] 다음의 도면들은 다양한 개시된 실시예들에 따른 예시의 목적들을 위한 단지 예들이고 본 발명의 범위를 제한할

의도는 아니다.

도 1은 본 개시내용에 따른 일부 실시예들에서 베이스 기판의 제1 측면 상의 어레이 기판의 구조를 도시하는 평면도이다.

도 2는 도 1의 AA' 라인을 따르는 베이스 기판의 단면도이다.

도 3은 본 개시내용에 따른 일부 실시예들에서 베이스 기판의 제2 측면 상의 어레이 기판의 구조를 도시하는 평면도이다.

도 4는 본 개시내용에 따른 일부 실시예들에서 베이스 기판의 제2 측면 상의 어레이 기판의 구조를 도시하는 평면도이다.

도 5는 도 1의 AA' 라인을 따르는 어레이 기판의 단면도이다.

도 6은 본 개시내용에 따른 일부 실시예들에서 베이스 기판의 제2 측면 상의 복수의 제1 서브픽셀 중 각각의 하나의 구조를 도시하는 확대도이다.

도 7a는 본 개시내용에 따른 일부 실시예들에서 베이스 기판의 제1 측면 상의 복수의 제1 서브픽셀 중 각각의 하나의 구조를 도시하는 확대도이다.

도 7b는 본 개시내용에 따른 일부 실시예들에서 베이스 기판의 제1 측면 상의 복수의 제1 서브픽셀 중 각각의 하나의 구조를 도시하는 확대도이다.

도 8은 본 개시내용에 따른 일부 실시예들에서의 어레이 기판의 단면도이다.

도 9a 내지 도 9m은 본 개시내용에 따른 일부 실시예들에서의 어레이 기판을 제조하는 방법을 도시하는 개략도이다.

도 10a 내지 도 10q는 본 개시내용에 따른 일부 실시예들에서의 어레이 기판을 제조하는 방법을 도시하는 개략도이다.

도 11은 본 개시내용에 따른 일부 실시예들에서의 디스플레이 장치의 단면도이다.

도 12는 본 개시내용에 따른 일부 실시예들에서의 디스플레이 장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0026] 본 개시내용은 이제 이하의 실시예들을 참조하여 더 구체적으로 설명될 것이다. 일부 실시예들에 대한 이하의 설명들은 단지 예시 및 설명을 목적으로 본 명세서에서 제시된 것임을 유의해야 한다. 이것은 개시된 조금도 틀림이 없는 형태로 총망라하려거나 제한하려는 의도는 아니다.

[0027] 본 개시내용은 어레이 기판 또는 디스플레이 패널의 후면 상에 집적된 구동 회로들을 갖는 어레이 기판 또는 디스플레이 패널을 제공한다. 그렇게 함에 있어서, 디스플레이 패널의 프레임 폭은 이들 구동 회로들이 프레임 부분 상에 배치되지 않기 때문에 상당히 감소될 수 있다. 신호 라인들과 구동 회로들 사이의 전기 접속은 예를 들어 스루-PI-비아(TPV) 기술에 의해 달성될 수 있다. 구동 회로들의 신호 라인들을 접속하는 리드 라인들은 외부 환경에 대한 그들의 노출로 인해 침식되기 쉽다는 것이 본 개시내용에서 발견된다.

[0028] 따라서, 본 개시내용은, 무엇보다도, 관련된 기술분야의 제한들 및 단점들로 인한 문제들 중 하나 이상을 실질적으로 제거하는 어레이 기판, 디스플레이 장치, 및 어레이 기판을 제조하는 방법을 제공한다. 일 양태에서, 본 개시내용은 어레이 기판을 제공한다. 일부 실시예들에서, 어레이 기판은 복수의 서브픽셀을 갖는 디스플레이 영역을 포함한다. 임의로, 디스플레이 영역은 정규 디스플레이 서브-영역 및 디스플레이-본딩 서브-영역을 포함한다. 임의로, 복수의 서브픽셀은 디스플레이-본딩 서브-영역 내의 복수의 제1 서브픽셀 및 정규 디스플레이 서브-영역 내의 복수의 제2 서브픽셀을 포함한다. 임의로, 어레이 기판은 정규 디스플레이 서브-영역 및 디스플레이-본딩 서브-영역 전체에 걸쳐 연장되는 베이스 기판; 및 베이스 기판의 제1 측면 상에 있고 복수의 서브픽셀 내에 각각 있는 복수의 박막 트랜지스터를 포함한다. 임의로, 복수의 제1 서브픽셀 중 각각의 하나는 베이스 기판의 제2 측면 상의 본딩 패드-제2 측면은 제1 측면에 대향함-; 복수의 박막 트랜지스터 중 각각의 하나를 본딩 패드에 전기적으로 접속시키는 리드 라인-리드 라인은 어레이 기판에서 노출되지 않음-; 및 베이스 기판을 통해 연장되는 비아를 포함한다. 임의로, 리드 라인은 비아를 통해 베이스 기판의 제1 측면으로부터 제2 측면으로 연장되어, 본딩 패드에 접속된다. 본 명세서에서 설명되는 어레이 기판은 프레임리스 디스플레이

장치를 만드는 데 사용될 수 있다.

- [0029] 도 1은 본 개시내용에 따른 일부 실시예들에서 베이스 기관의 제1 측면 상의 어레이 기관의 구조를 도시하는 평면도이다. 도 2는 도 1의 AA' 라인을 따르는 베이스 기관의 단면도이다. 일부 실시예들에서, 도 1 및 도 2를 참조하면, 어레이 기관은 복수의 서브픽셀(SP)을 갖는 디스플레이 영역(DA)을 포함한다. 임의로, 어레이 기관은 제1 측면(S1) 및 제1 측면(S1)에 대항하는 제2 측면(S2)을 갖는 베이스 기관(BS)을 포함한다. 임의로, 베이스 기관(BS)은 플렉서블 베이스 기관이다.
- [0030] 본 명세서에서 사용되는 바와 같이, 용어 "디스플레이 영역"은 이미지가 실제로 디스플레이되는 어레이 기관의 영역을 지칭한다. 임의로, 디스플레이 영역은 서브픽셀 영역 및 서브픽셀-간 영역 모두를 포함할 수 있다. 서브픽셀 영역은 액정 디스플레이 내의 픽셀 전극에 대응하는 영역 또는 유기 발광 디스플레이 내의 발광층에 대응하는 영역과 같은, 서브픽셀의 발광 영역을 지칭한다. 서브픽셀-간 영역은 액정 디스플레이 내의 블랙 행렬에 대응하는 영역 또는 유기 발광 디스플레이 내의 픽셀 정의층에 대응하는 영역과 같은, 인접한 서브픽셀 영역들 사이의 영역을 지칭한다. 임의로, 서브픽셀-간 영역은 동일한 픽셀 내의 인접한 서브픽셀 영역들 사이의 영역이다. 임의로, 서브픽셀-간 영역은 2개의 인접한 픽셀로부터의 2개의 인접한 서브픽셀 영역 사이의 영역이다.
- [0031] 복수의 서브픽셀(SP) 중 각각의 서브픽셀은 서브픽셀 영역 및 서브픽셀 영역을 둘러싸는 서브픽셀-간 영역들의 일부를 포함한다.
- [0032] 임의로, 디스플레이 영역(DA)은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA)을 포함한다. 임의로, 복수의 서브픽셀(SP)은 디스플레이-본딩 서브-영역(DBA) 내의 복수의 제1 서브픽셀(SP1) 및 정규 디스플레이 서브-영역(RDA) 내의 복수의 제2 서브픽셀(SP2)을 포함한다. 임의로, 베이스 기관(BS)은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 연장된다.
- [0033] 도 3은 본 개시내용에 따른 일부 실시예들에서 베이스 기관의 제2 측면 상의 어레이 기관의 구조를 도시하는 평면도이다. 임의로, 디스플레이-본딩 서브-영역(DBA)은 디스플레이 영역(DA)의 경계의 일부에 접한다. 임의로, 정규 디스플레이 서브-영역(RDA)은 디스플레이-본딩 서브-영역(DBA)의 측면에 접한다.
- [0034] 도 4는 본 개시내용에 따른 일부 실시예들에서 베이스 기관의 제2 측면 상의 어레이 기관의 구조를 도시하는 평면도이다. 임의로, 디스플레이-본딩 서브-영역(DBA)과 디스플레이 영역(DA)의 경계는 이격된다. 임의로, 정규 디스플레이 서브-영역(RDA)은 디스플레이-본딩 서브-영역(DBA)의 적어도 2개의 측면에 접한다. 예를 들어, 디스플레이 경계 서브-영역(DBA)은 디스플레이 영역(DA)의 중심부에 있다.
- [0035] 도 5는 도 1의 AA' 라인을 따르는 어레이 기관의 단면도이다. 도 2 및 도 5를 참조하면, 복수의 박막 트랜지스터(TFT)는 베이스 기관(BS)의 제1 측면(S1) 상에 그리고 각각 복수의 서브픽셀(SP) 내에 있다. 임의로, 복수의 박막 트랜지스터(TFT)의 각각의 하나는 상부 게이트 박막 트랜지스터 및 하부 게이트 박막 트랜지스터로 이루어진 그룹으로부터 선택된다. 예를 들어, 복수의 박막 트랜지스터(TFT) 중 각각의 하나는 제1 게이트 전극(G1), 제2 게이트 전극(G2), 활성층(ACT), 활성층(ACT)에 전기적으로 접속된 소스 전극(S), 및 활성층(ACT)에 전기적으로 접속된 드레인 전극(D)을 포함한다.
- [0036] 도 6은 본 개시내용에 따른 일부 실시예들에서 베이스 기관의 제2 측면 상의 복수의 제1 서브픽셀 중 각각의 하나의 구조를 도시하는 확대도이다. 도 7a는 본 개시내용에 따른 일부 실시예들에서 베이스 기관의 제1 측면 상의 복수의 제1 서브픽셀 중 각각의 하나의 구조를 도시하는 확대도이다. 도 2, 도 5, 및 도 6을 참조하면, 복수의 제1 서브픽셀(SP1) 중 각각의 하나는 베이스 기관(BS)의 제2 측면(S2) 상의 본딩 패드(BP)를 포함한다.
- [0037] 임의로, 본딩 패드(BP)의 표면은 베이스 기관(BS)의 제2 측면(S2) 상에 노출되고, 본딩 패드(BP)는 베이스 기관(BS)의 제2 측면(S2)으로부터 집적 회로에 본딩될 수 있으므로, 본딩 패드(BP)를 수용하기 위해 사용되는 디스플레이 장치의 프레임은 본딩 패드(BP)가 베이스 기관(BS)의 제2 측면(S2) 상에 놓일 수 있기 때문에 필요하지 않고, 디스플레이 영역(DA)은 본딩 패드(BP)를 수용하기에 충분히 크다. 임의로, 어레이 기관은 본딩 영역이 없다.
- [0038] 도 5, 도 6 및 도 7a를 참조하면, 복수의 제1 서브픽셀(SP1) 중 각각의 하나는 복수의 박막 트랜지스터(TFT) 중 각각의 하나를 본딩 패드(BP)에 전기적으로 접속시키는 리드 라인(LL)을 포함한다. 임의로, 리드 라인(LL)은 디스플레이-본딩 서브-영역(DBA) 내에 제한된다. 다른 예에서, 리드 라인(LL)은 디스플레이-본딩 서브-영역(DBA) 및 정규 디스플레이 서브-영역(RDA)을 통해 연장된다.

- [0039] 임의로, 리드 라인(LL)은 신호 라인(SL)에 전기적으로 접속된다. 임의로, 신호 라인(SL)은 게이트 라인, 데이터 라인, 터치 신호 라인, 클럭 신호 라인, 고전력 전압 라인, 저전력 전압 라인, 공통 신호 라인 및 부동 신호 라인으로 구성되는 그룹으로부터 선택된다. 예를 들어, 리드 라인(LL)은 데이터 라인에 전기적으로 접속되어, 복수의 박막 트랜지스터(TFT) 중 각각의 하나를 본딩 패드(BP)에 접속한다. 임의로, 신호 라인(SL) 및 리드 라인(LL)은 상이한 층에 형성된다.
- [0040] 도 5를 참조하면, 복수의 제1 서브픽셀(SP1) 중 각각의 하나는 리드 라인(LL)을 신호 라인(SL)에 접속하는 릴레이 라인(RL)을 포함한다. 예를 들어, 리드 라인(LL)은 본딩 패드(BP)를 릴레이 라인(RL)에 접속하고, 릴레이 라인(RL)은 리드 라인(LL)을 신호 라인(SL)(예를 들어, 데이터 라인)에 접속하여, 리드 라인(LL)은 복수의 박막 트랜지스터(TFT) 중 각각의 하나를 본딩 패드(BP)에 전기적으로 접속한다. 임의로, 신호 라인(SL)과 릴레이 라인(RL)은 상이한 층에 형성된다. 임의로, 릴레이 라인(RL)과 리드 라인(LL)은 상이한 층에 형성된다.
- [0041] 도 7b는 본 개시내용에 따른 일부 실시예들에서 베이스 기판의 제1 측면 상의 복수의 제1 서브픽셀 중 각각의 하나의 구조를 도시하는 확대도이다. 도 5, 도 6 및 도 7b를 참조하면, 임의로, 리드 라인(LL)은 복수의 박막 트랜지스터(TFT) 중 각각의 하나 소스 전극에 전기적으로 접속된다. 임의로, 릴레이 라인(RL)은 리드 라인(LL)을 복수의 박막 트랜지스터(TFT) 중 각각의 하나의 소스 전극에 접속한다.
- [0042] 도 5를 참조하면, 리드 라인(LL)은 어레이 기판에서 노출되지 않는다. 예를 들어, 리드 라인(LL)은 본딩 패드(BP)에, 신호 라인(SL)에, 또는 릴레이 라인(RL)에 전기적으로 접속되는 리드 라인(LL)의 부분들에 대응하는 영역들을 제외하고 어레이 기판 내의 복수의 추가 절연층에 의해 캡슐화된다. 임의로, 리드 라인(LL)은 베이스 기판(BS)과 직접 접촉하지 않는다. 베이스 기판(BS)이 어레이 기판으로부터 제거될 때, 리드 라인(LL)은 공기 및 수증기에 노출되지 않을 것이며, 이는 공기 및 수증기가 리드 라인(LL)과 접촉하여 이를 침식시키는 것을 방지한다.
- [0043] 도 5 및 도 6을 참조하면, 복수의 제1 서브픽셀(SP1) 중 각각의 하나는 베이스 기판(BS)을 통해 연장되는 비아(V)를 포함한다. 임의로, 비아(V)는 리드 라인(LL)에 더 가까운 본딩 패드(BP)의 표면의 일부를 노출시킨다. 임의로, 리드 라인(LL)은 비아(V)를 통해 베이스 기판(BS)의 제1 측면(S1)으로부터 제2 측면(S2)으로 연장되어, 본딩 패드(BP)에 접속된다.
- [0044] 일부 실시예들에서, 도 2 및 도 5를 참조하면, 어레이 기판은 본딩 패드(BP)를 집적 회로와 본딩하기 위해 본딩 패드(BP)에 대응하는 영역에 리세스(RES)를 추가로 포함한다.
- [0045] 임의로, 리세스(RES)는 베이스 기판(BS)의 제2 측면(S2) 상에 있어, 리드 라인(LL)으로부터 먼 본딩 패드(BP)의 표면을 노출시킨다. 예를 들어, 리세스(RES)는 리드 라인(LL)의 어떠한 표면도 노출시키지 않는다.
- [0046] 일부 실시예들에서, 도 2 및 도 5를 참조하면, 어레이 기판은 베이스 기판(BS)의 제2 측면(S2) 상에 절연층(IN)을 추가로 포함한다. 임의로, 절연층(IN)은 디스플레이-본딩 서브-영역(DBA) 내에 제한된다.
- [0047] 임의로, 본딩 패드(BP)는 베이스 기판(BS)으로부터 먼 절연층(IN)의 측면 상에 있다. 임의로, 비아(V)는 베이스 기판(BS) 및 절연층(IN)을 통해 연장되어, 리드 라인(LL)에 더 가까운 경계 패드(BP)의 표면을 노출시킨다.
- [0048] 임의로, 리세스(RES)는 절연층(IN)에 대응하는 영역에 있다. 임의로, 리세스(RES)는 리드 라인(LL)으로부터 먼 본딩 패드(BP)의 표면 및 리드 라인(LL)으로부터 먼 절연층(IN)의 표면을 노출시킨다.
- [0049] 임의로, 베이스 기판(BS)은 본딩 패드(BP)에 대응하는 영역에서 제1 두께(t1)를 갖고, 본딩 패드(BP)에 대응하는 영역 외부의 영역에서 제2 두께(t2)를 갖는다. 임의로, 절연층(IN)은 제3 두께(t3)를 갖는다. 임의로, $t2 > (t1 + t3)$.
- [0050] 임의로, 리세스(RES)는 제4 두께(t4)를 갖는다. 임의로, t2는 t1, t3, 및 t4의 합과 실질적으로 동일하다. 본 명세서에서 사용되는 바와 같이, "실질적으로 동일"이라는 용어는 2개의 값 사이의 차이가 기본 값(예를 들어, 2개의 값 중 하나)의 10%를 초과하지 않는 것, 예를 들어, 기본 값의 8%를 초과하지 않는 것, 6%를 초과하지 않는 것, 4%를 초과하지 않는 것, 2%를 초과하지 않는 것, 1%를 초과하지 않는 것, 0.5%를 초과하지 않는 것, 0.1%를 초과하지 않는 것, 0.05%를 초과하지 않는 것, 및 0.01%를 초과하지 않는 것을 지칭한다.
- [0051] 일부 실시예들에서, 도 5를 참조하면, 어레이 기판은 복수의 추가 절연층(AIN)을 추가로 포함하며, 이들 각각은 비아(V) 내로 부분적으로 연장된다. 임의로, 복수의 추가 절연층(AIN) 각각은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 연장된다.

- [0052] 임의로, 복수의 추가 절연층(AIN)은 디스플레이 영역(DA) 전체에 걸쳐 연장되는 패시베이션층(PVX)을 포함한다. 예를 들어, 패시베이션층(PVX)은 본딩 패드(BP)에 대응하는 영역 전체에 걸쳐 연장된다.
- [0053] 임의로, 패시베이션층(PVX)은 베이스 기판(BS)의 제1 측면(S1) 상에 있다. 임의로, 패시베이션층(PVX)은 비아(V)의 측방향 측면(LS)을 적어도 부분적으로 커버한다. 임의로, 패시베이션층(PVX)은, 본딩 패드(BP)에 전기적으로 접속되는 리드 라인(LL)의 일부에 대응하는 영역을 제외하고 그리고 절연층(IN)과 직접 접촉하는 패시베이션층(PVX)의 일부에 대응하는 영역을 제외하고 베이스 기판(BS)과 리드 라인(LL) 사이에 있다. 패시베이션층(PVX)은 수증기가 리드 라인(LL)과 접촉하여 이를 침식시키는 것을 방지한다.
- [0054] 일부 실시예들에서, 복수의 추가 절연층(AIN)은 디스플레이 영역(DA) 전체에 걸쳐 연장되는 장벽층(BL)을 포함한다. 임의로, 장벽층(BL)은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 연장된다. 임의로, 장벽층(BL)은 본딩 패드(BP)에 대응하는 영역 전체에 걸쳐 연장된다.
- [0055] 임의로, 장벽층(BL)은 베이스 기판(BS)으로부터 먼 패시베이션층(PVX) 및 리드 라인(LL)의 측면 상에 있다. 임의로, 리드 라인(LL)은 본딩 패드(BP)에 전기적으로 접속된 리드 라인(LL)의 일부에 대응하는 영역을 제외하고는 패시베이션층(PVX)과 장벽층(BL) 사이에 있다.
- [0056] 임의로, 절연층(IN), 본딩 패드(BP), 패시베이션층(PVX) 및 장벽층(BL)은 어레이 기판 내부의 리드 라인(LL)을 캡슐화하여, 리드 라인은 어레이 기판에서 노출되지 않는다. 이러한 배열은 공기 및 수증기가 리드 라인(LL)에 접촉하여 이를 침식시키는 것을 방지한다.
- [0057] 일부 실시예들에서, 복수의 추가 절연층(AIN)은 디스플레이 영역(DA) 전체에 걸쳐 연장되는 버퍼층(BUF)을 추가로 포함한다. 임의로, 버퍼층(BUF)은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 연장된다.
- [0058] 임의로, 버퍼층(BUF)은 베이스 기판(BS)으로부터 먼 장벽층(BL)의 측면 상에 있다. 임의로, 복수의 박막 트랜지스터(TFT) 중 각각의 하나는 베이스 기판(BS)으로부터 먼 버퍼층(BL)의 측면 상의 활성층(ACT)을 포함한다.
- [0059] 일부 실시예들에서, 어레이 기판은 디스플레이 영역(DA) 전체에 걸쳐 연장되는 제1 게이트 절연층(GI1)을 추가로 포함한다. 임의로, 제1 게이트 절연층(GI1)은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 연장된다. 임의로, 제1 게이트 절연층(GI1)은 장벽층(BL)으로부터 먼 버퍼층(BUF)의 측면 상에 있다. 임의로, 복수의 박막 트랜지스터(TFT) 중 각각의 하나는 활성층(ACT)으로부터 먼 제1 게이트 절연층(GI1)의 측면 상의 제1 게이트 전극(G1)을 포함한다.
- [0060] 일부 실시예들에서, 어레이 기판은 디스플레이 영역(DA) 전체에 걸쳐 연장되는 제2 게이트 절연층(GI2)을 추가로 포함한다. 임의로, 제2 게이트 절연층(GI2)은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 연장된다. 임의로, 제2 게이트 절연층(GI2)은 버퍼층(BUF)으로부터 먼 제1 절연층(GI1)의 측면 상에 있다. 임의로, 복수의 박막 트랜지스터(TFT) 중 각각의 하나는 제1 게이트 전극(G1)으로부터 먼 제2 게이트 절연층(GI2)의 측면 상의 제2 게이트 전극(G2)을 포함한다.
- [0061] 일부 실시예들에서, 어레이 기판은 디스플레이 영역(DA) 전체에 걸쳐 연장되는 층간 유전체층(ILD)을 추가로 포함한다. 임의로, 층간 유전체층(ILD)은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 연장된다. 임의로, 층간 유전체층(ILD)은 제1 절연층(GI1)으로부터 먼 제2 게이트 절연층(GI2)의 측면 상에 있다. 임의로, 신호 라인(SL)은 베이스 기판(BS)으로부터 먼 층간 유전체층(ILD)의 측면 상에 있다.
- [0062] 임의로, 복수의 박막 트랜지스터(TFT) 중 각각의 하나의 소스 전극(S)은 제1 게이트 절연층(GI1), 제2 게이트 절연층(GI2) 및 층간 유전체층(ILD)을 통해 연장되고, 활성층(ACT)을 신호 라인(SL)에 접속한다. 임의로, 복수의 박막 트랜지스터(TFT) 중 각각의 하나의 박막 트랜지스터의 드레인 전극(D)은 제1 게이트 절연층(GI1), 제2 게이트 절연층(GI2) 및 층간 유전체층(ILD)을 통해 연장되고, 활성층(ACT)을 복수의 발광 요소(LE) 중 각각의 하나에 접속한다.
- [0063] 임의로, 복수의 박막 트랜지스터(TFT) 중 각각의 하나의 소스 전극(S)은 제1 게이트 절연층(GI1), 제2 게이트 절연층(GI2), 및 층간 유전체층(ILD)을 통해 연장되어 릴레이 라인(RL)에 접속된다. 임의로, 복수의 박막 트랜지스터(TFT) 중 각각의 하나의 소스 전극(S)은 제1 게이트 절연층(GI1), 제2 게이트 절연층(GI2), 및 층간 유전체층(ILD)을 통해 리드 라인(LL)으로 연장된다.
- [0064] 임의로, 릴레이 라인(RL) 또는 리드 라인(LL)과 접속된 소스 전극(S)을 가지는 복수의 박막 트랜지스터(TFT) 중 각각의 하나는 디스플레이-본딩 서브-영역(DBA) 내에 있다. 임의로, 릴레이 라인(RL) 또는 리드 라인(LL)과 접

속되는 소스 전극(S)을 갖는 복수의 박막 트랜지스터(TFT) 중 각각의 하나는 정규 디스플레이 서브-영역(RDA) 내에 있다.

- [0065] 일부 실시예들에서, 어레이 기판은 제2 게이트 절연층(GI2)으로부터 먼 층간 유전체층(ILD)의 측면 상의 제1 평탄화층(PLN1)을 추가로 포함한다. 임의로, 제1 평탄화층(PLN1)은 디스플레이 영역(DA) 전체에 걸쳐 연장된다. 임의로, 제1 평탄화층(PLN1)은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 연장된다.
- [0066] 일부 실시예들에서, 어레이 기판은 층간 유전체층(ILD)으로부터 먼 제1 평탄화층(PLN1)의 측면 상의 제2 평탄화층(PLN2)을 추가로 포함한다. 임의로, 제2 평탄화층(PLN2)은 디스플레이 영역(DA) 전체에 걸쳐 연장된다. 임의로, 제2 평탄화층(PLN2)은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 연장된다.
- [0067] 일부 실시예들에서, 어레이 기판은 제1 평탄화층(PLN1)으로부터 먼 제2 평탄화층(PLN2)의 측면 상의 제2 패시베이션층(PVX2); 및 제2 평탄화층(PLN2)으로부터 먼 제2 패시베이션층(PVX2)의 측면 상의 제1 접촉 패드(CP1) 및 제2 접촉 패드(CP2)를 추가로 포함한다. 임의로, 제1 접촉 패드(CP1)는 복수의 박막 트랜지스터(TFT) 중 각각의 하나의 드레인 전극(D)에 전기적으로 접속된다. 임의로, 제2 접촉 패드(CP2)는 공통 신호 라인에 전기적으로 접속된다.
- [0068] 일부 실시예들에서, 복수의 발광 요소(LE) 중 각각의 하나는 액정 디스플레이(LCD)에 대한 발광 요소, 발광 다이오드(LED), 마이크로 발광 다이오드(Micro-LED), 양자 발광 다이오드(QLED), 및 유기 발광 다이오드(OLED)로 이루어진 그룹으로부터 선택된다.
- [0069] 예를 들어, 복수의 발광 요소(LE) 중 각각의 하나는 캐소드 및 애노드를 갖는 마이크로 발광 다이오드(Micro-LED)이다. 어레이 기판은 복수의 박막 트랜지스터(TFT) 중 각각의 하나의 드레인 전극에 전기적으로 접속된 제1 접촉 패드(CP1) 및 제2 접촉 패드(CP2)를 추가로 포함한다. 제1 접촉 패드(CP1) 및 제2 접촉 패드(2)는 마이크로 발광 다이오드의 캐소드 및 애노드에 각각 전기적으로 접속된다.
- [0070] 베이스 기판(BS)을 만들기 위해 다양한 적절한 재료들이 사용될 수 있다. 베이스 기판을 만들기 위해 적합한 재료들의 예들은 유리, 석영, 폴리이미드 및 폴리에스테르 등을 포함하지만 이에 한정되지는 않는다.
- [0071] 다양한 적절한 재료들이 본딩 패드(BP)를 만들기 위해 사용될 수 있다. 본딩 패드를 만들기 위해 적합한 재료들의 예들은 티타늄(Ti), 알루미늄(Al), 구리(Cu), 및 Ti/Al/Ti를 포함하지만, 이들로 제한되지 않는다.
- [0072] 다양한 적절한 절연 재료들 및 다양한 적절한 제조 방법들이 절연층(IN)을 만들기 위해 사용될 수 있다. 예를 들어, 절연 재료는 플라즈마-강화 화학 기상 퇴적(PECVD) 프로세스에 의해 기판 상에 퇴적될 수 있다. 적절한 게이트 절연 재료들의 예들은 폴리이미드, 실리콘 산화물(SiO_y), 실리콘 질화물(SiN_y, 예를 들어 Si₃N₄), 및 실리콘 산화질화물(SiO_xN_y)을 포함하지만, 이에 한정되지는 않는다. 예를 들어, 절연층(IN)은 실리콘 산화물(SiO₂)로 이루어지고, 본딩 패드(PB)를 공기 및 수증기에 노출되는 것으로부터 보호하도록 구성된다. 실리콘 산화물(SiO₂)을 사용하여 절연층(IN)을 형성하는 것은 절연층(IN)과 베이스 기판(BS) 사이의 접착력을 증가시킬 수 있다.
- [0073] 다양한 적절한 절연 재료들 및 다양한 적절한 제조 방법들이 패시베이션층(PVX)을 만들기 위해 사용될 수 있다. 예를 들어, 재료는 플라즈마-강화 화학 기상 퇴적(PECVD) 프로세스에 의해 베이스 기판 상에 퇴적될 수 있다. 적절한 재료들의 예들은 폴리이미드, 실리콘 산화물(SiO_y), 실리콘 질화물(SiN_y, 예를 들어 Si₃N₄), 및 실리콘 산화질화물(SiO_xN_y)을 포함하지만, 이에 한정되지는 않는다. 예를 들어, 패시베이션층(PVX)은 실리콘 질화물(SiN_y)로 만들어지고, 리드 라인(LL)을 공기 및 수증기에 노출되는 것으로부터 보호하도록 구성된다.
- [0074] 다양한 적절한 재료들이 리드 라인(LL)을 만들기 위해 사용될 수 있다. 리드 라인을 만들기 위해 적합한 재료들의 예들은 구리(Cu), 알루미늄(Al), 및 구리와 알루미늄의 조합을 포함하지만, 이에 한정되지는 않는다.
- [0075] 다양한 적절한 도전성 전극 재료들 및 다양한 적절한 제조 방법들이 소스 전극(S) 및 드레인 전극(D)을 만드는 데 사용될 수 있다. 일부 실시예들에서, 도전성 전극 재료는 금속 재료를 포함한다. 적절한 금속 재료들의 예들은 몰리브덴, 금 및 알루미늄을 포함하지만 이에 한정되지는 않는다.
- [0076] 다양한 적절한 절연 재료들 및 다양한 적절한 제조 방법들이 버퍼층(BUF)을 만드는 데 사용될 수 있으며, 예를 들어 절연 재료가 플라즈마-강화 화학 기상 퇴적(PECVD) 프로세스에 의해 베이스 기판(BS) 상에 퇴적될 수

있다. 버퍼층(BUF)을 만들기에 적합한 재료들의 예들은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 또는 이들의 조합을 포함하지만, 이에 한정되지는 않는다. 임의로, 버퍼층(BUF)은 2개 이상의 서브층을 포함하는 단일층 구조 또는 적층 구조(예를 들어, 실리콘 산화물 서브층 및 실리콘 질화물 서브층을 포함하는 적층 구조)를 가질 수 있다. 임의로, 버퍼층(BUF)의 두께는 대략 100 nm 내지 대략 400 nm의 범위에 있다. 예를 들어, 버퍼층(BUF)은 대략 50 nm 내지 대략 100 nm의 범위의 두께를 갖는 실리콘 산화물 서브층, 및 대략 100 nm 내지 대략 300 nm의 범위의 두께를 갖는 실리콘 질화물 서브층을 포함할 수 있다.

[0077] 다양한 적절한 층간 유전체 재료들 및 다양한 적절한 제조 방법들이 층간 유전체층(ILD)을 만드는 데 사용될 수 있다. 예를 들어, 유전체 재료는 플라즈마-강화 화학 기상 퇴적 프로세스에 의해 기판 상에 퇴적될 수 있다. 층간 유전체 재료 층(306a)을 만드는 데 적절한 재료들의 예들은 실리콘 산화물(SiO_y), 실리콘 질화물(SiN_y, 예를 들어, Si₃N₄), 실리콘 산화질화물(SiO_xN_y)을 포함하지만, 이에 한정되지는 않는다.

[0078] 다양한 적절한 재료들이 제1 접촉 패드(CP1) 및 제2 접촉 패드(CP2)를 만들기 위해 사용될 수 있다. 임의로, 제1 접촉 패드(CP1) 및 제2 접촉 패드(CP2) 중 각각의 하나는 2개의 서브층을 포함하고, 2개의 서브층 중 제1 서브층은 몰리브덴(Mo), 티타늄(Ti), 및 몰리브덴(Mo)과 티타늄(Ti)의 조합을 포함하지만 이에 제한되지 않는 금속들을 사용하여 형성되고, 2개의 서브층 중 제2 서브층은 구리(Cu)를 사용하여 형성된다. 임의로, 제2 서브층은 베이스 기판으로부터 먼 제1 서브층의 측면 상에 형성된다. 임의로, 제2 서브층의 두께는 6000 Å이다.

[0079] 제1 접촉 패드(CP1) 및 제2 접촉 패드(CP2)를 발광 요소에 본딩하기 위해 다양한 적절한 방법들이 사용될 수 있다. 적합한 방법들은 공유 납땜을 이용한 본딩, 및 도전성 플라스틱을 이용한 본딩을 포함하지만, 이에 한정되지는 않는다.

[0080] 도 8은 본 개시내용에 따른 일부 실시예들에서의 어레이 기판의 단면도이다. 일부 실시예들에서, 도 8에 도시되는 바와 같이, 어레이 기판은 본딩 패드(BP)를 인터그레이드 회로(IC)와 본딩하기 위해 본딩 패드(BP)에 대응하는 영역에 리세스(RES)를 포함한다. 도 2 및 도 8을 참조하면, 리세스(RES)는 베이스 기판(BS)의 제2 측면(S2) 상에 있어, 리드 라인(LL)으로부터 먼 본딩 패드(BP)의 표면을 노출시킨다. 예를 들어, 리세스(RES)는 리드 라인(LL)의 어떠한 표면도 노출시키지 않을 것이다. 어레이 기판은 베이스 기판(BS)의 제2 측면(S2) 상에 절연층(IN)을 추가로 포함한다. 임의로, 절연층(IN)은 디스플레이-본딩 서브-영역(DBA) 내에 제한된다. 본딩 패드(BP)는 베이스 기판(BS)으로부터 먼 절연층(IN)의 측면 상에 있다. 비아(V)는 베이스 기판(BS) 및 절연층(IN)을 통해 연장되어 리드 라인(LL)에 더 가까운 경계 패드(BP)의 표면을 노출시킨다. 리세스(RES)는 절연층(IN)에 대응하는 영역에 있다. 리세스(RES)는 리드 라인(LL)으로부터 먼 본딩 패드(BP)의 표면 및 리드 라인(LL)으로부터 먼 절연층(IN)의 표면을 노출시킨다.

[0081] 일부 실시예들에서, 도 8을 참조하면, 어레이 기판은 복수의 추가 절연층(AIN)을 추가로 포함하며, 이들 각각은 비아(V) 내로 부분적으로 연장된다. 임의로, 복수의 추가 절연층(AIN) 각각은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 연장된다. 임의로, 복수의 추가 절연층(AIN)은 디스플레이 영역(DA) 전체에 걸쳐 연장되는 패시베이션층(PVX)을 포함한다. 예를 들어, 패시베이션층(PVX)은 본딩 패드(BP)에 대응하는 영역 전체에 걸쳐 연장된다.

[0082] 일부 실시예들에서, 복수의 추가 절연층(AIN)은 디스플레이 영역(DA) 전체에 걸쳐 연장되는 제1 수지층(RN1)을 포함한다. 임의로, 제1 수지층(RN1)은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 연장된다. 임의로, 제1 수지층(RN1)은 본딩 패드(BP)에 대응하는 영역 전체에 걸쳐 연장된다.

[0083] 임의로, 제1 수지층(RN1)은 베이스 기판(BS)으로부터 먼 패시베이션층(PVX) 및 리드 라인(LL)의 측면 상에 있다. 임의로, 리드 라인(LL)은 본딩 패드(BP)에 전기적으로 접속된 리드 라인(LL)의 일부에 대응하는 영역을 제외하고 패시베이션층(PVX)과 제1 수지층(RN1) 사이에 있다. 임의로, 제1 수지층(RN1)은 수지 재료로 만들어진다.

[0084] 임의로, 절연층(IN), 본딩 패드(BP), 패시베이션층(PVX), 및 제1 수지층(RN1)은 어레이 기판 내부의 리드 라인(LL)을 캡슐화하여, 리드 라인은 어레이 기판에서 노출되지 않는다. 이러한 배열은 공기 및 수증기가 리드 라인(LL)에 접촉하여 이를 침식시키는 것을 방지한다.

[0085] 일부 실시예들에서, 어레이 기판은 디스플레이 영역(DA) 전체에 걸쳐 연장되는 게이트 절연층(GI)을 추가로 포함한다. 임의로, 게이트 절연층(GI)은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 연장된다. 임의로, 게이트 절연층(GI)은 패시베이션층(PVX)으로부터 먼 제1 수지층(RN1)의 측면 상에 있다.

- [0086] 일부 실시예들에서, 어레이 기판은 디스플레이 영역(DA) 전체에 걸쳐 연장되는 층간 유전체층(ILD)을 추가로 포함한다. 임의로, 층간 유전체층(ILD)은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 연장된다. 임의로, 층간 유전체층(ILD)은 제1 수지층(RN1)으로부터 먼 게이트 절연층(GI)의 측면 상에 있다.
- [0087] 일부 실시예들에서, 어레이 기판은 게이트 절연층(GI)으로부터 먼 층간 유전체층(ILD)의 측면 상의 제2 수지층(RN2)을 추가로 포함한다. 임의로, 제2 수지층(RN2)은 디스플레이 영역(DA) 전체에 걸쳐 연장된다. 임의로, 제2 수지층(RN2)은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 연장된다. 임의로, 제2 수지층(RN2)은 수지 재료로 만들어진다.
- [0088] 일부 실시예들에서, 어레이 기판은 층간 유전체층(ILD)으로부터 먼 제2 수지층(RN2)의 측면 상의 제1 평탄화층(PLN1)을 추가로 포함한다. 임의로, 제1 평탄화층(PLN1)은 디스플레이 영역(DA) 전체에 걸쳐 연장된다. 임의로, 제1 평탄화층(PLN1)은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 연장된다.
- [0089] 일부 실시예에서, 어레이 기판은 제2 수지층(RN2)으로부터 먼 제1 평탄화층(PLN1)의 측면 상의 제2 평탄화층(PLN2)을 추가로 포함한다. 임의로, 제2 평탄화층(PLN2)은 디스플레이 영역(DA) 전체에 걸쳐 연장된다. 임의로, 제2 평탄화층(PLN2)은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 연장된다.
- [0090] 일부 실시예들에서, 어레이 기판은 제1 평탄화층(PLN1)으로부터 먼 제2 평탄화층(PLN2)의 측면 상의 제3 평탄화층(PLN3)을 추가로 포함한다. 임의로, 제3 평탄화층(PLN3)은 디스플레이 영역(DA) 전체에 걸쳐 연장된다. 임의로, 제3 평탄화층(PLN3)은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 연장된다. 임의로, 제3 평탄화층(PLN3)은 폴리실리콘 재료로 제조된다.
- [0091] 일부 실시예들에서, 어레이 기판은 제2 평탄화층(PLN2)을 통해 각각 연장되는 제1 접촉 패드(CP1) 및 제2 접촉 패드(CP2)를 추가로 포함한다.
- [0092] 일부 실시예들에서, 어레이 기판은 복수의 발광 요소(LE)를 추가로 포함한다. 제1 접촉 패드(CP1) 및 제2 접촉 패드(CP2)는 복수의 발광 요소(LE) 중 각각의 하나의 캐소드 및 애노드에 각각 전기적으로 접속된다.
- [0093] 다른 양태에서, 본 개시내용은 어레이 기판을 제조하는 방법을 제공한다. 일부 실시예들에서, 도 5를 참조하면, 방법은 복수의 서브픽셀을 갖는 디스플레이 영역을 형성하는 단계를 추가로 포함한다. 임의로, 디스플레이 영역을 형성하는 단계는 정규 디스플레이 서브-영역을 형성하는 단계 및 디스플레이-본딩 서브-영역을 형성하는 단계를 포함한다. 임의로, 복수의 서브픽셀을 형성하는 단계는 디스플레이-본딩 서브-영역에 복수의 제1 서브픽셀을 형성하는 단계 및 정규 디스플레이 서브-영역에 복수의 제2 서브픽셀을 형성하는 단계를 포함한다. 임의로, 방법은 정규 디스플레이 서브-영역 및 디스플레이-본딩 서브-영역 전체에 걸쳐 연장되는 베이스 기판을 형성하는 단계; 및 베이스 기판의 제1 측면 상에 그리고 복수의 서브픽셀 내에 각각 복수의 박막 트랜지스터를 형성하는 단계를 포함한다. 임의로, 방법은 복수의 제1 서브픽셀 중 각각의 하나를 형성하는 단계를 추가로 포함하고, 이는 베이스 기판의 제2 측면 상에 본딩 패드를 형성하는 단계를 포함한다. 예를 들어, 제2 측면은 제1 측면에 대향한다. 임의로, 방법은 복수의 박막 트랜지스터 중 각각의 하나를 본딩 패드에 전기적으로 접속하는 리드 라인을 형성하는 단계를 추가로 포함한다. 예를 들어, 리드 라인은 어레이 기판에서 노출되지 않는다. 임의로, 방법은 베이스 기판을 통해 연장되는 비아를 형성하는 단계를 추가로 포함한다. 임의로, 리드 라인은 비아를 통해 베이스 기판의 제1 측면으로부터 제2 측면으로 연장되어, 본딩 패드에 접속되도록 형성된다.
- [0094] 도 9a 내지 도 9m은 본 개시내용에 따른 일부 실시예들에서의 어레이 기판을 제조하는 방법을 도시하는 개략도이다. 도 9a를 참조하면, 방법은 지지 기판(SS)을 제공하는 단계; 및 탈본딩층(DBL)을 형성하는 단계를 포함한다. 임의로, 탈본딩층(DBL)은 디스플레이-본딩 서브-영역(DBA) 내에 제한된다. 임의로, 탈본딩층(DBL)은 본딩 패드(BP)에 대응하는 영역에 있다.
- [0095] 지지 기판(SS)을 만들기 위해 다양한 재료들이 사용될 수 있다. 지지 기판(SS)을 만들기 위해 적합한 재료들의 예들은 유리, 석영, 폴리이미드 및 폴리에스테르 등을 포함하지만 이에 한정되지는 않는다.
- [0096] 다양한 재료들이 탈본딩층(DBL)을 만들기 위해 사용될 수 있다. 탈본딩층을 만들기 위해 적합한 재료들의 예들은 폴리아미드를 포함하지만, 이에 한정되지는 않는다. 레이저-리프트-오프(LLO) 프로세스에서, 지지 기판(SS) 및

본딩 패드(BP)로부터 탈본딩층이 제거되는 것이 용이하며, 이는 지지 기관(SS)과 어레이 기관 사이의 분리를 초래할 수 있다.

- [0097] 도 9b를 참조하면, 방법은 지지 기관(SS)으로부터 먼 탈본딩층(DBL)의 측면 상에 본딩 패드(BP)를 형성하는 단계를 추가로 포함한다. 임의로, 본딩 패드(BP)는 디스플레이-본딩 서브-영역(DBA) 내에 제한된다.
- [0098] 도 9c를 참조하면, 방법은 디스플레이-본딩 서브-영역(DBA)에 제한된 절연 재료 층(INM)을 형성하는 단계를 추가로 포함한다. 임의로, 절연 재료 층(INM)은 본딩 패드(BP)에 대응하는 영역 전체에 걸쳐 연장되도록 형성된다. 임의로, 절연 재료 층(INM)은 지지 기관(SS)으로부터 탈본딩층(DBL) 및 먼 본딩 패드(BP)의 측면 상에 형성된다. 임의로, 절연 재료 층(INM)은 본딩 패드(BP)를 커버하도록 형성된다.
- [0099] 도 9d를 참조하면, 방법은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 그리고 지지 기관(SS)으로부터 먼 절연 재료 층(INM)의 측면 상에 베이스 기관 재료 층(BSM)을 형성하는 단계를 추가로 포함한다. 예를 들어, 베이스 기관 재료 층(BSM)은 절연 재료 층(INM)을 커버하도록 형성된다. 임의로, 베이스 기관 재료 층(BSM)은 지지 기관(SS)으로부터 먼 제1 측면(S1) 및 제1 측면(S1)에 대항하는 제2 측면(S2)을 갖도록 형성된다.
- [0100] 도 9d 및 도 9e를 참조하면, 방법은 절연 재료 층(INM) 및 베이스 기관 재료 층(BSM)을 에칭하여 절연 재료 층(INM) 및 베이스 기관 재료 층(BSM)을 통해 연장되는 비아(V)를 형성하여 본딩 패드(BP)의 접촉 표면(CS)을 노출시킴으로써, 디스플레이-본딩 서브-영역(DBA) 내에 제한된 절연층(IN) 및 지지 기관(SS)으로부터 먼 절연층(IN)의 측면 상의 베이스 기관(BS)을 형성하는 단계를 추가로 포함한다.
- [0101] 도 9f를 참조하면, 방법은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 그리고 지지 기관(SS)으로부터 먼 베이스 기관(BS)의 측면 상에 패시베이션 재료 층(PVXM)을 형성하는 단계를 추가로 포함한다. 임의로, 패시베이션 재료 층(PVXM)의 일부는 본딩 패드(BP)의 접촉 표면(CS)과 직접 접촉한다.
- [0102] 도 9f 및 도 9g를 참조하면, 방법은 패시베이션 재료 층(PVXM)을 에칭하여 본딩 패드(BP)의 접촉 표면(CS)을 노출시킴으로써, 패시베이션층(PVX)을 형성하는 단계를 추가로 포함한다. 임의로, 본딩 패드(BP)의 접촉 표면(CS)과 직접 접촉하는 패시베이션 재료 층(PVXM)의 일부는 적어도 부분적으로 제거되어 본딩 패드(BP)의 접촉 표면(CS)의 적어도 일부를 노출시킨다. 임의로, 패시베이션층(PVX)은 베이스 기관(BS)의 제1 측면(S1) 상에 형성되고, 비아의 측방향 측면(LS)을 적어도 부분적으로 커버한다.
- [0103] 도 9h를 참조하면, 방법은 베이스 기관(BS)으로부터 먼 패시베이션층(PVX)의 측면의 리드 라인(LL)을 형성하는 단계를 추가로 포함한다. 임의로, 리드 라인(LL)은 본딩 패드(BP)에 접속하기 위해 비아(V) 내로 연장되도록 형성된다. 예를 들어, 리드 라인(LL)은 본딩 패드(BP)의 접촉 표면(CS)의 적어도 일부에 전기적으로 접속된다. 임의로, 리드 라인(LL)은 비아(V)를 통해 베이스 기관(BS)의 제1 측면(S1)으로부터 제2 측면(S2)까지 연장되도록 형성된다.
- [0104] 임의로, 리드 라인(LL)은 디스플레이-본딩 서브-영역(DBA) 내에 제한된다. 다른 예에서, 리드 라인(LL)은 디스플레이-본딩 서브-영역(DBA) 및 정규 디스플레이 서브-영역(RDA)을 통해 연장된다.
- [0105] 도 9i를 참조하면, 방법은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 그리고 베이스 기관(BS)으로부터 먼 패시베이션층(PVX) 및 리드 라인(LL)의 측면 상에 장벽층(BL)을 형성하는 단계를 추가로 포함한다.
- [0106] 도 9j를 참조하면, 방법은 정규 디스플레이 서브-영역(RSA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 그리고 베이스 기관(BS)으로부터 먼 장벽층(BL)의 측면 상에 버퍼층(BUF)을 형성하는 단계를 추가로 포함한다.
- [0107] 도 9k를 참조하면, 방법은 베이스 기관(BS)으로부터 먼 버퍼층(BUF)의 측면 상에 활성층(ACT)을 형성하는 단계를 추가로 포함한다.
- [0108] 임의로, 방법은 장벽층(BL)으로부터 먼 활성층(ACT) 및 버퍼층(BUF)의 측면 상에 제1 게이트 절연층(GI1)을 형성하는 단계를 추가로 포함한다.
- [0109] 임의로, 방법은 활성층(ACT)으로부터 먼 제1 게이트 절연층(GI1)의 측면 상에 제1 게이트 전극(G1)을 형성하는 단계를 추가로 포함한다.
- [0110] 임의로, 방법은 버퍼층(BUF)으로부터 먼 제1 게이트 절연층(GI1)의 측면 상에 릴레이 라인(RL)을 형성하는 단계를 추가로 포함한다. 일 예에서, 릴레이 라인(RL)은 디스플레이-본딩 서브-영역(DBA) 내에 제한된다. 다른 예

에서, 릴레이 라인(RL)은 디스플레이-본딩 서브-영역(DBA) 및 정규 디스플레이 서브-영역(RDA)을 통해 연장된다. 임의로, 릴레이 라인(RL)은 제1 게이트 절연층(GI1), 버퍼층(BUF), 및 장벽층(BL)을 통해 연장되어 리드 라인(LL)과 접속된다.

- [0111] 임의로, 방법은 제1 게이트 절연층(GI1) 및 제1 게이트 절연층(GI1)으로부터 먼 제1 게이트 전극(G1)의 측면 상에 제2 게이트 절연층(GI2)을 형성하는 단계를 추가로 포함한다.
- [0112] 임의로, 방법은 제2 게이트 절연층(GI2)의 측면 상에 제2 게이트 전극(G2)을 형성하는 단계를 추가로 포함한다.
- [0113] 임의로, 방법은 제1 게이트 절연층(GI1)으로부터 먼 제2 게이트 전극(G2) 및 제2 게이트 절연층(GI2)의 측면 상에 층간 유전체층(ILD)을 형성하는 단계를 추가로 포함한다.
- [0114] 임의로, 방법은 제2 게이트 절연층(GI2)으로부터 먼 층간 유전체층(ILD)의 측면 상에 신호 라인(SL), 소스 전극(S) 및 드레인 전극(D)을 형성하는 단계를 추가로 포함한다. 임의로, 드레인 전극(D)은 층간 유전체층(ILD), 제2 게이트 절연층(GI2), 및 제1 게이트 절연층(GI1)을 통해 연장되어 활성층(ACT)에 전기적으로 접속된다. 임의로, 소스 전극(S)은 층간 유전체층(ILD), 제2 게이트 절연층(GI2), 및 제1 게이트 절연층(GI1)을 통해 연장되어 활성층(ACT)에 전기적으로 접속된다.
- [0115] 일 예에서, 소스 전극(S)은 신호 라인(SL)에 전기적으로 접속된다. 신호 라인(SL)은 층간 유전체층(ILD) 및 제2 게이트 절연층(GI2)을 통해 연장되어 릴레이 라인(RL)에 전기적으로 접속되므로, 리드 라인(LL)은 복수의 박막 트랜지스터(TFT) 중 각각의 하나에 전기적으로 접속된다.
- [0116] 다른 예에서, 어레이 기판은 릴레이 라인(RL)이 없다. 신호 라인(SL)은 층간 유전체층(ILD), 제2 게이트 절연층(GI2), 제1 게이트 절연층(GI1), 버퍼층(BUF) 및 장벽층(BL)을 통해 연장되어 리드 라인(LL)과 접속되고, 따라서 리드 라인(LL)은 복수의 박막 트랜지스터(TFT) 중 각각의 하나에 전기적으로 접속된다.
- [0117] 다른 예에서, 활성층(ACT)과 접속되지 않은 소스 전극(S)의 단부는 층간 유전체층(ILD), 제2 게이트 절연층(GI2), 제1 게이트 절연층(GI1), 버퍼층(BUF), 및 장벽층(BL)을 통해 연장되어 리드 라인(LL)과 접속되고, 따라서 리드 라인(LL)은 복수의 박막 트랜지스터(TFT) 중 각각의 하나에 전기적으로 접속된다.
- [0118] 임의로, 방법은 제2 게이트 절연층(GI2)으로부터 먼 층간 유전체층(ILD)의 측면 상에 제1 평탄화층(PLN1)을 형성하는 단계; 층간 유전체층(ILD)으로부터 먼 제1 평탄화층(PLN1)의 측면 상에 제2 평탄화층(PLN2)을 형성하는 단계; 및 제1 평탄화층(PLN1)으로부터 먼 제2 평탄화층(PLN2)의 측면 상에 제2 패시베이션층(PVX2)을 형성하는 단계를 추가로 포함한다.
- [0119] 임의로, 방법은 제2 평탄화층(PLN2)으로부터 먼 제2 패시베이션층(PVX2)의 측면 상에 제1 접촉 패드(CP1) 및 제2 접촉 패드(CP2)를 형성하는 단계를 추가로 포함한다. 예를 들어, 제1 접촉 패드(CP1) 및 제2 접촉 패드(CP2)는 발광 요소와 접속되도록 구성된다.
- [0120] 도 9l을 참조하면, 방법은 탈본딩층(DBL) 및 베이스 기판(BS)으로부터 지지 기판(SS)을 분리하는 단계를 추가로 포함한다. 예를 들어, 레이저-리프트-오프 프로세스를 사용하여 지지 기판(SS)을 탈본딩층(DBL) 및 베이스 기판(BS)으로부터 분리할 수 있다.
- [0121] 도 9l 및 도 9m을 참조하면, 방법은 본딩 패드(BP) 및 절연층(IN)으로부터 탈본딩층(DBL)을 분리하여, 본딩 패드(BP)에 대응하는 영역에 리세스(RES)를 형성하는 단계를 추가로 포함한다. 임의로, 리세스는 베이스 기판(BS)의 제2 측면(S2) 상에 형성되어, 본딩 패드(BP)의 표면을 노출시킨다. 임의로, 레이저-리프트-오프 프로세스는 탈본딩층(DBL)을 절연층(IN)으로부터 분리하기 위해 사용될 수 있다.
- [0122] 도 9m을 참조하면, 방법은 복수의 제1 서브픽셀(SP1) 및 복수의 제2 서브픽셀(SP2)을 포함하는 복수의 서브픽셀 내에 각각 복수의 발광 요소(LE)를 형성하는 단계를 추가로 포함한다. 임의로, 복수의 박막 트랜지스터(TFT)는 복수의 서브픽셀 내에 각각 형성된다.
- [0123] 도 10a 내지 도 10q는 본 개시내용에 따른 일부 실시예들에서의 어레이 기판을 제조하는 방법을 도시하는 개략도이다. 도 10a 내지 도 10g에 도시되는 제조 단계들은 도 9a 내지 도 9h에 도시되는 것들과 대체로 유사하다.
- [0124] 도 10h를 참조하면, 방법은 정규 디스플레이 서브-영역(RDA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 그리고 베이스 기판(BS)으로부터 먼 패시베이션층(PVX) 및 리드 라인(LL)의 측면 상에 제1 수지층(RN1)을 형성하는 단계를 추가로 포함한다. 제1 수지층(RN1)은 리드 라인(LL)의 표면을 노출시키는 제1 비아(v1)를 갖도록 패터닝된다.

- [0125] 도 10i를 참조하면, 방법은 정규 디스플레이 서브-영역(RSA) 및 디스플레이-본딩 서브-영역(DBA) 전체에 걸쳐 그리고 베이스 기관(BS)으로부터 먼 제1 수지층(RN1)의 측면 상에 게이트 절연층(GI)을 형성하는 단계를 추가로 포함한다. 게이트 절연층(GI)은 게이트 절연층(GI) 및 제1 수지층(RN1)을 통해 연장되어 리드 라인(LL)의 표면을 노출시키는 제2 비아(v2)가 형성되도록 패터닝된다. 게이트 절연층(GI)은 후속 패터닝 단계(들) 동안 생성된 가스를 방출하기 위한 제3 비아(v3)를 추가로 갖도록 패터닝된다.
- [0126] 도 10j를 참조하면, 게이트 금속층이 베이스 기관(BS)으로부터 먼 게이트 절연층(GI)의 측면 상에 형성된다. 게이트 금속층은, 예를 들어, 복수의 박막 트랜지스터의 게이트 전극들, 및 제1 전극(CE1) 및 제2 전극(CE2)을 포함하는 다양한 전극들 및 신호 라인들을 형성하도록 패터닝된다. 제1 전극(CE1)은 도 10j에 도시되는 바와 같이, 예를 들어, 제2 비아(v2)를 통해 리드 라인(LL)에 전기적으로 접속된다.
- [0127] 도 10k를 참조하면, 방법은 제1 수지층(RN1)으로부터 먼 게이트 절연층(GI), 제1 전극(CE1) 및 제2 전극(CE2)의 측면 상에 층간 유전체층(ILD)을 형성하는 단계를 추가로 포함한다. 층간 유전체층(ILD)은 제1 전극(CE1)의 표면을 노출시키는 제4 비아(v4)를 갖도록 패터닝된다. 또한, 층간 유전체층(ILD)은 후속 패터닝 단계(들) 동안 생성되는 가스를 방출하기 위해 층간 유전체층(ILD) 및 게이트 절연층을 통해 연장되는 제5 비아(v5)가 형성되도록 패터닝된다.
- [0128] 도 10l을 참조하면, 방법은 게이트 절연층(GI)으로부터 먼 층간 유전체층(ILD)의 측면 상에 제2 수지층(RN2)을 형성하여 어레이 기관의 표면을 평탄화하는 단계를 추가로 포함한다. 제2 수지층(RN2)은 제2 수지층(RN2) 및 층간 유전체층(ILD)을 통해 연장되어 제1 전극(CE1)의 표면을 노출시키는 제6 비아(v6)가 형성되도록 패터닝된다.
- [0129] 도 10m을 참조하면, 방법은 층간 유전체층(ILD)으로부터 먼 제2 수지층(RN2)의 측면 상에 제1 평탄화층(PLN1)을 형성하는 단계를 추가로 포함한다. 제1 평탄화층(PLN1)은 제1 평탄화층(PLN1), 제2 수지층(RN2) 및 층간 유전체층(ILD)을 통해 연장되어 제1 전극(CE1)의 표면을 노출시키는 제7 비아(v7)가 형성되도록 패터닝된다. 또한, 제1 평탄화층(PLN1)은 후속 패터닝 단계(들) 동안 생성된 가스를 방출하기 위한 제8 비아(v8)를 갖도록 패터닝된다.
- [0130] 도 10n을 참조하면, 소스-드레인 금속층은 베이스 기관(BS)으로부터 먼 제1 평탄화층(PLN1)의 측면 상에 형성된다. 소스-드레인 금속층은, 예를 들어 복수의 박막 트랜지스터의 소스 전극들 및 드레인 전극들, 및 제1 패드(P1) 및 제2 패드(P2)를 포함하는 다양한 전극들 및 신호 라인들을 형성하도록 패터닝된다. 제1 패드(P1)는 예를 들어 도 10n에 도시되는 바와 같이 제7 비아(v7)를 통해 제1 전극(CE1)에 전기적으로 접속된다.
- [0131] 도 10o를 참조하면, 방법은 제2 수지층(RN2)으로부터 먼 제1 평탄화층(PLN1), 제1 패드(P1) 및 제2 패드(P2)의 측면 상에 제2 평탄화층(PLN2)을 형성하는 단계를 추가로 포함한다. 제2 평탄화층(PLN2)은 제1 패드(P1)의 표면을 노출시키는 제9 비아(v9) 및 제2 패드(P2)의 표면을 노출시키는 제10 비아(v10)를 갖도록 패터닝된다. 또한, 제2 평탄화층(PLN2)은 후속 패터닝 단계(들) 동안 생성된 가스를 방출하기 위해 제2 평탄화층(PLN2) 및 제1 평탄화층(PLN1)을 통해 연장되는 제11 비아(v11)가 형성되도록 패터닝된다.
- [0132] 도 10p를 참조하면, 방법은 복수의 발광 요소(LE)를 어레이 기관 상으로 전사하는 단계를 추가로 포함한다. 복수의 발광 요소(LE)의 각각의 하나는 제1 접속 패드(CP1)를 통해 제1 패드(P1)에 접속되고 제2 접속 패드(CP2)를 통해 제2 패드(P2)에 접속된다. 방법은 복수의 발광 요소(LE)를 보호하기 위해 커버 유리(CG)를 형성하는 단계를 추가로 포함한다.
- [0133] 도 10q를 참조하면, 방법은 탈본딩층(DBL) 및 베이스 기관(BS)으로부터 지지 기관(SS)을 분리하는 단계를 추가로 포함한다. 예를 들어, 레이저-리프트-오프 프로세스를 사용하여 지지 기관(SS)을 탈본딩층(DBL) 및 베이스 기관(BS)으로부터 분리할 수 있다. 본딩 패드(BP) 및 절연층(IN)으로부터 탈본딩층(DBL)을 분리함으로써, 본딩 패드(BP)에 대응하는 영역에 리세스(RES)가 형성된다. 임의로, 리세스는 베이스 기관(BS)의 제2 측면(S2) 상에 형성되어, 본딩 패드(BP)의 표면을 노출시킨다. 임의로, 레이저-리프트-오프 프로세스는 탈본딩층(DBL)을 절연층(IN)으로부터 분리하기 위해 사용될 수 있다.
- [0134] 다른 양태에서, 본 개시내용은 디스플레이 장치를 제공한다. 일부 실시예들에서, 디스플레이 장치는 본 명세서에 설명된 어레이 기관, 및 어레이 기관에 접속된 하나 이상의 집적 회로를 포함한다. 도 11은 본 개시내용에 따른 일부 실시예들에서의 디스플레이 장치의 단면도이다. 도 12는 본 개시내용에 따른 일부 실시예들에서의 디스플레이 장치의 단면도이다. 도 11 및 도 12에 도시되는 바와 같이, 디스플레이 장치는 리세스(RES) 내에 집적 회로(IC)를 포함한다. 임의로, 집적 회로(IC)는 리세스(RES)에서 노출된 본딩 패드(BP)의 표면에 접속된

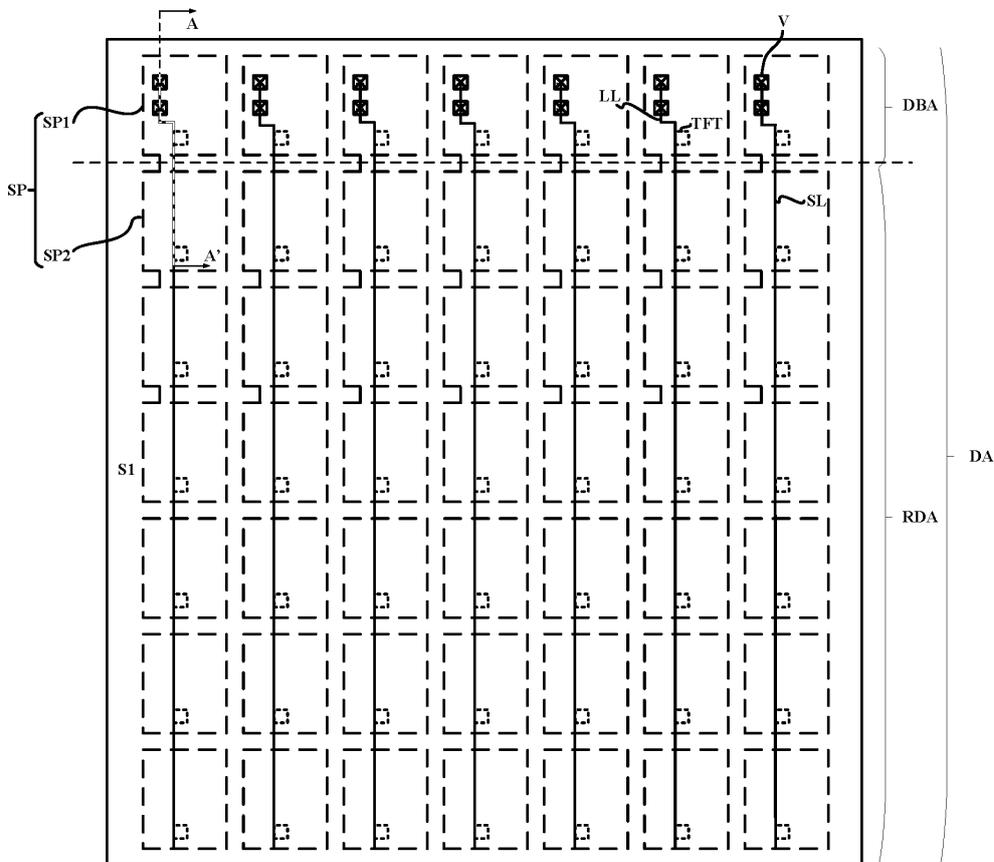
다. 적절한 디스플레이 장치들의 예들은 전자 종이, 모바일 폰, 태블릿 컴퓨터, 텔레비전, 모니터, 노트북 컴퓨터, 디지털 앨범, GPS 등을 포함하지만, 이에 한정되지는 않는다.

[0135]

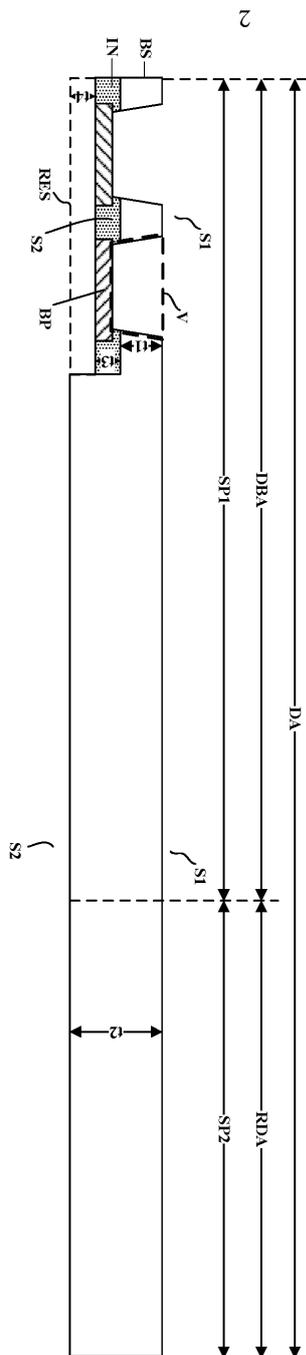
발명의 실시예들의 앞선 설명은 예시 및 설명의 목적으로 제시되었다. 이러한 설명은 총망라하려거나 본 발명을 개시된 조금도 틀림이 없는 형태 또는 예시적인 실시예들로 제한하려는 것이 아니다. 따라서, 앞선 설명은 제한적인 것이 아니라 예시적인 것으로 간주되어야 한다. 분명히, 본 기술분야의 통상의 기술자에게는 많은 수정 및 변형이 명백할 것이다. 실시예들은 본 발명의 원리들 및 그 최상 모드의 실제 적용을 설명하기 위해 선택 및 설명되었으며, 이에 의해 관련 기술분야의 통상의 기술자가, 고려되는 특정한 용도 또는 구현에 적합한 바와 같은 다양한 수정들과 함께 그리고 다양한 실시예들에 대해 본 발명을 이해할 수 있게 한다. 본 발명의 범위는 본 명세서에 첨부된 청구항들 및 이들의 등가물들에 의해 정의되며, 모든 용어들은 달리 명시하지 않는 한 가장 넓은 합리적인 의미인 것으로 의도된다. 따라서, "발명", "본 발명" 등의 용어는 반드시 청구항 범위를 구체적인 실시예로 제한하는 것은 아니며, 본 발명의 예시적인 실시예들에 대한 참조가 본 발명에 대한 제한을 암시하는 것은 아니며, 어떠한 이러한 제한도 추론되어서는 안 된다. 본 발명은 첨부된 청구항들의 사상 및 범위에 의해서만 제한된다. 더욱이, 이러한 청구항들은 명사 또는 구성요소 이전에 "제1", "제2" 등을 사용하여 표현할 수 있다. 이러한 용어들은 명명법으로서 이해되어야 하며, 특정 수가 주어지지 않는 한 이러한 명명법에 의해 수식되는 요소들의 수에 대해 제한을 부여하는 것으로서 해석되지 않아야 한다. 설명된 임의의 장점들 및 이득들은 본 발명의 모든 실시예들에 적용되지 않을 수 있다. 다음의 청구항들에 의해 정의되는 본 발명의 범위를 벗어나지 않으면서 관련 기술분야의 통상의 기술자에 의해, 설명된 실시예들에서 변형들이 이루어질 수 있다는 것을 인식해야 한다. 더욱이, 본 개시내용의 어떠한 요소 및 구성요소도, 요소 또는 구성요소가 다음의 청구항들에 명시적으로 기재되는지 여부에 관계없이, 일반 공중에게 공여되지 않는 것으로 의도된다.

도면

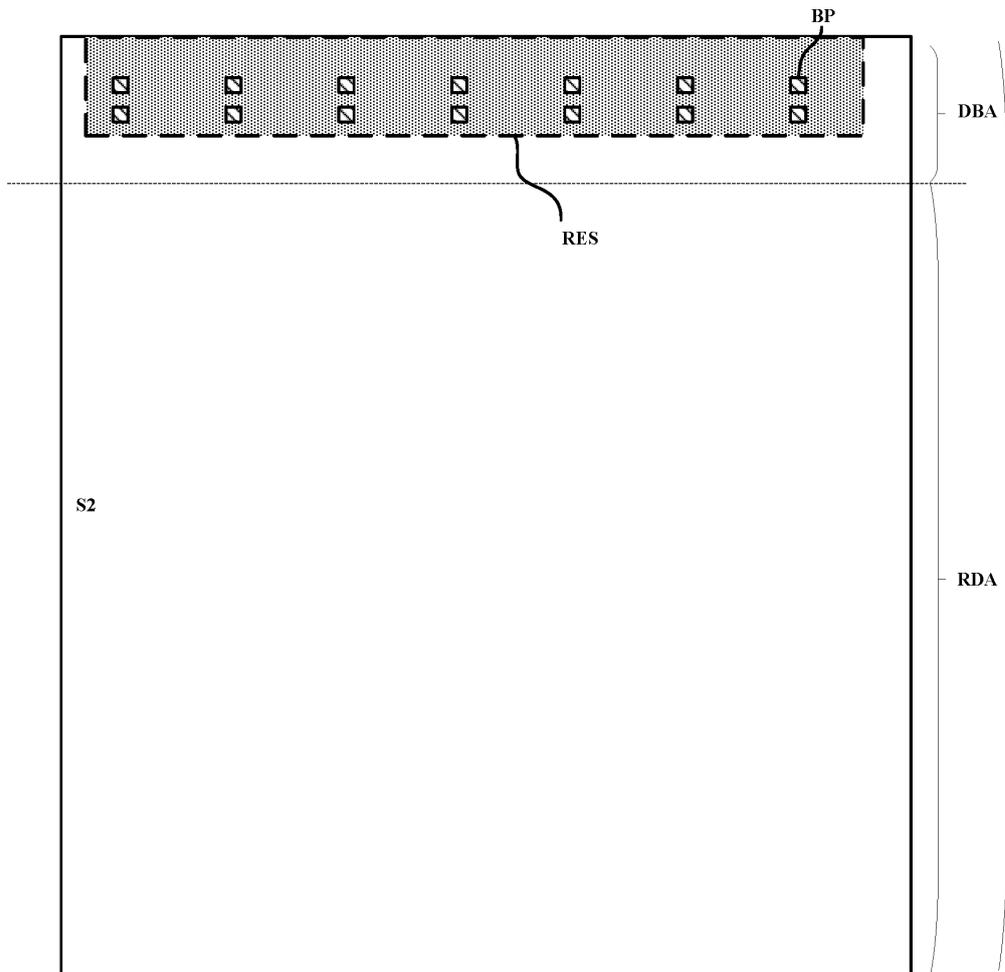
도면1



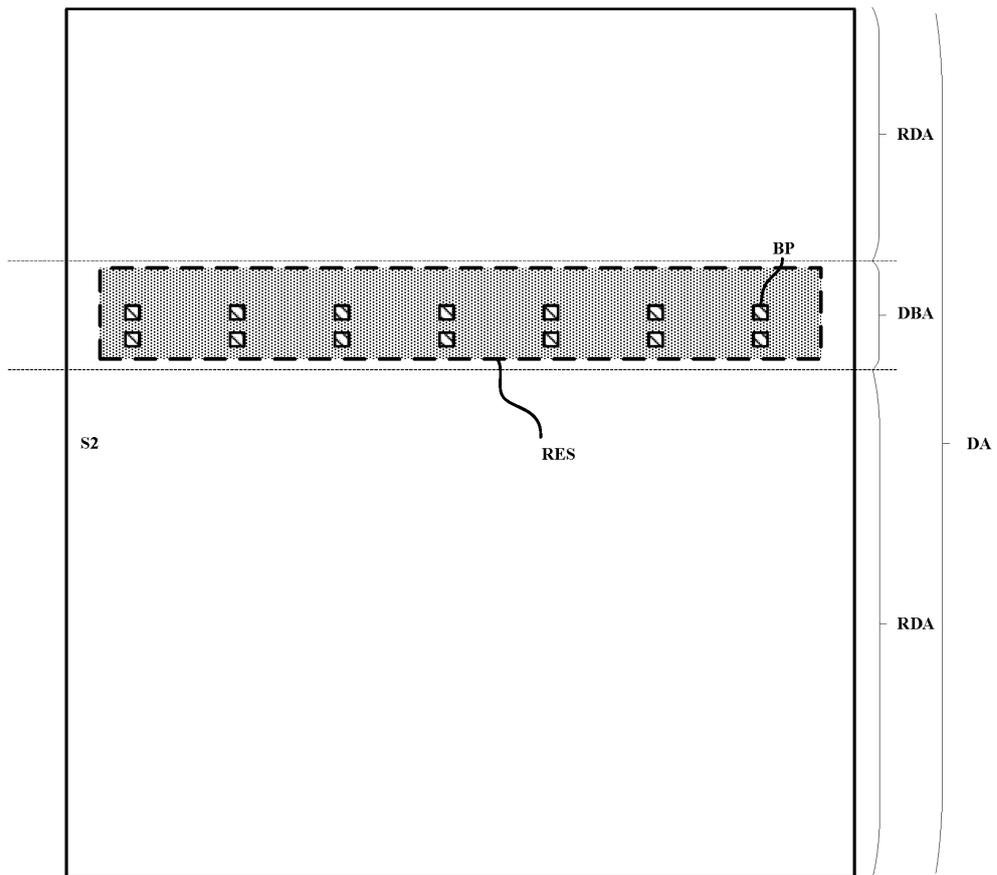
도면2



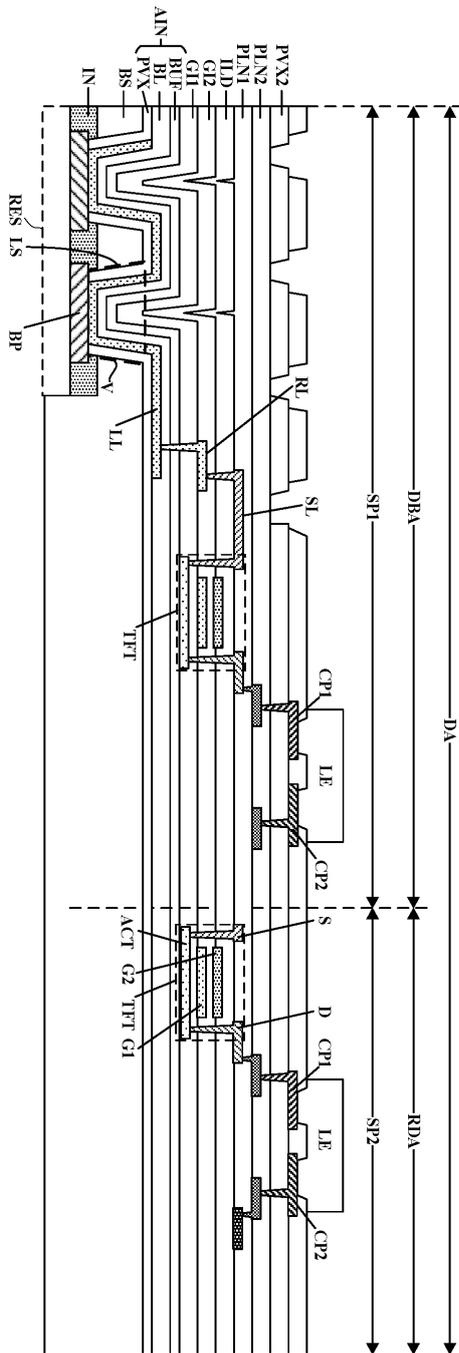
도면3



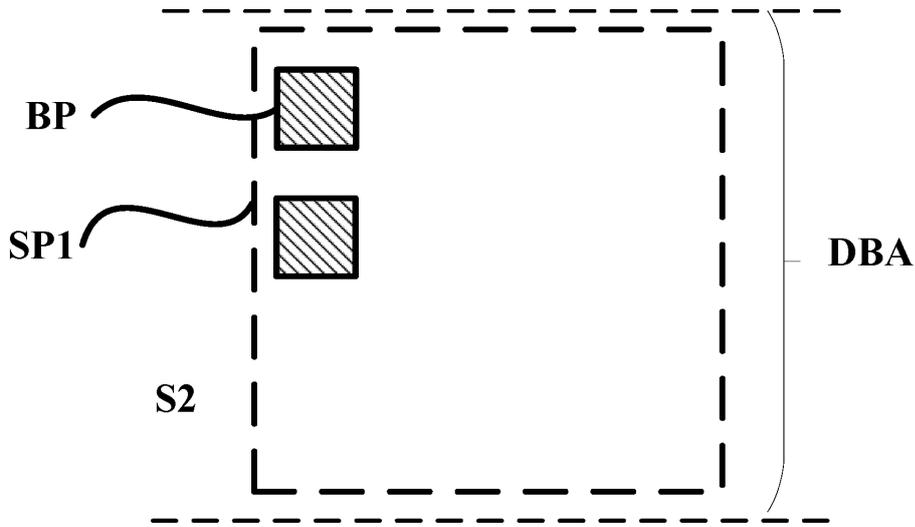
도면4



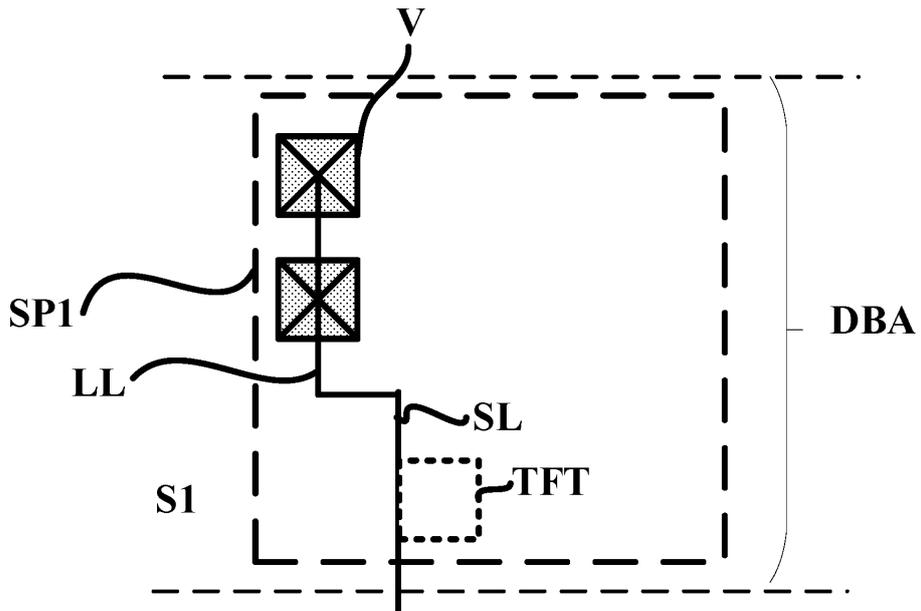
도면5



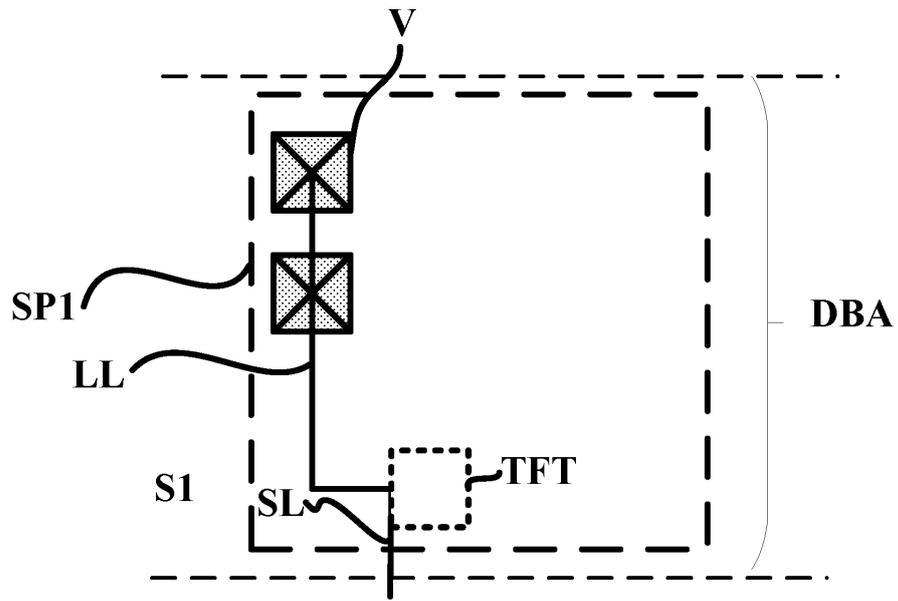
도면6



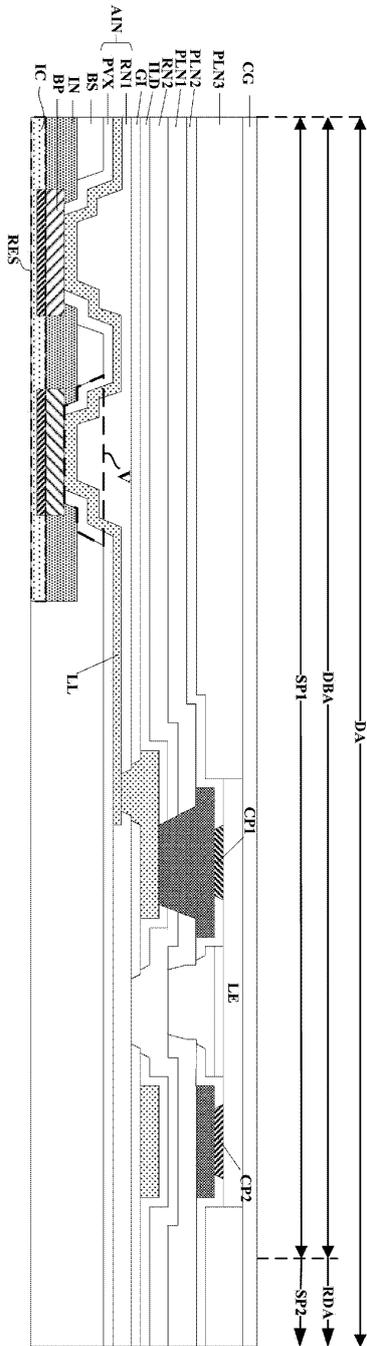
도면7a



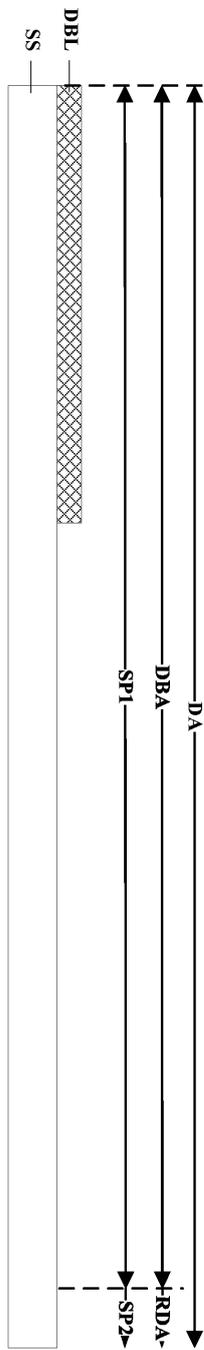
도면7b



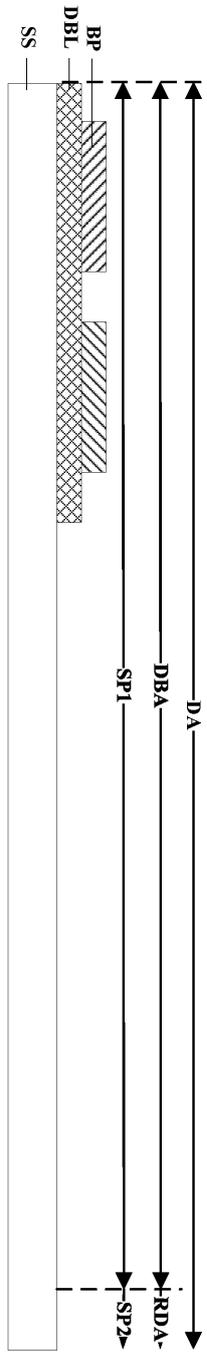
도면8



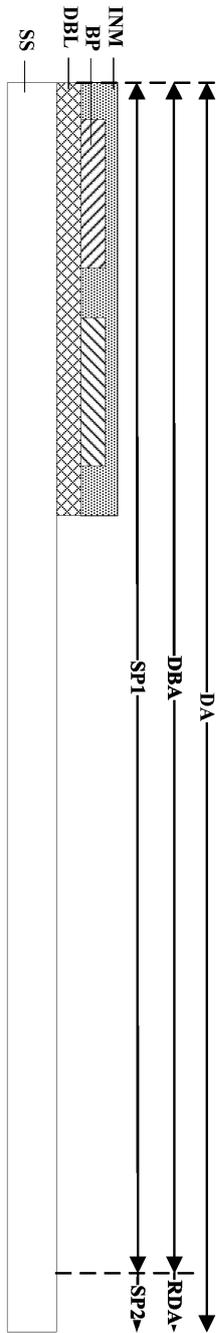
도면9a



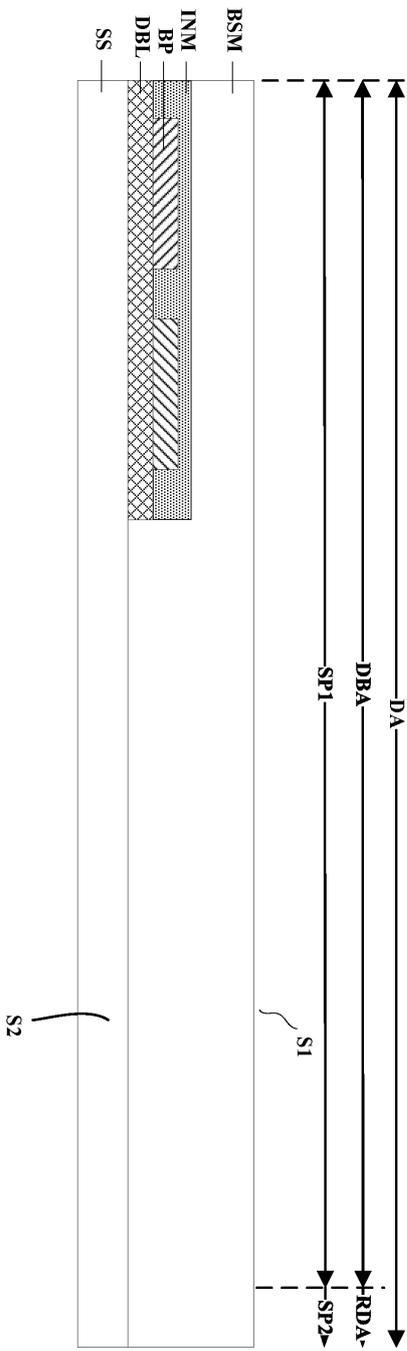
도면9b



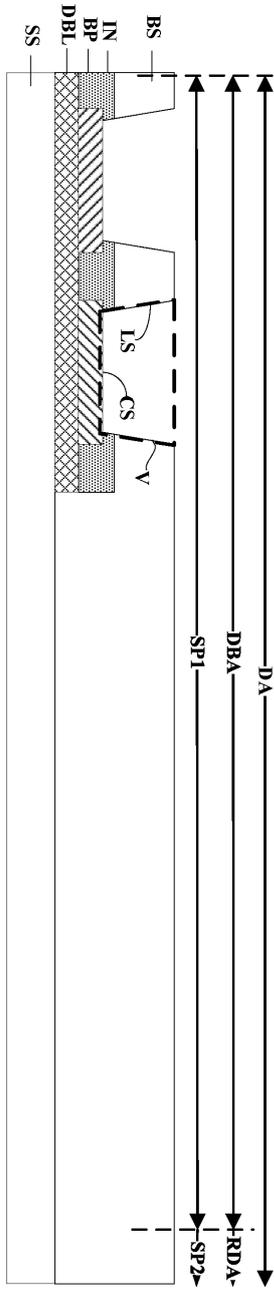
도면9c



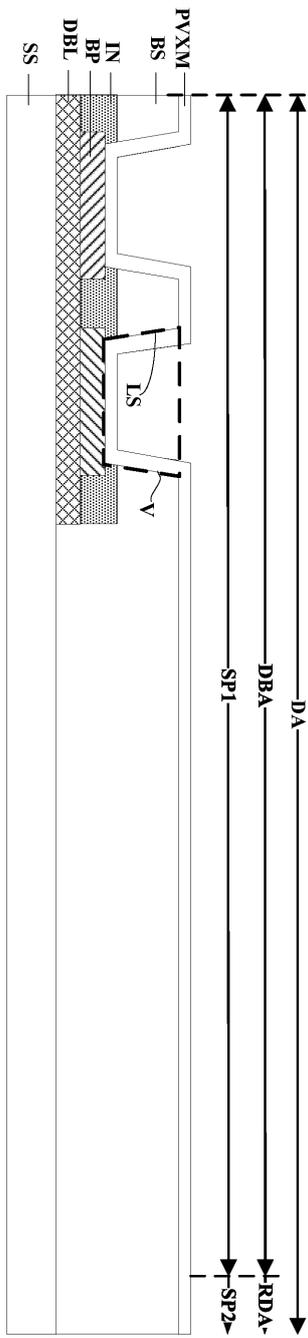
도면9d



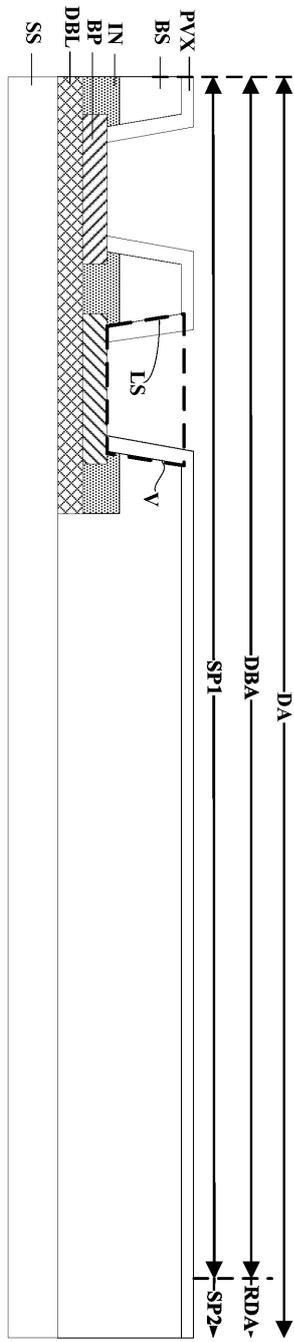
도면9e



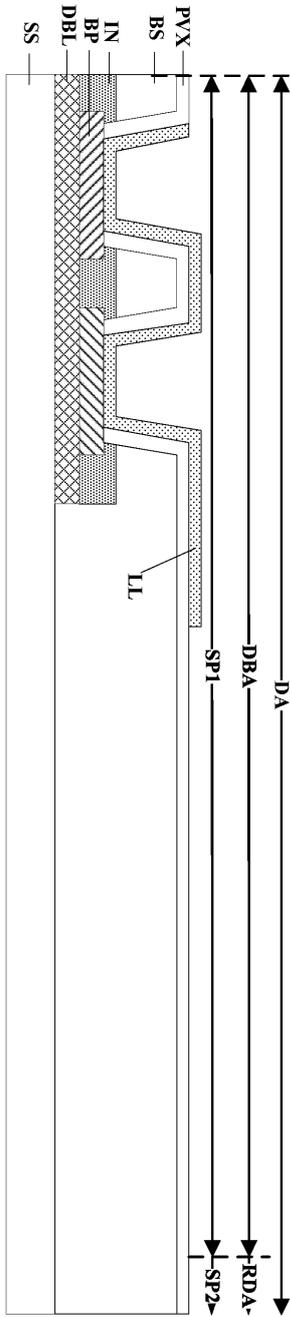
도면9f



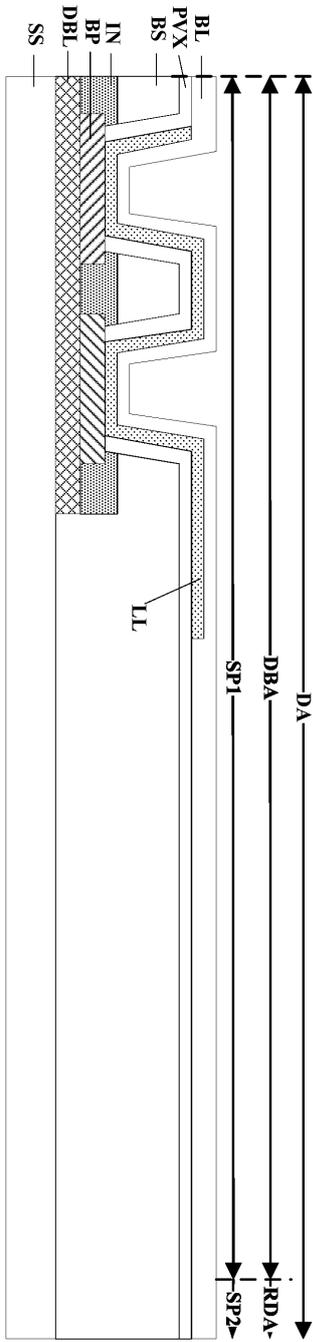
도면9g



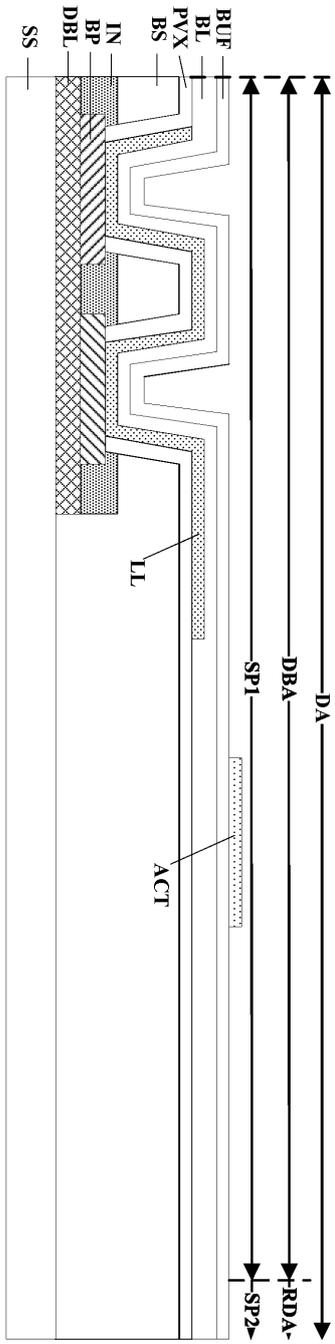
도면9h



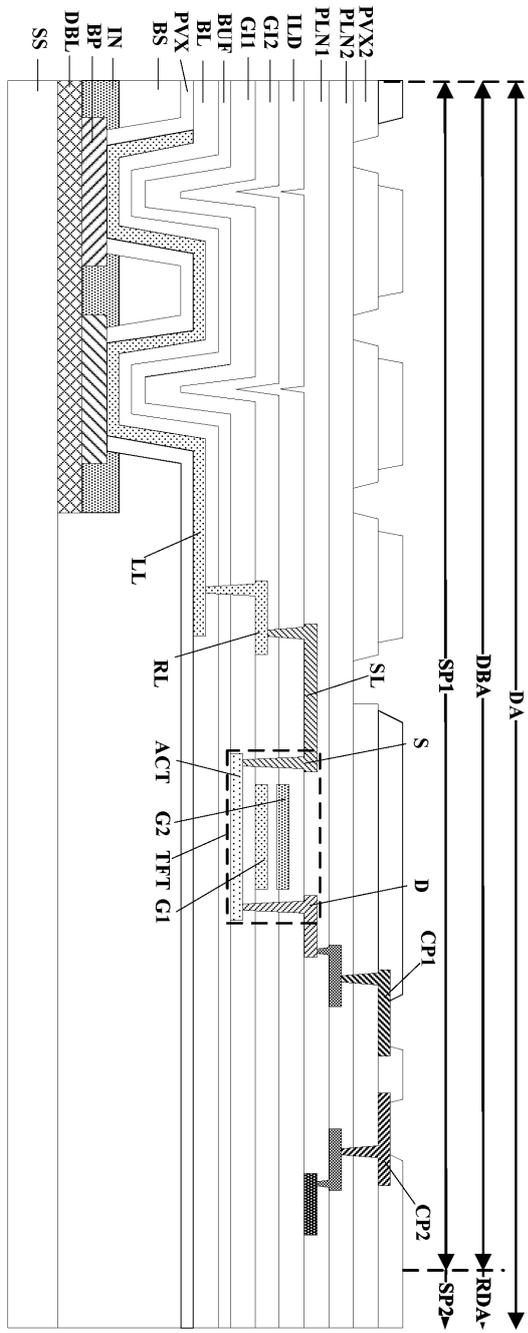
도면9i



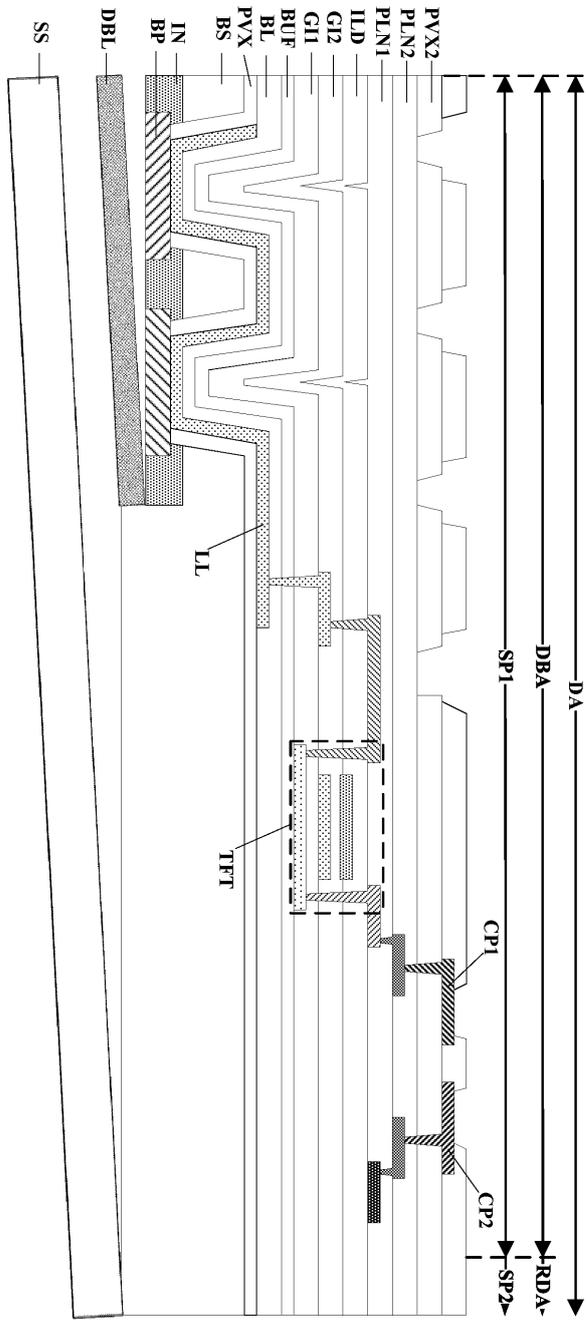
도면9j



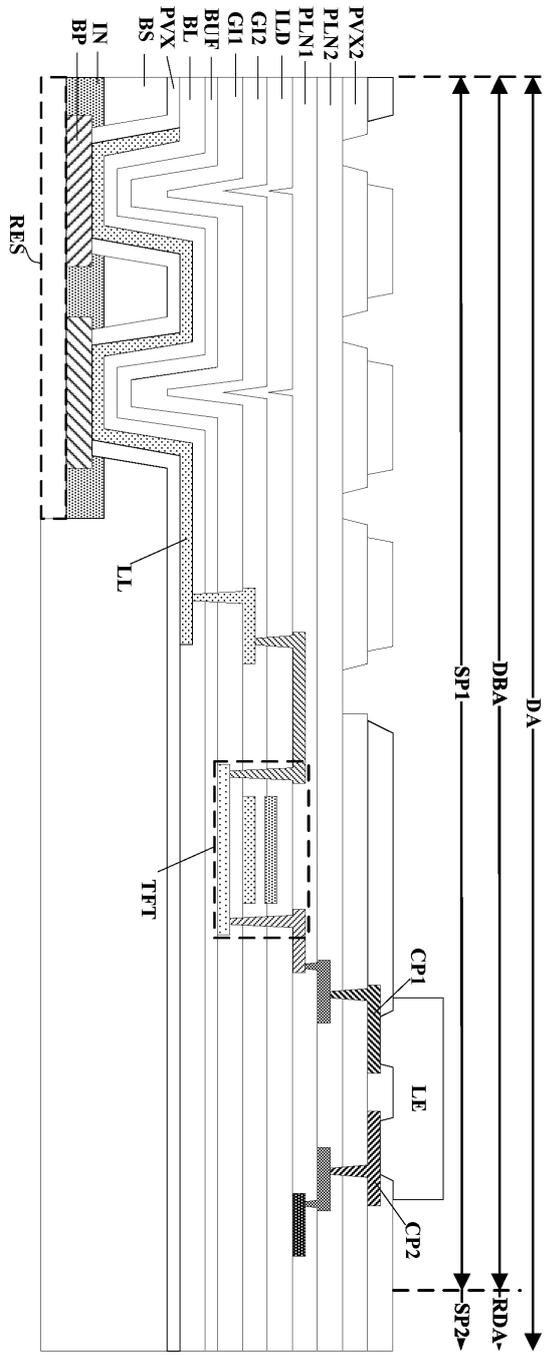
도면9k



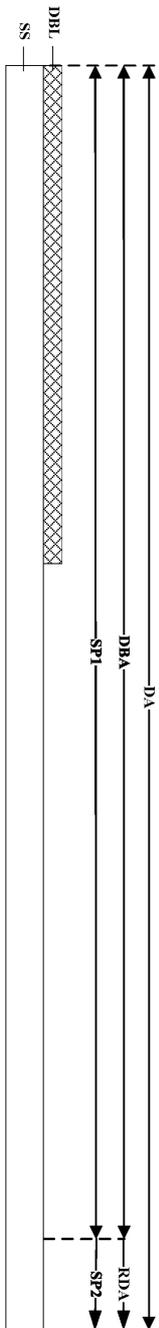
도면91



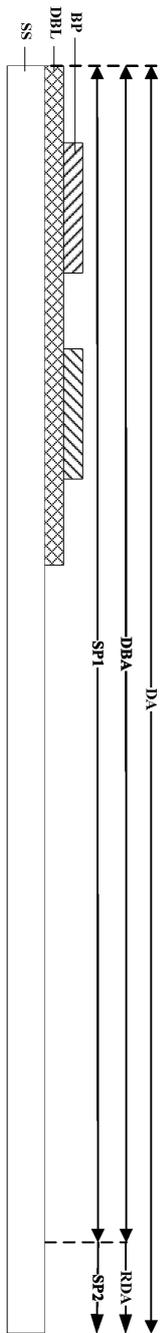
도면9m



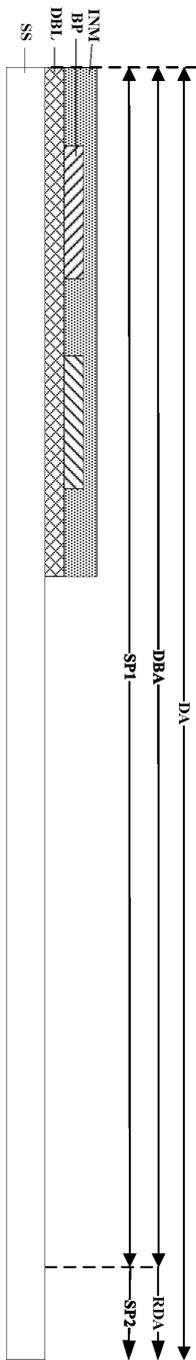
도면10a



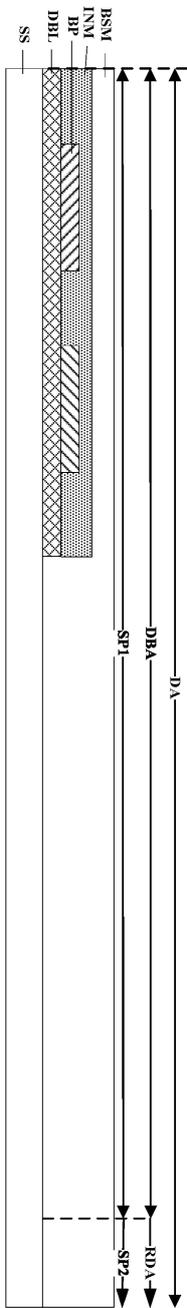
도면10b



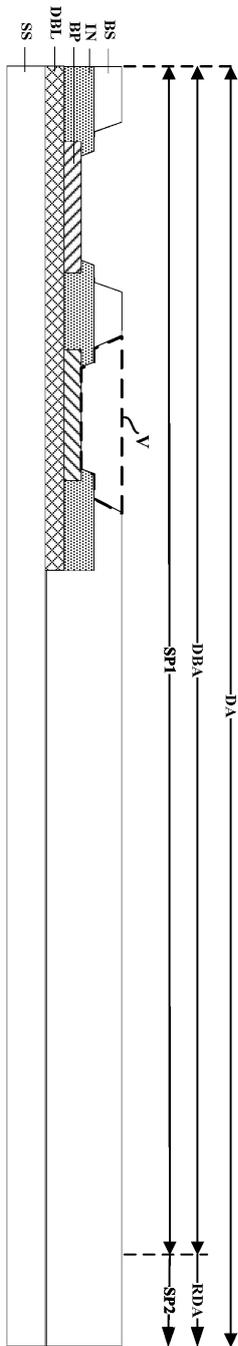
도면10c



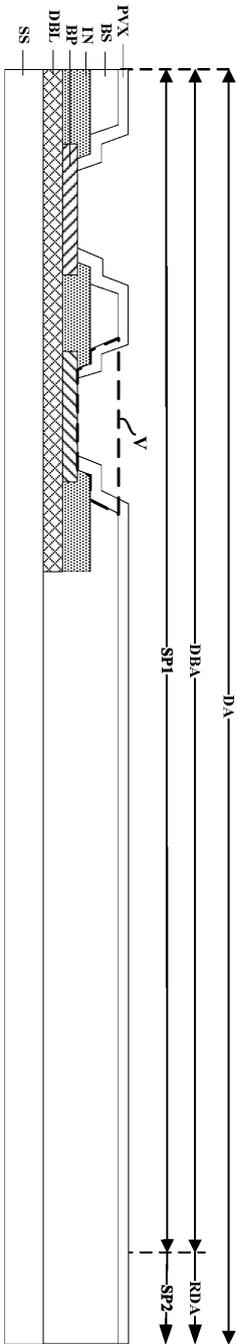
도면10d



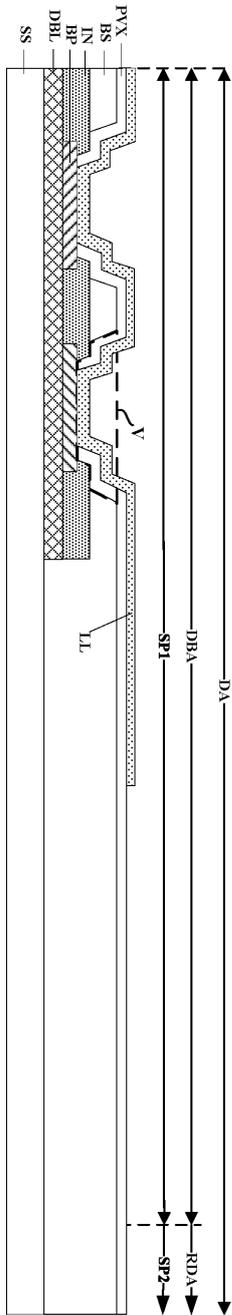
도면10e



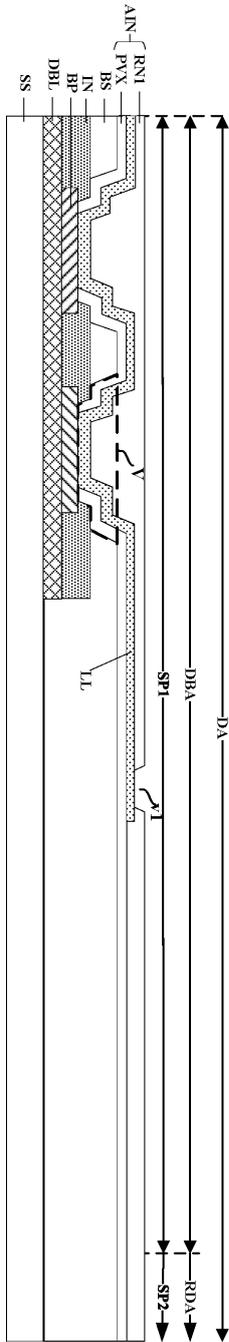
도면10f



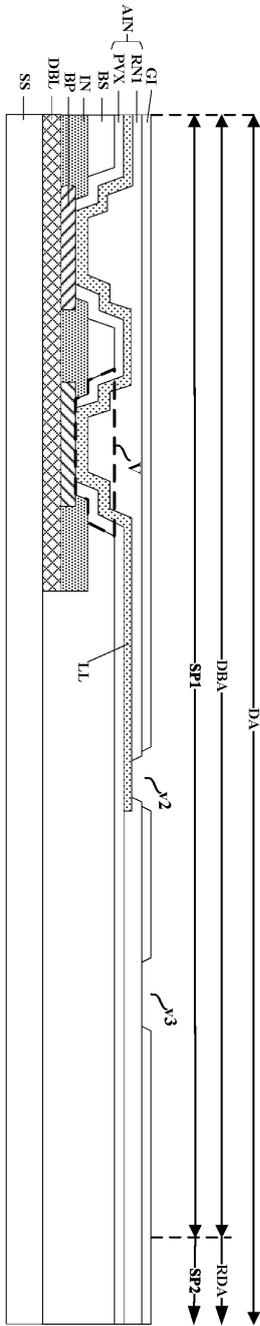
도면10g



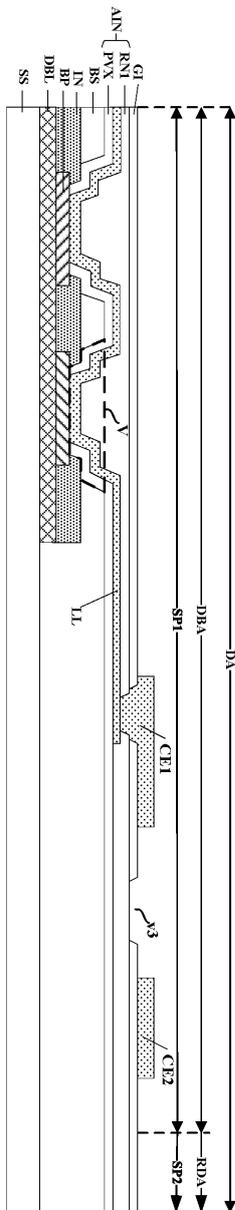
도면10h



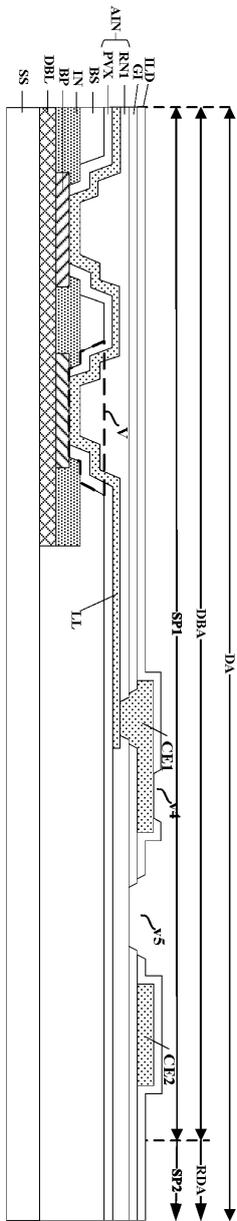
도면10i



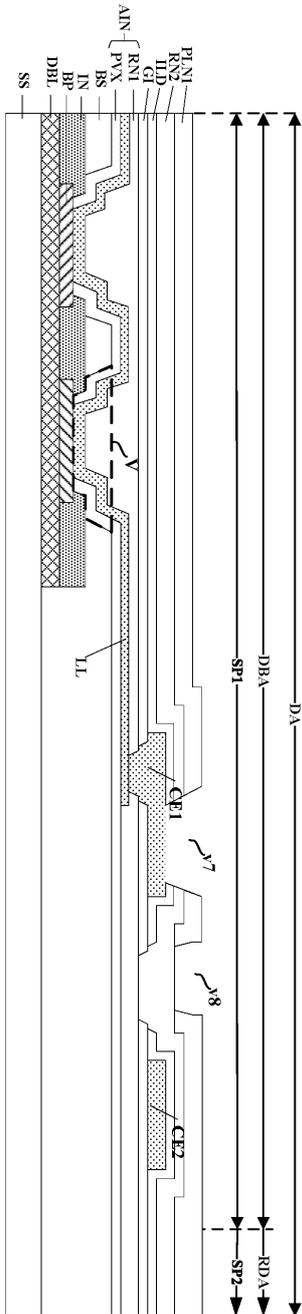
도면10j



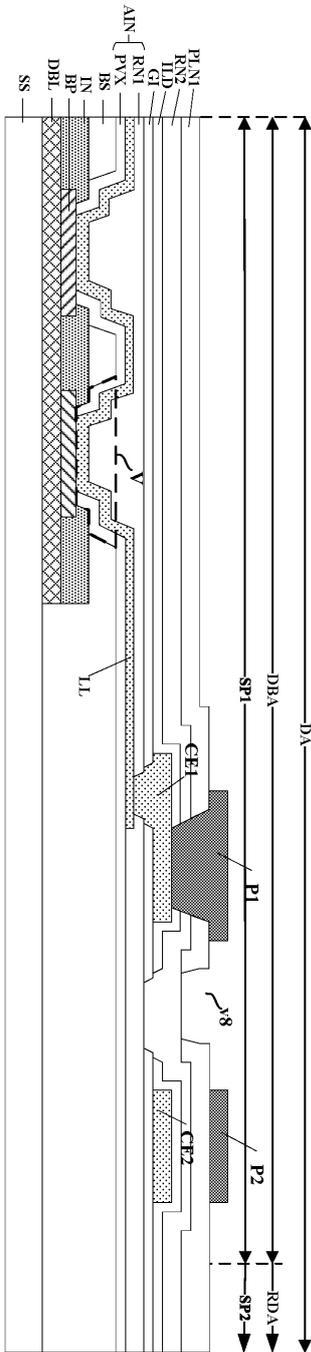
도면10k



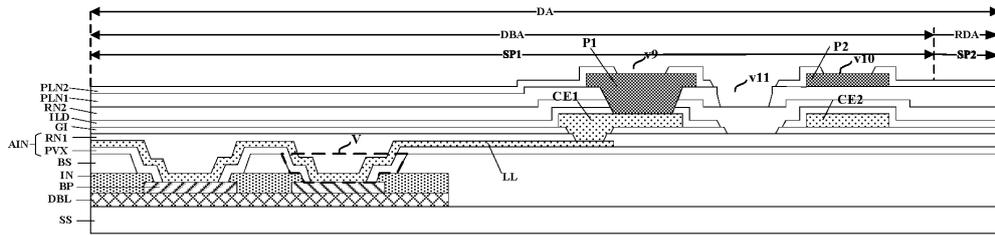
도면 10m



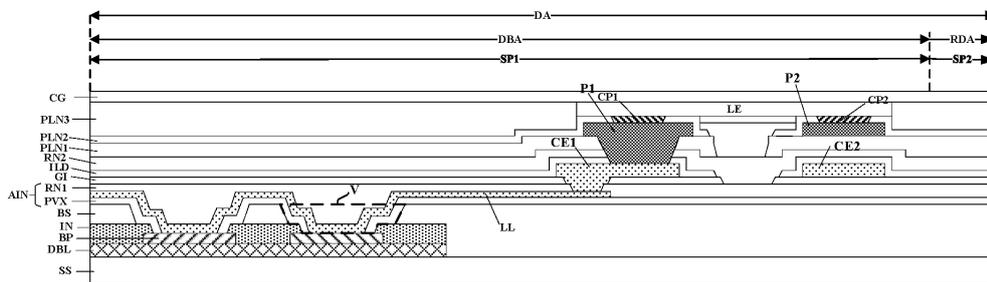
도면10n



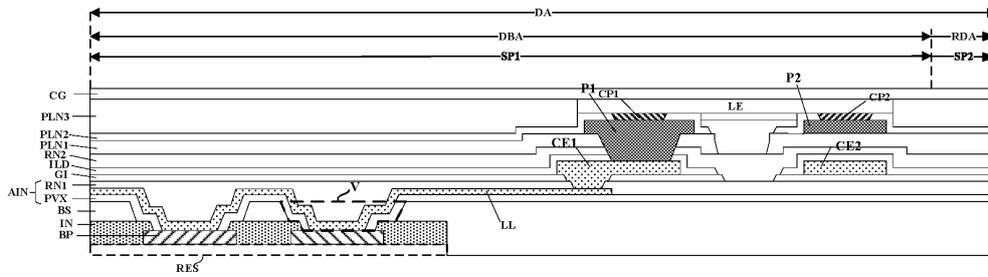
도면10o



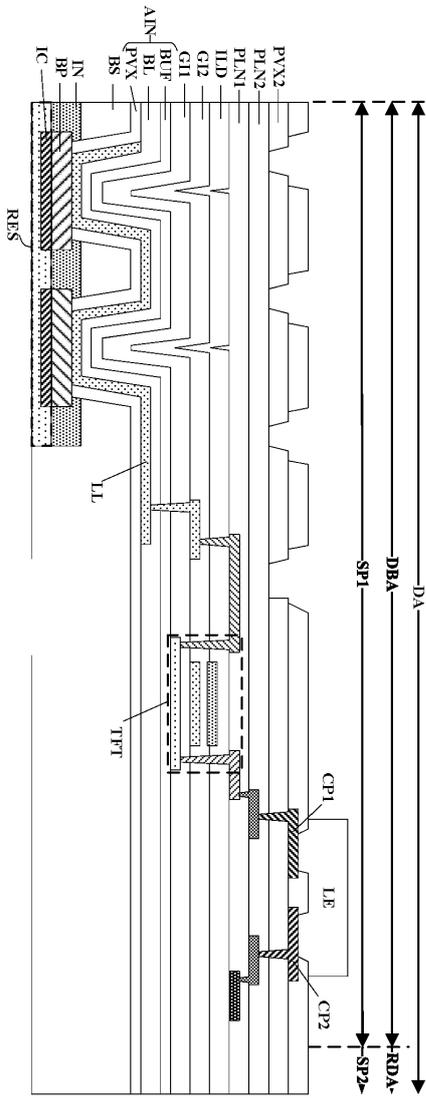
도면10p



도면10q



도면11



도면12

